**Verilog HDL ou VHDL**

**Aluno: Tiago Matta Machado Zaidan**

**Matricula: 451620 - Out/2012**

**Ciência da Computação – PUC-MG**

**Resumo**

O artigo de Bill Fuchs,cujo título original é “*Verilog HDL vs. VHDL: for thefirst time user*”, faz uma abordagem de duas linguagens para descrição do Hardware: Verilog HDL e VHDL.

**Objetivo**

É muito importante que, antes de começar a programar, escolher a linguagem a ser usada. Essa escolha pode ser muito difícil, pois existem varias linguagens disponíveis. Então, tem-se a seguinte questão: como escolher a linguagem ideal para descrever o Hardware? Existem alguns aspectos importantes que devem ser levados em consideração como, por exemplo: se uma linguagem aumentará sua produtividade;se essa linguagem será fácil de aprender e de usar; se ela será útil para atividades futuras, dentre outros. O objetivo desse texto é identificar os principais aspectos do artigo “*Verilog HDL vs. VHDL: for thefirst time user*”,de BillFuchs.

**Discussão**

A linguagem VHDL foi criada para a documentação digital do comportamento do Hardware. Ao longo do tempo, a linguagem foi expandida para algo além da documentação. Mas, com esse desenvolvimento da linguagem, vieram alguns problemas, principalmente no nível de portas e transistores. Por causa desses e de outros problemas a VHDL não causou um grande impacto na comunidade de desenvolvedores. Já a linguagem Verilog HDL se originou do comércio e foi desenvolvida como uma parte de um sistema de simulação. Também foi desenvolvida para a descrição de sistemas de Hardware digitais. A linguagem ficou conhecida por permitir os desenvolvedores representarem seus projetos de forma familiar, com o uso de portas. A linguagem VHDL foi desenvolvida principalmente pelo governo, que não possui interesse na produtividade dos desenvolvedores, o que faz com que o Verilog leve vantagens na criação dos projetos. As duas linguagens possuem diferentes focos. Verilog possui força na área de representar o hardware na maneira que o desenvolvedor implementa seu projeto. A linguagem Verilog apresenta uma simples sintaxe e estrutura, o que facilita na aprendizagem da linguagem e no desenvolvimento dos projetos. Por outro lado, a linguagem VHDL não permite que se atinja um desempenho adequado através de suas ferramentas de simulação. Além disso, é necessário cerca de 50 vezes mais memória para rodar um programa equivalente em VHDL, além de um tempo de execução mais lento. Outra vantagem do Verilog é a possibilidade de uso de atraso de módulos, que é importante para a simulação.

**Conclusão**

Após um estudo mais detalhado das duas linguagens em questão, pode-se concluir que a linguagem Verilog possui inúmeras vantagens sobre a VHDL. A linguagem Verilog se originou do meio industrial, proporcionando mais fermentas para facilitar no desenvolvimento. Ao contrário, VHDL que originou de meio acadêmico. Outra vantagem do Verilog é a fácil e rápida aprendizagem da linguagem. Vários profissionais que começaram com a VHDL, afirmaram que após o primeiro uso do Verilog, a VHDL se tornou obsoleta, por possuir menos ferramentas e menos facilidade na criação de projetos. Essa grande diferença entre as linguagens fez com que a grande maioria das empresas adotasse o Verilog HDL. Portanto,é aconselhável adotar o Verilog como primeira linguagem de descrição do Hardware.