

EA773 Laboratório de Circuitos Lógicas

Relatório Roteiro 1

Autor: Mateus Henrique Silva Araújo

RA: 184940

Data: 27/08/2022

1. Projeto 1: Reconhecedor de Dígitos de RA

1.1. Escopo:

Projeto de um circuito combinacional com quatro bits de entrada capaz de detectar os dígitos 0, 1, 8, 4 e 9, codificados em BCD, e acionar um LED de saída. Como a entrada binária será codificada em BCD, foi adotado que número acima de nove não serão inseridos.

1.2. Projeto do circuito:

1.2.1. Especificação de alto-nível:

Entrada:

$$X \in \{0,1,2,3,4,5,6,7,8,9\}$$

Saída:

$$Z \in \{0,1\}$$

Função:

$$Z = \begin{cases} 1 & \text{caso } X \in \{0,1,4,8,9\} \\ 0 & \text{caso contrário} \end{cases}$$

1.2.2. Especificação binária:

Entrada:

$\underline{X} = (X_3, X_2, X_1, X_0)$ com $X_3, X_2, X_1, X_0 \in \{0,1\}$. O vetor de bits \underline{X} representam os valores 0 a 9 em codificação BCD, sendo X_3 o bit mais significativo

Saída:

$$Z \in \{0,1\}$$

Função: Tabela verdade

X_3	X_2	X_1	X_0	Z
0	0	0	0	1
0	0	0	1	1

0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	X
1	0	1	1	X
1	1	0	0	X
1	1	0	1	X
1	1	1	0	X
1	1	1	1	X

1.2.3. Minimização:

1.2.3.1. Soma de Produtos:

	$X_1'X_0'$	$X_1'X_0$	X_1X_0	X_1X_0'
$X_3'X_2'$	1	1	0	0
$X_3'X_2$	1	0	0	0
X_3X_2	X	X	X	X
X_3X_2'	1	1	X	X

$$Z = X_2'X_1' + X_1'X_0' ; (3 \text{ NOTs}, 2 \text{ ANDs e } 1 \text{ OR, i.e., } 6 \text{ portas})$$

1.2.3.2. Produto de somas:

	$X_1'X_0'$	$X_1'X_0$	X_1X_0	X_1X_0''
$X_3'X_2'$	1	1	0	0
$X_3'X_2$	1	0	0	0
X_3X_2	X	X	X	X
X_3X_2'	1	1	X	X

$$Z = X_1'(X_2' + X_0') ; (3 \text{ NOTs}, 1 \text{ ANDs e } 1 \text{ OR, i.e., } 5 \text{ portas})$$

1.2.4. Esquemático do circuito:

O circuito será implementado usando a função proveniente da soma de produtos, com o intuito de gerar o menor uso de portas lógicas. Na figura 1 é apresentado o diagrama esquemático do circuito implementado.

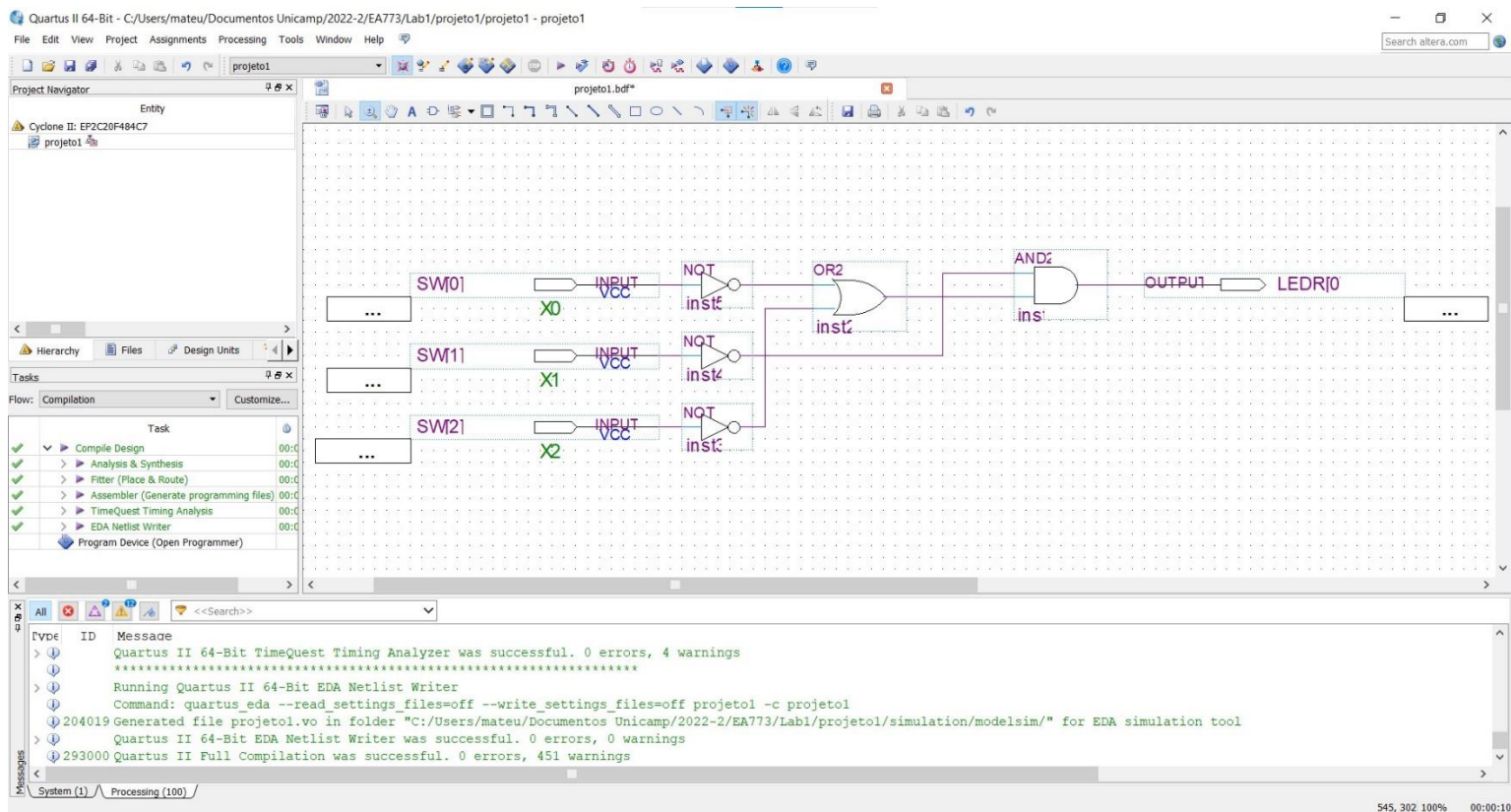


Figura 1: Diagrama esquemático do circuito

1.3. Simulação:

Para a simulação, as entradas foram configuradas de modo a representar todos as configurações possíveis, até mesmo aquelas consideradas inválidas (10 a 15, como descrito no escopo do projeto).

1.3.1. Simulação funcional:

A simulação funcional do circuito projetado está disposta na figura 2. Nela nota-se que o sinal de saída *LEDR[0]* é verdadeiro se a entrada (*SW[3] SW[2] SW[1] SW[0]*) representa os dígitos 0, 1, 4, 8 ou 9 codificados em BCD, assim como descrito no escopo.

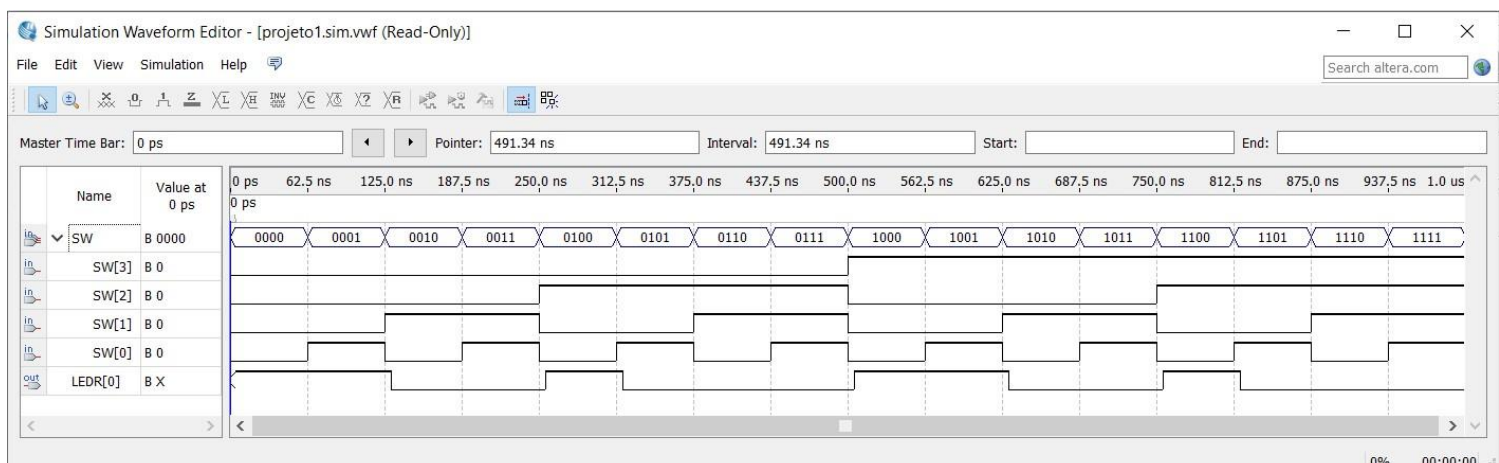


Figura 2: Simulação funcional do circuito

1.3.2. Simulação temporizada:

A simulação temporizada do circuito projetado está disposta na figura 3. Nela também é possível notar que o circuito age de acordo com o comportamento especificado.

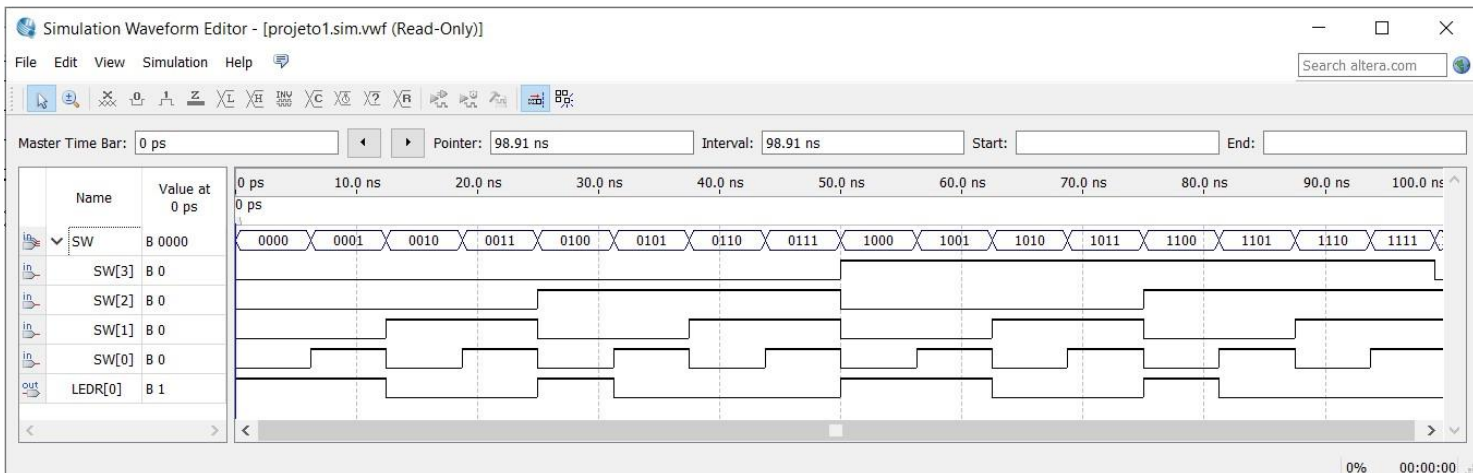


Figura 3: Simulação temporizada do circuito

2. Projeto 2: Multiplexador 4-para-1

2.1. Escopo:

Projeto de um circuito combinacional capaz de atuar como um multiplexador 4-para-1, recebendo quatro entradas e selecionando uma delas para redirecionar para a saída.

2.2. Projeto do circuito:

2.2.1. Especificação de alto-nível:

Entrada:

$\underline{X} = (X_3, X_2, X_1, X_0)$ com $X_i \in \{0,1\}$ e $i = 0, 1, 2, 3$

$\underline{S} = (S_1, S_0)$ com $S_i \in \{0,1\}$ e $i = 0, 1$

$E \in \{0, 1\}$; (entrada de enable)

Saída:

$Z \in \{0,1\}$

Função:

$$Z = \begin{cases} X_S & \text{se } E = 1 \\ 0 & \text{se não} \end{cases} ; \text{ com } S = \sum_{i=0}^{n-1} S_i \cdot 2^i$$

Equivalentemente, podemos fazer:

$$Z = \begin{cases} X_0 & \text{se } (S_1 S_0) = 00 \\ X_1 & \text{se } (S_1 S_0) = 01 \\ X_2 & \text{se } (S_1 S_0) = 10 \\ X_3 & \text{se } (S_1 S_0) = 11 \end{cases}$$

2.2.2. Especificação binária:

Entrada:

$\underline{X} = (X_3, X_2, X_1, X_0)$ com $X_i \in \{0,1\}$ e $i = 0, 1, 2, 3$

$\underline{S} = (S_1, S_0)$ com $S_i \in \{0,1\}$ e $i = 0, 1$

$E \in \{0, 1\}$; (entrada de enable)

Saída:

$Z \in \{0,1\}$

Função: Tabela Verdade

E	S_1	S_0	Z
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	X_0
1	0	1	X_1
1	1	0	X_2
1	1	1	X_3

2.2.3. Minimização:

	$S_1'S_0'$	$S_1'S_0$	S_1S_0	S_1S_0'
E'	0	0	0	0
E	X_0	X_1	X_2	X_3

$Z = ES_1'S_0X_0 + ES_1'S_0X_1 + ES_1S_0'X_2 + ES_1S_0X_3$; (4 ANDs de 4 e 1 OR de 4, i.e., 8 portas)

ou

$Z = E(S_1'S_0'X_0 + S_1'S_0X_1 + S_1S_0'X_2 + S_1S_0X_3)$; (4 ANDs de 3, 1 OR de 4 e 1 AND de 2, i.e., 9 portas)

2.2.4. Esquemático do circuito:

O circuito foi implementado usando a função que apresentou menor número de portas lógicas necessárias. Na figura 4 é apresentado o diagrama esquemático do circuito implementado.

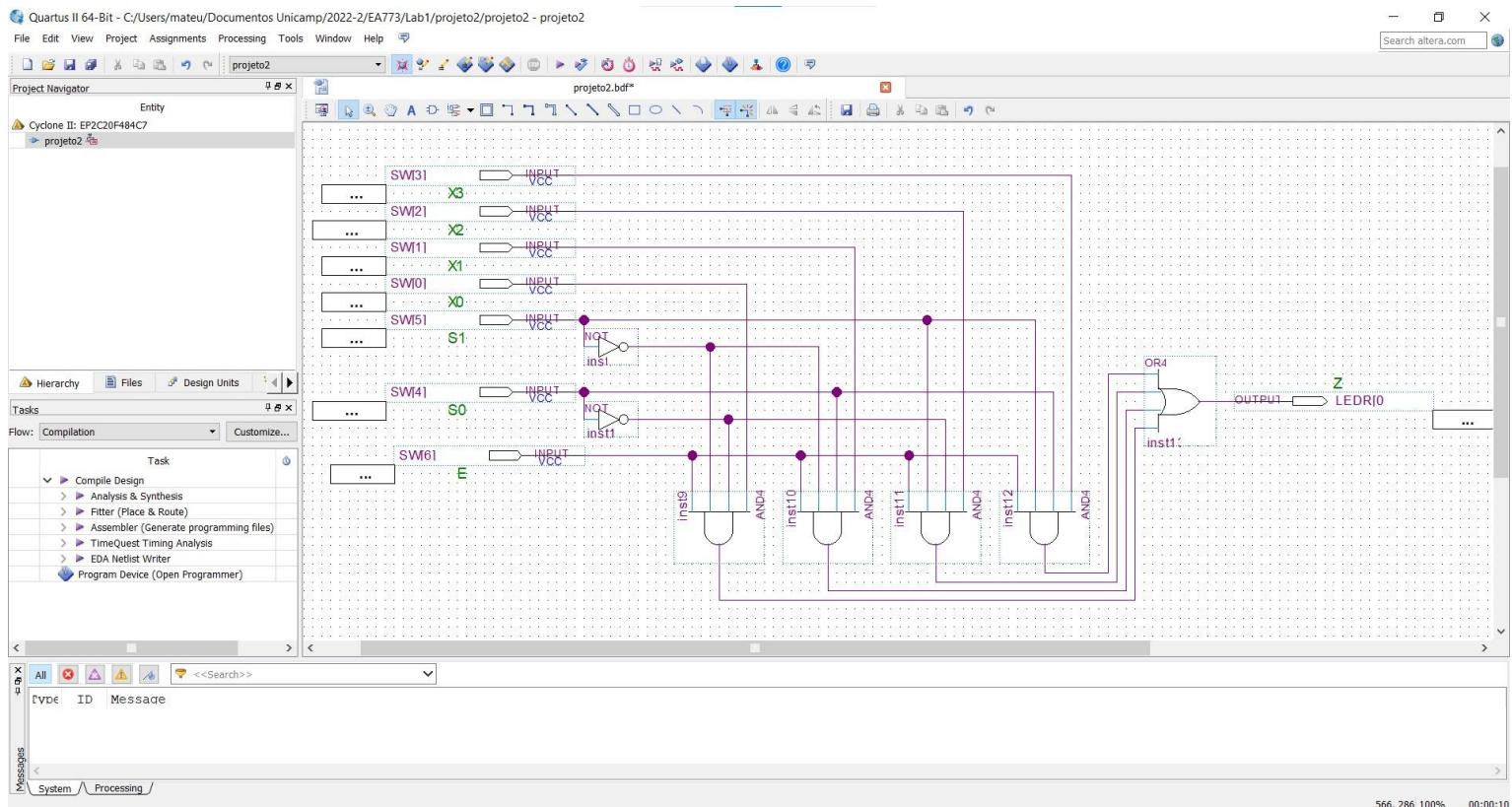


Figura 4: Diagrama esquemático do circuito

2.3. Simulação:

Para a simulação, as entradas foram configuradas de modo a abrangerem todos os casos possíveis da tabela verdade.

2.3.1. Simulação funcional:

A simulação funcional do circuito projetado está disposta na figura 5. Nela nota-se que o sinal de saída $LEDR[0]$ só sofre alteração quando a entrada de enable está em nível lógico alto. Além disso, as alterações ocorrem de acordo com a entrada selecionada por $(S_1 S_0)$, assim como o previsto no escopo.

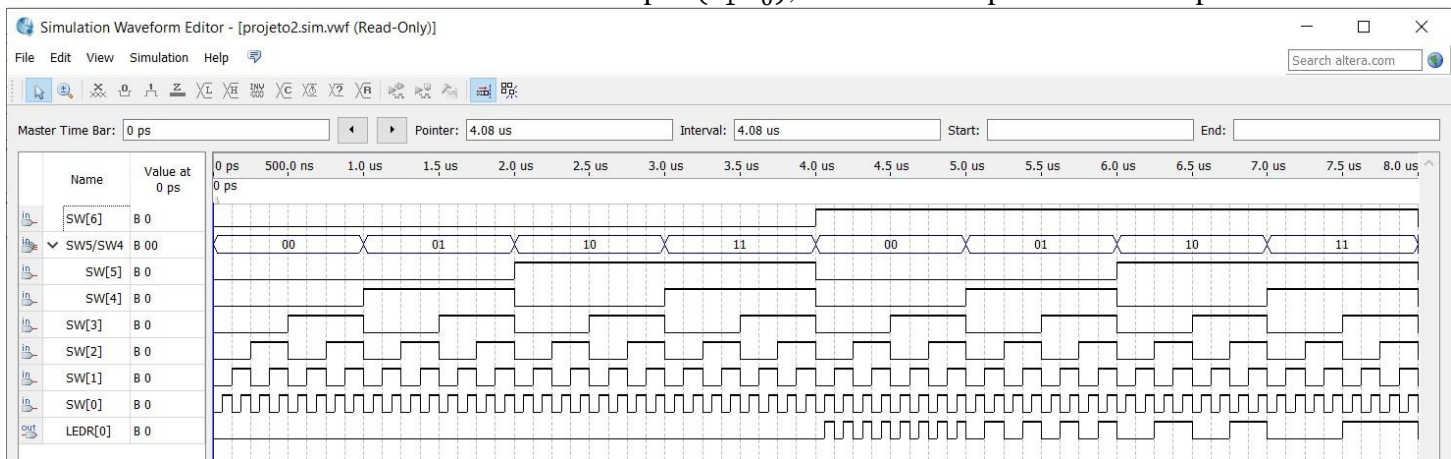


Figura 5: Simulação funcional

2.3.2. Simulação temporizada:

A simulação temporizada do circuito projetado está disposta na figura 6. Nela também é possível notar que o circuito age de acordo com o comportamento especificado.

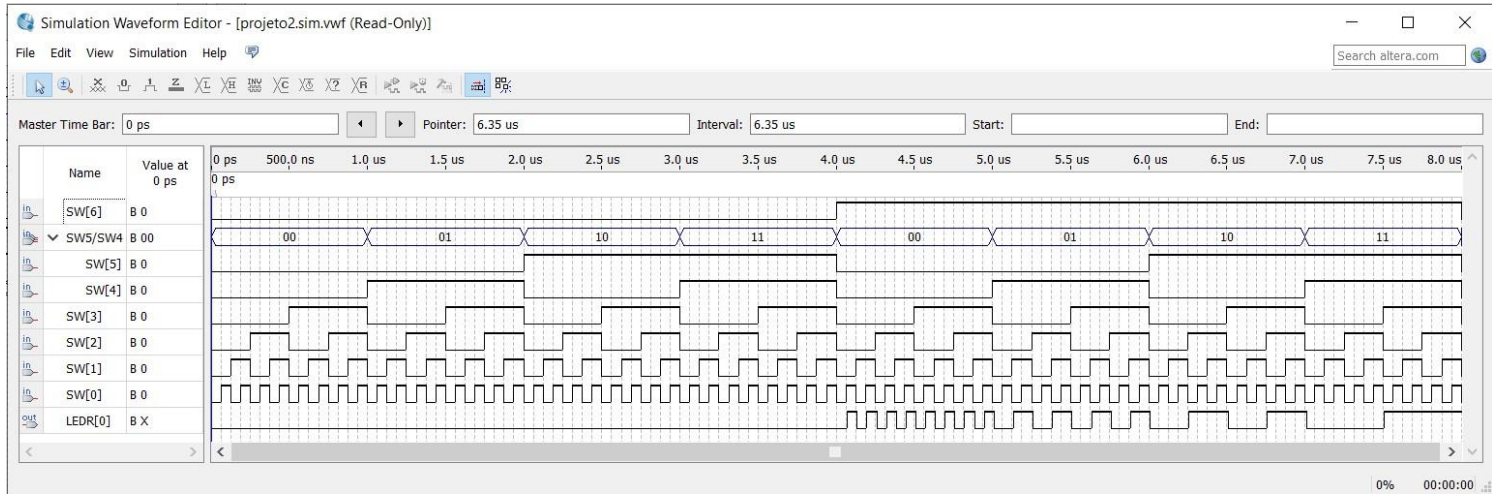


Figura 6: Simulação temporizada