**EA773 Laboratório de Circuitos Lógicas**

**Relatório Roteiro 1**

**Autor:** Mateus Henrique Silva Araújo

**RA: 184940**

**Data:** 27/08/2022

1. **Projeto 1: Reconhecedor de Dígitos de RA**
   1. **Escopo:**

Projeto de um circuito combinacional com quatro bits de entrada capaz de detectar os dígitos 0, 1, 8, 4 e 9, codificados em BCD, e acionar um LED de saída. Como a entrada binária será codificada em BCD, foi adotado que número acima de nove não serão inseridos.

* 1. **Projeto do circuito:**
     1. **Especificação de alto-nível:**

*Entrada:*

*Saída:*

*Função:*

* + 1. **Especificação binária:**

*Entrada:*

com . O vetor de bits representam os valores 0 a 9 em codificação BCD, sendo o bit mais significativo

*Saída:*

*Função:*

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  |  |  |  |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | X |
| 1 | 0 | 1 | 1 | X |
| 1 | 1 | 0 | 0 | X |
| 1 | 1 | 0 | 1 | X |
| 1 | 1 | 1 | 0 | X |
| 1 | 1 | 1 | 1 | X |

* + 1. **Minimização:**
       1. **Soma de Produtos:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  |  |  |  |
|  | 1 | 1 | 0 | 0 |
|  | 1 | 0 | 0 | 0 |
|  | X | X | X | X |
|  | 1 | 1 | X | X |

; (3 NOTs, 2 ANDs e 1 OR, i.e., 6 portas)

* + - 1. **Produto de somas:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  |  |  |  |
|  | 1 | 1 | 0 | 0 |
|  | 1 | 0 | 0 | 0 |
|  | X | X | X | X |
|  | 1 | 1 | X | X |

; (3 NOTs, 1 ANDs e 1 OR, i.e., 5 portas)

* + 1. **Esquemático do circuito:**

O circuito será implementado usando a função proveniente da soma de produtos, com o intuito de gerar o menor uso de portas lógicas. Na figura 1 é apresentado o diagrama esquemático do circuito implementado.

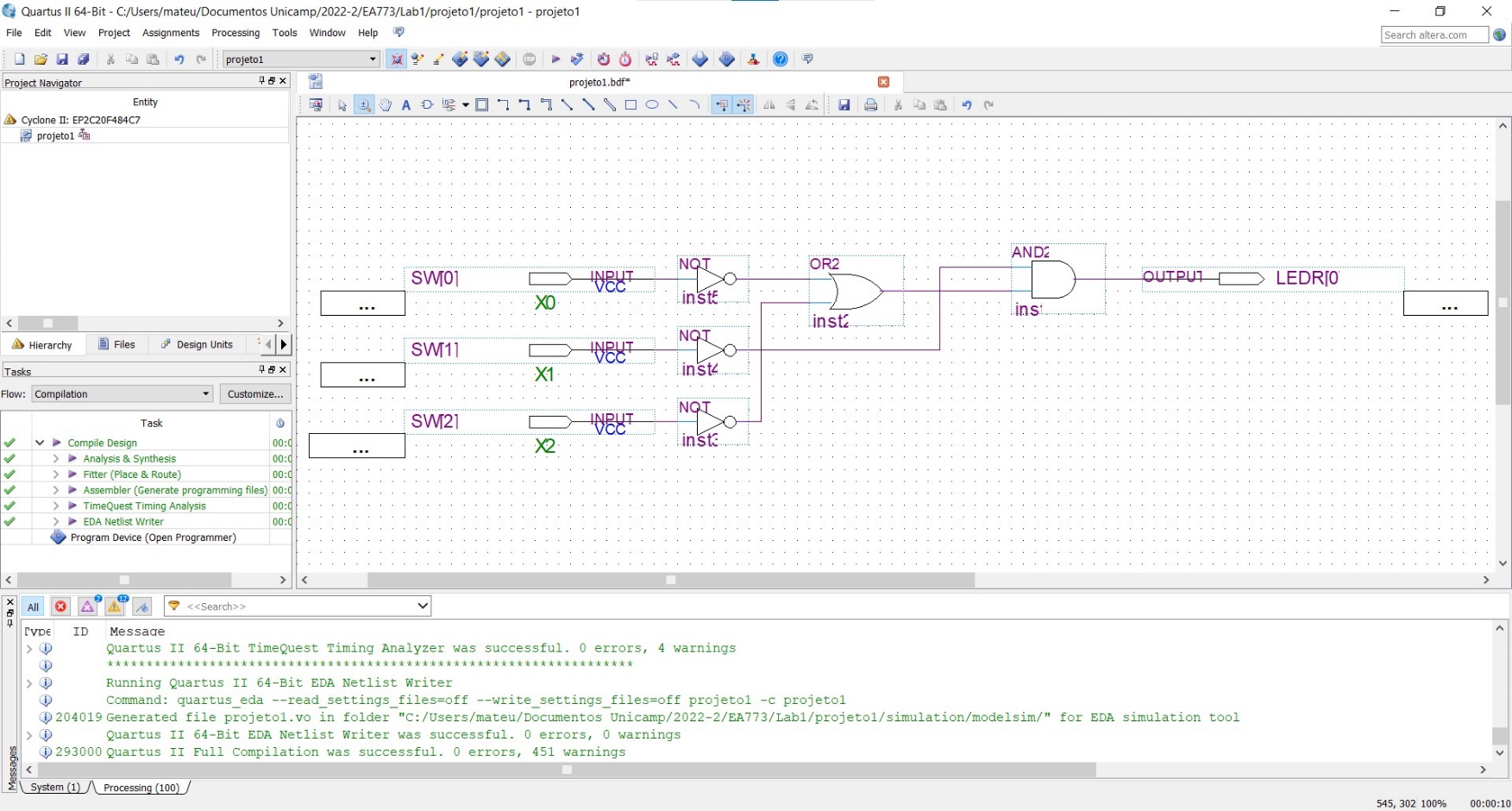


Figura 1: Diagrama esquemático do circuito

* 1. **Simulação:**

Para a simulação, as entradas foram configuradas de modo a representar todos as configurações possíveis, até mesmo aquelas consideradas inválidas (10 a 15, como descrito no escopo do projeto).

* + 1. **Simulação funcional:**

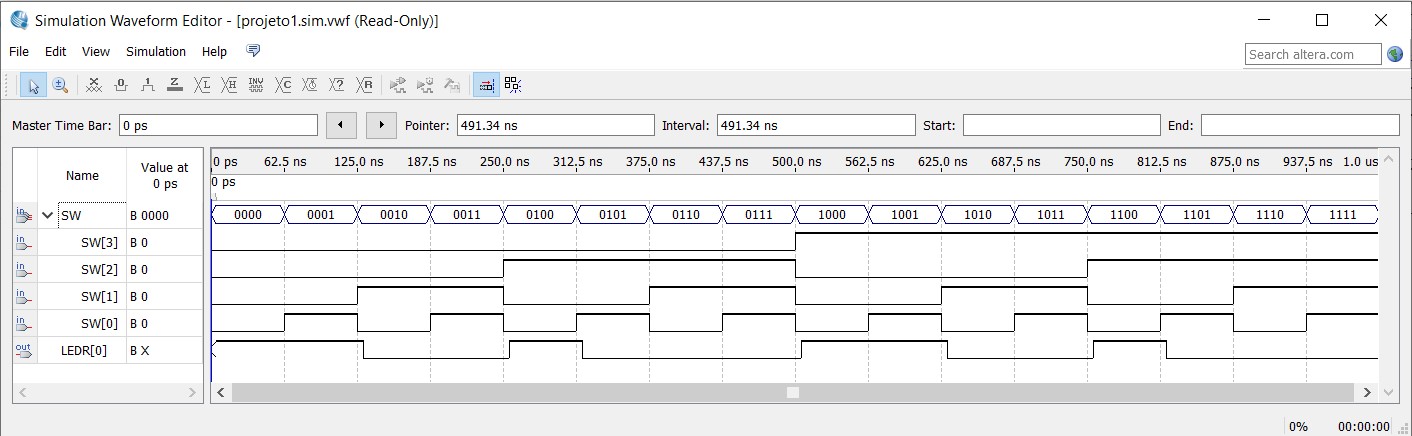
****A simulação funcional do circuito projetado está disposta na figura 2. Nela nota-se que o sinal de saída é verdadeiro se a entrada representa os dígitos 0, 1, 4, 8 ou 9 codificados em BCD, assim como descrito no escopo.

Figura 2: Simulação funcional do circuito

* + 1. **Simulação temporizada:**

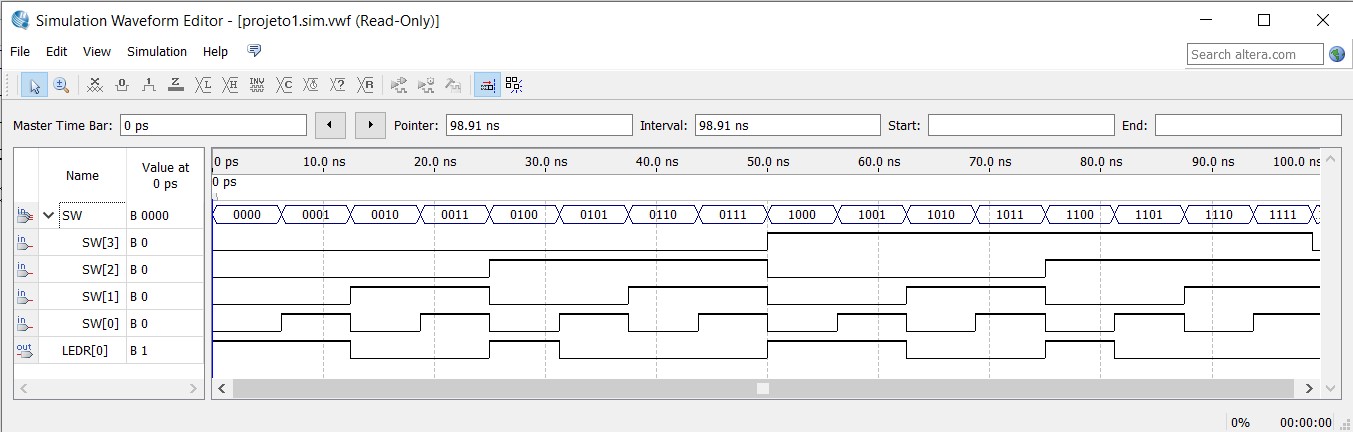
A simulação temporizada do circuito projetado está disposta na figura 3. Nela também é possível notar que o circuito age de acordo com o comportamento especificado.

Figura 3: Simulação temporizada do circuito

1. **Projeto 2: Multiplexador 4-para-1**
   1. **Escopo:**

Projeto de um circuito combinacional capaz de atuar como um multiplexador 4-para-1, recebendo quatro entradas e selecionando uma delas para redirecionar para a saída.

* 1. **Projeto do circuito:**
     1. **Especificação de alto-nível:**

*Entrada:*

com e

com e

;(entrada de enable)

*Saída:*

*Função:*

; com

Equivalentemente, podemos fazer:

* + 1. **Especificação binária:**

*Entrada:*

com e

com e

;(entrada de enable)

*Saída:*

*Função: Tabela Verdade*

|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 |  |
| 1 | 0 | 1 |  |
| 1 | 1 | 0 |  |
| 1 | 1 | 1 |  |

* + 1. **Minimização:**



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  |  |  |  |
|  | 0 | 0 | 0 | 0 |
|  |  |  |  |  |

; (4 ANDs de 4 e 1 OR de 4, i.e., 8 portas)

; (4 ANDS de 3, 1 OR de 4 e 1 AND de 2, i.e., 9 portas)

* + 1. **Esquemático do circuito:**

O circuito foi implementado usando a função que apresentou menor número de portas lógicas necessárias. Na figura 4 é apresentado o diagrama esquemático do circuito implementado.

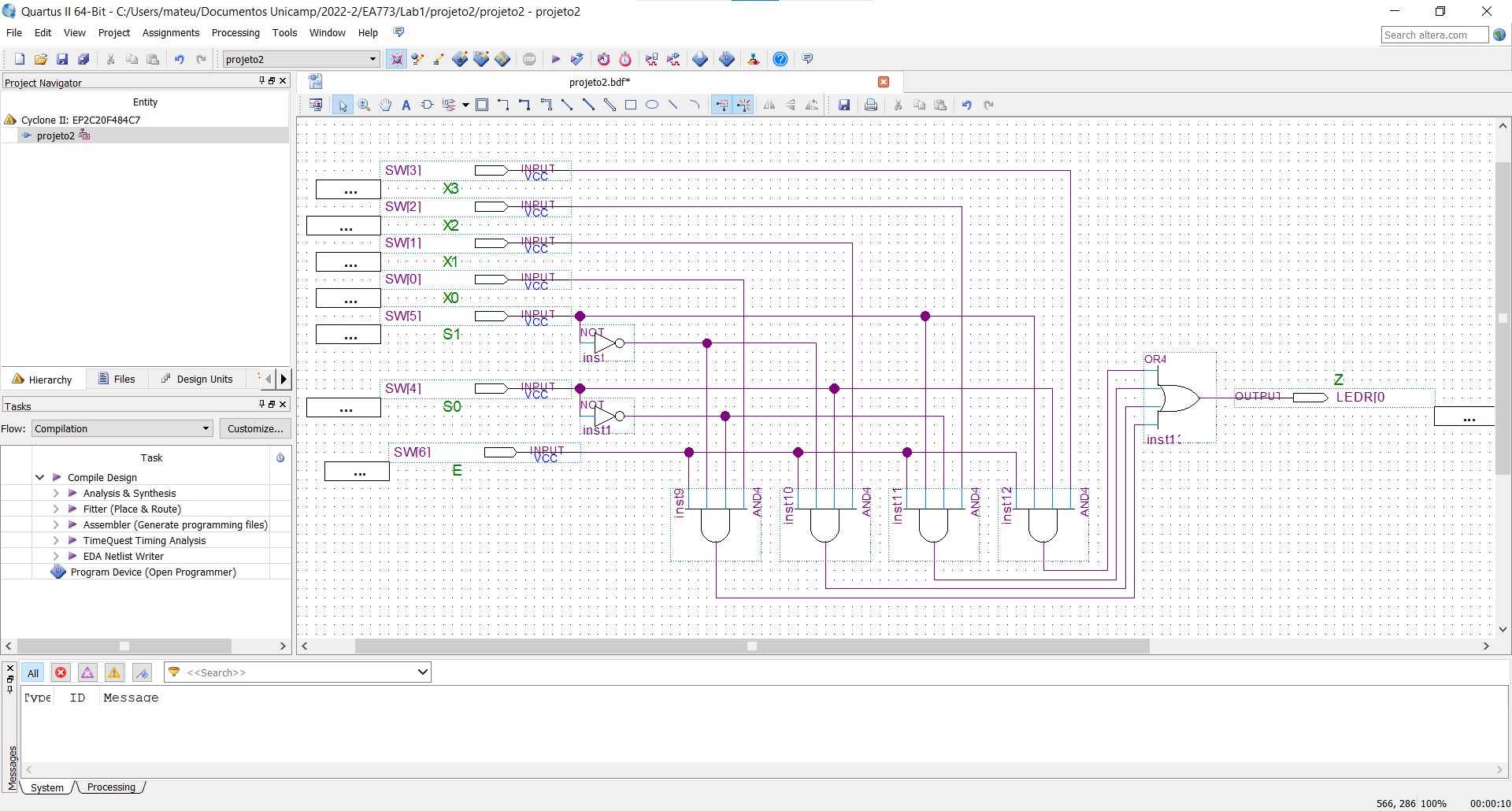


Figura 4: Diagrama esquemático do circuito

* 1. **Simulação:**

Para a simulação, as entradas foram configuradas de modo a abrangerem todos os casos possíveis da tabela verdade.

* + 1. **Simulação funcional:**

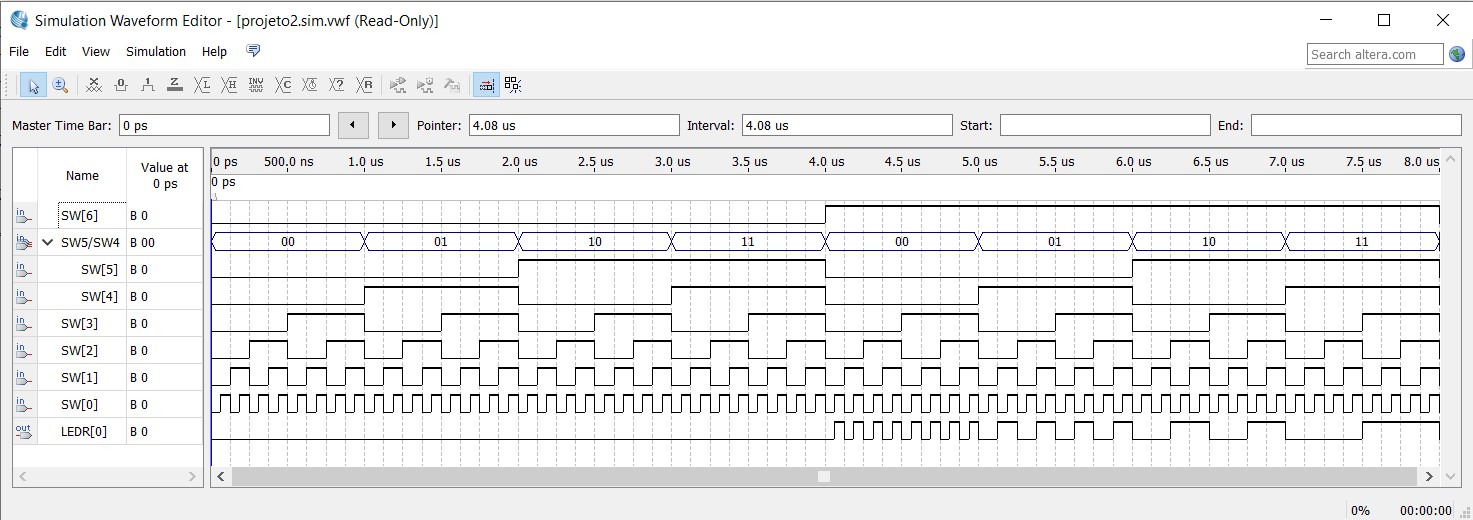
A simulação funcional do circuito projetado está disposta na figura 5. Nela nota-se que o sinal de saída só sofre alteração quando a entrada de enable está em nível lógico alto. Além disso, as alterações ocorrem de acordo com a entrada selecionada por , assim como o previsto no escopo.

Figura 5: Simulação funcional

* + 1. **Simulação temporizada:**

Interface gráfica do usuário

Descrição gerada automaticamente com confiança baixaA simulação temporizada do circuito projetado está disposta na figura 6. Nela também é possível notar que o circuito age de acordo com o comportamento especificado.

Figura 6: Simulação temporizada