**EA773 - Laboratório de Circuitos Lógicos**

**Relatório Roteiro 3**

**Autor:** Mateus Henrique Silva Araújo

**RA: 184940**

**Data:** 06/10/2022

1. **Projeto 1: Registrador síncrono de 4 bits**
   1. **Escopo:**

Projeto de um circuito sequencial que implemente um registrador síncrono de 4 bits sensível a borda de subida, utilizando apenas flip-flops tipo D, portas AND, OR e NOT. O registrador deve possuir funcionalidades de carregamento e limpeza síncronas.

* 1. **Especificação de alto-nível:**

*Entradas:*

*;*

*;*

*.*

*Saídas:*

*.*

*Estado:*

*;*

*.*

*Função de transição de estado e saída:*

|  |  |
| --- | --- |
|  | ,se e |
| ,se e |
| ,se |
| *.* |  |

* 1. **Especificação binária:**

*Entradas:*

*com e ;*

*;*

*.*

*Saídas:*

*com e .*

*Estado:*

*com e ;*

*.*

*Função de transição de estado e saída:*

Como cada bit do registrador é independente dos demais, com o intuito de tanto simplificar a minimização do circuito quanto organizar o esquemático do projeto final, criou-se um módulo que implementa um registrador de um bit, com carga e limpeza síncronas. Dessa forma, o circuito completo seria composto por 4 desses módulos, cada um recebendo os sinais de carga e limpeza fornecido ao registrador, bem como o valor de carga respectivo a cada bit. Para tanto, a tabela de transição de estados e excitação foi construída considerando as entradas (sinal de carga paralela), (sinal de limpeza), (valor a ser carregado) e (estado atual do flip-flop). Nela também estão dispostos (estado posterior que o flip-flop deve assumir) e (valor que deve estar na entrada do flip-flop para gerar a transição desejada).

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Tabela de transição de estados e excitação | | | | | |
|  |  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 |

Como , a função de saída do circuito será .

* 1. **Minimizações:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  |  |  |  |
|  | 0 | 1 | 1 | 0 |
|  | 0 | 0 | 0 | 0 |
|  | 0 | 0 | 0 | 0 |
|  | 0 | 0 | 1 | 1 |
|  | | | | |

* 1. **Esquemático do circuito:**

O módulo do registrador unitário descrito anteriormente foi implementado de acordo com a equação de minimização apresentada acima. Seu diagrama esquemático está disposto na figura 1. Usando quatro componentes desse módulo e conectando as respectivas entradas de carga, limpeza e valor de carga, construiu-se o circuito do registrador de quatro bits, cujo diagrama está disposto na figura 2. Além disso, com intuito de testar o circuito implementado na FPGA, o próprio registrador de 4 bits foi encapsulado em um módulo de teste, cujo esquemático é mostrado na figura 3, o qual foi carregado na placa e passou pelos mesmos testes feitos nas simulações.

|  |
| --- |
| Diagrama, Esquemático  Descrição gerada automaticamente |
| *Figura 1: Diagrama esquemático do módulo “registrador\_1\_bit” presente no circuito final do registrador de 4 bits. Este circuito foi implementado seguindo a equação de minimização encontrada acima.* |

|  |  |
| --- | --- |
| Diagrama, Esquemático  Descrição gerada automaticamente | *Figura 2: Diagrama esquemático do circuito sequencial que implementa um registrador de 4 bits. Este circuito faz uso do módulo “registrador\_1\_bit” apresentado acima.* |

|  |
| --- |
| Interface gráfica do usuário  Descrição gerada automaticamente com confiança média |
| *Figura 3: Diagrama esquemático do módulo de teste do registrador de 4 bits. A associação de pinos para entradas e saídas aplicadas nesse circuito seguiu o proposto no roteiro da atividade. Esse módulo foi usado para o teste do circuito do registrador na placa, tendo sido efetuados testes semelhantes ao das simulações feitas.* |

* 1. **Simulações:**

Como todos os circuitos desse projeto estão submetidos a clocks manuais, somente simulações funcionais foram efetuadas. O módulo do registrador de um bit passou por uma simulação a qual considerou todas as combinações possíveis das entradas e cujo resultado está apresentado na figura 4. Já o circuito do registrador de 4 bits foi avaliado por meio de uma simulação que considerou diferentes combinações de entrada, que foram escolhidas com o intuito de demonstrar todas as funcionalidades requisitadas no roteiro da atividade. O resultado de tal simulação está disposto na figura 5.

|  |  |
| --- | --- |
| Interface gráfica do usuário, Aplicativo, Tabela  Descrição gerada automaticamente | |
| *Figura 4: Simulação funcional do módulo “registrador\_1\_bit”. Nela foram consideradas todas as combinações possíveis das entradas. É válido destacar o intervalo entre e , uma vez que nele nota-se a capacidade do circuito de efetuar a carga (quando LD=1) e a limpeza (quando CLR=1) síncrona (ou seja, somente na subida de CLK).* | |
| Interface gráfica do usuário, Aplicativo, Tabela  Descrição gerada automaticamente | |
| *Figura 5: Simulação funcional do circuito do registrador de 4 bits. Nela foram usadas diferentes combinações das entradas de modo a demonstrar todas as funcionalidades desejadas. Durante toda o intervalo de tempo da simulação, nota-se a capacidade do carregamento síncrono do circuito (que ocorre somente se LD=1, CLR=0 e há uma borda de subida do clock). No intervalo entre e nota-se não só a capacidade de limpeza síncrona do circuito (que ocorre quando CLR=1 e há uma borda ativa do clock), mas também a preferência da limpeza ante a carga (especificada na função de transição de estado e saída).* | |
|  | |

1. **Projeto 2: Contador síncrono módulo 16**
   1. **Escopo:**

Projeto de um circuito sequencial que implemente um contador síncrono de módulo 16 sensível a borda de subida, utilizando apenas flip-flops JK, bem como portas AND, OR e NOT. O contador deve possuir funcionalidades de habilitação (enable), carga paralela (load) e limpeza (clear) síncronas, assim como emissão de sinal de término de contagem (terminal count).

* 1. **Especificação de alto-nível:**

*Entradas:*

*;*

*;*

*;*

*.*

*Saídas:*

*.*

*.*

*Estado:*

*;*

*.*

*Função de transição de estado e saída:*

|  |  |
| --- | --- |
|  | ,se |
| ,se , e |
| ,se, e |
| ,se e |
| *.* |  |

* 1. **Especificação binária:**

*Entradas:*

*com e ;*

*;*

*;*

*.*

*Saídas:*

*com e .*

*.*

*Estado:*

*com e ;*

*.*

*Função de transição de estado e saída:*

Como o circuito sequencial a ser construído apresenta 8 bits de entrada e mais 4 bits provenientes da realimentação do sistema, uma tabela de transição de estados e excitação completa teria 12 colunas de entradas e, portanto, linhas, contendo todas as combinações possíveis dessas entradas. Isto faz com que a tanto a construção manual dessa tabela quanto a minimização das expressões lógicas provenientes dela seja impraticável.

Para contornar tal empecilho, o circuito projetado foi dividido em duas partes: uma parte que fornece o sinal de realimentação adequado para cada flip-flop (o qual depende do bit que este elemento de memória representa) e uma parte que seleciona qual sinal deve ser fornecido aos flip-flops de acordo com a combinação das entradas , e fornecidas ao contador. Dessa forma, para implementar a parte do sistema que fornece a realimentação adequada a cada flip-flop, usamos a tabela de transição de estados e excitação de um contador de módulo 16 padrão. Nela estão apresentados os estados atuais de cada flip-flop , os estados futuros que devem ser assumidos e as entradas e que devem ser fornecidas para provocar a transição desejada.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Tabela de transição de estados e excitação de um contador módulo 16 | | | | | | | | | | | | | | | |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | x | 0 | x | 0 | x | 1 | x |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | x | 0 | x | 1 | x | x | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | x | 0 | x | x | 0 | 1 | x |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | x | 1 | x | x | 1 | x | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | x | x | 0 | 0 | x | 1 | x |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | x | x | 0 | 1 | x | x | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | x | x | 0 | x | 0 | 1 | x |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | x | 0 | x | 1 | x | 1 | x | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | x | 0 | 0 | x | 0 | x | 1 | x |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | x | 0 | 0 | x | 1 | x | x | 1 |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | x | 0 | 0 | x | x | 0 | 1 | x |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | x | 0 | 1 | x | x | 1 | x | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | x | 0 | x | 0 | 0 | x | 1 | x |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | x | 0 | x | 0 | 1 | x | x | 1 |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | x | 0 | x | 0 | x | 0 | 1 | x |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | x | 1 | x | 1 | x | 1 | x | 1 |

Esta tabela será utilizada para definir a entrada de realimentação a ser fornecida ao circuito combinacional que seleciona a entrada de cada flip-flop. Esse circuito atua, basicamente, como um multiplexador, sendo os sinais e suas entradas de seleção. Para definirmos as demais entradas a serem selecionadas, precisamos analisar o comportamento desejado mediante cada possibilidade de seleção:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Tabela verdade do seletor de entrada | | | | |
|  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 |  |  |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 |  |  |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 |

|  |  |  |  |
| --- | --- | --- | --- |
| Tabela verdade do carregamento | | | |
|  |  |  |  |
| 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

A tabela verdade ao lado descreve o comportamento desejado para o seletor combinacional. Nela, é o bit de carregamento e é a entrada de realimentação correspondente para o flip-flop . Há uma antecipação de um resultado obtido na seção de minimizações, o qual indica que todos os flip-flops JK do contador recebem a mesma entrada de realimentação correspondente tanto em quanto em e, portanto, se então . Além disso, também se usa do fato que, se , o FF deve zerar seu valor, independente do estado atual, por isso . Outro detalhe é que, para realizar o carregamento do bit independente do estado em que o FF está, basta fazer e . Essa conclusão se baseia na tabela verdade ao lado, cuja minimização é trivial.

Por fim, para implementar o sinal de saída basta notar que este só é igual a 1 se todas as saídas dos flip-flops são 1, ou seja . Como , então .

* 1. **Minimizações:**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Minimização das funções do contador normal | | | | | | | | | | | | | | | | | | |
|  |  | |  | |  | |  |  | |  |  | | |  |  | |  | |
|  | 1 | | x | | x | | 1 |  | |  | x | | | 1 | 1 | | x | |
|  | 1 | | x | | x | | 1 |  | |  | x | | | 1 | 1 | | x | |
|  | 1 | | x | | x | | 1 |  | |  | x | | | 1 | 1 | | x | |
|  | 1 | | x | | x | | 1 |  | |  | x | | | 1 | 1 | | x | |
|  | | | | | | | | | | | | | | | | | | |
|  |  | |  | |  | |  |  | |  |  | | |  |  | |  | |
|  | 0 | | 1 | | x | | x |  | |  | x | | | x | 1 | | 0 | |
|  | 0 | | 1 | | x | | x |  | |  | x | | | x | 1 | | 0 | |
|  | 0 | | 1 | | x | | x |  | |  | x | | | x | 1 | | 0 | |
|  | 0 | | 1 | | x | | x |  | |  | x | | | x | 1 | | 0 | |
|  | | | | | | | | | | | | | | | | | | |
|  |  | |  | |  | |  |  | |  |  | | |  |  | |  | |
|  | 0 | | 0 | | 1 | | 0 |  | |  | x | | | x | x | | x | |
|  | x | | x | | x | | x |  | |  | 0 | | | 0 | 1 | | 0 | |
|  | x | | x | | x | | x |  | |  | 0 | | | 0 | 1 | | 0 | |
|  | 0 | | 0 | | 1 | | 0 |  | |  | x | | | x | x | | x | |
|  | | | | | | | | | | | | | | | | | | |
|  |  | |  | |  | |  |  | |  |  | | |  |  | |  | |
|  | 0 | | 0 | | 0 | | 0 |  | |  | x | | | x | x | | x | |
|  | 0 | | 0 | | 1 | | 0 |  | |  | x | | | x | x | | x | |
|  | x | | x | | x | | x |  | |  | 0 | | | 0 | 1 | | 0 | |
|  | x | | x | | x | | x |  | |  | 0 | | | 0 | 0 | | 0 | |
|  | | | | | | | | | | | | | | | | | | |
| Minimização das funções do circuito seletor | | | | | | | | | | | | | | | | | | | | | |
| : | |  | |  | |  | | |  | | |  | : | | |  | |  | |  |  |
|  | | 0 | |  | |  | | | 0 | | |  |  | | | 0 | |  | |  | 0 |
|  | | 0 | | 0 | | 0 | | | 0 | | |  |  | | | 0 | | 1 | | 1 | 0 |
|  | | | | | | | | | | | |  |  | | | | | | | | |

* 1. **Esquemático do circuito:**

Usando das funções minimizadas acima, o circuito seletor de entrada foi implementado e encapsulado no módulo “transmite\_entrada”. O diagrama esquemático desse circuito está apresentado na figura 6. Dessa forma, para implementar o circuito do contador com as funcionalidades desejadas, bastou configurar as entradas de realimentação para cada flip-flop, de acordo com as funções minimizadas na seção anterior, e ligá-la, juntamente com as demais entradas do circuito, no módulo “transmite\_entrada” correspondente, assim como mostrado no diagrama final do circuito (figura 7). Além disso, com intuito de testar o circuito implementado na FPGA, o próprio contador foi encapsulado em um módulo de teste, cujo esquemático é mostrado na figura 8, o qual foi carregado na placa e passou pelos mesmos testes feitos nas simulações.

|  |
| --- |
| Diagrama, Esquemático  Descrição gerada automaticamente |
| *Figura 6: Diagrama esquemático do módulo “trasmite\_entrada”, que implementa o circuito seletor das entradas e do flip-flop no circuito do contador. Este circuito foi implementado usando as equações de minimização apresentadas na seção anterior.* |
| Diagrama, Esquemático  Descrição gerada automaticamente |
| *Figura 7: Diagrama esquemático do circuito final do contador de módulo 16. Assim como descrito anteriormente, ele consiste basicamente em uma parte que seleciona o sinal adequado a ser fornecido aos flip-flops de acordo com as entradas de load, clear e enable recebidas (componentes do módulo “transmite\_entrada” ), e uma parte que calcula o sinal de realimentação próprio a ser usado em cada caso de seleção.* |

|  |
| --- |
| Diagrama  Descrição gerada automaticamente |
| *Figura 8: Diagrama esquemático do módulo de teste do contador de módulo 16. A associação de pinos para entradas e saídas aplicadas nesse circuito seguiu o proposto no roteiro da atividade. Esse módulo foi usado para o teste do circuito do registrador na placa, tendo sido efetuados testes semelhantes ao das simulações feitas. Esse módulo também foi usado no terceiro projeto desse roteiro.* |

* 1. **Simulações:**

Como todos os circuitos desse projeto estão submetidos a clocks manuais, somente simulações funcionais foram efetuadas. O módulo “transmite\_entrada” passou por uma simulação a qual considerou todas as combinações possíveis das entradas e cujo resultado está apresentado na figura 9. Já o circuito do contador módulo 16 foi avaliado por meio de simulações que consideraram diferentes combinações de entrada, escolhidas com o intuito de demonstrar todas as funcionalidades requisitadas no roteiro da atividade. Os resultados delas estão dispostos nas figuras 10 a 13.

|  |
| --- |
| **Diagrama  Descrição gerada automaticamente com confiança média** |
| *Figura 9: Simulação funcional do módulo “transmite\_entrada”. Nela foram consideradas todas as combinações possíveis das entradas do módulo. Nota-se que as saídas obtidas são as mesmas que as previstas nas tabelas verdade usadas.* |

|  |
| --- |
| **Interface gráfica do usuário, Aplicativo  Descrição gerada automaticamente** |
| *Figura 10: Simulação funcional do circuito do contador de módulo 16. Essa simulação busca demonstrar o comportamento normal do contador, que muda de estado sempre que há uma borda ativa do clock e , pausando em um mesmo estado se . Também é possível notar que o sinal funciona corretamente, pois só fica em nível alto quando o contador atinge o estado 15.* |

|  |
| --- |
| **Diagrama  Descrição gerada automaticamente com confiança média** |
| *Figura 11: Simulação funcional do circuito do contador de módulo 16. Essa simulação busca demonstrar a funcionalidade de carregamento síncrono do circuito e sua interação com a contagem. Nota-se que a carga só ocorre se e há uma borda ativa do clock, inserindo o valor em nos flip-flops corretamente e, em seguida, seguindo a contagem normal. Percebe-se também que o sinal continua coerente com o esperado.* |

|  |
| --- |
| **Tela de celular com texto preto sobre fundo branco  Descrição gerada automaticamente** |
| *Figura 12: Simulação funcional do circuito do contador de módulo 16. Essa simulação busca demonstrar a funcionalidade de limpeza síncrona do circuito e sua interação com a contagem. Nota-se que ela só ocorre se e há uma borda ativa do clock, zerando a contagem atual e, em seguida, seguindo normalmente.* |

|  |
| --- |
| **Uma imagem contendo Interface gráfica do usuário  Descrição gerada automaticamente** |
| *Figura 13: Simulação funcional do circuito do contador de módulo 16. Essa simulação busca demonstrar a interação entre as funcionalidades de carga e limpeza síncrona. Nota-se que a limpeza tem preferência sobre a carga, bem como ambas só acontecem se , assim como descrito no roteiro da atividade.* |

1. **Projeto 3: Contador síncrono módulo 256**
   1. **Escopo:**

Projeto de um circuito sequencial que implemente um contador síncrono de módulo 256, utilizando, para isso, de dois contadores síncronos de módulo 16. De modo análogo aos contadores de menor ordem, o contador deve possuir funcionalidades de habilitação (enable), carga paralela (load) e limpeza (clear) síncronas, assim como emissão de sinal de término de contagem (terminal count).

* 1. **Especificação de alto-nível:**

*Entradas:*

*;*

*;*

*;*

*.*

*Saídas:*

*.*

*.*

*Estado:*

*;*

*.*

*Função de transição de estado e saída:*

|  |  |
| --- | --- |
|  | ,se |
| ,se , e |
| ,se, e |
| ,se e |
| *.* |  |

* 1. **Especificação binária:**

*Entradas:*

*com e ;*

*;*

*;*

*.*

*Saídas:*

*com e .*

*.*

*Estado:*

*com e ;*

*.*

*Função de transição de estado e saída:*

Como serão utilizadas duas componentes do módulo “contador\_mod16” implementado anteriormente, as funções de transição de estado e de excitação serão as mesmas. Resta apenas estabelecer os sinais que serão enviados para as entradas de cada uma dessas componentes, bem como os sinais de saídas. Para tanto, vamos iniciar definindo um desses contadores de módulo 16 como menos significativo (LS) e o outro como mais significativo (MS). Dessa forma, temos que:

* , sendo , com e representando as saídas do contador LS , ou , com e e representando as saídas do contador MS;
* , sendo o sinal de MS e o sinal de LS;
* Para ambos (MS e LS), os sinais , e são os mesmos que fornecidos como entrada do contador final;
* Para LS, o sinal (enable desse contador) é o mesmo que o fornecido como entrada do contador final;
* Para MS, o sinal (enable desse contador) deve seguir a tabela verdade abaixo:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Tabela Verdade do sinal | | | | |
|  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

* 1. **Minimizações:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  |  |  |  |
|  | 0 | 0 | 0 | 0 |
|  | 0 | 1 | 1 | 1 |
|  | 1 | 1 | 1 | 1 |
|  | 0 | 0 | 0 | 0 |
|  | | | | |

* 1. **Esquemático do circuito:**

O circuito do contador de módulo 256 foi implementado seguindo o descrito anteriormente e usando, também, da função minimizada acima. O diagrama esquemático do circuito resultante está apresentado na figura 14. Além disso, com intuito de testar o projeto implementado na FPGA, o próprio contador foi encapsulado em um módulo de teste, cujo esquemático é mostrado na figura 15, o qual foi carregado na placa e passou pelos mesmos testes feitos nas simulações.

|  |
| --- |
| Diagrama, Esquemático  Descrição gerada automaticamente |
| *Figura 14: Diagrama esquemático do circuito do contador de módulo 256. Assim como descrito previamente, nele são empregues duas componentes do módulo “contador\_mod16”, que foi implementado no projeto anterior. As conexões feitas seguem a lógica apresentada nas seções anteriores.* |

|  |
| --- |
| Diagrama  Descrição gerada automaticamente com confiança média |
| *Figura 15: Diagrama esquemático do módulo de teste do circuito contador de módulo 256. A associação de pinos para entradas e saídas aplicadas nesse circuito seguiu o proposto no roteiro da atividade. Esse módulo foi usado para o teste do circuito do registrador na placa, tendo sido efetuados testes semelhantes ao das simulações feitas.* |

* 1. **Simulações:**

O circuito final do contador módulo 256 foi avaliado por meio de simulações que consideraram diferentes combinações de entrada, escolhidas com o intuito de demonstrar todas as funcionalidades requisitadas no roteiro da atividade. Os resultados delas estão dispostos nas figuras 16 a 19.

|  |
| --- |
| **Interface gráfica do usuário, Aplicativo  Descrição gerada automaticamente** |
| *Figura 16: Simulação funcional do circuito do contador de módulo 256. Essa simulação busca mostrar a capacidade do circuito de executar o processo normal de contagem, que se dá quando e pausa quando . É possível perceber que a contagem segue como o esperado, mesmo ao se exceder a capacidade de um único contador de módulo 16. Infelizmente, devido a limitações de software, não é possível apresentar todos os 256 estados em uma única simulação.* |

|  |
| --- |
| **Interface gráfica do usuário, Aplicativo, Word  Descrição gerada automaticamente** |
| *Figura 17: Simulação funcional do circuito do contador de módulo 256. Essa simulação busca mostrar a funcionalidade de carregamento síncrono do contador, o qual insere o valor de nele mediante a habilitação do sinal de enable e a ocorrência da borda ativa do clock. Além disso, ao observar o intervalo entre e ,nota-se que a saída funciona adequadamente.* |

|  |
| --- |
| **Uma imagem contendo Linha do tempo  Descrição gerada automaticamente** |
| *Figura 18: Simulação funcional do circuito do contador de módulo 256. Essa simulação busca mostrar a funcionalidade de limpeza síncrona do contador, a qual zera a contagem mediante a habilitação do sinal de enable e a ocorrência da borda ativa do clock.* |

|  |
| --- |
| **Interface gráfica do usuário, Aplicativo  Descrição gerada automaticamente** |
| *Figura 19: Simulação funcional do circuito do contador de módulo 256 Essa simulação busca demonstrar a interação entre as funcionalidades de carga e limpeza síncrona. Nota-se que a limpeza tem preferência sobre a carga, bem como ambas só acontecem se , assim como descrito no roteiro da atividade.* |