**EA773 - Laboratório de Circuitos Lógicos**

**Relatório Roteiro 3**

**Autor:** Mateus Henrique Silva Araújo

**RA: 184940**

**Data:** 06/10/2022

1. **Projeto 1: Registrador síncrono de 4 bits**
   1. **Escopo:**

Projeto de um circuito sequencial que implemente um registrador síncrono de 4 bits sensível a borda de subida, utilizando apenas flip-flops tipo D, portas AND, OR e NOT. O registrador deve possuir funcionalidades de carregamento e limpeza síncronas.

* 1. **Especificação de alto-nível:**

*Entradas:*

*;*

*;*

*.*

*Saídas:*

*.*

*Estado:*

*;*

*.*

*Função de transição de estado e saída:*

|  |  |
| --- | --- |
|  | ,se e |
| ,se e |
| ,se |
| *.* |  |

* 1. **Especificação binária:**

*Entradas:*

*com e ;*

*;*

*.*

*Saídas:*

*com e .*

*Estado:*

*com e ;*

*.*

*Função de transição de estado e saída:*

Como cada bit do registrador é independente dos demais, com o intuito de tanto simplificar a minimização do circuito quanto organizar o esquemático do projeto final, criou-se um módulo que implementa um registrador de um bit, com carga e limpeza síncronas. Dessa forma, o circuito completo seria composto por 4 desses módulos, cada um recebendo os sinais de carga e limpeza fornecido ao registrador, bem como o valor de carga respectivo a cada bit. Para tanto, a tabela de transição de estados e excitação foi construída considerando as entradas (sinal de carga paralela), (sinal de limpeza), (valor a ser carregado) e (estado atual do flip-flop). Nela também estão dispostos (estado posterior que o flip-flop deve assumir) e (valor que deve estar na entrada do flip-flop para gerar a transição desejada).

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Tabela de transição de estados e excitação | | | | | |
|  |  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 |

Como , a função de saída do circuito será .

* 1. **Minimizações:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  |  |  |  |
|  | 0 | 1 | 1 | 0 |
|  | 0 | 0 | 0 | 0 |
|  | 0 | 0 | 0 | 0 |
|  | 0 | 0 | 1 | 1 |
|  | | | | |

* 1. **Esquemático do circuito:**

O módulo do registrador unitário descrito anteriormente foi implementado de acordo com a equação de minimização apresentada acima. Seu diagrama esquemático está disposto na figura 1. Usando quatro desses módulos e conectando as respectivas entradas de carga, limpeza e valor de carga, construiu-se o circuito do registrador de quatro bits, cujo diagrama está disposto na figura 2. Além disso, com intuito de testar o circuito implementado na FPGA, o próprio registrador de 4 bits foi encapsulado em um módulo de teste, cujo esquemático é mostrado na figura 3, o qual foi carregado na placa e passou pelos mesmos testes feitos nas simulações.

|  |
| --- |
| Diagrama, Esquemático  Descrição gerada automaticamente |
| *Figura 1: Diagrama esquemático do módulo “registrador\_1\_bit” presente no circuito final do registrador de 4 bits. Este circuito foi implementado seguindo a equação de minimização encontrada acima.* |

|  |  |
| --- | --- |
| Diagrama, Esquemático  Descrição gerada automaticamente | *Figura 2: Diagrama esquemático do circuito sequencial que implementa um registrador de 4 bits. Este circuito faz uso do módulo “registrador\_1\_bit” apresentado acima.* |

|  |
| --- |
| Interface gráfica do usuário  Descrição gerada automaticamente com confiança média |
| *Figura 3: Diagrama esquemático do módulo de teste do registrador de 4 bits. A associação de pinos para entradas e saídas aplicadas nesse circuito seguiu o proposto no roteiro da atividade. Esse módulo foi usado para o teste do circuito do registrador na placa, tendo sido efetuados testes semelhantes ao das simulações feitas.* |

* 1. **Simulações:**

Como todos os circuitos desse projeto estão submetidos a clocks manuais, somente simulações funcionais foram efetuadas. O módulo do registrador de um bit passou por uma simulação a qual considerou todas as combinações possíveis das entradas e cujo resultado está apresentado na figura 4. Já o circuito do registrador de 4 bits foi avaliado por meio de uma simulação que considerou diferentes combinações de entrada, que foram escolhidas com o intuito de demonstrar todas as funcionalidades requisitadas no roteiro da atividade. O resultado de tal simulação está disposto na figura 5.

|  |
| --- |
| Interface gráfica do usuário, Aplicativo, Tabela  Descrição gerada automaticamente |
| *Figura 4: Simulação funcional do módulo “registrador\_1\_bit”. Nela foram consideradas todas as combinações possíveis das entradas. É válido destacar o intervalo entre e , uma vez que nele nota-se a capacidade do circuito de efetuar a carga (quando LD=1) e a limpeza (quando CLR=1) síncrona (ou seja, somente na subida de CLK).* |

|  |
| --- |
| Interface gráfica do usuário, Aplicativo, Tabela  Descrição gerada automaticamente |
| *Figura 5: Simulação funcional do circuito do registrador de 4 bits. Nela foram usadas diferentes combinações das entradas de modo a demonstrar todas as funcionalidades desejadas. Durante toda o intervalo de tempo da simulação, nota-se a capacidade do carregamento síncrono do circuito (que ocorre somente se LD=1, CLR=0 e há uma borda de subida do clock). No intervalo entre e nota-se não só a capacidade de limpeza síncrona do circuito (que ocorre quando CLR=1 e há uma borda ativa do clock), mas também a preferência da limpeza ante a carga (especificada na função de transição de estado e saída).* |

1. **Projeto 2: Contador síncrono módulo 16**
   1. **Escopo:**

Projeto de um circuito sequencial que implemente um contador síncrono de módulo 16 sensível a borda de subida, utilizando apenas flip-flops JK, bem como portas AND, OR e NOT. O contador deve possuir funcionalidades de habilitação (enable), carga paralela (load) e limpeza (clear) síncronas, assim como emissão de sinal de término de contagem (terminal count).

* 1. **Especificação de alto-nível:**

*Entradas:*

*;*

*;*

*;*

*.*

*Saídas:*

*.*

*.*

*Estado:*

*;*

*.*

*Função de transição de estado e saída:*

|  |  |
| --- | --- |
|  | ,se |
| ,se , e |
| ,se, e |
| ,se e |
| *.* |  |

* 1. **Especificação binária:**

*Entradas:*

*com e ;*

*;*

*;*

*.*

*Saídas:*

*com e .*

*.*

*Estado:*

*com e ;*

*.*

*Função de transição de estado e saída:*

Como o circuito sequencial a ser construído apresenta 8 bits de entrada e mais 4 bits provenientes da realimentação do sistema, uma tabela de transição de estados e excitação completa teria 12 colunas de entradas e, portanto, linhas contendo todas as combinações possíveis dessas entradas. Isto faz com que a tanto a construção manual dessa tabela quanto a minimização das expressões lógicas provenientes dela seja impraticável.

Para contornar tal empecilho, o circuito projetado foi dividido em duas partes: uma parte que fornece o sinal de realimentação adequado para cada flip-flop (o qual depende do bit que este elemento de memória representa) e uma parte combinacional, que seleciona qual sinal deve ser fornecido aos flip-flops de acordo com a combinação das entradas , e fornecidas ao contador.

Dessa forma, para implementar a parte do sistema que fornece a realimentação adequada a cada flip-flop, usamos a tabela de transição de estados e excitação de um contador de módulo 16 padrão. Nela estão apresentados os estados atuais de cada flip-flop , os estados futuros que devem ser assumidos e as entradas e de cada flip-flop que devem ser fornecidas para provocar a transição desejada.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  | Tabela de transição de estados e excitação de um contador módulo 16 | | | | | | | | | | | |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | X | 0 | X | 0 | X | 1 | X |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | X | 0 | X | 1 | X | X | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | X | 0 | X | X | 0 | 1 | X |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | X | 1 | X | X | 1 | X | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | X | X | 0 | 0 | X | 1 | X |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | X | X | 0 | 1 | X | X | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | X | X | 0 | X | 0 | 1 | X |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | X | X | X | 1 | X | 1 | X | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | X | X | 0 | X | 0 | X | 1 | X |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | X | 0 | 0 | X | 1 | X | X | 1 |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | X | 0 | 0 | X | X | 0 | 1 | X |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | X | 0 | 1 | X | X | 1 | X | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | X | 0 | X | 0 | 0 | X | 1 | X |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | X | 0 | X | 0 | 1 | X | X | 1 |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | X | 0 | X | 0 | X | 0 | 1 | X |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | X | 1 | X | 1 | X | 1 | X | 1 |

* 1. **Minimizações:**
  2. **Esquemático do circuito:**
  3. **Simulações:**

1. **Projeto 3: Contador síncrono módulo 256**
   1. **Escopo:**
   2. **Especificação de alto-nível:**
   3. **Especificação binária:**
   4. **Minimizações:**
   5. **Esquemático do circuito:**
   6. **Simulações:**