**EA773 - Laboratório de Circuitos Lógicos**

**Relatório Roteiro 4**

**Autor:** Mateus Henrique Silva Araújo

**RA: 184940**

**Data:** 20/10/2022

1. **Projeto 1: Decodificador de display de 7 segmentos**
   1. **Escopo:**

Projeto de um circuito combinacional o qual implemente um decodificador para display de 7 segmentos, ou seja, o qual, dada uma entrada binária, converta-a na representação desse número em hexadecimal para exibição em um display de 7 segmentos.

* 1. **Especificação de alto-nível:**

*Entrada:*

*;*

*Saída:*

*.*

*Função:*

representação em hexadecimal de no display de 7 segmentos.

* 1. **Especificação binária:**

*Entrada:*

com e *.*

*Saída:*

com e *.*

*Função: Tabela verdade*

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |

* 1. **Minimizações:**

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |
|  | 1 | 1 | 0 | 0 |  |  | 0 | 1 | 1 | 1 |
|  | 0 | 0 | 1 | 0 |  |  | 0 | 0 | 1 | 0 |
|  | 1 | 0 | 0 | 0 |  |  | 0 | 1 | 0 | 0 |
|  | 0 | 0 | 0 | 0 |  |  | 0 | 0 | 0 | 0 |
|  | | | | |  |  | | | | | |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  | 0 | 1 | 1 | 0 |  |  | 0 | 1 | 0 | 0 |
|  | 1 | 1 | 1 | 0 |  |  | 1 | 0 | 1 | 0 |
|  | 0 | 0 | 0 | 0 |  |  | 0 | 0 | 1 | 0 |
|  | 0 | 1 | 0 | 0 |  |  | 0 | 1 | 0 | 1 |
|  | | | | |  |  | | | | |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  | 0 | 0 | 0 | 1 |  |  | 0 | 0 | 0 | 0 |
|  | 0 | 0 | 0 | 0 |  |  | 0 | 1 | 0 | 1 |
|  | 1 | 0 | 1 | 1 |  |  | 1 | 0 | 1 | 1 |
|  | 0 | 0 | 0 | 0 |  |  | 0 | 0 | 1 | 0 |
|  | | | | |  |  | | | | |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  | | | | | |
|  | 0 | 1 | 0 | 0 |
|  | 1 | 0 | 0 | 0 |
|  | 0 | 1 | 0 | 0 |
|  | 0 | 0 | 1 | 0 |  |  |  |  |  |  |

* 1. **Esquemático do circuito:**

Seguindo as equações de minimização mostradas acima, o circuito do decodificador para display de 7 segmentos foi montado e seu diagrama esquemático está disposto na figura 1. É válido ressaltar que, com o intuito de deixar o circuito final o mais semelhante possível ao apresentado no roteiro da atividade, a saída teve seu nome alterado para .

|  |
| --- |
| Diagrama, Esquemático  Descrição gerada automaticamente |
| *Figura 1: Diagrama esquemático do circuito do decodificador para display de 7 segmentos. Esse circuito será utilizado no circuito final dessa atividade, por isso ele foi encapsulado em um módulo e nomeado como “decodificador-7seg”.* |

* 1. **Simulações:**

Como todos os circuitos desse projeto estão submetidos a clocks manuais, somente simulações funcionais foram efetuadas. O circuito do decodificador passou por uma simulação na qual todos as combinações possíveis de entrada foram consideradas. O resultado dela está disposto na figura 2.

|  |
| --- |
| Interface gráfica do usuário, Aplicativo, Word  Descrição gerada automaticamente |
| *Figura 2: Simulação funcional do circuito do decodificador para display de sete segmentos. Nela é possível notar que o circuito funciona de acordo com o previsto pela tabela verdade apresentada anteriormente, ou seja, a saída do circuito é a representação no display da conversão para hexadecimal da entrada binária.* |

1. **Projeto 2: Módulo “bus\_tristate”**
   1. **Escopo:**

Projeto de um circuito combinacional que implemente um barramento de 4 bit, controlado por meio de buffers tri-state ligado a um único sinal de controle. Este barramento deve apresentar o valor de sua entrada caso o sinal de controle esteja ativo, ficando em estado de alta impedância, caso contrário.

* 1. **Especificação de alto-nível:**

*Entrada:*

, com e ;

(entrada de controle).

*Saída:*

, com e .

*Função:*

|  |  |  |
| --- | --- | --- |
|  | ,se | , com e sendo o estado de alta impedância. |
| ,caso contrário |

* 1. **Especificação binária:**

Como o circuito é muito simples e o estado de alta impedância não apresenta representação binária adequada, a especificação binária acaba sendo a mesma que a especificação de alto nível.

* 1. **Minimizações:**

A única forma de implementar o circuito que descreve a função apresentada na especificação é por meio do uso de buffers tri-state. Como cada bit do a barramento é independente dos demais, basta ligar cada um deles a um buffer desse tipo e associar o sinal de controle dele ao sinal de enable do barramento. Dessa forma, nenhuma minimização será necessária.

* 1. **Esquemático do circuito:**

Seguindo o apresentado acima, o circuito do módulo foi implementado e seu esquemático está disposto na figura 3.

|  |
| --- |
| Diagrama, Esquemático  Descrição gerada automaticamente |
| *Figura 3: Diagrama esquemático do módulo “bus\_tristate”. Este módulo também será utilizado no circuito final desta atividade.* |

* 1. **Simulações:**

O circuito deste módulo passou por uma simulação funcional simples, a qual buscou comprovar a capacidade dele de descrever o comportamento de três estados desejado. O resultado dessa simulação está disposto na figura 4.

|  |
| --- |
| Interface gráfica do usuário, Aplicativo, Word  Descrição gerada automaticamente |
| *Figura 4: Simulação funcional do módulo “bus\_tristate”. Nela é possível notar que o barramento disponibiliza os sinais de sua entrada somente se o valor da entrada de controle é 1, ficando em alta impedância (Z) caso ele seja igual a zero. Tal comportamento é exatamente o descrito pela especificação do circuito* |

1. **Projeto 1: ULA Estendida**
   1. **Escopo:**

Projeto de um circuito sequencial capaz de implementar uma unidade lógico-aritmética com capacidade tanto de armazenar seus operandos e resultados em registradores, quanto de exibi-los em displays de 7 segmentos. Esse circuito utilizará não só dos dois módulos desenvolvidos nessa atividade, mas também dos módulos “ULA” e “registrador\_4\_bits” construídos em atividades anteriores.

* 1. **Especificação de alto-nível:**

*Entradas:*

(entrada que controla o barramento de dados);

, com e (entrada que insere valores no barramento de dados);

(entradas de controle para o registrador A);

(entradas de controle para o registrador B);

(entradas de controle para o registrador acumulador);

(entradas de controle para o registrador de flags);

*Saídas:*

, com e (valor presente no registrador acumulador);

, com e (valor presente no registrador de flags)

, com e (saída para apresentação no display de 7 segmentos do valor presente no barramento em hexadecimal);

, com e (saída para apresentação no display de 7 segmentos do valor presente no registrador acumulador em hexadecimal);

, com e (saída para apresentação no display de 7 segmentos do valor presente no registrador B em hexadecimal);

, com e (saída para apresentação no display de 7 segmentos do valor presente no registrador A em hexadecimal);

*Função:*

Como o funcionamento do circuito é complexo, ele será descrito textualmente, ao invés de usando equações, com intuito de manter a clareza e facilitar o entendimento. Dito isto, temos que:

* O sinal deve controlar se a ULA e os registradores A e B irão receber do barramento os dados da entrada ou o do acumulador AC.
* A entrada atuará tanto como fornecedora de valores para os registradores A e B, quanto para seletora das operações executadas pela ULA (caso permitida, pela entrada , de escrever no barramento).
* As entradas do tipo devem controlar o carregamento de dados para o seu registador correspondente. O valor armazenado do registrador só deve se alterar caso haja um pulso de clock e for igual a 1.
* As entradas do tipo servirão como clocks de cada registrador. O valor armazenado no registrador correspondente só será alterado para o valor que ele recebe em sua entrada caso ocorra um pulso na entrada e sua entrada seja igual a 1.
* As entradas do tipo funcionam como sinais de limpeza síncrona para cada registrador, ou seja, o valor presente no registrador será zerado caso sua entrada seja 1 e ocorra um pulso de clock.
* A ULA interna do circuito receberá como operandos os valores dos registradores A (ligado a entrada ) e B (ligado a entrada ) e terá sua operação (entrada ) selecionada pelo valor disponível no barramento. O resultado da operação ficará disponível (por meio da saída ) para ser armazenado no registrador acumulador, enquanto as bandeiras de status (saídas C, V, N e Z da ULA) poderão ser guardadas no registrador de flags. A ULA terá as seguintes operações disponíveis:

|  |  |  |  |
| --- | --- | --- | --- |
| Código () | Nome | Operação | Descrição |
| 000x | ADD |  | Adição de x com y |
| 001x | ADDC |  | Adição de x com y com carry |
| 010x | SUB |  | Subtração y de x |
| 0110 | INC |  | Incremente unitário de x |
| 0111 | DEC |  | Decremento unitário de x |
| 1000 | NEG |  | Negação aritmética de x em complemento de 2 |
| 1001 | CMPL |  | Complemento bit-a-bit de x |

* A saída será ligada na saída do registrador acumulador para poder apresentar diretamente, em binário, o valor armazenado no acumulador da ULA.
* A saída será ligada na saída do registrador de flags para poder apresentar seu valor.
* As saídas do tipo serão utilizadas para apresentar os valores dos registradores A, B e AC, bem como o valor disponível no barramento, em displays de 7 segmentos. Para isso, estes sinais primeiro são inseridos em decodificadores, os quais geram sua representação adequada, para depois serem enviados para sua saída respectiva.
  1. **Especificação binária e minimizações:**

As entradas e saídas apresentadas na especificação de alto-nível já estão codificadas em binário, portanto não é necessário redefini-las na especificação binária. Quanto à forma binária da função do circuito ULA estendida e as minimizações decorrentes dela, como a descrição de seu funcionamento já é consideravelmente complexa mesmo em linguagem de alto-nível e tal circuito será quase totalmente implementado a partir de módulos já previamente especificados e minimizados, torna-se mais intuitivo implementar o circuito a partir do funcionamento descrito anteriormente, tomando como base o funcionamento binário de cada módulo, do que tentar aglutinar todos esses comportamentos em uma só descrição.

* 1. **Esquemático do circuito:**

O circuito da ULA estendida foi implementado seguindo as especificações descritas anteriormente, bem como o modelo disponível no roteiro da atividade. Seu diagrama esquemático está disposto na figura 5.

|  |
| --- |
| Diagrama, Esquemático  Descrição gerada automaticamente |
| *Figura 5: Diagrama esquemático do circuito ULA estendida. Esse circuito implementa a ULA descrita na especificação do projeto, usando, para tal, dos módulos “registrador\_4\_bits”, “ULA”, “decodificador\_7seg” e “bus\_tristate” implementados nesta e em outras atividades. Esse circuito também será encapsulado em um módulo, chamado de “bus\_ula”, para ser testado na FPGA.* |

* 1. **Simulações:**

O circuito da ULA estendida passou por simulações funcionais que testaram cada uma das operações disponíveis com diferentes operandos. Essas simulações estão dispostas nas figuras 6 e 7.

|  |
| --- |
| Calendário  Descrição gerada automaticamente com confiança média |
| *Figura 6: Simulação funcional do circuito ULA estendida. Nela são testadas as operações ADD (intervalo entre e ), com os operandos e ADDC (intervalo entre e ), com os operandos (injetado a partir do acumulador), e com a flag de carry da operação anterior; (intervalo entre e ), com os operandos A=4 e B=5 (mantido); e INC (intervalos entre e ), com o operando (injetado a partir do acumulador). Observando atentamente cada valor de saída, é possível notar que o comportamento obtido é o mesmo do que o desejado na especificação do circuito.* |

|  |
| --- |
| **Uma imagem contendo Tabela  Descrição gerada automaticamente** |
| *Figura 7: Simulação funcional do circuito ULA estendida. Nela são testadas as operações DEC (intervalo entre s a ), com o operando ; NEG (intervalo entre e ), com o operando ; e CMPL (intervalo entre e ), com o operando novamente. Observando atentamente cada valor de saída, é possível notar que o comportamento obtido é o mesmo do que o desejado na especificação do circuito.* |

1. **Projeto 4: Circuito de teste da ULA**

Este projeto é a parte final da atividade, consistindo, basicamente, em encapsular o circuito anterior em um módulo para testá-lo na FPGA, usando da associação de entradas e pinos apresentada no roteiro. Como se trata do mesmo circuito de ULA estendida, é desnecessário repetir seu escopo, especificações e simulações. Dessa forma, na figura 8 é apresentada o diagrama final do circuito de teste da ULA (circuito “bus\_ula\_teste”). Esse módulo foi testado com os mesmos casos apresentados nas simulações anteriores.

|  |
| --- |
| Diagrama  Descrição gerada automaticamente com confiança baixa |
| *Figura 8: Diagrama esquemático do circuito de teste da ULA estendida. Como dito anteriormente, a ULA estendida foi encapsulada no módulo denominado de “bus\_ula” e a associação de entradas e pinas para teste foi adotada de acordo com o apresentado no roteiro da atividade. Os testes aplicados na placa de desenvolvimento para esse circuito foram idênticos aos simulados para a ULA estendida e provocaram resultados análogos.* |