



Prof. Dr. Stefan Michael Blawid
Departamento de Engenharia de Computação
Centro de Informática

Tel. (81) 2126-8430 r: 4328

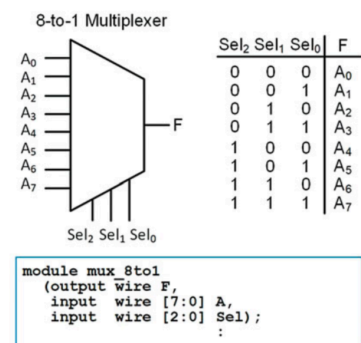
sblawid@cin.ufpe.br

<https://sites.google.com/a/cin.ufpe.br/if817/>

P2: Lógica Combinacional

1. Projete um modelo Verilog para o multiplexador de oito-para-um mostrado na figura. Declare seu módulo e portas para coincidir com o diagrama de blocos fornecidos.

- a) **(1p)** Use atribuição contínua e operadores condicionais.
- b) **(1p)** Use atribuição contínua e operadores lógicos.
- c) **(1p)** Verifique e simule seus módulos com a ajuda de uma bancada de teste (Mostre e discuta as formas de onda em seu relatório).



2. Projete um decodificador de sete segmentos que receba como entrada um código BCD de quatro bits e exiba os números de 0 a 9.

- a) **(1p)** Projete o diagrama de blocos e a tabela verdade do decodificador
- b) **(1p)** Escreva uma descrição comportamental (de alto nível) em Verilog do decodificador
- c) **(2p)** Escreva uma descrição comportamental (de baixo nível) em Verilog do decodificador. Você precisa otimizar as equações booleanas com a ajuda dos mapas de Karnaugh e mostrar todas as etapas.
- d) **(1p)** Verifique e simule seus módulos com a ajuda de uma bancada de teste (Mostre e discuta as formas de onda em seu relatório).

3. Implementar seus projetos na placa DE2-115 FPGA disponível no laboratório de HW. Use o código que você tem. Cada grupo fará uma demonstração ao vivo de sua implementação no laboratório. Opcionalmente, você pode adicionar um pequeno vídeo ao seu relatório sobre a implementação.

- a) **(1p)** O MUX 8-para-1 da Q1(a) ou (b).
- b) **(1p)** O Decodificador de sete segmentos da Q2(b) ou (c).