E94041107 鄧有敦

E94041220 郭濯瑀

E94046199 謝茹媛

Program 1

　　設計一個排序電路，因為我們設計成組合電路，故沒有採納bubble-sort這類的排序演算法，而是單純的比大小、排序，再輸出，而因為AXI BUS僅允許一筆32-bit的資料讀/寫，故將排序結果串成一筆data輸出後，會在driver對該筆資料再作處理。

Program 2

　　設計一個計算電路，我們選擇組合電路來做設計，而乘法運算的部分，我們直接使用內建的乘法器，並沒有考慮到優化電路的部分，下次會繼續朝這個方向努力。

Program 3

設計parity generator，因為是在Verilog這種硬體語言做設計，故我們直接使用XOR gate將輸入資料做exclusive OR 運算後，藉由AXI BUS傳回。

Program 4

實現djb2這個hash function的電路，傳入4位字串，其將會轉為ASCII code並傳入IP中做運算，其將回傳一個32-bit的結果至AXI BUS中。

Program 5

設計PWM controller，這次的電路我們使用LAB2曾經做過的PWM controller，而不同於上述四種電路，這次是由時序電路的型態來做設計，並將其結果直接顯示於FPGA上的RGB燈上。

問題與討論：

這次前四個電路的設計都採用組合電路，因為對於這種運算行為，我們無法用時序電路控制、操作得很好，撇除在軟體上做functional test，如何在硬體上精準實現，是我們未來需要再學習努力的。

還有如何在AXI上成功使用多組暫存器做讀寫，也是我們相當不熟悉的，導致運算結果有瑕疵，未來還需要好好鑽研。