Sistemas Digitais

2

1. OBJETIVO

• Compreender a implementação de sistemas computacionais no nível da lógica digital.

2. CONTEÚDOS

- Portas lógicas.
- Circuitos combinacionais (somadores e subtratores).
- Circuitos sequenciais (registradores).

3. ORIENTAÇÕES PARA O ESTUDO DA UNIDADE

Antes de iniciar o estudo desta unidade, é importante que você leia as orientações a seguir:

- 1) Leia todo o conteúdo da unidade.
- 2) Não deixe de pesquisar e resolver as dúvidas que forem surgindo durante cada etapa do seu estudo. Nunca deixe para depois.
- O desenvolvimento de hardware n\u00e3o \u00e9 o objetivo de nossos estudos. O mais importante \u00e9 que voc\u00e2 entenda os componentes e os conceitos utilizados na constru\u00e7\u00e3o de sistemas digitais.
- 4) Estude todos os exemplos referentes aos mapas de Veitch-Karnaugh, lembre-se de que o mais importante é saber para que ele é utilizado.
- 5) Entenda a função de cada dispositivo digital. Analise o que ele faz e a importância dele nos circuitos dos computadores atuais.

4. INTRODUÇÃO À UNIDADE

Na unidade anterior, você teve a oportunidade de aprenderos sistemas numéricos utilizados pelos computadores e os sistemas digitais.

Nesta unidade, discutiremos a respeito de circuitos digitais, que são os responsáveis pela implementação da lógica dos computadores atuais.

Um exemplo dessa implementação é a unidade lógica e aritmética que fica dentro do processador de um computador. Essa unidade é a parte física responsável por efetuar operações aritméticas e lógicas do computador. Dentro desse módulo, existem muitos circuitos com diferentes funções, como somadores, subtradores, comparadores etc. Esses circuitos são implementados por meio de portas lógicas sobre o sistema numérico binário. Assim, estudando esses componentes, você será capaz de entender melhor como um computador funciona.

Bons estudos!

5. PORTAS LÓGICAS, SÍMBOLOS E TABELAS VERDADE

Os computadores digitais trabalham com a presença ou com a ausência de **sinais elétricos** ao longo do seu circuito e, por meio da **combinação** desses sinais, todas as informações são processadas.

A lógica utilizada para processar as informações digitais é a lógica booleana e, agora, como os operadores booleanos terão de efetuar operações sobre dados *físicos*, teremos também que ter componentes físicos para a implementação do **circuito digital**.

Os componentes físicos capazes de efetuar as operações booleanas sobre os sinais elétricos recebem o nome de Portas Lógicas.

Na prática, essas Portas Lógicas são vendidas encapsuladas em uma pastilha de silício chamada *Chip* e devem ser integradas a uma placa de circuito impresso para constituírem efetivamente os circuitos.

Para maior clareza de um circuito digital, a sua estrutura é representada por símbolos que representam as suas funções. Dessa forma fica muito mais fácil de interpretar um circuito e qual a sua função.

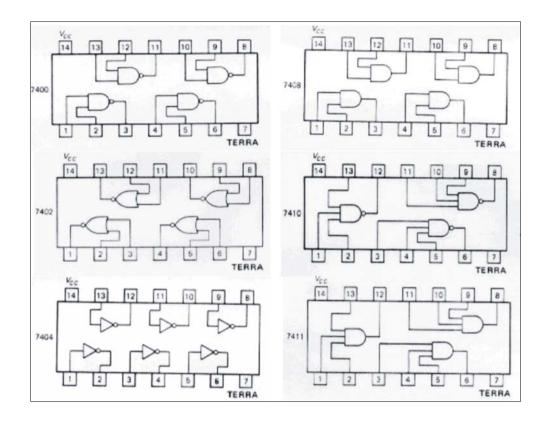


Figura 1 Exemplos de Portas Lógicas encontradas no mercado.

Portas lógicas são dispositivos eletrônicos que têm a função de implementar circuitos booleanos.

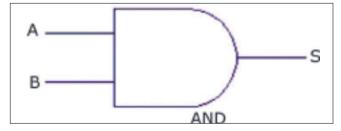
Vamos conhecer as principais Portas Lógicas, cada um de seus símbolos para representação gráfica, além da apresentação de uma tabela denominada **tabela verdade** que descreverá o seu funcionamento.

AND (E BOOLEANO)

Para que a saída S seja 1, todas as entradas têm de ser 1.

Α	В	S = A AND B
0	0	0
0	1	0
1	0	0
1	1	1

Símbolo:



Expressão: S = A X B

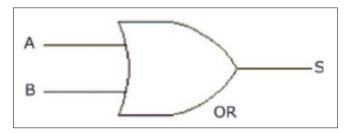
O símbolo que representa a multiplicação pode ser representado por . ou X

OR (OU BOOLEANO)

Para que a saída seja 1, pelo menos uma das entradas tem de ser igual a 1.

А	В	S = A OR B
0	0	0
0	1	1
1	0	1
1	1	1

Símbolo:



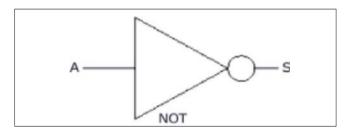
Expressão: S = A + B

NOT (NÃO BOOLEANO)

A saída S é o complemento da entrada A, ou seja, se entra 1 sai 0 e se entra 0 sai 1.

А	S = NOT A
0	1
1	0

Símbolo:



Expressão: S= A'

Aqui temos uma novidade! Nos circuitos digitais, há apenas dois sinais que podem ser representados por 0 e 1. Quando dizemos que a saída é o inverso da entrada, significa que se na entrada temos 0 a saída será 1 e se na entrada temos 1 a saída será 0. A essa mudança de estado (de 0 para 1 ou vice-versa) denominamos **complemento**.

O complemento pode ocorrer em qualquer parte do circuito e é representado por uma apóstrofe ou um traço sobre a letra que representa o sinal naquele instante.

Exemplo:

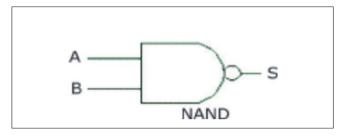
Considere um trecho do circuito representado pela letra maiúscula **A**, temos: **A'** é o complemento de **A**, assim como A é complemento de **A**.

NAND (NÃO E BOOLEANO)

A saída S é o complemento da saída do operando AND.

А	В	AXB	S = (A X B)'
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

Símbolo:



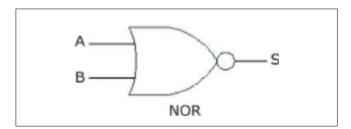
Expressão: S = (A X B)'

NOR (NÃO OU BOOLEANO)

A saída S é o complemento da saída do operando OR.

Α	В	A + B	S = (A + B)'
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

Símbolo:



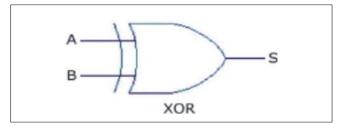
Expressão: S = (A + B)'

XOR (OU EXCLUSIVO BOOLEANO)

A saída S será 1, se o número de entradas iguais a 1 for **ímpar**.

A	В	S
0	0	0
0	1	1
1	0	1
1	1	0

Símbolo:



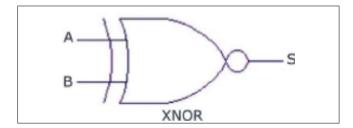
Expressão: S = (A ⊕ B)

NXOR (NÃO OU EXCLUSIVO)

A saída S será 1 se o número de entradas iguais a 1 for PAR.

А	В	S
0	0	1
0	1	0
1	0	0
1	1	1

Símbolo:



Expressão: S = A⊗B

6. CIRCUITOS DIGITAIS

Para projetar um circuito capaz de resolver algum problema real, várias Portas Lógicas são interligadas e organizadas de acordo com a lógica booleana.

Em primeiro lugar, deve-se montar uma expressão booleana e, em seguida, partir para a implementação do circuito propriamente dito.

Exemplo:

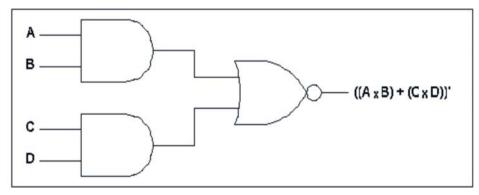


Figura 2 Circuito digital.

Na Figura 2, a expressão booleana correspondente ao circuito é ((A.B)+(C.D))'.

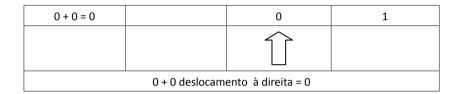
Porém, lembre-se de que a **apóstrofe** pode ser utilizada para representar o complemento de uma **variável** ou de uma **expressão**.

Agora, veja um exemplo prático de Circuito Digital:

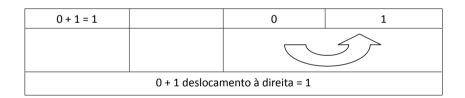
A seguir vamos implementar um circuito digital capaz de fazer uma soma de dois *bits* e indicar se o resultado leva o "vai-um" ou não. Esse circuito é chamado de meio-somador, pois não leva em consideração a possibilidade de receber o "vem-um" da soma anterior.

Para compreender melhor o circuito, serão apresentados em primeiro lugar os conceitos de soma em binário.

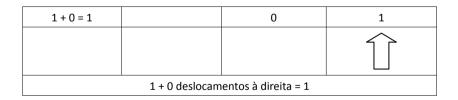
Temos dois algarismos para representar os números binários (0 e 1). Ao colocarmos os dois algarismos lado a lado na ordem crescente, representamos a soma como sendo um deslocamento à direita do algarismo a ser somado. Veja os exemplos:



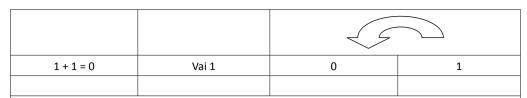
Analise o que acontece quando somamos 0 + 1. Nesse caso, deve-se fazer um deslocamento à direita do algarismo zero para o próximo (que é o algarismo 1). Observe a seguir.



Agora ocorre o contrário do exemplo anterior, 1 + 0 significa que estando no algarismo 1 ocorrerá zero deslocamentos para a direita, ou seja, o resultado é o próprio 1.



Veja que interessante agora, para somar 1 + 1, ocorre o seguinte: estando no algarismo 1 e com mais um deslocamento à direita, o resultado é zero, pois, como não existe mais algarismo à direita, deve-se retornar ao algarismo inicial (no caso o zero).



1 + 1 deslocamento à direita = 0

Isso ocorre porque como não existe outro algarismo depois do 1, o deslocamento ocorre retornando ao 0, como se os algarismos estivessem dispostos em uma fila circular.

A esse retorno, damos o nome de estouro, e significa vai um para o próximo dígito (se houver).

Ou seja,

Soma de um <i>bit</i>			
0+1	0		
0+1	1		
1+0	1		
1+1	0 e vai 1		
1+1+1	1 e vai 1		

Observe o exemplo prático.

O circuito a seguir apresenta um "meio-somador" com as entradas A e B (que é por onde entrarão os *bits* a serem somados) e as saídas Si (que é o resultado da soma) e Ci (o "vai-um"). Analise o circuito e também a tabela verdade.

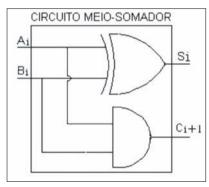


Figura 3 Circuito meio-somador.

As expressões booleanas do circuito anterior são:

Si = Ai + Bi

 $Ci = Ai \times Bi$

Observe que temos uma expressão booleana para cada saída.

Veja na tabela verdade o funcionamento do circuito.

Ai	Bi	Si	Ci	Raciocínio usado para obter Si	Raciocínio usado para obter Ci
0	0	0	0	Zero com zero deslocamentos à direita é zero.	Não houve estouro.
0	1	1	0	Zero com um deslocamento à direita é um.	Não houve estouro.
1	0	1	0	Um com zero deslocamentos à direita é um.	Não houve estouro.
1	1	0	1	Um com um deslocamento à direita volta para zero.	Houve um estouro e por isso o Ci recebe 1. (equivale ao "vai-um")

O estudo dos circuitos e sistemas digitais é muito extenso e também complexo. Como aluno dos Cursos de Graduação, é necessário que você tenha uma noção sobre esses assuntos e é, justamente, este o objetivo deste *Caderno de Referência de Conteúdo*.

7. SIMPLIFICAÇÃO DE EXPRESSÕES BOOLEANAS

Existem técnicas de simplificação de expressões booleanas. Elas são extremamente importantes para viabilizar a implementação de um circuito digital, utilizando o mínimo de recursos financeiros e, também, o mínimo de complexidade.

Para implementar um circuito digital de forma correta, devemos simplificar algebricamente as expressões booleanas, utilizando **Postulados, Propriedades** e **Teoremas** ou mesmo uma ferramenta chamada **Mapas de Veitch-Karnaugh**.

Mapas de Veitch-Karnaugh

Os mapas de Veitch-Karnaugh são ferramentas que utilizam uma tabela para a extração de expressão booleana simplificada. Esses mapas sãomontados de uma forma especial, com o objetivo de proporcionar enlaces de células adjacentes e de mesmo valor pelos quais serão extraídas as expressões booleanas. Eles são preenchidos com as saídas da tabela verdade.

Para que se compreenda o método de simplificação por mapas de Veitch-Karnaugh,é preciso que, antes,você entenda de que forma o mapa é construído e também os conceitos relacionados a essa ferramenta.

O mapa de Veitch-Karnaugh deve ser construído com o mesmo número de células que as saídas da tabela verdade a ser trabalhada. Ou seja, ele deverá ser formado por 2ⁿ células, onde **n** indica o número de variáveis de entrada.

Cada célula do mapa deverá corresponder a uma única saída da tabela verdade e a indicação de qual saída pertence à célula é feita pela forma de construção da tabela verdade. A posição será indicada conforme demonstrado a seguir:

Para mapas com duas variáveis de entrada:

		В			
		0	1		
А	0	00	01		
	1	10	11		

Para mapas com três variáveis de entrada:

		ВС			
		00	01	11	10
	0	000	001	011	010
Α	1	100	101	111	110

Para mapas com quatro variáveis de entrada:

			C D		
		00	01	11	10
	00	0000	0001	0011	0010
A D	01	0100	0101	0111	0110
AB	11	1100	1101	1111	1110
	10	1000	1001	1011	1010

Os mapas com cinco variáveis de entrada não serão considerados. Caso seja necessário simplificar expressões ou extrairuma expressão de uma tabela verdade com mais de quatro entradas, procure utilizar *softwares* apropriados para essa função. Existem vários disponíveis no mercado e são muito úteis na elaboração de circuitos digitais.

Observe um exemplo de alimentação da tabela verdade utilizando letras para exemplificar a associação das variáveis de saída de uma tabela verdade com o preenchimento do mapa.

Para mapas com duas variáveis de entrada:

linha	А	В	S
1	0	0	Α
2	0	1	В
3	1	0	С
4	1	1	D

		В						
		0	1					
_	0	Α	В					
A	1	С	D					

Para mapas com três variáveis de entrada:

linha	А	В	С	S
1	0	0	0	А
2	0	0	1	В
3	0	1	0	С
4	0	1	1	D
5	1	0	0	E
6	1	0	1	F
7	1	1	0	G
8	1	1	1	Н

		ВС							
		00	01	11	10				
	0	А	В	D	С				
A	1	E	F	н	G				

Para mapas com quatro variáveis de entrada:

linha	А	В	С	D	S
1	0	0	0	0	Α
2	0	0	0	1	В
3	0	0	1	0	С
4	0	0	1	1	D
5	0	1	0	0	E
6	0	1	0	1	F
7	0	1	1	0	G
8	0	1	1	1	Н
9	1	0	0	0	I
10	1	0	0	1	J
11	1	0	1	0	К
12	1	0	1	1	L
13	1	1	0	0	М
14	1	1	0	1	N
15	1	1	1	0	o
16	1	1	1	1	P

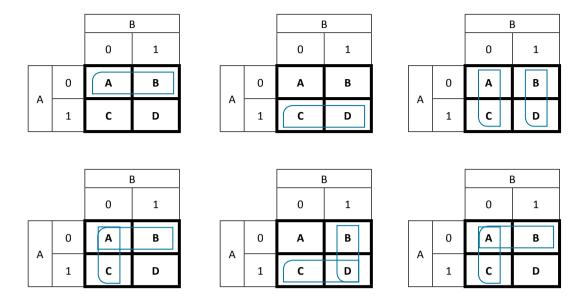
		C D							
		00	01	11	10				
	00	А	В	D	С				
	01	E	F	н	G				
АВ	11	М	N	Р	0				
	10	I	J	L	К				

Após aprender como se monta o mapa, vamos aos procedimentos necessários para a extração da expressão booleana com a ajuda do mapa.

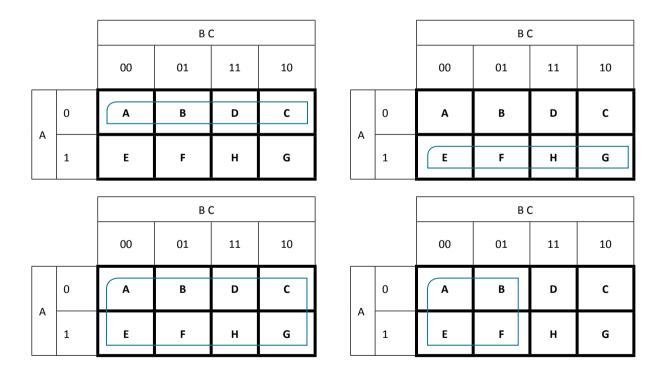
Dizemos que duas células são adjacentes quando apenas uma de suas variáveis de entrada muda de valor lógico. Sendo assim, observe a seguir as possibilidades dos enlaces dos mapas de duas, três e quatro variáveis de entrada:

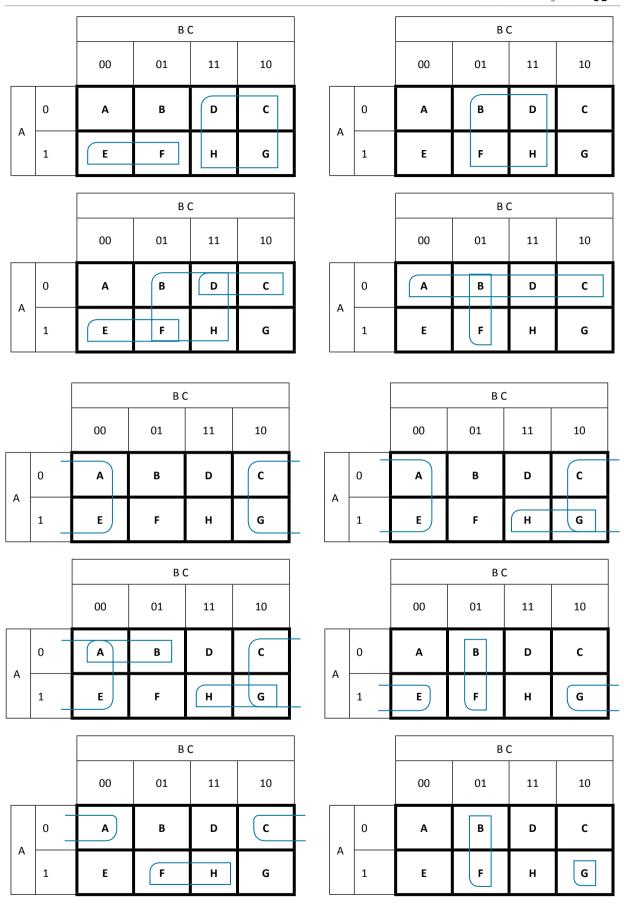
Possibilidades de enlaces

Possibilidades de enlace com duas variáveis de entrada



Possibilidade de enlace com três variáveis de entrada





Possibilidade de enlace com quatro variáveis de entrada

			С	D					С	D	
		00	01	11	10			00	01	11	10
	00	A	В	D	С		00	A	В	D	С
	01	E	F	Н	G		01	E	F	н	G
АВ	11	М	N	Р	o	АВ	11	M	N	P	0
	10	ı	J	L	К		10	I	J	L	К
							1				
			CI)					CI)	
		00	01	11	10			00	01	11	10
	00	A	В	D	С		00	А	В	D	С
	01	E	F	н	G		01	E	F	Н	G
АВ	11	М	N	Р	0	АВ	11	М	N	Р	О
	10	1	J	L	к		10 _	I	J	L	К
			C [)			-	T	C [)	
		00	01	11	10			00	01	11	10
	00	А	В	D	c		00	A	В	D	c
АВ	01	E	F	н	G	АВ	01	E	F	н	G
AD	11	М	N	Р	0	AB	11	М	N	Р	0
	10	_	J	L	К		10	ı	J	L	K

			С	D						С	D	
		00	01	11	10				00	01	11	10
	00	А	В	D	С	_		00	А	В	D	С
4.5	01 _	E	F	Н	G		01		E	F	н	G
АВ	11	М	N	Р	0		АВ	11 -	M	N	Р	0
	10	I	J	L	К			10	ı	J	L	К

Expressões booleanas

Após estabelecer os enlaces das células adjacentes, deve-se extrair a expressão booleana utilizando o método da soma de produtos, para enlaces iguais a zero, ou o método do produto das somas, para os enlaces iguais a um. Veja, a seguir, as duas formas de extrair a expressão booleana:

Para resolução do problema pelo método da soma de produtos

Encontre as células adjacentes com o mesmo valor – para o método da soma de produtos, devemos considerar enlaces de células que representem o nível lógico alto, ou seja, enlaces de células iguais a 1 (um) – e depois faça um enlace dessas células.

Após os enlaces, analise emcada caso quando as variáveis de entrada mudam de valor para cada enlace específico. Se a variável de entrada mudar de valor de uma célula do enlace para outra, então ela não deve ser considerada na expressão; do contrário, ela entrará na expressão de forma normal – caso o valor da variável de entrada que não muda seja 1 (um) – ou complementada – caso o valor da variável de entrada que não muda seja 0 (zero).

As variáveis de cada enlace deverão ser multiplicadas e as multiplicações provenientes dos enlaces deverão ser somadas (no caso de mais de um enlace).

Lembre-se de que, se todas as saídas (valores das células) forem iguais a 1 (um), podemos resumir o resultado em: S=1, e, da mesma forma, se todas as células forem iguais a 0(zero), o resultado final será S=0.

Veja alguns exemplos de mapas de Veitch-Karnaugh para variáveis de entrada considerando enlaces de uns:

Exemplo 1 Mapa de Veitch-Karnaugh com duas variáveis de entrada e enlaces de uns

EXTRAÇ	ÃO DA EXPRES	SÃO PELO MÉ [.] VERDADE	TODO DA	EXTRAÇÃ	EXTRAÇÃO DA EXPRESSÃO UTILIZANDO A FERRAMENTA MAPA DE VEITCH-KARNAUGH					
linha	А	В	S				В			
1	0	0	1			0	1			
2	0	1	1					l		
3	1	0	0	A	0	1	1			
4	1	1	0		1	0	0			
Exp	oressão extraíd	a da tabela ver	dade	Expre	essão extraída	do Mapa de V	eitch-Karnaug	h		
	S =A'.	3' + A'.B				S= A'				

Comentários

Nesta extração, pode-se escolher as saídas iguais a um ou as saídas iguais a zero (o ideal é escolher a saída com menor número de ocorrências). Se as escolhidas forem as saídas iguais a um, a operação consiste em multiplicar as variáveis de entrada da linha cuja saída seja igual a um e somar com as outras multiplicações provenientes das outras linhas cujas saídas sejam iguais a um. Já se a escolha for pelas saídas iguais a zero, a operação consiste em somar as variáveis de entrada da linha cujas saídas sejam iguais a zero (colocar entre parênteses) e multiplicar com as outras somas provenientes das outras linhas cujas saídas sejam iguais a zero.

Neste caso, foram consideradas as saídas iguais a um e a multiplicação ocorreu na linha um: A'. B' e na linha dois: A'. B. depois as duas multiplicações foram somadas.

S = A'.B' + A'.B

Nesta extração, a operação consiste em analisar o enlace de uns ou de zeros, verificando, em todo o espaço do enlace, as variáveis de entrada que mudam ou não de valor. As variáveis que mudam de valor não entram na expressão, e as variáveis que não mudam entram da seguinte forma: para enlaces de uns, quando o valor da variável de entrada não mudar e for igual a um, ela entrará sem complemento; e, se o valor da variável de entrada não mudar de valor e for igual a zero, ela deverá entrar complementada. Para enlaces de zeros, quando o valor da variável de entrada não mudar e for igual a um, ela entrará complementada; e, se o valor da variável de entrada não mudar e for igual a zero, ela entrará sem o complemento (portanto, de forma oposta aos enlaces de uns). Quando os enlaces forem de uns. as variáveis de entrada que sobrarem deverão ser multiplicadas e os enlaces (quando existir mais de um) deverão ser somados. Para enlaces de zeros, as variáveis de entrada que sobrarem deverão ser somadas (inserir parênteses) e os enlaces (quando existir mais de um) deverão ser multiplicados. Para este caso, o enlace é de um e ocupa toda a primeira linha. Como para a primeira linha o valor de A não muda e vale zero, o A entra complementado na expressão, enquanto o B muda (da primeira coluna para a segunda ele passa de zero para um) e, assim, está fora da expressão. S= A'

Exemplo 2 Mapa de Veitch-Karnaugh com duas variáveis de entrada e enlaces de uns

EXTRAÇÃO DA EXPRESSÃO PELO MÉTODO DA TABELA VERDADE					EXTRAÇÃO DA EXPRESSÃO UTILIZANDO A FERRAMENTA MAPA DE VEITCH-KARNAUGH				
linha A B S								В	
1	0	0	0				0	1	
2	0	1	0			0	0	0	
3	1	0	1		Α	1	1	1	
4	1	1	1				_	-	
Expressão extraída da tabela verdade					Expre	ssão extraída	do Mapa de V	eitch-Karnaug	h
	S = A .	B' + A . B					S= A		

Comentários

iguais Nesta extração, pode-se escolher as saídas a um ou as saídas iguais a zero (o ideal é escolher a saída com menor número de ocorrências). Se a escolha for considerar as saídas iguais a um, a operação consiste em multiplicar as variáveis de entrada da linha cuja saída seja igual a um e somar às outras multiplicações provenientes das outras linhas cujas saídas sejam iguais a um. Já se a escolha for considerar as saídas iguais a zero, a operação consiste em somar as variáveis de entrada da linha cuja saída seja igual a zero (colocar entre parênteses) e multiplicar às outras somas provenientes das outras linhas cujas saídas sejam iguais a zero. Neste caso, foram consideradas as saídas iguais a um e a multiplicação ocorreu na linha três: A . B' e na linha quatro: A . B. depois as duas multiplicações foram somadas. $S = A \cdot B' + A \cdot B$

A operação consiste em analisar o enlace de uns ou de zeros, verificando,em todo o espaço do enlace, as variáveis de entrada que mudam ou não de valor. As variáveis que mudam de valor não entram na expressão, e as variáveis que não mudam entram da seguinte forma: para enlaces de uns, quando o valor da variável de entrada não mudar e for igual a um, ela entrará sem complemento; e, se o valor da variável de entrada não mudar de valor e for igual a zero, ela deverá entrar complementada. Para enlaces de zeros, quando o valor da variável de entrada não mudar e for igual a um, ela entrará complementada; e, se o valor da variável de entrada não mudar e for igual a zero, ela entrará sem o complemento (portanto, de forma oposta aos enlaces de uns). Quando os enlaces forem de uns, as variáveis de entrada que sobrarem deverão ser multiplicadas e os enlaces (quando existir mais de um) deverão ser somados. Para enlaces de zeros, as variáveis de entrada que sobrarem deverão ser somadas (inserir parênteses) e os enlaces (quando existir mais de um) deverão ser multiplicados. Para este caso, o enlace é de um e ocupa toda a segunda linha. Como para a segunda linha o valor de A não muda e vale um, o A entra sem complemento na expressão, enquanto o B muda (da primeira coluna para a segunda ele passa de zero para um) e, portanto, está fora da expressão. S= A

Exemplo 3 Mapa de Veitch-Karnaugh com duas variáveis de entrada e enlaces de uns

EXTRAÇÃO	DA EXPRESSÃO VER	PELO MÉTODO DADE	O DA TABELA	EX	EXTRAÇÃO DA EXPRESSÃO UTILIZANDO A FERRAMENTA MAPA DE VEITCH-KARNAUGH				
linha	А	В	S			l	В		
1	0	0	0			0	1		
2	0	1	1		0	0	1		
3	1	0	1	A	1		1		
4	1	1	1		1	1	1		
Exp	oressão extraída	a da tabela verd	lade	Expressão extraída do Mapa de Veitch-Karnau					
	S = A' . B +	A . B' + A . B				S= A +	В		
			Come	entários	:				

Nesta extração, pode-se escolher as saídas iguais a um ou as saídas iguais a zero (o ideal é escolher a saída com menor número de ocorrências). Se a escolha for considerar as saídas iguais a um, a operação consiste em multiplicar as variáveis de entrada da linha cuja saída seja igual a um e somar às outras multiplicações provenientes das outras linhas cujas saídas seiam iguais a um. Já se a escolha for considerar as saídas iguais a zero, a operação consiste em somar as variáveis de entrada da linha cuja saída seja igual a zero (colocar entre parênteses) e multiplicar com as outras somas provenientes das outras linhas cujas saídas sejam iguais a zero. No caso, foram multiplicadas as variáveis de entrada da linha dois: A'.B, da linha três: A . B' e da linha quatro: A . B e as três multiplicações foram somadas. S = A' . B + A . B' + A . B

A operação consiste em analisar o enlace de uns ou de zeros, verificando, em todo o espaço do enlace, as variáveis de entrada que mudam ou não de valor. As variáveis que mudam de valor não entram na expressão, e as variáveis que não mudam entram da seguinte forma: para enlaces de uns, quando o valor da variável de entrada não mudar e for igual a um, ela entrará sem complemento; e, se o valor da variável de entrada não mudar de valor e for igual a zero, ela deverá entrar complementada. Para enlaces de zeros, quando o valor da variável de entrada não mudar e for igual a um, ela entrará complementada; e, se o valor da variável de entrada não mudar e for igual a zero, ela entrará sem o complemento (portanto de forma oposta aos enlaces de uns). Quando os enlaces forem de uns, as variáveis de entrada que sobrarem deverão ser multiplicadas e os enlaces (quando existir mais de um) deverão ser somados. Para enlaces de zeros, as variáveis de entrada que sobrarem deverão ser somadas (inserir parênteses) e os enlaces (quando existir mais de um) deverão ser multiplicados. Para este caso, temos dois enlaces de uns: um enlace ocupa toda a segunda linha e, portanto, vale A, e outro ocupa toda a segunda coluna e, portanto, vale B (o B não muda e vale um para toda a coluna, enquanto o A muda da primeira linha (onde ele vale 0) para a segunda (onde ele vale um). Depois, é só somar o resultado do primeiro enlace com o resultado do segundo enlace: S = A + B

A seguir, estudaremos o mapa de Veitch-Karnaugh para três variáveis de entrada, considerando enlaces de uns. Observe os exemplos:

Exemplo 4 Mapa de Veich-Karnaugh com três variáveis de entrada e enlaces de uns

EXTRAÇÃO DA EXPRESSÃO PELO MÉTODO DA TABELA VERDADE							EXTRAÇÃO DA EXPRESSÃO UTILIZANDO A FERRAMENTA MAPA DE VEITCH-KARNAUGH				
linha	А	В	С	S					В	С	
1	0	0	0	0							
2	0	0	1	1				00	01	11	10
3	0	1	0	0							
4	0	1	1	1			0	0	1	1	0
5	1	0	0	0		Α					
6	1	0	1	1			1	0	1	1	0
7	1	1	0	0			_	Ů		_	
8	1	1	1	1							
Ex	pressão e	xtraída da ta	bela verda	de		Expressão extraída do Mapa de Veitch-Karnaugh					naugh
S = A' . B' . C + A' . B . C + A . B' . C + A . B . C.									S= C		

Comentários

Nesta extração, pode-se escolher as saídas iguais a um ou as saídas iguais a zero (o ideal é escolher a saída com menor número de ocorrências).

Se a escolha for considerar as saídas iguais a um, a operação consiste em multiplicar as variáveis de entrada da linha cuja saída seja igual a um e somar às outras multiplicações provenientes das outras linhas cujas saídas sejam iguais a um. Já se a escolha for considerar as saídas iguais a zero, a operação consiste em somar as variáveis de entrada da linha cuja saída seja igual a zero (colocar entre parênteses) e multiplicar com as outras somas provenientes das outras linhas cujas saídas sejam iguais a zero. No caso:para a segunda linha: A'. B'. C, para a guarta linha: A' . B . C, para a sexta linha: A . B' . C e para a oitava linha: A . B . C. . Efetuando а soma das multiplicações temos: $S = A' \cdot B' \cdot C + A' \cdot B \cdot C + A \cdot B' \cdot C + A \cdot B \cdot C$

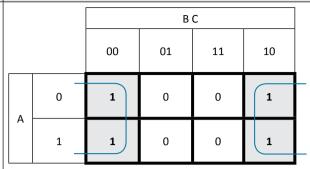
A operação consiste em analisar o enlace de uns ou de zeros, verificando, em todo o espaço do enlace, as variáveis de entrada que mudam ou não de valor. As variáveis que mudam de valor não entram na expressão e as variáveis que não mudam entram da seguinte forma: para enlaces de uns, quando o valor da variável de entrada não mudar e for igual a um, ela entrará sem complemento; e, se o valor da variável de entrada não mudar de valor e for igual a zero, ela deverá entrar complementada. Para enlaces de zeros, quando o valor da variável de entrada não mudar e for igual a um, ela entrará complementada; e, se o valor da variável de entrada não mudar e for igual a zero, ela entrará sem o complemento (portanto, de forma oposta aos enlaces de uns). Quando os enlaces forem de uns, as variáveis de entrada que sobrarem deverão ser multiplicadas e os enlaces (quando existir mais de um) deverão ser somados. Para enlaces de zeros, as variáveis de entrada que sobrarem deverão ser somadas (inserir parênteses) e os enlaces (quando existir mais de um) deverão ser multiplicados. Para este caso, temos apenas um enlace ocupando a primeira

e segunda linha nas colunas dois e três. Sendo assim, o A e o B mudam de valor e, portanto, não entram na expressão, enquanto o C não muda de valor e vale um (o C vale tanto para a segunda coluna quanto para a terceira coluna). Dessa forma, a expressão fica: S = C

Exemplo 5 Mapa de Veitch-Karnaugh com três variáveis de entrada e enlaces de uns

EXTRAÇÃO DA EXPRESSÃO PELO MÉTODO DA TABELA **VERDADE** linha Α В C S 0 0 0 1 1 2 0 0 0 1 3 0 1 0 1 4 0 1 1 0 5 0 0 1 1 1 0 1 0 6 7 1 1 0 1 8 1 0 1 1

EXTRAÇÃO DA EXPRESSÃO UTILIZANDO A FERRAMENTA MAPA DE VEITCH-KARNAUGH



Expressão extraída da tabela verdade

Expressão extraída do Mapa de Veitch-Karnaugh

S = A'.B'.C' + A'.B.C' + A . B' . C' + A . B . C'

S= C'

Comentários

Nesta extração, pode-se escolher as saídas iguais a um ou as saídas iguais a zero (o ideal é escolher a saída com menor número de ocorrências).

Se a escolha for considerar as saídas iguais a um, a operação consiste em multiplicar as variáveis de entrada da linha cuja saída seja igual a um e somar às outras multiplicações provenientes das outras linhas cujas saídas sejam iguais a um. Já se a escolha for considerar as saídas iguais a zero, a operação consiste em somar as variáveis de entrada da linha cuja saída seja igual a zero (colocar entre parênteses) e multiplicar com as outras somas provenientes das outras linhas cujas saídas sejam iguais a zero.

No caso, foram consideradas as linhas:

Primeira linha: A'.B'.C' Terceira linha: A'.B.C' Quinta linha: A . B' . C' Sétima linha: A . B . C'

Em seguida, deve-se somar as multiplicações para montar a

expressão:

S = A'.B'.C' + A'.B.C' + A . B' . C' + A . B . C'

A operação consiste em analisar o enlace de uns ou de zeros, verificando, em todo o espaço do enlace, as variáveis de entrada que mudam ou não de valor. As variáveis que mudam de valor não entram na expressão e as variáveis que não mudam entram da seguinte forma: para enlaces de uns, quando o valor da variável de entrada não mudar e for igual a um, ela entrará sem complemento: e. se o valor da variável de entrada não mudar de valor e for igual a zero, ela deverá entrar complementada. Para enlaces de zeros, guando o valor da variável de entrada não mudar e for igual a um, ela entrará complementada; e, se o valor da variável de entrada não mudar e for igual a zero, ela entrará sem o complemento (portanto, de forma oposta aos enlaces de uns). Quando os enlaces forem de uns, as variáveis de entrada que sobrarem deverão ser multiplicadas e os enlaces (quando existir mais de um) deverão ser somados. Para enlaces de zeros, as variáveis de entrada que sobrarem deverão ser somadas (inserir parênteses) e os enlaces (quando existir mais de um) deverão ser multiplicados.

Para este caso, o enlace ocupa a primeira e a quarta coluna nas duas linhas. Pense que a adjacência ocorre por trás, como se o mapa fosse interligado nas extremidades, formando um cone. Assim, a variável **A** muda de valor (da linha um valendo zero para a linha dois valendo um), a variável muda de zero (primeira coluna) para um (quarta coluna),a variável **C**, por sua vez, não muda (vale zero tanto para a primeira coluna quanto para a quarta) e entra complementada na expressão. S = C'.

Exemplo 6 Mapa de Veitch-Karnaugh com três variáveis de entrada e enlaces de uns

EXTRAÇÃ	O DA EXPRE	SSÃO PELO VERDADE	MÉTODO D	A TABELA	EXT	TRAÇÃO D	A EXPRESSÂ MAPA DE V			RRAMENTA
linha	А	В	С	S				В	С	
1	0	0	0	1						
2	0	0	1	1			00	01	11	10
3	0	1	0	1	I					
4	0	1	1	0		_				
5	1	0	0	1		0	1	1	0	1
6	1	0	1	0	A					
7	1	1	0	1		1	1	0	0	1
8	1	1	1	0			<u> </u>	U		
Е	xpressão ex	traída da tal	oela verdad	e		Expressã	o extraída d	o Mapa de	Veitch-Ka	naugh
S = A'.B'.	C' + A' . B' .	C + A'.B.C' +	A . B' . C' +	A . B . C'			S=	C' + A' . B'	·	

Comentários

Pode-se escolher as saídas iguais a um ou as saídas iguais a zero (o ideal é escolher a saída com menor número de ocorrências).

Se a escolha for considerar as saídas iguais a um, a operação consiste em multiplicar as variáveis de entrada da linha cuja saída seja igual a um e somar às outras multiplicações provenientes das outras linhas cujas saídas sejam iguais a um. Já se a escolha for considerar as saídas iguais a zero, a operação consiste em somar as variáveis de entrada da linha cuja saída seja igual a zero (colocar entre parênteses) e multiplicar com as outras somas provenientes das outras linhas cujas saídas sejam iguais a zero.

No caso, foram tomadas as linhas:

Primeira linha: A'.B'.C'

Segunda linha: A' . B' . C

Terceira linha: A'.B.C'

Quinta linha: A . B' . C'

Sétima linha: A . B . C'

Em seguida, deve-se somar as multiplicações para montar a expressão:

S = A'.B'.C' + A' . B' . C + A'.B.C' + A . B' . C' + A . B . C'

A operação consiste em analisar o enlace de uns ou de zeros, verificando, em todo o espaço do enlace, as variáveis de entrada que mudam ou não de valor. As variáveis que mudam de valor não entram na expressão e as variáveis que não mudam entram da seguinte forma: para enlaces de uns, quando o valor da variável de entrada não mudar e for igual a um, ela entrará sem complemento; e, se o valor da variável de entrada não mudar de valor e for igual a zero, ela deverá entrar complementada. Para enlaces de zeros, quando o valor da variável de entrada não mudar e for igual a um, ela entrará complementada; e, se o valor da variável de entrada não mudar e for igual a zero, ela entrará sem o complemento (portanto, de forma oposta aos enlaces de uns). Quando os enlaces forem de uns, as variáveis de entrada que sobrarem deverão ser multiplicadas e os enlaces (quando existir mais de um) deverão ser somados. Para enlaces de zeros, as variáveis de entrada que sobrarem deverão ser somadas (inserir parênteses) e os enlaces (quando existir mais de um) deverão ser multiplicados.

Para este caso, temos primeiro o enlace que ocupa a primeira e a quarta coluna nas duas linhas. Pense que a adjacência ocorre por trás, como se o mapa fosse interligado nas extremidades, formando um cone. Assim, a variável A muda de valor (da linha um valendo zero para a linha dois valendo um), a variável muda de zero (primeira coluna) para um (quarta coluna) e a variável C não muda (vale zero tanto para a primeira coluna quanto para a quarta) e entra complementada na expressão. S = C'. Temos um segundo enlace que deverá ser somado ao termo extraído do primeiro enlace. O segundo enlace ocupa as células da primeira e segunda coluna da primeira linha e, portanto, a única variável que muda de valor é a variável C. A variável A entra complementada, pois para toda a primeira linha ela vale zero e a variável B também deverá entrar complementada, pois, para a primeira e para a segunda coluna ela também vale zero. A variável C muda da primeira para a segunda coluna e, portanto, a variável C não entra na expressão.

Assim: $S = C' + A' \cdot B'$

Exemplo 7 Mapa de Veitch-Karnaugh com quatro variáveis de entrada e enlaces de uns

EXTRAÇÃ	O DA EXPR	ESSÃO PE DA		DO DA TAI	BELA VER-	EXTR	-	A EXPRESSA MAPA DE V			RRAMENTA
linha	А	В	С	D	S				C	D	
1	0	0	0	0	0						
2	0	0	0	1	0			00	01	11	10
3	0	0	1	0	1			00	01	11	10
4	0	0	1	1	1				1		
5	0	1	0	0	1		00	0	0	1	1
6	0	1	0	1	1						
7	0	1	1	0	1						
8	0	1	1	1	1		01	1	1	1	1
9	1	0	0	0	0						
10	1	0	0	1	0	AB					
11	1	0	1	0	0		11	1	1	0	0
12	1	0	1	1	0			_			
13	1	1	0	0	1				i		i
14	1	1	0	1	1		10	0	0	0	0
15	1	1	1	0	0		10	ľ	ľ	Ŭ	ľ
16	1	1	1	1	0		<u> </u>				
	Expressã	o extraída	da tabela	verdade		E	xpressão	o extraída d	lo Mapa de	Veitch-Ka	rnaugh
C - Λ' D'	C D' + A' B'	'C D + \' D	C' D' + \\	ם C' D ± ۸'	' D C D' ±						

S = A'.B'.C.D' + A'.B'.C.D + A'.B.C'.D' + A'.B.C'.D + A'.B.C.D' + A'.B.C.D + A.B.C'.D' + A.B.C'.D

S=B'.C'+A'.C

Comentários

Pode-se escolher as saídas iguais a um ou as saídas iguais a zero (o ideal é escolher a saída com menor número de ocorrências).

Se a escolha for considerar as saídas iguais a um, a operação consiste em multiplicar as variáveis de entrada da linha cuja saída seja igual a um e somar às outras multiplicações provenientes das outras linhas cujas saídas sejam iguais a um. Já se a escolha for considerar as saídas iguais a zero, a operação consiste em somar as variáveis de entrada da linha cuja saída seja igual a zero (colocar entre parênteses) e multiplicar com as outras somas provenientes das outras linhas cujas saídas sejam iguais a zero.

No caso, foram consideradasas linhas: três, quatro, cinco, seis, sete, oito, treze e quatorze.

Veja:

Terceira linha: A'.B'.C.D'

Quarta linha: A'.B'.C.D

Quinta linha: A'.B.C'.D'

Sexta linha: A'.B.C'.D

Sétima linha: A'.B.C'.D

Oitava linha: A'.B.C.D'

Décima terceira linha: A'.B.C.D

Décima quarta linha: A.B.C'.D'

Em seguida, as multiplicações são somadas para montar a

expressão:

S = A'.B'.C.D' + A'.B'.C.D + A'.B.C'.D' + A'.B.C'.D + A'.B.C.D' +

A'.B.C.D + A.B.C'.D' + A.B.C'.D

A operação consiste em analisar o enlace de uns ou de zeros, verificando, em todo o espaço do enlace, as variáveis de entrada que mudam ou não de valor. As variáveis que mudam de valor não entram na expressão e as variáveis que não mudam entram da seguinte forma: para enlaces de uns. quando o valor da variável de entrada não mudar e for igual a um, ela entrará sem complemento; e, se o valor da variável de entrada não mudar de valor e for igual a zero, ela deverá entrar complementada. Para enlaces de zeros, quando o valor da variável de entrada não mudar e for igual a um, ela entrará complementada; e, se o valor da variável de entrada não mudar e for igual a zero, ela entrará sem o complemento (portanto, de forma oposta aos enlaces de uns). Quando os enlaces forem de uns, as variáveis de entrada que sobrarem deverão ser multiplicadas e os enlaces (quando existir mais de um) deverão ser somados. Para enlaces de zeros, as variáveis de entrada que sobrarem deverão ser somadas (inserir parênteses) e os enlaces (quando existir mais de um) deverão ser multiplicados.

Para este caso, temos dois enlaces de quatro células, sendo que o primeiro (mais à esquerda do mapa de Veitch-Karnaugh) mantém o **B** no nível lógico um (ou seja, ele não muda de valor da segunda para a terceira linha da tabela) e o **C**, igual a zero tanto para a primeira quanto para a segunda coluna. Como as variáveis que mudam de valor não entram na expressão, temos a expressão: S=B'.C'+A'.C.

Exemplo 8 Mapa de Veitch-Karnaugh com quatro variáveis de entrada e enlaces de uns

EXTRAÇÃ	O DA EXPI		ELO MÉTO NDE	DO DA TA	ABELA VER-	i	XTRAÇ			O UTILIZAI EITCH-KAR		RRAMENTA
linha	А	В	С	D	S							
1	0	0	0	0	1							
2	0	0	0	1	1					C	D	
3	0	0	1	0	1							
4	0	0	1	1	1				. 00	01	11	10
5	0	1	0	0	0							
6	0	1	0	1	0			00	1	1	1	1
7	0	1	1	0	0							
8	0	1	1	1	0			01	0	0	0	0
9	1	0	0	0	1		АВ					
10	1	0	0	1	1			11	0	0	0	0
11	1	0	1	0	1							
12	1	0	1	1	1			10	1	1	1	1
13	1	1	0	0	0							
14	1	1	0	1	0				ı			ı
15	1	1	1	0	0							
16	1	1	1	1	0							
	Expressã	io extraída	a da tabela	verdade			Exp	ressão e	extraída do	Mapa de	Veitch-Ka	rnaugh
S =A'.B'.C	C'.D' + A'.B'		3′.C.D′ + A′	.B'.C.D + A	A.B'.C'.D' +		·			S= B'		_

Comentários:

Pode-se escolher as saídas iguais a um ou as saídas iguais a zero (o ideal é escolher a saída com menor número de ocorrências).

Se a escolha for considerar as saídas iguais a um, a operação consiste em multiplicar as variáveis de entrada da linha cuja saída seja igual a um e somar às outras multiplicações provenientes das outras linhas cujas saídas sejam iguais a um. Já se a escolha for considerar as saídas iguais a zero, a operação consiste em somar as variáveis de entrada da linha cuja saída seja igual a zero (colocar entre parênteses) e multiplicar com as outras somas provenientes das outras linhas cujas saídas sejam iguais a zero.

No caso foram consideradas as linhas: um, dois, três, quatro, nove, dez, onze e doze.

Veja:

Primeira linha: A'.B'.C'.D' Segunda linha: A'.B'.C'.D Terceira linha: A'.B'.C.D' Quarta linha: A'.B'.C.D Nona linha: A.B'.C'.D' Décima linha: A.B'.C'.D

Décima primeira linha: A.B'.C.D' Décima segunda linha: A.B'.C.D

Em seguida, deve-se somar as multiplicações para montar a

S = A'.B'.C'.D' + A'.B'.C'.D + A'.B'.C.D' + A'.B'.C.D + A.B'.C'.D' +A.B'.C'.D + A.B'.C.D' + A.B'.C.D

expressão:

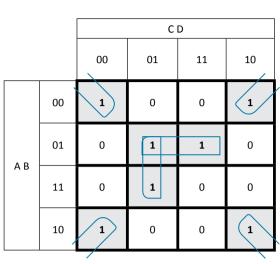
A operação consiste em analisar o enlace de uns ou de zeros, verificando, em todo o espaço do enlace, as variáveis de entrada que mudam ou não de valor. As variáveis que mudam de valor não entram na expressão e as variáveis que não mudam entram da seguinte forma: para enlaces de uns, quando o valor da variável de entrada não mudar e for igual a um, ela entrará sem complemento: e. se o valor da variável de entrada não mudar de valor e for igual a zero, ela deverá entrar complementada. Para enlaces de zeros, guando o valor da variável de entrada não mudar e for igual a um, ela entrará complementada; e, se o valor da variável de entrada não mudar e for igual a zero, ela entrará sem o complemento (portanto, de forma oposta aos enlaces de uns). Quando os enlaces forem de uns, as variáveis de entrada que sobrarem deverão ser multiplicadas e os enlaces (quando existir mais de um) deverão ser somados. Para enlaces de zeros, as variáveis de entrada que sobrarem deverão ser somadas (inserir parênteses) e os enlaces (quando existir mais de um) deverão ser multiplicados. Para este caso, temos um enlace de quatro células envol-

vendo a primeira e a última linha. Lembre-se de que a as extremidades também possuem adjacência. Da primeira para a última linha, a variável A muda de valor, enquanto a variável B não muda e vale zero, ficando para a expressão a variável B'. Já as variáveis C e D mudam ao longo das colunas do enlace e, portanto, não entram na expressão.

O resultado é a expressão: S = B'

Exemplo 9 Mapa de Veitch-Karnaugh com quatro variáveis de entrada e enlaces de uns

EXTRAÇÃ	O DA EXPI		LO MÉTO DE	DO DA TA	BELA VER-	EX	XTRAÇ		EXPRESSÃ NAPA DE V			RRAMENTA	١
linha	Α	В	С	D	S								
1	0	0	0	0	1								
2	0	0	0	1	0								
3	0	0	1	0	1					С	D		
4	0	0	1	1	0				00	01	11	10	
5	0	1	0	0	0	_				01		10	
6	0	1	0	1	1			00	1	0	0	1	′
7	0	1	1	0	0								
8	0	1	1	1	1			01	0	1	1	0	
9	1	0	0	0	1		АВ						
10	1	0	0	1	0			11	0	1	0	0	
11	1	0	1	0	1							\wedge	
12	1	0	1	1	0			10	1	0	0	1	
13	1	1	0	0	0	-							
14	1	1	0	1	1								
15	1	1	1	0	0								
16	1	1	1	1	0								
	F ~	io ovtraída	d- 4-1- 1			-		~	ovtraída de		Waltak K		_



Expressão extraída da tabela verdade

Expressão extraída do Mapa de Veitch-Karnaugh

S = A'.B'.C'.D' + A'.B'.C.D' + A'.B.C'.D + A'.B.C.D + A.B'.C'.D' +A.B'.C.D' + A.B.C'.D

S = B'.D' + B.C'.D + A'.B.D

Comentários

Pode-se escolher as saídas iguais a um ou as saídas iguais a zero (o ideal é escolher a saída com menor número de ocorrências). Se a escolha for considerar as saídas iguais a um, a operação consiste em multiplicar as variáveis de entrada da linha cuja saída seja igual a um e somar às outras multiplicações provenientes das outras linhas cujas saídas sejam iguais a um. Já se a escolha for considerar as saídas iguais a zero, a operação consiste em somar as variáveis de entrada da linha cuja saída seja igual a zero (colocar entre parênteses) e multiplicar com as outras somas provenientes das outras linhas cujas saídas sejam iguais a zero. No caso, foram utilizadas as linhas: um, três, seis, oito, nove, onze, quatorze.

Veja:

Primeira linha: A' R' C' D' Terceira linha: A'.B'.C.D' Sexta linha: A'.B.C'.D Oitava linha: A'.B.C.D Nona linha:A.B'.C'.D'

Décima primeira linha: A.B'.C.D' Décima quarta linha: A.B.C'.D

Em seguida, deve-se somar as multiplicações para montar a expressão:

S = A'.B'.C'.D' + A'.B'.C.D' + A'.B.C'.D + A'.B.C.D + A.B'.C'.D' +A.B'.C.D' + A.B.C'.D

A operação consiste em analisar o enlace de uns ou de zeros, verificando, em todo o espaço do enlace, as variáveis de entrada que mudam ou não de valor. As variáveis que mudam de valor não entram na expressão e as variáveis que não mudam entram da seguinte forma: para enlaces de uns, quando o valor da variável de entrada não mudar e for igual a um, ela entrará sem complemento; e, se o valor da variável de entrada não mudar de valor e for igual a zero, ela deverá entrar complementada. Para enlaces de zeros, quando o valor da variável de entrada não mudar e for igual a um, ela entrará complementada; e, se o valor da variável de entrada não mudar e for igual a zero, ela entrará sem o complemento (portanto, de forma oposta aos enlaces de uns). Quando os enlaces forem de uns, as variáveis de entrada que sobrarem deverão ser multiplicadas e os enlaces (quando existir mais de um) deverão ser somados. Para enlaces de zeros, as variáveis de entrada que sobrarem deverão ser somadas (inserir parênteses) e os enlaces (quando existir mais de um) deverão ser multiplicados. Para este caso, temos três enlaces. Um enlace envolven-

do as quatro células das extremidades (lembre-se de que as células das extremidades são adjacentes), outro enlace envolvendo os dois uns da segunda e terceira linha na segunda coluna e o último enlace envolvendo dois uns da segunda linha na segunda e na terceira coluna.

O resultado é a expressão: S= B'.D' + B.C'.D + A'.B.D

Para resolução do problema pelo método do produto das somas

Encontre as células adjacentes com o mesmo valor –para o método do produto das somas, devemos considerar enlaces de células que representem o nível lógico baixo, ou seja, enlaces de células iguais a 0 (zero) – e depois faça um enlace dessas células.

Após os enlaces, analise, em cada caso, quando as variáveis de entrada mudam de valor para cada enlace específico. Se a variável de entrada mudar de valor de uma célula para outra do enlace, então ela não deve ser considerada na expressão; do contrário, ela entrará na expressão de forma complementada — caso o valor da variável de entrada que não muda seja 1 (um) — ou entrará de forma normal — caso o valor da variável de entrada que não muda seja igual a 0 (zero). Perceba que o método do produto das somas troca o complemento também: antes, a variável deveria entrar complementada quando o valor da variável que não mudava era igual a 0 (zero), agora é quando ele é igual a 1 (um).

As variáveis de cada enlace deverão ser somadas e as somas provenientes dos enlaces deverão ser multiplicadas (no caso de mais de um enlace). Agora, também as somas se transformaram em multiplicações e as multiplicações se transformaram em soma.

Lembre-se de que, se todas as saídas (valores das células) forem iguais a 1 (um), podemos resumir o resultado em: S=1 e, da mesma forma, se todas as células forem iguais a 0(zero), o resultado final será S=0. Isso não muda.

Veja alguns exemplos de mapas de Veitch-Karnaugh para variáveis de entrada considerando enlaces de zeros.

Exemplo 1 Mapa de Veitch-Karnaugh com duas variáveis de entrada e enlaces de uns

EXTRAÇÃO D	A EXPRESSÃO VERD		O DA TABELA	EXTRA	ÇÃO		ÃO UTILIZANI VEITCH-KARN	DO A FERRAM AUGH	ENTA
linha	Α	В	S					В]
1	0	0	1				0	1	
2	0	1	1			0	1	1	Ī
3	1	0	0		a				
4	1	1	0			1	0	0	
Expre	essão extraída	da tabela verd	dade	Exp	press	ão extraída	do Mapa de V	eitch-Karnaug	h
	S = (A'+B) . (A'+B')					S= A'		
			Come	ntários:					

Pode-se escolher as saídas iguais a um ou as saídas iguais a zero (o ideal é escolher a saída com menor número de ocorrências). Se a escolha for considerar as saídas iguais a um, a operação consiste em multiplicar as variáveis de entrada da linha cuja saída seja igual a um e somar às outras multiplicações provenientes das outras linhas cujas saídas sejam iguais a um. Já se a escolha for considerar as saídas iguais a zero, a operação consiste em somar as variáveis de entrada da linha cuja saída seja igual a zero (colocar entre parênteses) e multiplicar com as outras somas provenientes das outras linhas cujas saídas sejam iguais a zero. No caso, foram consideradas as saídas iguais a zero e a soma ocorreu na linha três: A' + Be na linha quatro: A' + B' (veja que, no método do produto da soma, a variável que tiver o valor zero, entra sem complemento, e a variável que tiver o valor um entra complementada). Depois, os dois termos foram multiplicados. Observe que, para isso, foi necessário incluir parênteses entre as somas para mudar a ordem de precedência das operações. $S = (A' + B) \cdot (A' + B')$

A operação consiste em analisar o enlace de uns ou de zeros, verificando, em todo o espaço do enlace, as variáveis de entrada que mudam ou não de valor. As variáveis que mudam de valor não entram na expressão e as variáveis que não mudam entram da seguinte forma: para enlaces de uns, quando o valor da variável de entrada não mudar e for igual a um, ela entrará sem complemento; e, se o valor da variável de entrada não mudar de valor e for igual a zero, ela deverá entrar complementada. Para enlaces de zeros, quando o valor da variável de entrada não mudar e for igual a um, ela entrará complementada; e, se o valor da variável de entrada não mudar e for igual a zero, ela entrará sem o complemento (portanto, de forma oposta aos enlaces de uns). Quando os enlaces forem de uns, as variáveis de entrada que sobrarem deverão ser multiplicadas e os enlaces (quando existir mais de um) deverão ser somados. Para enlaces de zeros, as variáveis de entrada que sobrarem deverão ser somadas (inserir parênteses) e os enlaces (quando existir mais de um) deverão ser multiplicados. Para este caso, o enlace é de zeros e ocupa toda a segunda linha. Como para a segunda linha o valor de A não muda e vale um, o A entra complementado na expressão, enquanto o B muda (da primeira coluna para a segunda, ele passa de zero para um) e, portanto, está fora da expressão. S = A'

Exemplo 2 Mapa de Veitch-Karnaugh com duas variáveis de entrada e enlaces de zeros

EXTRAÇÃO	DA EXPRESSÃO VER	PELO MÉTODO DADE	O DA TABELA	EXTRA	ÇÃO		ÃO UTILIZANI VEITCH-KARN	OO A FERRAM AUGH	ENTA
linha	А	В	S				E	3	
1	0	0	0				0	1	
2	0	1	0			0	0	0	
3	1	0	1		A	1	1	1	
4	1	1	1	L			1	1	
Ехр	oressão extraída S = (A + B	a da tabela verd	lade	Ex	pres	são extraída	do Mapa de V	eitch-Karnaug	h

Comentários:

Pode-se escolher as saídas iguais a um ou as saídas iguais a zero (o ideal é escolher a saída com menor número de ocorrências). Se a escolha for considerar as saídas iguais a um, a operação consiste em multiplicar as variáveis de entrada da linha cuja saída seja igual a um e somar às outras multiplicações provenientes das outras linhas cujas saídas sejam iguais a um. Já se a escolha for considerar as saídas iguais a zero, a operação consiste em somar as variáveis de entrada da linha cuja saída seja igual a zero (colocar entre parênteses) e multiplicar com as outras somas provenientes das outras linhas cujas saídas sejam iguais a zero. No caso, foram consideradas as saídas iguais a zero e a soma ocorreu nalinha1: A + B e na linha 2: A + B'. Depois, as duas linhas foram multiplicadas. Observe a necessidade de colocar parênteses para mudar a ordem de precedência das operações. Veja também que, no método do produto das somas, a variável que tiver o valor zero entra sem complemento e a variável que tiver o valor um entra complementada. $S = (A + B) \cdot (A + B')$

A operação consiste em analisar o enlace de uns ou de zeros, verificando, em todo o espaço do enlace, as variáveis de entrada que mudam ou não de valor. As variáveis que mudam de valor não entram na expressão e as variáveis que não mudam entram da seguinte forma: para enlaces de uns, quando o valor da variável de entrada não mudar e for igual a um, ela entrará sem complemento; e, se o valor da variável de entrada não mudar de valor e for igual a zero, ela deverá entrar complementada. Para enlaces de zeros, quando o valor da variável de entrada não mudar e for igual a um, ela entrará complementada; e, se o valor da variável de entrada não mudar e for igual a zero, ela entrará sem o complemento (portanto, de forma oposta aos enlaces de uns). Quando os enlaces forem de uns, as variáveis de entrada que sobrarem deverão ser multiplicadas e os enlaces (quando existir mais de um) deverão ser somados. Para enlaces de zeros, as variáveis de entrada que sobrarem deverão ser somadas (inserir parênteses) e os enlaces (quando existir mais de um) deverão ser multiplicados. Para este caso, o enlace é de zeros e ocupa toda a primeira linha. Como para a primeira linha o valor de A não muda e vale zero, o A entra sem complemento na expressão, enquanto o B muda (da primeira coluna para a segunda ele passa de zero para um) e, portanto, está fora da expressão. S= A

Exemplo 3 Mapa de Veitch-Karnaugh com duas variáveis de entrada e enlaces de zeros

EXTRAÇÃ		ÃO PELO MÉTO 'ERDADE	DDO DA TABELA	EXTRA	٩ÇÃC		ÃO UTILIZANI VEITCH-KARN		IENTA
linha	А	В	S				I	3]
1	0	0	0				0	1	
2	0	1	1			0	0	1	Ì
3	1	0	1		Α	1	1	1	İ
4	1	1	1				1	1	ļ
I	Expressão extra		verdade	E:	xpre	ssão extraída	do Mapa de V	eitch-Karnaug	h
	3	S = A + B	Com	entários:			S= A + B		

S = A + B

Pode-se escolher as saídas iguais a um ou as saídas iguais a zero (o ideal é escolher a saída com menor número de ocorrências). Se a escolha for considerar as saídas iguais a um, a operação consiste em multiplicar as variáveis de entrada da linha cuja saída seja igual a um e somar às outras multiplicações provenientes das outras linhas cujas saídas sejam iguais a um. Já se a escolha for considerar as saídas iguais a zero, a operação consiste em somar as variáveis de entrada da linha cuja saída seja igual a zero (colocar entre parênteses) e multiplicar com as outras somas provenientes das outras linhas cujas saídas sejam iguais a zero.

No caso, foram somadas as variáveis de entrada da linha 1: A + B. Como não existe nenhuma outra linha com saída igual a zero, a expressão será:

S = A + B.

A operação consiste em analisar o enlace de uns ou de zeros. verificando, em todo o espaço do enlace, as variáveis de entrada que mudam ou não de valor. As variáveis que mudam de valor não entram na expressão e as variáveis que não mudam entram da seguinte forma: para enlaces de uns, quando o valor da variável de entrada não mudar e for igual a um, ela entrará sem complemento; e, se o valor da variável de entrada não mudar de valor e for igual a zero, ela deverá entrar complementada. Para enlaces de zeros, quando o valor da variável de entrada não mudar e for igual a um, ela entrará complementada; e, se o valor da variável de entrada não mudar e for igual a zero, ela entrará sem o complemento (portanto, de forma oposta aos enlaces de uns). Quando os enlaces forem de uns, as variáveis de entrada que sobrarem deverão ser multiplicadas e os enlaces (quando existir mais de um) deverão ser somados. Para enlaces de zeros, as variáveis de entrada que sobrarem deverão ser somadas (inserir parênteses) e os enlaces (quando existir mais de um) deverão ser multiplicados. Para este caso, temos uma única célula com o valor igual a zero e ela deverá ser considerada sozinha. Como, para este enlace de uma única saída, as duas variáveis de entrada mudam de valor, a expressão será:

Obs.: neste caso, o mapa de Veitch-Karnaugh não teve nenhum efeito, pois a expressão já estava simplificada por existir apenas uma linha com a saída igual a zero.

Exemplo 4 Mapa de Veitch-Karnaugh com três variáveis de entrada e enlaces de zeros

EXTRAÇÃ	O DA EXPRE	SSÃO PELO VERDADE	MÉTODO D	A TABELA	EX	-	A EXPRESSÂ MAPA DE V			RRAMENTA
linha	А	В	С	S						
1	0	0	0	0				В	С	
2	0	0	1	1			00	01	11	10
3	0	1	0	0				01		10
4	0	1	1	1		0 -	0	1	1	
5	1	0	0	0	A		ŭ	_		
6	1	0	1	1		1	0	1	1	
7	1	1	0	0				1	1	
8	1	1	1	1						
	Expressão ex	traída da tal	bela verdado	e	Expressão extraída do Mapa de Veitch-Karnaugh					
S = (A +	B + C) . (A +	B' + C) . (A' +	A' + B + C) . (A' + B' + C). S= C							

Comentários:

Pode-se escolher as saídas iguais a um ou as saídas iguais a zero (o ideal é escolher a saída com menor número de ocorrências).

Se a escolha for considerar as saídas iguais a um, a operacão consiste em multiplicar as variáveis de entrada da linha cuja saída seja igual a um e somar às outras multiplicações provenientes das outras linhas cujas saídas sejam iguais a um. Já se a escolha for considerar as saídas iguais a zero, a operação consiste em somar as variáveis de entrada da linha cuja saída seja igual a zero (colocar entre parênteses) e multiplicar com as outras somas provenientes das outras linhas cujas saídas sejam iguais a zero.

Neste caso, para a primeira linha: (A + B + C), para a terceira linha: (A + B' + C), para a quinta linha: (A' + B + C) e para a sétima linha: (A' + B' + C).

Efetuando a multiplicação das somas, temos:

$$S = (A + B + C) \cdot (A + B' + C) \cdot (A' + B + C) \cdot (A' + B' + C)$$

Obs.: não deixe de ficar atento ao uso dos parênteses para inverter a ordem de precedência das operações booleanas. A operação consiste em analisar o enlace de uns ou de zeros, verificando, em todo o espaço do enlace, as variáveis de entrada que mudam ou não de valor. As variáveis que mudam de valor não entram na expressão e as variáveis que não mudam entram da seguinte forma: para enlaces de uns, quando o valor da variável de entrada não mudar e for igual a um, ela entrará sem complemento; e, se o valor da variável de entrada não mudar de valor e for igual a zero, ela deverá entrar complementada. Para enlaces de zeros, guando o valor da variável de entrada não mudar e for igual a um, ela entrará complementada; e, se o valor da variável de entrada não mudar e for igual a zero, ela entrará sem o complemento (portanto, de forma oposta aos enlaces de uns). Quando os enlaces forem de uns, as variáveis de entrada que sobrarem deverão ser multiplicadas e os enlaces (quando existir mais de um) deverão ser somados. Para enlaces de zeros, as variáveis de entrada que sobrarem deverão ser somadas (inserir parênteses) e os enlaces (quando existir mais de um) deverão ser multiplicados. Para este caso, temos apenas um enlace ocupando a primeira e última (quarta) coluna do mapa de Veitch-Karnaugh. Sendo assim, o A e o B mudam de valor e, portanto, não entram na expressão, enquanto o C não muda de valor e vale zero (o C vale zero tanto para a primeira coluna quanto para a quarta coluna). Desta forma, a expressão fica:

S = C

Exemplo 5 Mapa de Veitch-Karnaugh com três variáveis de entrada e enlaces de zeros

EXTRAÇÃ	ÃO DA EXPR	ESSÃO PELO VERDADE	MÉTODO I	DA TABELA	EX	-		ÃO UTILIZA /EITCH-KAR		RAMENTA
linha	А	В	С	S						
1	0	0	0	1				В	С	
2	0	0	1	0			00	01	11	10
3	0	1	0	1			00	01	11	10
4	0	1	1	0		0	1	0	0	1
5	1	0	0	1	ll A			l	Ů	1
6	1	0	1	0		1	1		0	1
7	1	1	0	1		_				_
8	1	1	1	0						
	Expressão e	xtraída da ta	ibela verdad	de		Expressão	o extraída d	lo Mapa de	Veitch-Kar	naugh
S = (A + E	3 + C') . (A +	B' + C') . (A'	+ B + C') . (A	Y' + B' + C')				S= C'		

Comentários:

Pode-se escolher as saídas iguais a um ou as saídas iguais a zero (o ideal é escolher a saída com menor número de ocorrências).

Se a escolha for considerar as saídas iguais a um, a operação consiste em multiplicar as variáveis de entrada da linha cuja saída seja igual a um e somar às outras multiplicações provenientes das outras linhas cujas saídas sejam iguais a um. Já se a escolha for considerar as saídas iguais a zero, a operação consiste em somar as variáveis de entrada da linha cuja saída seja igual a zero (colocar entre parênteses) e multiplicar com as outras somas provenientes das outras linhas cujas saídas sejam iguais a zero.

No caso, devem-se pegar as linhas:

Primeira linha: (A + B + C')

Terceira linha: (A + B' + C')

Quinta linha: (A' + B + C')

Sétima linha: (A' + B' + C')

Em seguida, multiplicar as somas para montar a expressão:

$$S = (A + B + C') \cdot (A + B' + C') \cdot (A' + B + C') \cdot (A' + B' + C')$$

Obs.: não deixe de ficar atento ao uso dos parênteses para inverter a ordem de precedência das operações booleanas. A operação consiste em analisar o enlace de uns ou de zeros, verificando, em todo o espaço do enlace, as variáveis de entrada que mudam ou não de valor. As variáveis que mudam de valor não entram na expressão e as variáveis que não mudam entram da seguinte forma: para enlaces de uns, quando o valor da variável de entrada não mudar e for igual a um, ela entrará sem complemento: e. se o valor da variável de entrada não mudar de valor e for igual a zero, ela deverá entrar complementada. Para enlaces de zeros, quando o valor da variável de entrada não mudar e for igual a um, ela entrará complementada; e, se o valor da variável de entrada não mudar e for igual a zero, ela entrará sem o complemento (portanto, de forma oposta aos enlaces de uns). Quando os enlaces forem de uns, as variáveis de entrada que sobrarem deverão ser multiplicadas e os enlaces (quando existir mais de um) deverão ser somados. Para enlaces de zeros, as variáveis de entrada que sobrarem deverão ser somadas (inserir parênteses) e os enlaces (quando existir mais de um) deverão ser multiplicados. Para este caso, o enlace ocupa a segunda e a terceira coluna nas duas linhas. Assim, a variável A muda de valor (da linha 1 valendo zero para a linha 2 valendo um), a variável B muda de zero (segunda coluna) para um (terceira coluna), enquanto a variá-

vel C não muda (vale um tanto para a segunda coluna quanto para a terceira coluna) e entra complementado na expressão: S = C'.

Obs.: lembre-se de que, para enlaces de zeros, a variável que não muda e vale um entra complementada na expressão.

Exemplo 6 Mapa de Veitch-Karnaugh com três variáveis de entrada e enlaces de zeros

EXTRAÇ <i>î</i>	ÃO DA EXPR	ESSÃO PELO VERDADE		DA TABELA	EX.	_		ÃO UTILIZA /EITCH-KAR		RAMENTA
linha	А	В	С	S						
1	0	0	0	1				В	С	
2	0	0	1	1			00	01	11	10
3	0	1	0	1			00	01		10
4	0	1	1	0		0	1	1	0	1
5	1	0	0	1	ll A		1	1		1
6	1	0	1	0		4	1			1
7	1	1	0	1		1	1	0	0	1
8	1	1	1	0						
	Expressão e	xtraída da ta	ibela verda	de		Expressão	o extraída o	do Mapa de	Veitch-Kar	naugh
S =	= (A + B' + C') . (A' + B + C	C') . (A' + B'	+ C')			S= (A	(+C') . (B'+C	C')	

Comentários:

Pode-se escolher as saídas iguais a um ou as saídas iguais a zero (o ideal é escolher a saída com menor número de ocorrências). Se a escolha for considerar as saídas iguais a um, a operação consiste em multiplicar as variáveis de entrada da linha cuja saída seja igual a um e somar às outras multiplicações provenientes das outras linhas cujas saídas sejam iguais a um. Já se a escolha for considerar as saídas iguais a zero, a operação consiste em somar as variáveis de entrada da linha cuja saída seja igual a zero (colocar entre parênteses) e multiplicar com as outras somas provenientes das outras linhas cujas saídas sejam iguais a zero.

No caso, foram pegas as linhas:

Quarta linha: (A + B' + C')Sexta linha: (A' + B + C')Oitava linha: (A' + B' + C')

Em seguida, deve-se somar as multiplicações para montar a expressão:

$$S = (A + B' + C') \cdot (A' + B + C') \cdot (A' + B' + C')$$

A operação consiste em analisar o enlace de uns ou de zeros, verificando, em todo o espaço do enlace, as variáveis de entrada que mudam ou não de valor. As variáveis que mudam de valor não entram na expressão e as variáveis que não mudam entram da seguinte forma: para enlaces de uns, quando o valor da variável de entrada não mudar e for igual a um. ela entrará sem complemento; e, se o valor da variável de entrada não mudar de valor e for igual a zero, ela deverá entrar complementada. Para enlaces de zeros, quando o valor da variável de entrada não mudar e for igual a um, ela entrará complementada; e, se o valor da variável de entrada não mudar e for igual a zero, ela entrará sem o complemento (portanto, de forma oposta aos enlaces de uns). Quando os enlaces forem de uns, as variáveis de entrada que sobrarem deverão ser multiplicadas e os enlaces (quando existir mais de um) deverão ser somados. Para enlaces de zeros, as variáveis de entrada que sobrarem deverão ser somadas (inserir parênteses) e os enlaces (quando existir mais de um) deverão ser multiplicados.

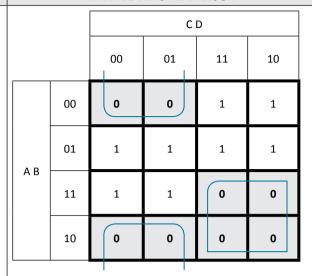
Para este caso, temos dois enlaces e devemos escolher um deles para começar a escrever a expressão booleana. Vamos considerar o primeiro enlace, que está ocupando a segunda linha na segunda e na terceira colunas. Para este primeiro enlace, a variável de entrada A não muda de valor e vale um para toda a segunda linha: portanto, a variável deverá entrar complementada na expressão, pois os enlaces são de zeros. Além da variável A, a variável C também não muda de valor e vale um para toda a segunda e a terceira colunas (ou seja, para todo o enlace); assim, a variável C deverá entrar complementada para somar-seàvariável A'. O primeiro termo será (A' + C'). Como existe mais um enlace, o termo extraído do primeiro enlace deverá ser multiplicado pelo termo extraído do segundo enlace, que será (B' + C'), pois, para o segundo enlace (que ocupa toda a terceira linha), a variável A muda de valor (da primeira linha para a segunda linha) e, portanto, não entra na expressão, e as variáveis B e C não mudam de valor para toda a terceira coluna (ou seja, todo o segundo enlace) e valem um, devendo, portanto, ser complementadas e somadas para constituir o segundo termo, proveniente do segundo enlace.

Assim: $S = (A'+C') \cdot (B'+C')$

Exemplo 7 Mapa de Veitch-Karnaugh com quatro variáveis de entrada e enlaces de zeros

EXTRAÇÃO DA EXPRESSÃO PELO MÉTODO DA TABELA VFRDADE linha В C D S Α 0 0 0 0 0 1 2 0 0 0 0 1 3 0 0 1 0 1 0 4 0 1 1 1 5 0 1 0 0 1 6 0 1 0 1 1 7 0 1 1 0 1 8 0 1 1 1 9 1 0 0 0 0 0 0 10 1 1 n 11 1 0 1 0 0 12 1 0 1 1 0 1 0 0 1 13 1 14 1 1 0 1 1 1 15 1 1 0 0 16 1 1 1 0 1

EXTRAÇÃO DA EXPRESSÃO UTILIZANDO A FERRAMENTA MAPA DE VEITCH-KARNAUGH



Expressão extraída da tabela verdade

$$S = (A + B + C + D) \cdot (A + B + C + D') \cdot (A' + B + C + D) \cdot (A' + B + C + D') \cdot (A' + B + C' + D') \cdot (A' + B' + C' + D) \cdot (A' + B' + C' + D') \cdot (A' + B' + C' + D')$$

Expressão extraída do Mapa de Veitch-Karnaugh

$$S=(B + C) \cdot (A' + C')$$

Comentários:

Pode-se escolher as saídas iguais a um ou as saídas iguais a zero (o ideal é escolher a saída com menor número de ocorrências).

Se a escolha for considerar as saídas iguais a um, a operação consiste em multiplicar as variáveis de entrada da linha cuja saída seja igual a um e somar às outras multiplicações provenientes das outras linhas cujas saídas sejam iguais a um. Já se a escolha for considerar as saídas iguais a zero, a operação consiste em somar as variáveis de entrada da linha cuia saída seja igual a zero (colocar entre parênteses) e multiplicar com as outras somas provenientes das outras linhas cujas saídas sejam iguais a zero.

No caso, foram levadas em consideração as linhas 1, 2, 9, 10, 11, 12, 15 e 16.

Veja:

Primeira linha: (A + B + C + D)Segunda linha: (A + B + C + D')Nona linha: (A' + B + C + D)Décima linha: (A' + B + C + D')

Décima primeira linha: (A' + B + C' + D)Décima segunda linha: (A' + B + C' + D')Décima quinta linha: (A' + B' + C' + D)

Décima sexta linha: (A' + B' + C' + D')

Em seguida, as somas deverão ser multiplicadas para montar a expressão:

$$\begin{split} S &= (A+B+C+D) \cdot (A+B+C+D') \cdot (A'+B+C+D) \cdot (A'+B+C+D') \cdot (A'+B+C'+D') \cdot (A'+B+C'+D') \cdot (A'+B'+C'+D') \cdot (A'+B'+C'+D') \cdot (A'+B'+C'+D') \cdot (A'+B'+C'+D') \end{split}$$

A operação consiste em analisar o enlace de uns ou de zeros, verificando, em todo o espaço do enlace, as variáveis de entrada que mudam ou não de valor. As variáveis que mudam de valor não entram na expressão e as variáveis que não mudam entram da seguinte forma: para enlaces de uns, quando o valor da variável de entrada não mudar e for igual a um, ela entrará sem complemento: e. se o valor da variável de entrada não mudar de valor e for igual a zero, ela deverá entrar complementada. Para enlaces de zeros, guando o valor da variável de entrada não mudar e for igual a um, ela entrará complementada; e, se o valor da variável de entrada não mudar e for igual a zero, ela entrará sem o complemento (portanto, de forma oposta aos enlaces de uns). Quando os enlaces forem de uns, as variáveis de entrada que sobrarem deverão ser multiplicadas e os enlaces (quando existir mais de um) deverão ser somados. Para enlaces de zeros, as variáveis de entrada que sobrarem deverão ser somadas (inserir parênteses) e os enlaces (quando existir mais de um) deverão ser multiplicados. Para este caso, temos dois enlaces de quatro células, sendo que o primeiro (mais à esquerda do mapa de Veitch-Karnaugh) mantém o B no nível lógico zero (ou seja, ele não muda de valor da primeira para a quarta linha da tabela) e o C igual a zero tanto para a primeira quanto para a segunda coluna. Como as variáveis que mudam de valor não entram na expressão e o enlace é de células iguais a zero, temos o termo: (B + C) extraído do primeiro enlace. O segundo enlace, mais à esquerda do mapa, ocupa as duas últimas linhas e as duas últimas colunas. Assim, a variável de entrada A vale um e não muda de valor para todo o enlace (vale um para as duas últimas linhas do

mapa) e a variável C também vale um e não muda de valor para todo o enlace (vale um tanto na coluna 3 como na coluna 4). Como o enlace é de zeros e as variáveis não mudam e valem um, elas deverão entrar complementadas no termo: (A' + C'). Multiplicando-se os dois termos, temos a expressão:

S=(B+C).(A'+C')

Exemplo 8 Mapa de Veitch-Karnaugh com quatro variáveis de entrada e enlaces de zeros

EXTRAÇÃO DA EXPRESSÃO PELO MÉTODO DA TABELA EXTRAÇÃO DA EXPRESSÃO UTILIZANDO A FERRAMENTA **VERDADE** MAPA DE VEITCH-KARNAUGH linha В D С S Α C D n ΑВ O Expressão extraída da tabela verdade Expressão extraída do Mapa de Veitch-Karnaugh $S=(A + B' + C + D) \cdot (A + B' + C + D') \cdot (A + B' + C' + D) \cdot (A + B')$ + C' + D'). (A' + B' + C + D). (A' + B' + C + D'). (A' + B' + C' + D')S= B'

Comentários:

Pode-se escolher as saídas iguais a um ou as saídas iguais a zero (o ideal é escolher a saída com menor número de ocorrências).

D) . (A' + B' + C' + D')

Se a escolha for considerar as saídas iguais a um, a operação consiste em multiplicar as variáveis de entrada da linha cuja saída seja igual a um e somar às outras multiplicações provenientes das outras linhas cujas saídas sejam iguais a um. Já se a escolha for considerar as saídas iguais a zero, a operação consiste em somar as variáveis de entrada da linha cuja saída seja igual a zero (colocar entre parênteses) e multiplicar com as outras somas provenientes das outras linhas cujas saídas sejam iguais a zero.

No caso, foram consideradas as linhas 5, 6, 7, 8, 13, 14, 15 e 16.

Veja:

Quinta linha: (A + B' + C + D)Sexta linha: (A + B' + C + D')Sétima linha: (A + B' + C' + D)Oitava linha: (A + B' + C' + D')

Décima terceira linha: (A' + B' + C + D)Décima quarta linha: (A' + B' + C + D')Décima quinta linha: (A' + B' + C' + D)Décima sexta linha: (A' + B' + C' + D')

Em seguida, deve-se multiplicar as somas (os termos) para montar a expressão:

 $S = (A + B' + C + D) \cdot (A + B' + C + D') \cdot (A + B' + C' + D) \cdot (A + B' + C' + D') \cdot (A' + B' + C + D') \cdot (A' + B' + C' + D') \cdot (A' + B' + C' + D')$

A operação consiste em analisar o enlace de uns ou de zeros, verificando, em todo o espaço do enlace, as variáveis de entrada que mudam ou não de valor. As variáveis que mudam de valor não entram na expressão e as variáveis que não mudam entram da seguinte forma: para enlaces de uns, quando o valor da variável de entrada não mudar e for igual a um, ela entrará sem complemento; e, se o valor da variável de entrada não mudar de valor e for igual a zero, ela deverá entrar complementada. Para enlaces de zeros, guando o valor da variável de entrada não mudar e for igual a um, ela entrará complementada; e, se o valor da variável de entrada não mudar e for igual a zero, ela entrará sem o complemento (portanto, de forma oposta aos enlaces de uns). Quando os enlaces forem de uns, as variáveis de entrada que sobrarem deverão ser multiplicadas e os enlaces (quando existir mais de um) deverão ser somados. Para enlaces de zeros, as variáveis de entrada que sobrarem deverão ser somadas (inserir parênteses) e os enlaces (guando existir mais de um) deverão ser multiplicados.

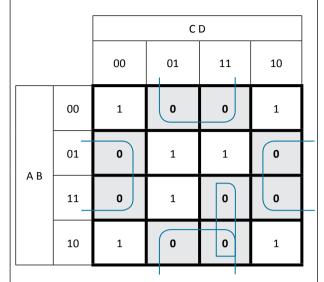
Para este caso, temos um único enlace ocupando a segunda e a terceira linha. Para este enlace, a variável A muda de valor da segunda para a terceira linha (de zero para um) e, portanto, não entra no termo, da mesma forma que as variáveis C e D também mudam de valor ao longo do enlace que ocupa todas as colunas e, portanto, também não entram no termo. A única variável que não muda de valor e vale um para todo o enlace, é o B. Como o seu valor é um e o enlace é de células iguais a zero, a variável deverá entrar no termo de forma complementada. Por existir apenas um enlace, a expressão já está pronta.

O resultado é a expressão: S = B'

Exemplo 9 Mapa de Veitch-Karnaugh com quatro variáveis de entrada e enlaces de zeros

EXTRAÇÃO DA EXPRESSÃO PELO MÉTODO DA TABELA **VERDADE** linha В C D S Α O O O

EXTRAÇÃO DA EXPRESSÃO UTILIZANDO A FERRAMENTA MAPA DE VEITCH-KARNAUGH



Expressão extraída da tabela verdade

$$S = (A + B + C + D') \cdot (A + B + C' + D') \cdot (A + B' + C + D) \cdot (A + B' + C + D) \cdot (A' + B' + C + D') \cdot (A' + B' + C' + D')$$

Expressão extraída do Mapa de Veitch-Karnaugh

$$S = (B' + D) \cdot (B + D') \cdot (A' + B' + C')$$

Comentários:

Pode-se escolher as saídas iguais a um ou as saídas iguais a zero (o ideal é escolher a saída com menor número de ocorrências).

Se a escolha for considerar as saídas iguais a um, a operação consiste em multiplicar as variáveis de entrada da linha cuja saída seja igual a um e somar às outras multiplicações provenientes das outras linhas cujas saídas sejam iguais a um. Já se a escolha for considerar as saídas iguais a zero, a operação consiste em somar as variáveis de entrada da linha cuja saída seja igual a zero (colocar entre parênteses) e multiplicar com as outras somas provenientes das outras linhas cujas saídas sejam iguais a zero.

No caso, foram utilizadas as linhas 2, 4, 5, 7, 10, 12, 13, 15, 16.

Veja:

Segunda linha: (A + B + C + D')Quarta linha: (A + B + C' + D')Quinta linha: (A + B' + C + D)Sétima linha: (A + B' + C' + D)Décima linha: (A' + B + C + D')

Décima segunda linha: (A' + B + C' + D')Décima terceira linha: (A' + B' + C + D)Décima quinta linha: (A' + B' + C' + D)Décima sexta linha: (A' + B' + C' + D')

Multiplicando as somatórias para montar a expressão:

$$\begin{split} S &= (A + B + C + D') \cdot (A + B + C' + D') \cdot (A + B' + C + D) \cdot (A + B' \\ &+ C' + D) \cdot (A' + B + C + D') \cdot (A' + B + C' + D') \cdot (A' + B' + C + D) \cdot (A' + B' + C' + D') \end{split}$$

A operação consiste em analisar o enlace de uns ou de zeros, verificando, em todo o espaço do enlace, as variáveis de entrada que mudam ou não de valor. As variáveis que mudam de valor não entram na expressão e as variáveis que não mudam entram da seguinte forma: para enlaces de uns, quando o valor da variável de entrada não mudar e for igual a um, ela entrará sem complemento; e, se o valor da variável de entrada não mudar de valor e for igual a zero, ela deverá entrar complementada. Para enlaces de zeros, quando o valor da variável de entrada não mudar e for igual a um, ela entrará complementada; e, se o valor da variável de entrada não mudar e for igual a zero, ela entrará sem o complemento (portanto, de forma oposta aos enlaces de uns). Quando os enlaces forem de uns, as variáveis de entrada que sobrarem deverão ser multiplicadas e os enlaces (quando existir mais de um) deverão ser somados. Para enlaces de zeros, as variáveis de entrada que sobrarem deverão ser somadas (inserir parênteses) e os enlaces (quando existir mais de um) deverão ser multiplicados.

Para este caso, temos três enlaces. Um enlace envolvendo as linhas 2 e 3 na primeira e na última colunas, em que as variáveis B e D não mudam de valor e valem, respectivamente, um e zero, gerando o termo: (B' + D). O segundo enlace envolve a primeira e última linha, ocupando as colunas 2 e 3, em que as variáveis B e D não mudam de valor e valem, respectivamente, zero e um, gerando o termo: (B + D'). O último enlace poderia ocupar a penúltima linha nas colunas 3 e 4 ou a penúltima coluna nas linhas 3 e 4. Para este exemplo, foi escolhido o enlace que ocupa a penúltima linha nas colunas 3 e 4. Assim, para este enlace, as variáveis A e B não mudam de valor e valem um e um respectivamente, além da variável C, que também não muda de valor e vale um. Assim, o termo será: (A' + B' + C'). Multiplicando as somatórias, temos a seguinte expressão

$$S = (B' + D) \cdot (B + D') \cdot (A' + B' + C')$$

simplificada:

Exemplo 10 Mapa de Veitch-Karnaugh com quatro variáveis de entrada, enlaces de zeros e com células iguais a X

É importante que você atentepara as células que possuem o valor X, pois elas poderão ser utilizadas para enlaces de uns ou zeros de acordo com a conveniência do mapa. Se você estiver utilizando enlaces de zeros e a(s) célula(s) com valor X ajudarem no processo de simplificação, elas deverão ser utilizadas nos enlaces valendo zero, assim como, se você estiver utilizando um mapa com enlaces de uns e a(s) célula(s) iguais a X ajudarem de alguma forma a obter o(s) maior(es) enlace(s) de uns, ela(s) deverá entrar valendo um.

Lembre-se de quevocê não tem a obrigação de utilizar todas as células iguais a X. Deve-se utilizar apenas as que forem convenientes para fazer o maior enlace possível.

EXTRA	ÇÃO DA E		DELO MÉ DADE	ÉTODO DA	A TABELA		EXTRA		EXPRESSÃO 1APA DE VE			RAMENTA
linha	Α	В	С	D	S							
1	0	0	0	0	1							
2	0	0	0	1	0					C	D	
3	0	0	1	0	1						1	
4	0	0	1	1	0				00	01	11	10
5	0	1	0	0	0							
6	0	1	0	1	х			00	1	0	0	1
7	0	1	1	0	0							
8	0	1	1	1	х			01	0	х	Х	0
9	1	0	0	0	1		АВ		Ů	^	^	Ů
10	1	0	0	1	0		AB	11		x		
11	1	0	1	0	1			11	0	X	0	0
12	1	0	1	1	0							
13	1	1	0	0	0			10	1	0	0	1
14	1	1	0	1	х							
15	1	1	1	0	0							
16	1	1	1	1	0							
	Express	ão extraíd	a da tabel	a verdade	<u> </u>		Fx	pressão	extraída do	Mana de '	Veitch-Karı	naugh
	+ C + D') . (A' + B + C	(A + B + C	C' + D') . (A ' + B + C' +	· + B' + C - · D') (A' +	+ D) . (A + B - B' + C + D)			<u> </u>		: B' + D'	Tereor Num	
					Com	enta	ários:					

EXTRAÇÃO DA EXPRESSÃO PELO MÉTODO DA TABELA VERDADE

Pode-se escolher a saídas iguais a um ou as saídas iguais a zero (o ideal é escolher a saída com menor número de ocorrências). Se a escolha for considerar as saídas iguais a um, a operação consiste em multiplicar as variáveis de entrada da linha cuja saída seja igual a um e somar às outras multiplicações provenientes das outras linhas cujas saídassejam iguais a um. Já se a escolha for considerar as saídas iguais a zero, a operação consiste em somar as variáveis de entrada da linha cuja saída seja igual a zero (colocar entre parênteses) e multiplicar com as outras somas provenientes das outras linhas cujas saídas sejam iguais a zero. No caso, foram utilizadas as linhas 2, 4, 5, 7, 10, 12, 13, 15, 16.

Veja: Segunda linha: (A + B + C + D')Quarta linha: (A + B + C' + D')Quinta linha: (A + B' + C + D)

Sétima linha: (A + B' + C' + D)Décima linha: (A' + B' + C' + D)

Décima segunda linha: (A' + B + C' + D')Décima terceira linha: (A' + B' + C + D)Décima quinta linha: (A' + B' + C' + D)Décima sexta linha: (A' + B' + C' + D')

Multiplicando as somatórias para montar a expressão:

 $S = (A + B + C + D') \cdot (A + B + C' + D') \cdot (A + B' + C + D) \cdot (A + B' + C' + D) \cdot (A' + B + C + D') \cdot (A' + B + C' + D') \cdot (A' + B' + C + D) \cdot (A' + B' + C' + D')$

Obs.: para extrair a expressão booleana diretamente da tabela verdade, o X não vai influenciar em nada. Deve-se desconsiderar as linhas que têm a saída igual a X.

EXTRAÇÃO DA EXPRESSÃO UTILIZANDO A FERRAMENTA MAPA DE VEITCH-KARNAUGH

A operação consiste em analisar o enlace de uns ou de zeros, verificando, em todo o espaço do enlace, as variáveis de entrada que mudam ou não de valor. As variáveis que mudam de valor não entram na expressão e as variáveis que não mudam entram da seguinte forma: para enlaces de uns, quando o valor da variável de entrada não mudar e for igual a um, ela entrará sem complemento; e, se o valor da variável de entrada não mudar de valor e for igual a zero, ela deverá entrar complementada. Para enlaces de zeros, quando o valor da variável de entrada não mudar e for igual a um, ela entrará complementada; e, se o valor da variável de entrada não mudar e for igual a zero, ela entrará sem o complemento (portanto, de forma oposta aos enlaces de uns). Quando os enlaces forem de uns, as variáveis de entrada que sobrarem deverão ser multiplicadas e os enlaces (quando existir mais de um) deverão ser somados. Para enlaces de zeros, as variáveis de entrada que sobrarem deverão ser somadas (inserir parênteses) e os enlaces (quando existir mais de um) deverão ser multiplicados.

Para este caso, temos dois enlaces. O primeiro, que ocupa a segunda e a terceira linhas e todas as colunas, tem apenas a variável de entrada B, que não muda de valor e vale um para as duas linhas e, consequentemente, para todo o enlace. Assim, o termo extraído do enlace é: B'. Já o segundo enlace ocupa todas as linhas e as colunas 2 e 3, ficando, assim, apenas a variável de entrada D valendo um, pois todas as outras variáveis mudam de valor ao longo do enlace. O termo do segundo enlace é D'. Multiplicando-se os termos, obtemos a expressão:

 $S = B' \cdot D'$

Circuitos combinacionais dedicados

Veja com detalhes, a seguir, os circuitos combinacionais dedicados: os multiplexadores, os demultiplexadores, os codificadores e os decodificadores.

Multiplexadores

Um circuito multiplexador tem como função escolher uma de suas várias entradas para se conectar à sua única saída.

Como exemplo de aplicação dos circuitos multiplexadores, temos:

- O circuito de controle dos sistemas de segurança monitorado por câmera, em que várias câmeras podem ser ligadas a um único monitor e, por meio do multiplexador, o operador poderá escolher qual câmeraenviará imagem ao monitor em um determinado momento.
- Dispositivo de controle de várias impressoras compartilhando uma única interface com o computador.
- O compartilhamento de um meio de transmissão de dados por vários processos de computadores ou mesmo outros tipos de aparelhos, digitais ou não.

Para entender melhor, considere os circuitos multiplexadores como sendo uma chave seletora conforme a Figura 4.

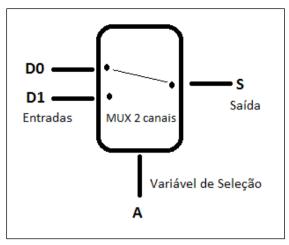


Figura 4 Multiplexador.

Existem várias configurações de multiplexadores que diferem pelo número de entradas e também pela quantidade de canais que eles são capazes de multiplexar.

Os multiplexadores são constituídos por canais de entrada, variáveis de seleção e saída. Os canais de entrada são os que recebem os vários sinais a serem multiplexados. As variáveis de seleção são responsáveis por selecionar uma das suas entradas para se conectar à única saída do circuito. E a saída é o meio pelo qual a entrada estará disponível para uso.

Por se tratar de um circuito digital, o número de variáveis de seleção terá que contemplar todas as possibilidades de entrada, ou seja, para um multiplexador com quatro canais de entrada, teremos, obrigatoriamente, duas variáveis de seleção para poder montar todas as combinações dos dois *bits* e associar cada combinação a um único canal de entrada; se tivermos um multiplexador com oito canais de entrada, serão necessárias três variáveis de seleção para contemplar todas as combinações possíveis, e assim sucessivamente, de acordo com a seguinte fórmula:

Número de linhas = 2^{número de variáveis de seleção}

Veja o diagrama e a tabela verdade de um multiplexador (MUX) de quatro entradas constituído por portas lógicas:

Tabela 1 Diagrama e tabela verdade de um multiplexado de quatro entradas.

Α	В	S
0	0	EO
0	1	E1
1	0	E2
1	1	E3

Perceba que, como o multiplexador apresentado possui quatro entradas, então serão necessárias duas variáveis de seleção, para que, dessa forma, sejam contempladas todas as possibilidades de seleção.

A partir desse exemplo, serão apresentados apenas os diagramas dos circuitos combinacionais, porém não se esqueça de que eles são sempre constituídos por portas lógicas.

Tabela 2 Diagrama e tabela verdade de um multiplexado de oito entradas.

Α	В	С	S
0	0	0	EO
0	0	1	E1
0	1	0	E2
0	1	1	E3
1	0	0	E4
1	0	1	E5
1	1	0	E6
1	1	1	E7

Tabela 3 Diagrama de tabela verdade de um multiplexador de dezesseis entradas.

Α	В	С	D	E
0	0	0	0	E0
0	0	0	1	E1
0	0	1	0	E2
0	0	1	1	E3
0	1	0	0	E4
0	1	0	1	E5
0	1	1	0	E6
0	1	1	1	E7
1	0	0	0	E8
1	0	0	1	E9
1	0	1	0	E10
1	0	1	1	E11
1	1	0	0	E12
1	1	0	1	E13
1	1	1	0	E14
1	1	1	1	E15

Observe, na Figura 5, um exemplo de um chip multiplexador de oito canais.

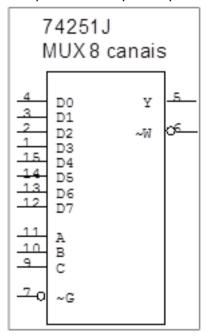


Figura 5 Multiplexador de 8 canais.

Demultiplexadores

Um circuito combinacional demultiplexador (DEMUX) faz exatamente o inverso do circuito combinacional multiplexador (MUX).

Os demultiplexadores têm como função selecionar uma de suas várias saídas para se conectar à sua única entrada.

Neste momento, fica fácil a compreensão de que poderemos utilizar um multiplexador e um demultiplexador para compartilhar um meio de transmissão. Basta inserir um multiplexador em uma ponta e um demultiplexador na outra e configurá-lo adequadamente para estabelecer uma comunicação síncrona entre todos os dispositivos que estão inseridos neste contexto.

Da mesma forma que o MUX, imagine uma chave de múltiplas seleções que possui uma única entrada e várias saídas como sendo um exemplo de demultiplexador.

Algumas aplicações de um demultiplexador são:

- Conversões de dados -> serial paralelo.
- Recepção de dados compartilhando um único meio.
- Compartilhamento de dispositivos.

Observe, nas Tabela 4, 5 e 6, os diagramas e tabelas verdade de um demultiplexador de quatro saídas, de um de oito saídas e um de dezesseis saídas.

Tabela 4 Diagrama e tabela verdade de um demultiplexador de quatro saídas.

A	В	S1	S1	S2	S3
0	0	E	0	0	0
0	1	0	E	0	0
1	0	0	0	E	0
1	1	0	0	0	E

Tabela 5 Diagrama e tabela verdade de um demultiplexador de oito saídas.

Α	В	С	S0	S1	S2	S3	S4	S 5	S6	S7
0	0	0	E	0	0	0	0	0	0	0
0	0	1	0	Е	0	0	0	0	0	0
0	1	0	0	0	Е	0	0	0	0	0
0	1	1	0	0	0	E	0	0	0	0
1	0	0	0	0	0	0	Е	0	0	0
1	0	1	0	0	0	0	0	Е	0	0
1	1	0	0	0	0	0	0	0	E	0
1	1	1	0	0	0	0	0	0	0	E

Tabela 6 Diagrama e tabela verdade de um demultiplexador de dezesseis saídas.

Α	В	С	D	S0	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11	S12	S13	S14	S15
0	0	0	0	E	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	E	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	Е	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	1	0	0	0	E	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	E	0	0	0	0	0	0	0	0	0	0	0
0	1	0	1	0	0	0	0	0	Е	0	0	0	0	0	0	0	0	0	0
0	1	1	0	0	0	0	0	0	0	Е	0	0	0	0	0	0	0	0	0
0	1	1	1	0	0	0	0	0	0	0	E	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	Е	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0	0	0	0	Е	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0	0	Е	0	0	0	0	0
_ 1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	E	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	E	0	0	0
1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	E	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	Е	0
1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	E

E agora, na Figura 6, veja um exemplo de um chip demultiplexador de oito canais.

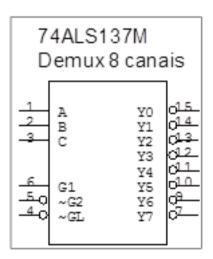


Figura 6 Demultiplexador de 8 canais.

Codificadores e decodificadores

Os codificadores e decodificadores são circuitos combinacionais dedicados a transformar sinais digitais de uma característica específica para outra, de modo a proporcionar uma comunicação adequada entre circuitos digitais diferentes.

Os computadores trabalham com dados digitais (na base dois). Como é possível a comunicação de um teclado alfanumérico com tantas teclas com um sistema digital de base dois? Pois bem, o circuito que estabelece a comunicação entre o teclado alfanumérico e computador digital é denominado de codificador.

Da mesma forma, um circuito que converte os sinais digitais dos comutadores em sinais de base maior, como os utilizados em um *display* digital, recebe o nome de decodificador.

Veja outras aplicações dos circuitos codificadores e decodificadores como, por exemplo:

- 1) Comunicação entre telado e display de uma calculadora eletrônica.
- 2) Reprodução sonora de um compact disc ou DVD.
- 3) Integração de sistemas que utilizam bases numéricas diferentes.
- 4) Sinais de dados (incluindo áudio e vídeo) transmitidos via satélite.
- 5) Modem.
- 6) Dispositivos utilizados para criptografia.

A seguir, serão apresentados alguns tipos de códigos utilizados no universo da computacão:

Código BCD ou codificador BCD 8421

O código BCD (*Binary Coded Decimal*) tem como função codificar dados na base decimal para a base binária.

Como temos dez algarismos decimais, serão necessários quatro *bits* para essa codificação (cada combinação de *bits* deverá representar um algarismo na base decimal).

É evidente que sobrarão linhas de combinações de *bits*, mas isso é necessário por conta da análise combinatória dos quatro dígitos binários utilizados e as posições excedentes serão desconsideradas.

Veja, na Tabela7, um exemplo do Código BCD.

Tabela	7	Código	BCD.
Iabcia	•	Courgo	טכט.

DECIMAL		CÓDIGO BCD CORRESPONDENTE					
0	0	0	0	0			
1	0	0	0	1			
2	0	0	1	0			
3	0	0	1	1			
4	0	1	0	0			
5	0	1	0	1			
6	0	1	1	0			
7	0	1	1	1			
8	1	0	0	0			
9	1	0	0	1			

Código BCH

O código BCH (*Binary Coded Hexadecimal*) codifica os valores da base hexadecimal para binário da mesma forma que o Codificador BCD (*Binary Coded Decimal*) faz com os dígitos decimais. Para esse codificador, todas as dezesseis linhas dos quatro dígitos binários da tabela serão utilizados.

Veja, na Tabela 8, um exemplo doCódigo BCH.

Tabela 8 Código BCH.

HEXADECIMAL		CÓDIGO BCD CO	RRESPONDENTE	
0H	0	0	0	0
1H	0	0	0	1
2H	0	0	1	0
3H	0	0	1	1
4H	0	1	0	0
5H	0	1	0	1
6H	0	1	1	0
7H	0	1	1	1
8H	1	0	0	0
9Н	1	0	0	1
AH	1	0	1	0
ВН	1	0	1	1
СН	1	1	0	0
DH	1	1	0	1
EH	1	1	1	0
DH	1	1	1	1

Código Excesso 3

Conforme já estudado na unidade anterior (Sistemas Numéricos e Conversões de Bases), as operações de subtração podem ser transformadas em soma utilizando a técnica da subtração por complemento da base. Essa técnica utiliza com muita frequência a operação de complemento.

O codificador Excesso 3 é útil na simplificação de subtração no sistema binário pelo fato de que o complemento de um algarismo do sistema decimal correspondeao complemento, dígito a dígito, do código Excesso 3.

Com o uso dos microcontroladores e microprocessadores, o uso do codificador Excesso 3 não se faz necessário, porém esse codificador foi muito utilizado nas calculadoras eletrônicas, que não utilizavam esses tipos de circuitos integrados.

Veja, na Tabela 9, um exemplo do código Excesso 3.

Tabela 9 Código Excesso 3.

DECIMAL		CÓDIGO BCD CORRESPONDENTE					
0	0	0	1	1			
1	0	1	0	0			
2	0	1	0	1			
3	0	1	1	0			
4	0	1	1	1			
5	1	0	0	0			
6	1	0	0	1			
7	1	0	1	0			
8	1	0	1	1			
9	1	1	0	0			

Perceba que o complemento de $(1010)_2$ é igual a $(0101)_2$, da mesma forma que o complemento dígito a dígito de $(7)_{10}$ é igual a $(2)_{10}$.

Código Gray

O código *Gray* codifica os decimais de zero a quinze em dígitos binários, de forma que somente um digito binário mude de valor de uma linha para outra. Esse código é utilizado por contemplar o conceito de adjacência existente nos mapas de Veitch-Karnaugh,em que apenas uma variável de entrada muda de uma célula para outra.

Veja, na Tabela 10, um exemplo do código Gray.

Tabela 10 Código Gray.

DECIMAL		CÓDIGO BCD CO	RRESPONDENTE	
00	0	0	0	0
01	0	0	0	1
02	0	0	1	1
03	0	0	1	0
04	0	1	1	0
05	0	1	1	1
06	0	1	0	1
07	0	1	0	0
08	1	1	0	0
09	1	1	0	1
10	1	1	1	1
11	1	1	1	0
12	1	0	1	0
13	1	0	1	1
14	1	0	0	1
15	1	0	0	0

Para encontrar um número do código *Gray* correspondente a um número decimal, devese fazer a conversão do número decimal para binário e depois fazer a soma dois a dois dos *bits* encontrados, acrescentando o dígito binário mais significativo (mais à esquerda) no resultado da conversão.

Observe o exemplo a seguir:

$$(6)_{10} = (0110)_{2}$$

Deve-se somar o primeiro *bit*à esquerda ao segundo, depois o segundo ao terceiro e, por último, o terceiro ao quarto; depois, acrescentar o *bit* mais significativo do número binário (0110)₃;e concatenar os resultados.

Veia:

$$(6)_{10} = (0110)_{2} = (?)_{2Gray}$$

$$(0110)_{2} = (1)_{2} + (0)_{2} = (1)_{2}$$

$$(0110)_{2} = (1)_{2} + (1)_{2} = (0)_{2}$$

$$(0110)_{2} = (1)_{2} + (0)_{2} = (1)_{2}$$

Acrescentado o dígito mais significativo (0), estrutura-se o resultado de baixo para cima.

Veja o resultado a seguir:

$$(6)_{10} = (0110)_2 = (0101)_{2Gray}$$

Código ASCII (American Standard Code for Information Interchange)

O código ASCII (*American Standard Code for Information Interchange*) define um padrão para troca de dados entre computadores e periféricos.

Observe a Tabela 11:

Tabela 11 Código ASCII.

CARACTER	DECIMAL	HEXADECIMAL	BINÁRIO
NUL	00	00	0000 0000
SOH	01	01	0000 0001
STX	02	02	0000 0010
ETX	03	03	0000 0011
EOT	04	04	0000 0100
ENQ	05	05	0000 0101
ACK	06	06	0000 0110
BEL	07	07	0000 0111
BS	08	08	0000 0100
HT	09	09	0000 1001
LF	10	0A	0000 1010
VT	11	OB	0000 1011
FF	12	0C	0000 1100
CR	13	0D	0000 1101
SO	14	0E	0000 1110
SI	15	0F	0000 1111
DLE	16	10	0001 0000
D1	17	11	0001 0001
D2	18	12	0001 0010
D3	19	13	0001 0011
D4	20	14	0001 0100
NAK	21	15	0001 0101
SYN	22	16	0001 0110
ЕТВ	23	17	0001 0111
CAN	24	18	0001 1000
EM	25	19	0001 1001
SUB	26	1A	0001 1010
ESC	27	1B	0001 1011
FS	28	1C	0001 1100
GS	29	1D	0001 1101
RS	30	1E	0001 1110
US	31	1F	0001 1111
Espaço	32	20	0010 0000
!	33	21	0010 0001
u	34	22	0010 0010
#	35	23	0010 0011
\$	36	24	0010 0100
%	37	25	0010 0101
&	38	26	0010 0110

CARACTER	DECIMAL	HEXADECIMAL	BINÁRIO	
•	39	27	0010 0111	
(40	28	0010 1000	
)	41	29	0010 1001	
*	42	2A	0010 1010	
+	43	2B	0010 1011	
,	44	2C	0010 1100	
-	45	2D	0010 1101	
	46	2E	0010 1110	
	47	2F	0010 FFFF	
0	48	30	0011 0000	
1	49	31	0011 0001	
2	50	32	0011 0010	
3	51	33	0011 0011	
4	52	34	0011 0100	
5	53	35	0011 0101	
6	54	36	0011 0110	
7	55	37	0011 0111	
8	56	38	0011 1000	
9	57	39	0011 1001	
:	58	3A	0011 1010	
;	59	3B	0011 1011	
<	60	3C	0011 1100	
=	61	3D	0011 1101	
>	62	3E	0011 1110	
Ş	63	3F	0011 1111	
	64	40	0100 0000	
A	65	41	0100 0001	
В	66	42	0100 0010	
С	67	43	0100 0011	
D	68	44	0100 0100	
E	69	45	0100 0101	
F	70	46	0100 0110	
G	71	47	0100 0111	
Н	72	48	0100 1000	
1	73	49	0100 1001	
J	74	4A	0100 1010	
K	75	4B	0100 1011	
L	76	4C	0100 1100	
M	77	4D	0100 1101	
N N	78	4E	0100 1110	
0	79	4F	0100 1111	
P	80	50	0101 0000	
Q	81	51	0101 0001	
R	82	52	0101 0010	
S	83	53	0101 0011	
		1	l	

CARACTER	DECIMAL	HEXADECIMAL	BINÁRIO	
T	84	54	0101 0100	
U	85	55	0101 0101	
V	86	56	0101 0110	
W	87	57	0101 0111	
X	88	58	0101 1000	
Υ	89	59	0101 1001	
Z	90	5A	0101 1010	
[91	5B	0101 1011	
\	92	5C	0101 1100	
]	93	5D	0101 1101	
^	94	5E	0101 1110	
_	95	5F	0101 1111	
`	96	60	0110 0000	
a	97	61	0110 0001	
b	98	62	0110 0010	
C	99	63	0110 0011	
d	100	64	0110 0100	
e	101	65	0110 0101	
f	102	66	0110 0110	
g	103	67	0110 0111	
h	104	68	0110 1000	
i	105	69	0110 1001	
j	106	6A	0110 1010	
k	107	6B	0110 1011	
I	108	6C	0110 1100	
m	109	6D	0110 1101	
n	110	6E	0110 1110	
0	111	6F	0110 1111	
р	112	70	0111 0000	
q	113	71	0111 0001	
r	114	72	0111 0010	
s	115	73	0111 0011	
t	116	74	0111 0100	
u	117	75	0111 0101	
V	118	76	0111 0110	
w	119	77	0111 0111	
x	120	78	0111 1000	
У	121	79	0111 1001	
Z	122	7A	0111 1010	
{	123	7B	0111 1011	
	124	7C	0111 1100	
}	125	7D	0111 1101	
~	126	7E	0111 1110	
DELETE	127	7F	0111 1111	

Percebeu que, ao pressionar a tecla y do teclado, o código binário (0111 1001)₂ será gerado e enviado ao sistema digital?

Veja, agora,um exemplo de codificador e outro de decodificador:

Codificador BCD

O codificador BCD, apresentado na Figura 7, é capaz de receber, por meio de dez chaves eletrônicas de seleção exclusiva (em que não se pode ligar mais de uma chave ao mesmo tempo), os algarismos de zero a nove (cada chave representará um algarismo), e, por meio do circuito codificador BCD, o sistema enviará a um conjunto de quatro *leds* o valor correspondente da chave selecionada em binário por meio dos *leds*.

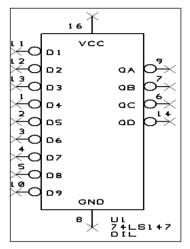


Figura 7 Codificador BCD.

É importante ressaltar quea entrada zero não é necessária, por deixar todas as saídas em nível lógico baixo. O zero será representado quando todas as entradas forem zero.

<u>Decodificador BCD-Display de sete segmentos</u>

O decodificador BCD-*Display* de sete segmentos tem como função receber quatro dígitos binários por meio de quatro chaves eletrônicas de seleção exclusiva (cada chave representará um algarismo) e, por meio do circuito codificador BCD-*Display* de sete segmentos,o sistema enviará um conjunto de sete saídas a serem ligadas nos segmentos do *display*.

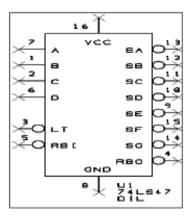


Figura 8 Decodificador BCD.

Observe, na Figura 9, um exemplo de ligação do *display* de sete segmentos ao decodificador BCD-*Display* desete segmentos:

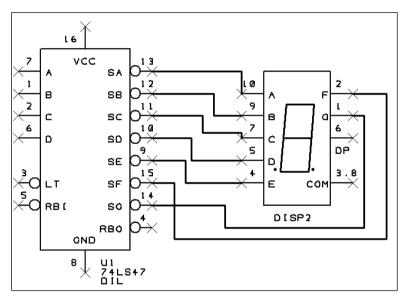


Figura 9 BCD-Display de sete segmentos.

Somadores e Subtradores

Conheça, a seguir, os Somadores e Subtradores.

Somadores

Os circuitos somadores são responsáveis pela operação de soma de dígitos binários (bits). Os somadores são divididos em dois tipos: meio-somador (half-adder), em que dois bits entram no circuito para serem somados e o resultado é disponibilizado nas suas duas saídas, definidas como resultado e estouro (vai-um); e os somadores completos(full-adder), quelevam em consideração a entrada de um estouro da operação anterior. Dessa forma, o somador completo terá três entradas, representando, respectivamente, o dígito binário de estouro e os dois dígitos binários a serem somados.O resultado da soma será apresentado em suas duas saídas definidas como resultado e estouro.

Para realizar a soma de mais de um dígito binário, deve-se associar um meio somador (para a soma do primeiro *bit*) com *n* somadores completos,em que *n* deve corresponder ao número de dígitos a serem somados menos um (que já foi conectado ao meio somador). Vejam os exemplos nas Figuras 10, 11 e 12:

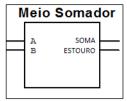


Figura 10 Meio-somador.

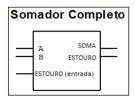


Figura 11 Somador completo.

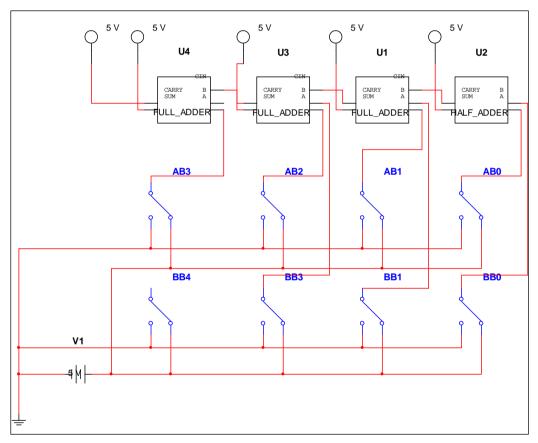


Figura 12 Exemplos de somador de quatro bits.

Subtradores

Os circuitos subtradores ou subtratores são responsáveis pela operação de subtração de dígitos binários (bits). Os subtradores, assim como os somadores, são divididos em dois tipos: meio-subtrador (half-subtractor), em que dois bits entram no circuito para serem subtraídos e o resultado é disponibilizado nas suas duas saídas, definidas como resultado e estouro (neste caso, acontece o "empresta-um"); e subtrador completo (full-subtractor), os quais levam em consideração a entrada do estouro da operação anterior. Dessa forma, o subtrador completo terá três entradas, representando, respectivamente, o dígito binário de estouro e os dois dígitos

binários a serem subtraídos.O resultado da subtração será apresentado em suas duas saídas definidas como resultado e estouro.

Veja, nas Figuras 13 e 14, os exemplos de meio-subtrador e de subtrador completo.

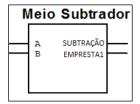


Figura 13 Meio subtrador.

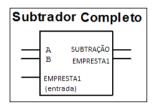


Figura 39 Subtrador completo.

Circuitos sequenciais

Os circuitos apresentados até agora são chamados de combinacionais, pois, por meio da combinação de portas lógicas, ocorre uma transformação nos sinais de entrada em sinais de saída. Os circuitos sequenciais diferem-se dos circuitos combinacionais pelo fato de haver uma retroalimentação ligando a(s) saída(s) atual(is) na(s) entrada(s) futura(s).

Mas como é possível a saída atual influenciar a saída futura? Se a entrada for alterada, a saída também não será alterada? A resposta para essas perguntas está na imperfeição dos componentes eletrônicos. As suas saídas não são atualizadas imediatamente depois damudança dos sinais de entrada e, sendo assim, é possível que a saída atual (denominada como estado interno) altere a saída futura sem sofrer as consequências da atualização das entradas em um determinado instante. Observe a Figura 15:

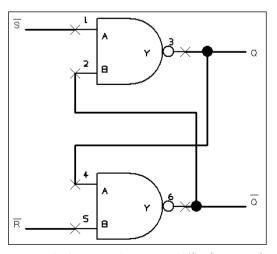


Figura 15 Exemplo de um circuito sequencial (flip-flop RS assíncrono).

Os circuitos sequenciais têm inúmeras aplicações, como, por exemplo, a constituição de memórias estáticas, contadores, registradores e muito mais.

Vejamos as aplicações mais relevantes para o estudo deste conteúdo.

Flip-flops

Os *flip-flops* têm como característica armazenar um estado lógico e podem ser utilizados como elemento de memória, partes constituintes de registradores, contadores etc., sendo amplamente utilizados na eletrônica digital.

Flip-flop RS

Os flip-flops do tipo RS possuem duas entradas, denominadas R (reset) e S (set), e duas saídas Q e Q'. Esses flip-flops são considerados assíncronos por não depender do pulso de clock para que as suas saídas sejam atualizadas, ou seja, as atualizações das saídas dependerão apenas do tempo de atraso característico do componente eletrônico.

A saída Q dos *flip-flopsRS* é levada ao nível lógico alto quando a entrada S (*set*) estiver no nível lógico alto e a entrada R (*reset*) estiver em nível lógico baixo.

Da mesma forma, a saída Q dos *flip-flopsRS* é levada ao nível lógico baixo quando a entrada S (*set*) estiver no nível lógico baixo e a entrada R (*reset*) estiver no nível lógico alto.

Quando a entrada S (set) e a entrada R (reset) estiverem no nível lógico baixo, as saídas Q e Q' deverão permanecer inalteradas, ou seja, a saída Q,queestava no nível lógico alto, continuará no nível lógico alto e se, ela estiver no nível lógico baixo, também continuará no nível lógico baixo.

O problema do *flip-flopRS* aparece quando as entradas S (*set*) e R (*reset*) permanecem juntas em nível lógico alto. Nesse caso (R=1 e S=1), o circuito ficará instável e ocorrerá um erro lógico. Por esse motivo, não se deve deixar que um *flip-flop* RS receba S=1 e R=1 ao mesmo tempo.

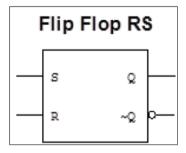


Figura 16 Flip-flop RS.

Veja, a seguir, a tabela verdade (Tabela 11) e o diagrama de tempo (Figura 17) do flip-flopRS:

Tabela 11 Tabela verdade do *flip-flopRS*.

S	R	Q
0	0	Qa
0	1	0
1	0	1
1	1	* Erro lógico

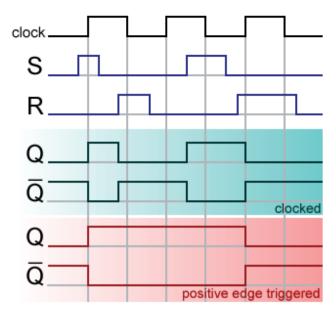


Figura 17 Diagrama de tempo do Flip-flop RS.

Observe que se pode alterar o circuito do *flip-flop RS* para que o mesmo receba sinais de *clock*, transformando-o, dessa forma, em um dispositivo síncrono. Assim, as saídas serão atualizadas no momento exato definido pelo circuito juntamente ao sinal de *clock*.

Flip-flop JK

O flip-flop JK é uma evolução do flip-flop RS. Ele resolve o problema do erro lógico quando as entradas forem nível lógico alto para o set e também para o reset, agora denominados J e K, respectivamente. Quando o flip-flop recebe nível lógico alto para o J (J=1) e nível lógico alto para o K (K=1), a saída ficará oscilando entre nível lógico alto e nível lógico baixo (evento denominado toogle).

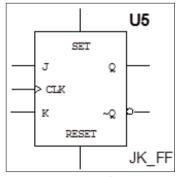


Figura 18 Flip-flop JK.

Veja, na Tabela 12, a tabela verdade do *flip-flop JK* e, na Figura 19, o seu diagrama de tempo.

Tabela 12 Tabela verdade do *Flip-flop* JK.

J	К	Q
0	0	Qa
0	1	0
1	0	1
1	1	T (<i>toogle</i> ou oscilação)

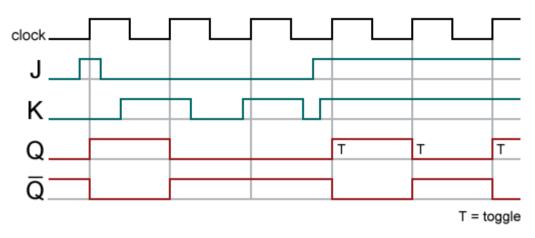


Figura 19 Diagrama de tempo do flip-flop JK.

Flip-Flop JK Master Slave

O flip-flopJKMaster Slave consiste na ligação de dois Flip-flops JK em série, mas com o sinal de clock complementado, de forma que não ocorre a oscilação que ocorre no flip-flop JK quando as entradas J e K ficam no nível lógico alto ao mesmo tempo. Quando as duas entradas do flip-flop JK MasterSlaveficarem em nível lógico alto, a saída Q será complementada, ou seja, se a saída atual Q do flip-flop for um nível lógico alto, ele passará para nível lógico baixo e, da mesma forma, se a saída atual estiver em um nível lógico baixo, ele passará para nível lógico alto.

Tabela 13 Tabela verdade do *Flip-flop JK MasterSlave*.

J	К	Q
0	0	Qa
0	1	0
1	0	1
1	1	Qa' (complemento de Qa)

Outros tipos de flip-flops

Na eletrônica digital, e de forma especial na construção de computadores, os *flip-flops JK* são muito utilizados como elemento de memória, divisores de frequência etc.

Flip-flop tipo T

Quando as entradas de um *flip-flop JK* estiverem ambas no nível lógico baixo, as saídas futuras serão iguais às saídas atuais e, quando as entradas de um *flip-flop JK* estiverem ambas no nível lógico baixo, as saídas futuras serão complementadas. Com essa configuração, o *flip-flop JK* poderá ser utilizado como um divisor de frequência, um oscilador etc. Temos no mercado um *flip-flop* denominado de *flip-floptipoT*, que tem exatamente essa função e é formado por um *flip-flop JK* com as entradas curto-circuitadas.

Observe, na Figura 20, um exemplo de *flip-flop tipo T* e, na Tabela 14, sua tabela verdade.

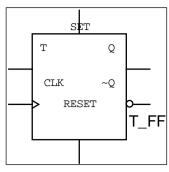


Figura 20 Flip-flop tipo T.

Tabela 14 Tabela verdade do *flip-flop tipo T*.

Т	Q
0	Qa
1	Qa' (complemento de Qa)

Flip-flop tipo D

Quando as entradas de um *flip-flop JK* estiverem complementadas, ou seja, se J=1, então K=0,ou se J=0, então K=1, as saídas futuras serãoiguaisà entrada J. A denominação desse *flip-flop* no mercado é *flip-flop tipo D* e eleé utilizado como elementos de memória.

Observe, na Figura 21, um exemplo de flip-flop tipo D e, na Tabela 15, sua tabela verdade.

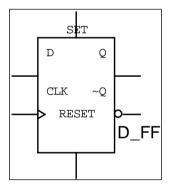


Figura 21 Flip-flop tipo D.

Tabela 15 Tabela verdade do *flip-flop tipo D*.

T	Q
0	0
1	1

Contadores

Um contador digital é formado por um conjunto de *flip-flops tipo T*(em alguns casos, pode-se utilizar também *Flip-flops tipo D*) interligados de forma a gerar saídas em uma sequência predeterminada.

Os contadores podem ser síncronos ou assíncronos e ainda poderão contar de forma crescente (up) ou decrescente (down).

A quantidade de elementos do tipo *flip-flop* e as configurações de interligação definirão se o contador irá contar na base decimal (contador de década), hexadecimal ou em outra base qualquer. O que muda é a hora da mudança do último algarismo para o zero.

Ter um contador assíncrono não significa que ele não possui um sinal de *clock*. Um contador sempre deverá ser controlado por pulsos de *clock*. O que acontece é que os pulsos não serão simultâneos nos *flip-flops*porque a entrada de *clock* deum *flip-flop* vizinho será a saída Q de outro*flip-flop*. O único *flip-flop* que estará conectado diretamente ao gerador de pulsos de *clock* do sistema é o primeiro.

Veja o diagrama de blocos de um contador assíncrono representado na Figura 22:

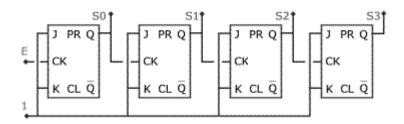


Figura 22 Diagrama de um contador hexadecimal assíncrono.

Agora, veja o diagrama de temporização de um contador assíncrono representado na Figura 23:

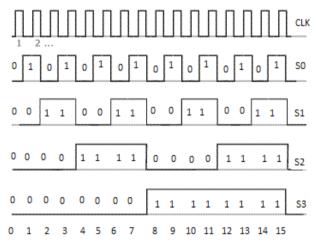


Figura 23 Diagrama de temporização de um contador hexadecimal.

Observe que a saída de um *flip-flop* está diretamente conectada à entrada do pulso de *clock* do próximo *flip-flop*.

Analisando o circuito de forma funcional, pode-se perceber que o primeiro *flip-flop* complementará a saída Q a cada pulso de *clock*, enquanto o próximo *flip-flop* fará a mesma coisa, só que com o atraso correspondente a um pulso. Enquanto o primeiro *flip-flop* complementa a sua saída duas vezes, o *flip-flop* seguinte fará o complemento apenas uma vez, e assim sucessivamente, gerando, para quatro *flip-flops*, os seguintes valores de saída (na ordem):

Tabela 16 Contador Hexadecimal.

ORDEM	QD	QC	QB	QA	HEXADECIMAL
1	0	0	0	0	0Н
2	0	0	0	1	1H
3	0	0	1	0	2H
4	0	0	1	1	3H
5	0	1	0	0	4H
6	0	1	0	1	5H
7	0	1	1	0	6H
8	0	1	1	1	7H
9	1	0	0	0	8H
10	1	0	0	1	9H
11	1	0	1	0	AH
12	1	0	1	1	ВН
13	1	1	0	0	СН
14	1	1	0	1	DH
15	1	1	1	0	EH
16	1	1	1	1	FH

Veja que a saída Qa faz parte do dígito menos significativo, enquanto que a saída Qd corresponde ao *bit* mais significativo.

Como você está estudando *Organização e Arquitetura de Computadores* e não *Sistemas Digitais*, ou ainda *Circuitos Digitais*, os outros tipos de contadores, como, por exemplo, os contadores síncronos, decrescentes, representações como diagrama de estados ou ainda diagramas de tempo, não serão apresentados. Para maiores informações sobre tais dispositivos digitais, consulte a bibliografia básica e também a bibliografia complementar.

Registradores

Os registradores são subsistemas digitais capazes de manipular e armazenar dados. Estão presentes em quase todos os dispositivos digitais e podem ser de quatro tipos: registrador serial-serial, em que os dados entram no subsistema de forma serial e saem do mesmo também no formato serial; registrador paralelo-paralelo, que tem como função receber e enviar os dados de forma paralela (vários dígitos binários por vez); registrador serial-paralelo, que recebe os dados no padrão serial e envia pelas suas saídas paralelas; e, por fim, registrador paralelo-serial, em que os dados são registrados por meio de uma entrada paralela e transmitidos no modo serial.

Veja o diagrama de blocos de cada um desses tipos de registradores:

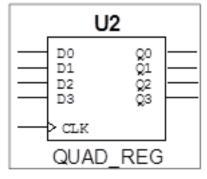


Figura 24 Registrador paralelo-paralelo de quatro bits.

Da mesma forma que os contadores, como estamostratando de *Arquitetura e Organiza-*ção de Computadores e não Sistemas Digitais, ou ainda Circuitos Digitais, as implementações dos registradores não serão apresentados. Para maiores informações sobre tais dispositivos digitais, consulte a bibliografia básica e também a bibliografia complementar.

Informações adicionais sobre os chips comerciais

Séries TTL

No ano de 1964, a Texas Instrument lançou a primeira linha de circuitos integrados TTL (*transistor-to-transistor*), as séries 74/54. Outras indústrias empregaram o mesmo sistema deidentificação com diferentes prefixos:

- Texas instruments SN.
- National Semiconductors DM.
- Signetics S.

Um exemplo é a Porta 7408: DM7408,que equivale à Porta SN7408 e também à Porta S7408.

Observe, na Tabela 17, as características das séries de componentes eletrônicos digitais TTL:

Tabela 17 Tabela referente ás séries de componentes TTL.

	74	74S	74LS	74AS	74ALS	74F
TEMPO DE PROPAGAÇÃO T _p =(NS)	9,0	3,0	9,5	1,7	4,0	3,0
ENERGIA DISSIPADA P _D = (MW)	10,0	20,0	2,0	8,0	1,2	6,0
SEED-POWER PRODUTO DP (PJ)	90,0	60,0	19,0	13,6	4,8	18,0
FREQUÊNCIA MÁXIMA DE <i>CLOCK</i> (MHZ)	35,0	125,0	45,0	200,0	70,0	100,0
FAN-OUT	10,0	20,0	20,0	40,0	20,0	33,0
TENSÕES						
V _{он} (MINIMO)	2,4	2,7	2,7	2,5	2,5	2,5
V _{ol} (MAXIMO)	0,4	0,5	0,5	0,5	0,5	0,5
ν _π (ΜίΝΙΜΟ)	2,0	2,0	2,0	2,0	2,0	2,0
V _{ιι} (ΜÁΧΙΜΟ)	0,8	0,8	0,8	0,8	0,8	0,8

Acompanhe, na Tabela 18, o código comercial das principais portas lógicas.

Tabela 18 Circuitos integrados da família TTL.

CÓDIGO 7400	Circuito integrado da família TTL (transistor-to-transistor)	Quatro portas NAND de duas entradas
CÓDIGO 7402	Circuito integrado da família TTL (transistor-to-transistor)	Quatro portas NOR de duas entradas
CÓDIGO 7404	Circuito integrado da família TTL (transistor-to-transistor)	Seis inversoras (NOT)
CÓDIGO 7408	Circuito integrado da família TTL (transistor-to-transistor)	Quatro portas AND de duas entradas
CÓDIGO 7410	Circuito integrado da família TTL (transistor-to-transistor)	Três portas NAND de três entradas
CÓDIGO 7411	Circuito integrado da família TTL (transistor-to-transistor)	Três portas AND de três entradas

CÓDIGO 7420	Circuito integrado da família TTL (transistor-to-transistor)	Duas portas NAND de quatro entradas
CÓDIGO 7421	Circuito integrado da família TTL (transistor-to-transistor)	Duas portas AND de quatro entradas
CÓDIGO 7427	Circuito integrado da família TTL (transistor-to-transistor)	Três portas NOR de três entradas
CÓDIGO 7428	Circuito integrado da família TTL (transistor-to-transistor)	Quatro portas NOR de duas entradas
CÓDIGO 7430	Circuito integrado da família TTL (transistor-to-transistor)	Uma porta NAND de oito entradas
CÓDIGO 7432	Circuito integrado da família TTL (transistor-to-transistor)	Quatro portas OR de duas entradas
CÓDIGO 7437	Circuito integrado da família TTL (transistor-to-transistor)	Quatro portas NAND de duas entradas
CÓDIGO 4000	Circuito integrado da família CMOS (complementary metal-oxide-semiconductor)	Duas NOR de quatro entradas
CÓDIGO 4001	Circuito integrado da família CMOS (complementary metal-oxide-semiconductor)	Quatro NAND de duas entradas
CÓDIGO 4002	Circuito integrado da família CMOS (complementary metal-oxide-semiconductor)	Seis inversoras
CÓDIGO 4011	Circuito integrado da família CMOS (complementary metal-oxide-semiconductor)	Quatro XOR de duas entradas
CÓDIGO 4069	Circuito integrado da família CMOS (complementary metal-oxide-semiconductor)	Quatro OR de duas entradas
CÓDIGO 4070	Circuito integrado da família CMOS (complementary metal-oxide- semiconductor)	Quatro AND de duas entradas
CÓDIGO 7071	Circuito integrado da família CMOS (complementary metal-oxide- semiconductor)	Duas NOR de quatro entradas
CÓDIGO 4081	Circuito integrado da família CMOS (complementary metal-oxide-semiconductor)	Quatro NAND de duas entradas

8. QUESTÕES AUTOAVALIATIVAS

Confira, a seguir, as questões propostas para verificar o seu desempenho no estudo desta unidade:

- 1) Conceitue o termo "sistemas digitais" e cite alguns exemplos de sua aplicação.
- 2) Os sistemas digitais utilizam as portas lógicas para a construção dos circuitos digitais. Pode-se afirmar que elas são fundamentais na arquitetura dos computadores atuais. Explique o que são as portas lógicas.
- 3) Como continuidade da questão anterior, apresente o funcionamento das seguintes portas lógicas: AND, OR, NOT, NAND, NOR, XOR, NXOR. Explique cada uma delas e apresente as respectivas tabelas verdades.
- 4) O que significa expressão booleana? O que elas representam? Cite exemplos.
- 5) Como é possível desenhar um circuito digital por meiode uma expressão booleana? Cite exemplos.
- 6) Como é possível partir de um diagrama esquemático de um circuito digital e escrever uma expressão booleana? Cite exemplos.

- 7) Conceitue e cite uma aplicação para os mapas de Veitch-Karnaugh?
- 8) Como é estruturadoum mapa de Veitch-Karnaugh com duas variáveis de entrada? Cite um exemplo.
- 9) Como é estruturadoum mapa de Veitch-Karnaugh com três variáveis de entrada? Cite um exemplo.
- 10) Como é estruturadoum mapa de Veitch-Karnaugh com quatro variáveis de entrada? Cite um exemplo.
- 11) Considerando os mapas de Veitch-Karnaugh, o que são e como são feitos os enlaces?
- 12) Como é possível extrair uma expressão booleana a partir dos enlaces dos mapas de Veitch-Karnaugh?
- 13) Os multiplexadores são utilizados para escolher uma de suas entradas para estabelecer a conexão com a sua única saída. Explique o funcionamento de um multiplexador e cite um exemplo.
- 14) O que fazem os demultiplexadores? Cite um exemplo de sua aplicação.
- 15) Muitas vezes um codificador pode trabalhar em conjunto com um decodificador. Apresente uma soluçãoem que sejanecessáriaa aplicação dos dois circuitos interligados. Aproveite para explicar o funcionamento dos circuitos citados.
- 16) Explique os codificadores BCD-Display de sete segmentos e cite um exemplo de sua aplicação.
- 17) Como são utilizados os circuitos somadores? Qual é a diferença entre um circuito meio-somador e um somador completo?
- 18) Como são utilizados os circuitos subtradores? Qual é a diferença entre um circuito meio-subtrador e um circuito subtrador completo?
- 19) Como pode ser feita a soma de dois valores de quatro bits? Apresenteum exemplo desta aplicação.
- 20) Um *flip-flop*é constituído por portas lógicas, porém é considerado um circuito sequencial, ou seja, não é um circuito combinacional. Explique o motivo dessa terminologia e apresente algumas aplicações que dependem dos *flip-flops*.
- 21) Conceitue e cite quatro exemplos de configuração dos registradores estudados nesta unidade.
- 22) Conceitue e cite ao menos um exemplo de aplicação que utiliza contadores em seus circuitos.
- 23) Nos sistemas digitais, podemos dividir os circuitos em combinacionais ou sequenciais. Qual é a diferença entre um circuito combinacional e um circuito sequencial?
- 24) Onde e como podemos comprar os componentes digitais estudados nesta unidade? Qual é a nomenclatura utilizada para a compra destes componentes?
- 25) Considere a tabela verdade a seguirpara escrever a expressão booleana equivalente e simplificada, utilizando para isso a ferramenta Mapa de Veitch-Karnaugh.

TABELA VERDADE				ı	MAPA DE V	/EITCH-KAR	NAUGH				
linha	Α	В	С	D	S						
1	0	0	0	0	1				С	D	
2	0	0	0	1	1						
3	0	0	1	0	1			00	01	11	10
4	0	0	1	1	1						
5	0	1	0	0	1						
6	0	1	0	1	1		00				
7	0	1	1	0	1						
8	0	1	1	1	1						
9	1	0	0	0	0		01				
10	1	0	0	1	0	A B					
11	1	0	1	0	0		11				
12	1	0	1	1	0		11				
13	1	1	0	0	1						
14	1	1	0	1	1		10				
15	1	1	1	0	1		10				
16	1	1	1	1	1						
	Expressã	o extraída	da tabela	verdade		E	xpressão	extraída d	lo Mapa de	Veitch-Kar	naugh
S =						S=					

9. CONSIDERAÇÕES

Você teve a oportunidade de aprender, nesta unidade, um pouco sobre os sistemas digitais, sobre os conceitos e componentes utilizados nestes circuitos e sobre as suas aplicações.

De forma simplificada, pode-se afirmar que as portas lógicas são elementos físicos (componentes) que implementam as expressões booleanas. As expressões booleanas são escritas com o objetivo de formalizar a solução de um problema utilizando circuitos digitais.

São exemplos de componentes digitais e também de circuitos digitais os multiplexadores, os demultiplexadores, os codificadores, os decodificadores, os somadores, os subtradores, os flip-flops etc.

Os computadores digitais são implementados por meio dos circuitos digitais. Conhecer o *hardware* é fundamental para todo profissional da área de tecnologia da informação, seja ele um usuário de sistema, um desenvolvedor ou um gestor.

Agora você já está pronto para continuar os estudos na próxima unidade, em que trataremos sobre os processadores. Bons estudos.

10. E-REFERÊNCIAS

Lista de figuras

Figura 1 Exemplos de Portas Lógicas. Disponível em: http://www.dglnet.com.br/users/amejvkii/page5.htm. Acesso em: 18 maio 2005.

Figura 2 Circuito Digital. Disponível em: http://www.inf.ufsc.br/ine5365/portlog.html. Acesso em: 22 nov. 2007.

Figura 3 Circuito meio-somador. Disponível em: http://www.inf.ufsc.br/ine5365/portlog.html. Acesso em: 22 nov. 2007.

Figura 42 *Diagrama de tempo do flip-flop RS*. Disponível em: http://pt.wikipedia.org/wiki/Ficheiro:SR_FF_timing_diagram. png>. Acesso em: 18 out. 2012.

Figura 44 *Diagrama de tempo do flip-flop JK*. Disponível em: http://upload.wikimedia.org/wikipedia/commons/8/85/JK_FF_impulse_diagram.png>. Acesso em: 18 out. 2012.

11. REFERÊNCIAS BIBLIOGRÁFICAS

LOURENÇO, Antônio Carlos et al. Circuitos digitais. São Paulo: Érica, 1996.

STALLINGS, William. *Arquitetura e organização de computadores*: projeto para o desempenho. Tradução de Carlos Camarão de Figueiredo. 5. ed. São Paulo: Prentice-Hall, 2003.