

## 3° Projeto

### Lab. de Arquitetura de Computadores

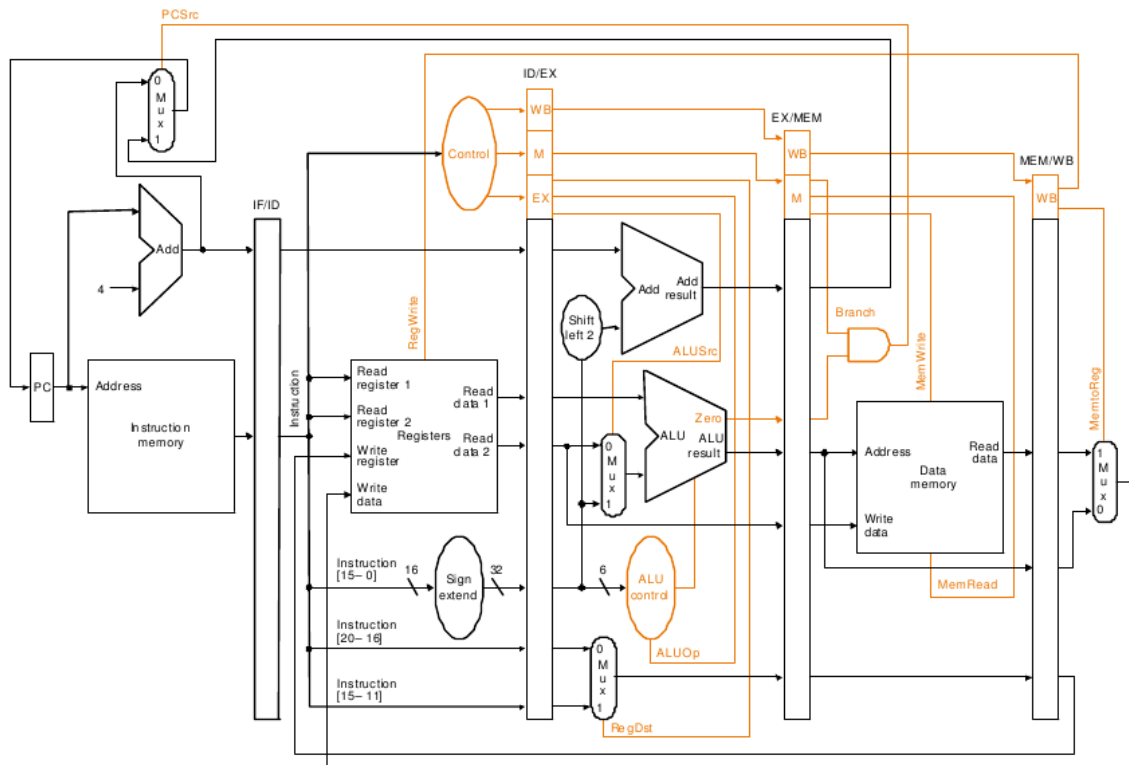
#### Descrição do Projeto

**Grupos:** máximo de 4 (quatro) integrantes

Projetar e implementar em VHDL uma CPU que execute o conjunto de instruções a seguir, utilizando **pipeline**:

Category	Name	Instruction syntax	Meaning	Format	Notes
Arithmetic	Add	add \$1,\$2,\$3	$\$1 = \$2 + \$3$	R	Adds two registers
	Subtract	sub \$1,\$2,\$3	$\$1 = \$2 - \$3$	R	Subtracts two registers
	Add immediate	addi \$1,\$2,CONST	$\$1 = \$2 + \text{CONST}$	I	Used to add constants
	Sub immediate	subi \$1,\$2,CONST	$\$1 = \$2 - \text{CONST}$	I	Used to sub constants
Data Transfer	Load word	lw \$1,CONST(\$2)	$\$1 = \text{Memory}[\$2 + \text{CONST}]$	I	Loads the word stored from: MEM[\$s2+CONST] and the following 3 bytes
	Store word	sw \$1,CONST(\$2)	$\text{Memory}[\$2 + \text{CONST}] = \$1$	I	Stores a word into: MEM[\$2+CONST] and the following 3 bytes
Logical	And	and \$1,\$2,\$3	$\$1 = \$2 \& \$3$	R	Bitwise and
	And immediate	andi \$1,\$2,CONST	$\$1 = \$2 \& \text{CONST}$	I	
	Or	or \$1,\$2,\$3	$\$1 = \$2   \$3$	R	Bitwise or
	Or immediate	ori \$1,\$2,CONST	$\$1 = \$2   \text{CONST}$	I	
Conditional branch	Branch on equal	beq \$1,\$2,CONST	if $(\$1 == \$2)$ go to PC+4+CONST	I	Goes to the instruction at the specified address if two registers are equal
Unconditional jump	Jump	j CONST	goto address CONST	J	Unconditionally jumps to the instruction at the specified address
	Jump register	jr \$1	goto address \$1	R	Jumps to the address contained in the specified register

O projeto da CPU deve se basear no datapath mostrado a seguir:



## Entrega do Projeto

Na data definida deve ser entregue um documento de especificação que deve ser organizado da seguinte forma:

1. **Introdução:** descrição do que é projeto
  2. **Especificação:** descrição de todos os detalhes relevantes do projeto
  3. **Desenvolvimento:** descrição de todos os detalhes relevantes da implementação
  4. **Resultados:** descrição e imagens dos testes realizados demonstrando o funcionamento da CPU
  5. **Conclusões:** análise sobre o que foi inicialmente proposto e os resultados alcançados
  6. **Bibliografia:** referências bibliográficas utilizadas
- ANEXO I** - Código VHDL produzido

Cada integrante do grupo deverá **postar em seu escaninho no AVA:**

1. O documento de especificação em formato digital (.doc)
2. O código VHDL produzido (.vhd)
3. Os arquivos utilizados na simulação (.vwf)

Também deverão ser apresentados na data definida o código VHDL desenvolvido, o funcionamento da CPU e os testes realizados por um ou mais integrantes do grupo escolhidos no momento da apresentação.

## Código de conduta

A interação entre os grupos é estimulada, no entanto qualquer tentativa de plágio de trabalhos será punida com a **nota -Nmax nos trabalhos para todos os envolvidos.**