

Tarefas

- Implementar uma **FSM** em VHDL a partir da metodologia teórica para geração de uma sequência cíclica numa saída de 4 bits.
- FSM com ***reset*** assíncrono, usando o botão **KEY(0)** para reinicializar a sequência.
- A tarefa vai estar dividida em duas partes:
 - **Tarefa 1:** Implementação **e simulação** da **FSM** usando abordagem de implementação de máquina de estados usando dois ***process***.
 - **Tarefa 2:** Implementação **e emulação** da **FSM** usando abordagem de implementação usando **contador**.

Tarefa 1: Implementação e simulação da FSM

Os 3 passos para projetar uma FSM em VHDL:

- **Passo 1:** Descrição funcional do sistema (requisitos);
- **Passo 2:** Representação gráfica da FSM (diagrama de estados);
- **Passo 3:** Criar projeto e descrever o comportamento da FSM a partir do diagrama de estados em VHDL.
- **Passo 4:** Teste e verificação

Tarefa 1: Implementação e simulação da FSM

- **Passo 1: Descrição funcional do sistema:**

- No estado inicial, a FSM deve ter o último número da matrícula do aluno. Em caso de dupla, utilizar o maior valor.
- Sequências (**apenas fazer a iniciada pelo último número de matrícula**):

0 a 1 a 2 a 3 a 4 a 0...

1 a 2 a 3 a 4 a 5 a 1...

2 a 3 a 4 a 5 a 6 a 2...

3 a 4 a 5 a 6 a 7 a 3...

4 a 5 a 6 a 7 a 8 a 4...

5 a 6 a 7 a 8 a 9 a 5...

6 a 7 a 8 a 9 a A a 6...

7 a 8 a 9 a A a b a 7...

8 a 9 a A a b a C a 8...

9 a A a b a C a d a 9...