

ES201
Examen Final
20/3/2023
Durée : 2H00

Tiers temps (2H40)

Tous documents autorisés

Exercice 1 : Programmation assembleur (5 points)

Nous souhaitons implémenter en assembleur sur processeur pipeline les fonctions suivantes :

- $F1(W,X,Y,Z) = 4W + 3X - 2Y + Z$
- $F2(X,Y,Z) = X \cdot Y \cdot Z - X/Y + 3Y/Z$

Proposez une implémentation assembleur optimisée pour processeur pipeline. Donnez le nombre de cycles de votre programme.

Exercice 2 Processeur superscalaire dynamique (7 points)

2.1 Décrire le mode d'exécution pipeline des microprocesseurs pipeline superscalaire dynamique. Donnez les avantages et inconvénients en prenant en compte tous les facteurs architecturaux. Justifiez.

2.2 Nous souhaitons coder en assembleur et optimiser des codes C pour un processeur pipeline superscalaire dynamique à 5 étages *sans et* avec prédiction de branchement. Vous effectuerez et commenterez des analyses de dépendance de votre code et soulignerez l'effet des unités de *data forward* sur la performance.

2.2.1 Ecrire un programme en C de multiplications de matrices A et B ($C = Ax B$) de dimension 128x128 qui minimise le nombre d'instructions conditionnelles par dépliage de boucles (*loop unrolling*) de facteur 2 et réordonnancement des instructions.

2.2.2 Codez et optimisez en assembleur ce code C sur une architecture *sans et* avec prédiction de branchement. Donnez les nombres de cycles d'exécution de vos codes sur le processeur. Quels sont les CPI ?

2.2.3 les réseaux de neurones utilisés dans les applications actuelles possèdent souvent plusieurs milliers (centaines de) de neurones, plusieurs dizaines de couches cachées et exposent de ce fait un parallélisme potentiel massif. La multiplication de matrices de grande taille est utilisée de manière intensive pour ces applications. Les architectures superscalaires peuvent-elles traiter efficacement ces applications ? justifiez.

Exercice 3 – Mémoire cache (3 points)

3.1. donnez l'intérêt des mémoires caches données et des mémoires caches instructions. Donnez l'AMAT pour les processeurs avec 1 niveau de cache et 2 niveaux de cache. Donnez les raisons des limites du parallélisme d'instructions dans les microprocesseurs superscalaires dynamiques ? (10 lignes max) Les mémoires caches sont-elles des freins au parallélisme d'instructions ? justifiez.

3.2 L'exploration des organisations des mémoires caches pour maximiser le hit rate, minimiser le temps d'accès, minimiser la surface du circuit et sa consommation d'énergie admet-elle un optimum global ? justifiez.

3.3 chaque application a un comportement dynamique en localité de références et un cache optimisé pour être proposé pour cette application. Proposez une méthode pour un ensemble d'applications.

Exercice 4– Analyse Simulation (5 points)

La simulation est le moyen d'exploration et d'évaluation d'architectures de microprocesseurs le plus exploité.

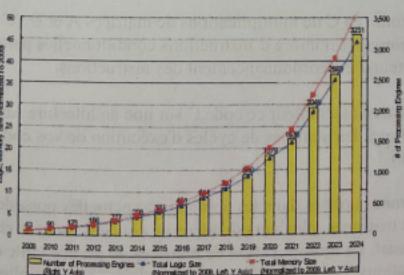
L'analyse des programmes par profiling des instructions permet de mieux évaluer les besoins en ressources matérielles et le comportement des programmes. Quel critique pouvez faire sur les données issues du profiling ? quelle proposition pouvez-vous faire ?

4.1. synthétisez les principaux résultats que vous avez obtenu dans le TP 4.

4.2. Vous décrirez en détail les résultats du TP5 et options du simulateur Gem5 utilisées.

4.3. effectuez une comparaison des différents simulateurs utilisés (simplescalar, CACTI, Gem5) dans les métriques générées. Le temps d'exécution est-il toujours disponible ?

4.4. Les tendances en semiconducteurs sont dirigées par la loi de Moore qui globalement prévoit un doublement du nombre de transistors tous les 18 mois.



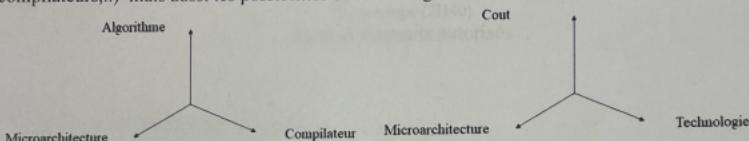
En effet l'ITRS prévoit que la complexité des futures architectures va croître de manière exponentielle et que le parallélisme sera massif.

La figure précédente montre l'accroissement par année du nombre de processeurs de traitement, de la taille mémoire utilisée et de la logique électronique (portes logiques) utilisées. Quelles sont les

conséquences sur la productivité de conception des microprocesseurs et les méthodes à adopter pour la simulation des architectures des processeurs en cours de conception ? justifiez. Avez-vous appliqué ces préconisations ?

Exercice 5 – Facultatif (3 points)

Les architectes de processeurs doivent définir des microarchitectures en prenant en compte la nature des applications logicielles embarquées cibles, les environnements de développement logiciels (OS, compilateurs,...) mais aussi les possibilités de technologie semi-conducteur (ex. variations dans CACTI).



Le problème général est un problème d'optimisation de maximisation des performances (max P) , de minimisation du cout (min C) , de minimisation de la consommation énergétique (min E) , de la maximisation de l'embarquabilité (minimisation de la surface du circuit min S)

$$\langle \text{max } P, \text{min } C, \text{min } E, \text{min } S \rangle$$

Ce problème admet-il un optimum global ? Justifiez. (20 lignes max)

Donnez les grands principes d'une méthode d'exploration de l'espace de conception de la microarchitecture de processeurs embarqués.