

Arquitectura de Computadoras

TP4 - Decodificación de Memoria

Ejercicios	1
Ejercicio 1 – Preguntas	1
Ejercicio 2 – 1 ROM	1
Ejercicio 3 – 2 ROMs.....	2
Ejercicio 4 – RAM + ROM	2
Ejercicio 5 – RAM + ROM (V2).....	2
Ejercicio 6 – RAM + ROM (V3).....	2
Ejercicio 7	2
Bus de control	2
Ejercicio 8 – Placa de red.....	4
Ejercicio 9 – Placa red (V2).....	4
Ejercicio 10 – Config. memorias	4
Ejercicio 11 – Programa	4
Ejercicio 12 – Sistema encriptar	5
Ejercicio 13 – Proyecto.....	5

Ejercicios

Ejercicio 1 – Preguntas

- ¿Cuántas direcciones de memoria puede acceder un procesador genérico que tiene 16 líneas de bus de address y 8 de bus de datos? ¿Cuál es el ancho de la palabra?
- ¿Cuántas direcciones de memoria puede acceder un procesador genérico que tiene 16 líneas de bus de address y 16 de bus de datos? ¿Cuál es el ancho de la palabra?
- ¿Cuántas direcciones de memoria ocupa un dispositivo que tiene 10 líneas de bus de address y 8 de bus de datos?
- ¿Cuántas direcciones de memoria ocupa un dispositivo que tiene 10 líneas de bus de address y 16 de bus de datos?
- ¿Si un dispositivo de 1K x 8 debe mapearse a partir de la dirección 03FF, cómo se debe activar su Chip Select?

Ejercicio 2 – 1 ROM

Diseñar un circuito con un procesador de 16 líneas de bus de address y 16 líneas de bus de datos. Se cuenta con **una** memoria ROM de 32K x 16. Conecte el procesador y el integrado de ROM y explique las decisiones tomadas en cuanto a la ubicación en el mapa de memoria y que sucede con las posiciones de memoria no ocupadas por la ROM.

Ejercicio 3 – 2 ROMs

Diseñar un circuito con un procesador de 16 líneas de bus de address y 16 líneas de bus de datos. Se cuenta con **dos** integrados de memoria ROM de 16K x 16. Se desea correr en este sistema un programa de 32 KBytes de tamaño que comience en la dirección de memoria 0000h. Tenga presente las compuertas para resolver este ejercicio.

Ejercicio 4 – RAM + ROM

Diseñar un circuito de una computadora, con un procesador de 16 líneas de bus de address y 16 líneas de bus de datos. Se cuenta con dos tipos de integrados para las memorias RAM y ROM. Los chips son de 32K x 16 para ambas. Armar el sistema de tal manera que el sistema cuente con 32K x 16 de RAM y 32K x 16 de ROM.

Ejercicio 5 – RAM + ROM (V2)

Igual que el ejercicio anterior, pero ahora las memorias son todas de 16K x 16, y se quieren mapear 32K x 16 de RAM y 16K x 16 de ROM.

Ejercicio 6 – RAM + ROM (V3)

Igual que el ejercicio anterior, pero ahora las memorias son de 16K x 8. ¿Cómo conectaría las memorias para que para el procesador sea transparente?

Ejercicio 7

Al circuito del Ejercicio 4 se le desea adicionar un periférico que esté mapeado en la memoria. Posee 16 registros de 16 bits cada uno. ¿Qué es lo único que interpreta el procesador?

Bus de control

Además del Bus de Direcciones y el Bus de Datos, hay un tercer Bus, llamado Bus de Control. Este Bus lleva la información digital de lo que deben hacer los distintos periféricos. Por ejemplo:

- R/W: Esta línea del bus indica si se va a leer un dato o se va a escribir. Es decir, el dispositivo que esté activado (por ejemplo la Memoria) debe saber si debe tomar o escribir un dato en el bus de datos. Cuando esta línea está en 0, significa que el dispositivo activo debe escribir un dato en el bus de datos. Si está en 1, significa que debe guardar el dato que esté presente en el bus de datos.
- IO/MEM: Existe el mapa de memoria, que es al que accede el procesador cada vez que ejecuta una instrucción de acceso a memoria con la instrucción **mov**. Pero también está el mapa de E/S. A este mapa se accede con las instrucciones IN/OUT. Esta línea está en 0 si se quiere acceder al mapa de memoria y 1 si se accede al mapa de entrada y salida.

Por ejemplo, cuando el procesador ejecuta la instrucción:

```
mov eax, [0x1000]
```

Está realizando la siguiente configuración en los buses del sistema:

- Bus de Control:
 - IO/MEM: 0
 - R/W: 1
- Bus de Direcciones: 0x1000
- Bus de Datos: <????> lo que escriba el dispositivo activado por el circuito decodificador.

Caso contrario, cuando se está guardando un dato en memoria:

```
mov eax, 0x1234 ;dentro del procesador, no afecta a los buses
mov [0x1100], eax ;afecta los buses
```

La configuración de los buses queda de la siguiente forma:

- Bus de Control:
 - IO/MEM: 0
 - R/W: 0
- Bus de Direcciones: 0x1100
- Bus de Datos: 0x1234

Cuando se desea leer un dato de un dispositivo mapeado en E/S. Y por ejemplo se ejecuta la instrucción

```
in ax, 70h
```

Se accede al dispositivo mapeado en la dirección 70h y se escribe el dato en el registro ax.

La configuración de los buses quedan de la siguiente forma:

- Bus de Control:
 - IO/MEM: 1
 - R/W: 1
- Bus de Direcciones: 0x70
- Bus de Datos: ?? Lo que se esté presentando por el dispositivo activado.

Se puede observar que para que un dispositivo esté en Memoria o en Entrada/Salida, basta decodificar correctamente haciendo uso de la línea IO/MEM dentro del circuito decodificador. Recordar que antes de poder ejecutar una instrucción, ésta también debe traerse de memoria, realizando una instrucción equivalente a:

```
mov instruction, [eip]
```

Ejercicio 8 – Placa de red

Se dispone de un microprocesador con 20 líneas de bus de address y 16 líneas de bus de datos.

Se desea utilizarlo para enviar y recibir datos a través de una red. Para esto se cuenta con una placa de RED de red con las siguientes características:

- 1 registro ST0, cuyo valor es 1 cuando hay datos esperando ser leídos.
- 1 registro ST1, del cual se pueden obtener los datos recibidos.
- 1 registro CR0, que se setea en 1 para enviar datos.
- 1 registro CR1, en el cual se colocan los datos a enviar.

Realice la decodificación completa de éste sistema. Mapee la placa de Red en el Mapa de Entrada y Salida.

Ejercicio 9 – Placa red (V2)

Explique de qué manera se debe modificar el sistema del ejercicio 8, si en lugar de tener un registro de envío y otro para recepción, la placa tuviese un buffer de 64 bytes mapeado en memoria

Realice la decodificación completa de este nuevo sistema y muestre el mapa de memoria.

Ejercicio 10 – Config. memorias

Únicamente se cuenta con Chips de 8K x 8, ¿Cómo se logran las siguientes configuraciones de memoria?

- 16K x 8
- 8K x 16
- 64K x 16
- 128K x 32
- 4K x 8
- 4K x 16

Ejercicio 11 – Programa

Se tiene un procesador genérico (no es Intel) con 32 líneas de BA y 16 líneas de BD. Un programador necesita memoria suficiente para poder ubicar un programa de 1 GB pero también quiere que la RAM o las RAMs en la que esté ubicado dicho programa tengan la menor cantidad de direcciones posibles para que quepa dicho programa. Es decir que al ubicar el programa deben sobrar la menor cantidad de direcciones posibles en la RAM o las RAMs. Además nos dice que su programa comienza en la mitad del mapa de memoria. Se cuenta con las siguientes RAMs:

- 1G x 16

- 512M x 8
- 2G x 8

Se tiene libertad para elegir entre cualquiera de ellas y cualquier cantidad. Por último, se solicita ubicar una ROM de 1G x 16 al comienzo del mapa.

Indicar la RAM o las RAMs que habría que elegir y dibujar el mapa de memoria, diagrama y decodificación. Se puede elegir un único decodificador de entre los siguientes:

- 2 a 4
- 3 a 8
- 4 a 16

Ejercicio 12 – Sistema encriptar

Se está desarrollando un pequeño sistema para encriptar mensajes. El sistema debe soportar 9 Kbytes para datos volátiles y 20 Kbytes para el programa prefijado de fábrica. Además se desea mapear como periférico un integrado que tiene 2 registros de 16 bits en la dirección 0xC0DE. En el primer registro se encuentra la configuración y en la segunda se encuentran los datos pseudoaleatorios para encriptar.

Se cuenta con un microprocesador genérico de 16 bits de bus de datos y 16 de bus de address, RAM de 16K x 16 y ROM 8K x 8

- Dibuje el Mapa de Memoria y de Entrada/Salida
- Haga esquema de todo el circuito con todas las memorias y periféricos
- Haga esquema del circuito Decodificador

Ejercicio 13 – Proyecto

Se dispone de un microprocesador del tipo Intel (tiene salida IO/M) de 8 bits de bus de datos de 32 bits de bus de direcciones. El dueño del proyecto nos brinda 2 (dos) módulos de memoria RAM, cada uno de ellos de 1G x 8 y nos pide que los ubiquemos a partir de la dirección 0h en forma contigua para lograr 2 Gbytes de RAM.

Además tenemos que decodificar un modulo de ROM de 256M x 8 para el código que corre al encender el sistema, pero el único dato que tenemos es que el registro EIP al iniciarse el procesador toma el valor 0xFFFFFFFF0. El dueño del proyecto nos avisa que su código ocupa 200 Mbytes.

Por una cuestión de espacio y economía usted solo puede usar **hasta 3 decodificadores como máximo** para resolver la decodificación completa de RAM y ROM. Pueden ser decodificadores de 2 a 4, 3 a 8 y 4 a 16. No dispone de compuertas para la decodificación.

Se pide **en este orden** que:

1. Dibuje el mapa de memoria.

2. Dibuje un diagrama esquemático de los integrados utilizados para la RAM y ROM (líneas de datos, direcciones, etc.) Debe colocar nombres a todas las líneas de circuito utilizadas.
3. Resuelva la decodificación con estas condiciones y dibuje el circuito obtenido.
4. ¿Qué pedido le tiene que hacer usted al programador del código que irá en la ROM para que todo esto funcione correctamente al iniciarse el sistema.