Universidad Nacional de Córdoba

Facultad de Cs. Exactas, Físicas y Naturales

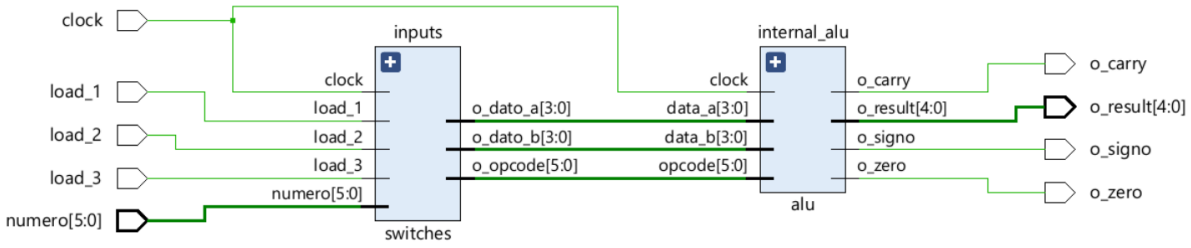
Arquitectura de Computadoras

Trabajo Práctico #1
Unidad Aritmético y Lógica

- Amallo, Sofía 41279731
- Raya Plasencia, Matías 40089058

Índice

Descripción



Se utilizó un esquema de módulos jerárquicos para permitir una abstracción de la implementación de cada uno. El módulo “switches” permite definir el valor de los registros para los datos o el opcode. El uso de los inputs `load_1, load_2 y load_3` es latchear el valor ingresado de acuerdo al destino que le corresponda.

Una vez que se setean los valores de entrada, son enviados a la ALU, que se desarrolló siguiendo el diagrama brindado por la consigna. Se utiliza un bus de 6 bits para las operaciones, que son las siguientes:

Operación	Código
ADD	100000
SUB	100010
AND	100100
OR	100101
XOR	100110
SRA	000011
SRL	000010
NOR	100111

Se parametrizan los tamaños de los buses para que sea más sencillo modificarlo en el caso que se desee utilizar otro tamaño de buses. En nuestro caso se utilizan buses de 4 bits para las entradas, uno de 5 bits para la salida y un tercer bus de 6 bits para el opcode, además contamos con un bit para el carry, otro para determinar si el resultado es 0 y un tercer bit para determinar si el resultado de la resta es negativo o no.

Se definieron parámetros para las operaciones, para hacer más legibles los switch-cases. Dentro de los mismos se consideraron los casos donde los operandos fueran

iguales, menores o mayores, para el caso de la resta, y así definir el bit del signo. No se utilizan números negativos, para evitar la complejidad de operaciones con signo.

Para las asignaciones se trató de minimizar el truncamiento utilizando el tamaño exacto de bits de los registros a asignar, ya que una asignación del tipo `zero = 0` indicaría el uso de un int, cuando en realidad se trata de un registro de un solo bit.

La salida del módulo ALU consiste en el resultado numérico, y flags para signo, cero y el carry.

Este es el repositorio de GitHub donde se encuentran los archivos .v y las imágenes de los test benchs.

Diagrama de bloque

El diagrama de bloque de nuestra ALU se encuentra aquí.

Test Bench

A la hora de realizar los tests de las distintas operaciones propuestas, realizamos varias corridas probandolas con distintos parámetros para así poder ver las distintas implementaciones y corroborar que las mismas funcionan. Se adjuntan imágenes de una de las simulaciones para corroborar sus funcionamiento (dichas imágenes se encuentran en el repositorio de github enlazado aquí).

Para hacer la prueba asignamos diferentes parámetros en el archivo de simulación, esto nos permitió observar cómo se comportaba cada una de las funciones. Posteriormente descomentamos todas las operaciones y las probamos en su conjunto para observar la gráfica resultante.