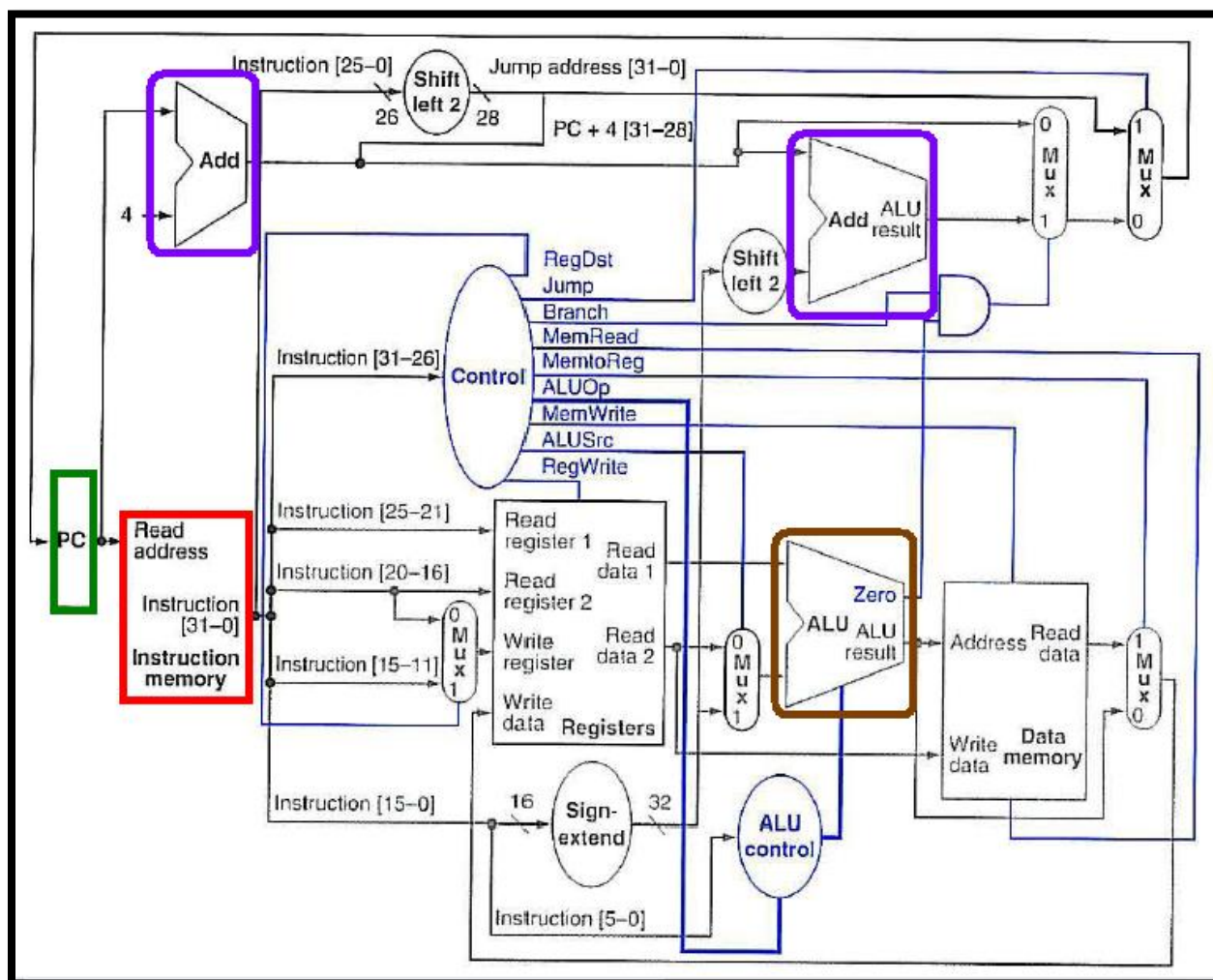


فاز یک – پروژه Single Cycle CPU

در این فاز شما می بایستی ماجول های **PC/ Instruction Memory/ ALU/ Add** را پیاده سازی نمایید .



در پایین فرمت هر کدام از ماژول ها آورده شده که می بایستی آن را رعایت نمایید ، در صورتی که ایرادی در فرمت این ماجول ها می بینید حتما در سایت آن را مطرح کنید:

```
module PC(out, in, clk?, startin);
```

```
module ALU(in1, in2, operation, out, zero, clk?);
```

```
module Add(digit1, digit2, result, clk?);
```

```
module InstructionMemory(address, instruction, startin, clk?);
```

✓ توجه داشته باشید اسامی ماجول ها را هر چیزی که مایلید می توانید بگذارید و فقط تعریف کلی از ماجول ها ارائه شده است.

✓ در مورد ورودی یا خروجی بودن هر یک از پارامترهای مشخص شده برای هر ماژول، تک بیتی یا چند بیتی بودن آنها، سیم یا وکتور بودن آنها می توانید در فرومهای مشخص شده با هم مشورت کنید. مثلا در مورد Add ممکن است بگویید:

```
module Add(digit1, digit2, result);  
    input [31:0] digit1;  
    input [31:0] digit2;  
    output [31:0] result;
```

یا

```
module Add(digit1, digit2, result;(  
    input digit1;  
    input digit2;  
    output result;
```

حال باید مشورت کنید که برای cpuای که قرار است پیاده سازی کنید کدام یک مناسب تر است.

✓ دوستان عزیز فقط در نوشتن هر کدام از این ماجول ها توجه داشته باشید که کدام یک از ماجول ها احتیاج به کلاک دارند. برای این منظور شما باید با مفاهیم اجرای دستورات و سیستم کنترل آن به خوبی آشنا باشید. برای تمامی ماژولها ورودی کلاک آورده و کنار آن علامت سوالی گذاشته شده است ، بدین معنا که خودتان باید تشخیص دهید که این ماژول به کلاک نیاز دارد یا خیر. برای این منظور می توانید در فرومهای مربوطه با دوستان خود مشورت کنید.

✓ چنانچه با قالب این ماژول ها مخالفید و نظر دیگری دارید حتما در سایت مطرح نمایید.

تیم آموزشی آزمایشگاه معماری