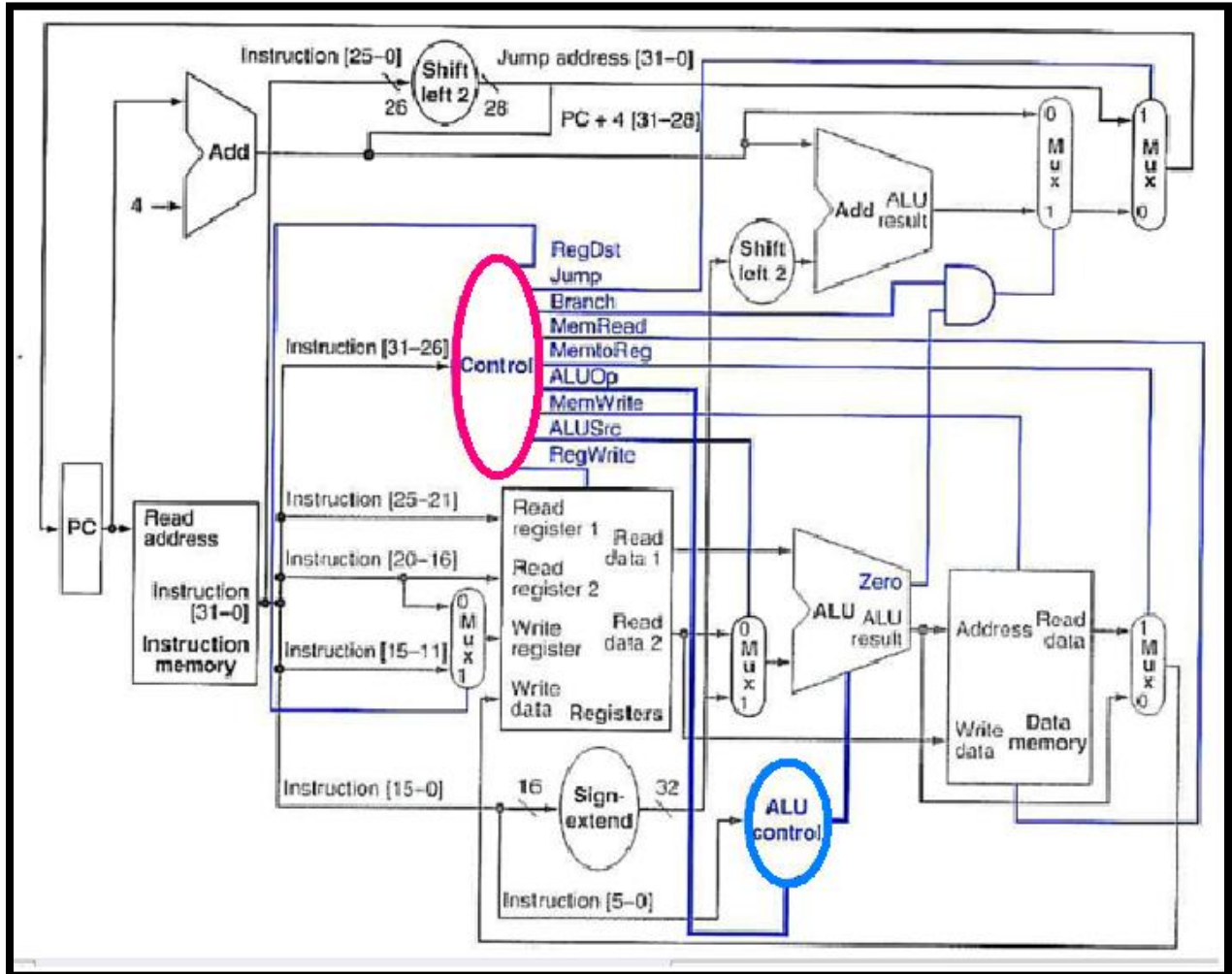


فاز سه – پروژه Single Cycle CPU

دانشجویان عزیز ،

امیدوارم فاز 1 و 2 پروژه را به خوبی انجام داده باشید. برای فاز 3 این پروژه می بایستی مازولهای

ALU Control/ Control Unit/ Main را پیاده سازی نمایید.



```
module Control(instruction31_26, regdst, jump, branch,
memread, memtoreg, aluop, memwrite, alusrc, regwrite,
clk?);
```

```
module ALUControl(Func, Aluop, Alucontrol, clk?);
```

```
module Main(clk?, startin, regNo, val);
```

✓ در مورد ماجول main این مطلب را یاد آوری می کنم که که val همان خروجی نهایی شما یعنی حاصل جمع 10 خانه اول حافظه است که در رجیستر فایل هم استفاده شده است. شما در این ماجول از بقیه ماجول ها instance ساخته و آنان را به مانند شکل توسط سیم به هم وصل می کنید. (برای تست برنامه نهایی خود باید کدی بنویسید که 10 خانه ابتدایی حافظه را جمع کرده و در خانه 11 ذخیره کرده و در یک رجیستر حاصل جمع را برگرداند.)

✓ توجه داشتید که با وجود کم بودن تعداد ماجول های این فاز ، کار نسبتاً زیادی را می خواهد که پروژه با موفقیت پایان پذیرد ، به همین منظور این فاز زمان بیشتری از شما خواهد گرفت.

✓ دوستان عزیز فقط در نوشتن هر کدام از این ماجول ها توجه داشته باشید که کدام یک از ماجول ها احتیاج به کلاک دارند. برای این منظور شما باید با مفاهیم اجرای دستورات و سیستم کنترل آن به خوبی آشنا باشید. برای تمامی ماژولها ورودی کلاک آورده و کنار آن علامت سوالی گذاشته شده است ، بدین معنا که خودتان باید تشخیص دهید که این ماژول به کلاک نیاز دارد یا خیر. برای این منظور می توانید در فرومهای مربوطه با دوستان خود مشورت کنید.

✓ برای واضح شدن هر ماجول به مانند فاز قبل برای هر ماجول یک فروم اختصاص داده شده است . لطفاً هر فردی در یکی از فروم ها شرکت کنند و در مورد عملکرد ماجول ها به [فارسی](#) توضیح دهید.

امیدوارم با دیدن نتیجه کار خود بر روی برد FPGA لذت برده و خستگی کار را به فراموشی بسپارید.

با آرزوی موفقیت برای تک تک شما عزیزان ،

تیم آموزشی آزمایشگاه معماری