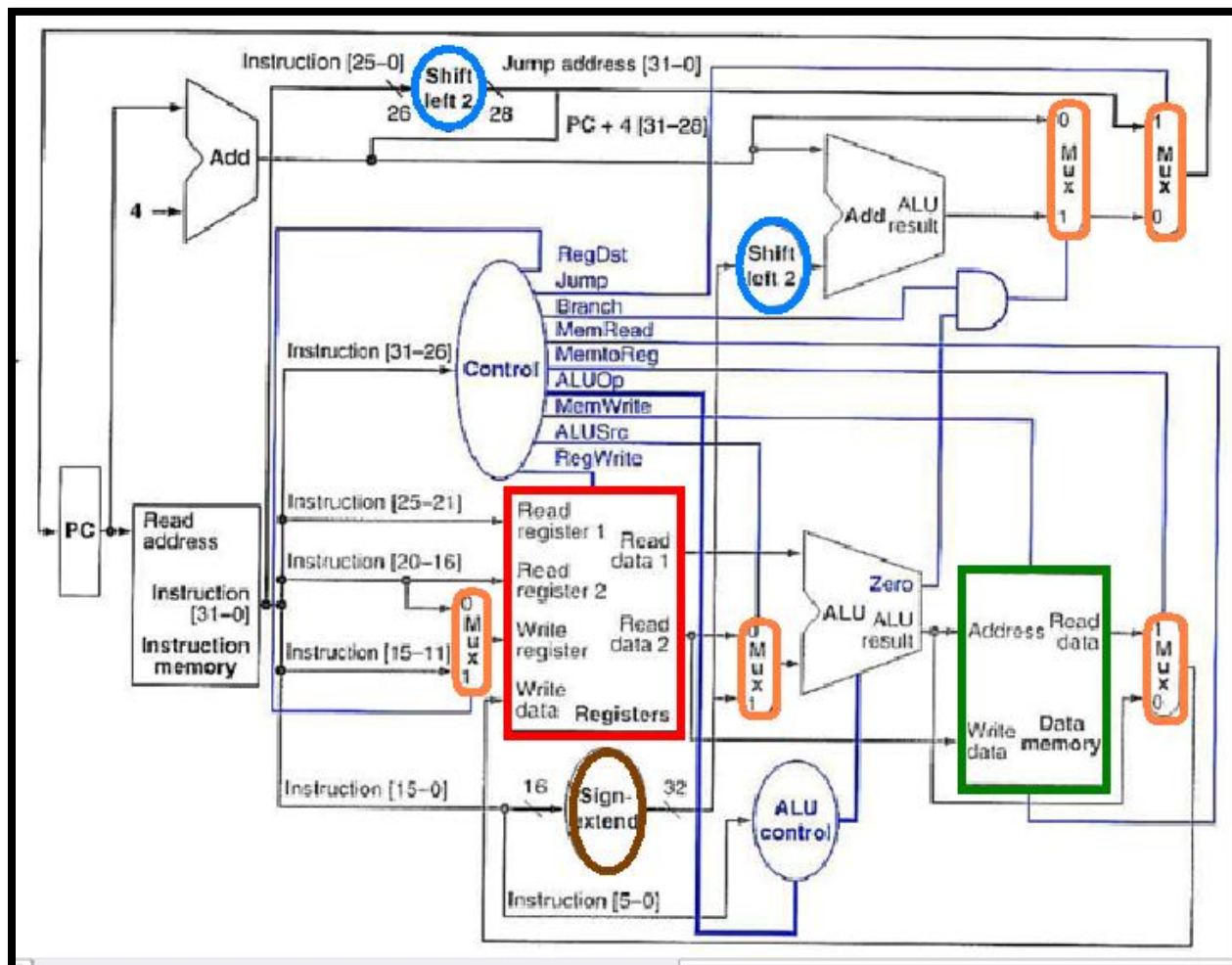


## فاز دو – پروژه Single Cycle CPU

دانشجویان عزیز ،

امیدوارم فاز 1 پروژه را به خوبی انجام داده باشید. برای فاز 2 این پروژه می بایستی ماژولهای **Data Memory** / **Sign Extended** / **Shift** / **Mux** / **Register File** را پیاده سازی نمایید.



لطفا به قالب هر ماژول توجه کرده و در مورد سیگنال های آن فکر کنید ، چون برای طراحی مدار های سخت افزار این قسمت توسط شما باید انجام پذیرد.

```
module Mux_5 (input1, input2, op, out, clk?);  
module Mux_32(input1, input2, op, out, clk?);  
module Shift_26_28(in, out, clk?);  
module Shiftleft2(in, out, clk?);  
module SignExtend(in, result, clk?);
```

```
module registerfile(Read1, Read2, WriteReg, WriteData, RegWrite,  
Data1, Data2, startin, clk?, val, regNo);
```

```
module DataMemory(Address, WriteData, MemWrite, MemRead, ReadData,  
startin, clk?);
```

---

✓ توجه داشته باشید اسامی ماجول ها را هر چیزی که مایلید می توانید بگذارید و فقط تعریف کلی از ماجول ها ارائه شده است.

✓ در مورد ورودی یا خروجی بودن هر یک از پارامترهای مشخص شده برای هر ماژول، تک بیتی یا چند بیتی بودن آنها، سیم یا وکتور بودن آنها می توانید در فرومهای مشخص شده با هم مشورت کنید.

✓ دوستان عزیز فقط در نوشتن هر کدام از این ماجول ها توجه داشته باشید که کدام یک از ماجول ها احتیاج به کلاک دارند. برای این منظور شما باید با مفاهیم اجرای دستورات و سیستم کنترل آن به خوبی آشنا باشید. برای تمامی ماژولها ورودی کلاک آورده و کنار آن علامت سوالی گذاشته شده است ، بدین معنا که خودتان باید تشخیص دهید که این ماژول به کلاک نیاز دارد یا خیر. برای این منظور می توانید در فرومهای مربوطه با دوستان خود مشورت کنید.

✓ چنانچه با قالب این ماژول ها مخالفید و نظر دیگری دارید حتما در سایت مطرح نمایید.

-----  
تیم آموزشی آزمایشگاه معماری