

درس معماری کامپیوتر

۱۴۰۴/۰۳/۱۶

تمرین عملی سری هفتم

۴۰۲۱۰۵۷۲۷

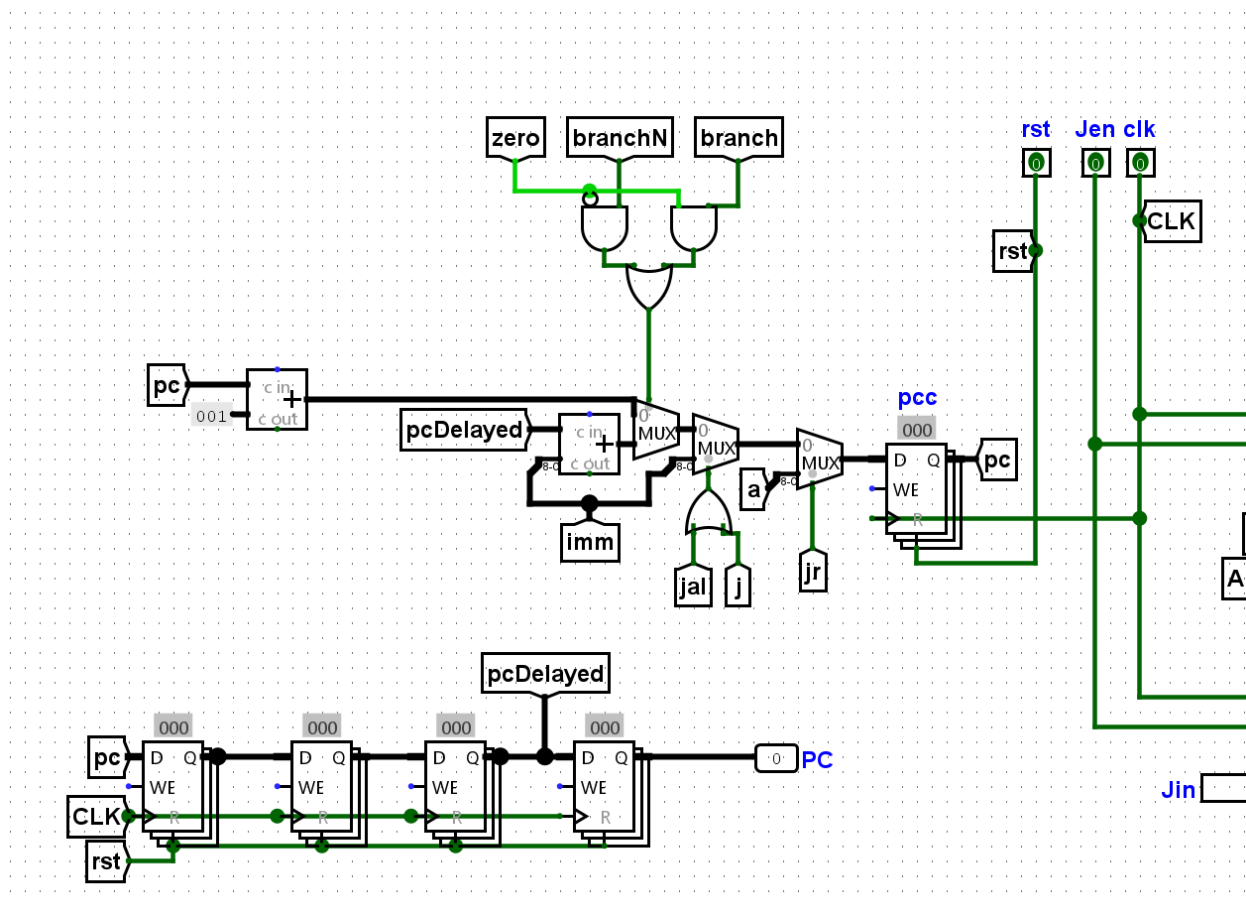
متین باقری

۴۰۲۱۰۵۵۸۱

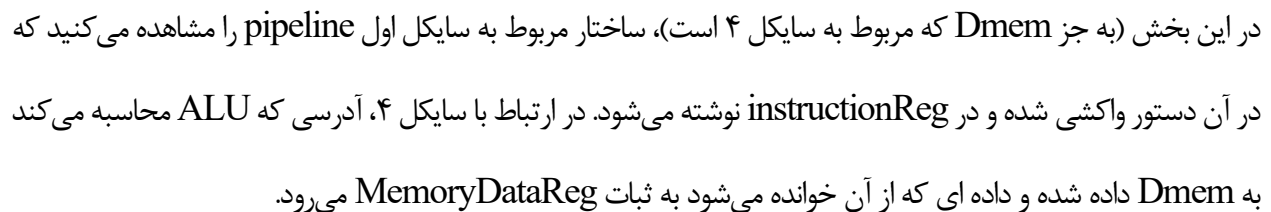
محمد نوید آتشین بار

بخش های مختلف پردازنده را توضیح می دهیم:

بررسی pc



سایکل اول و چهارم

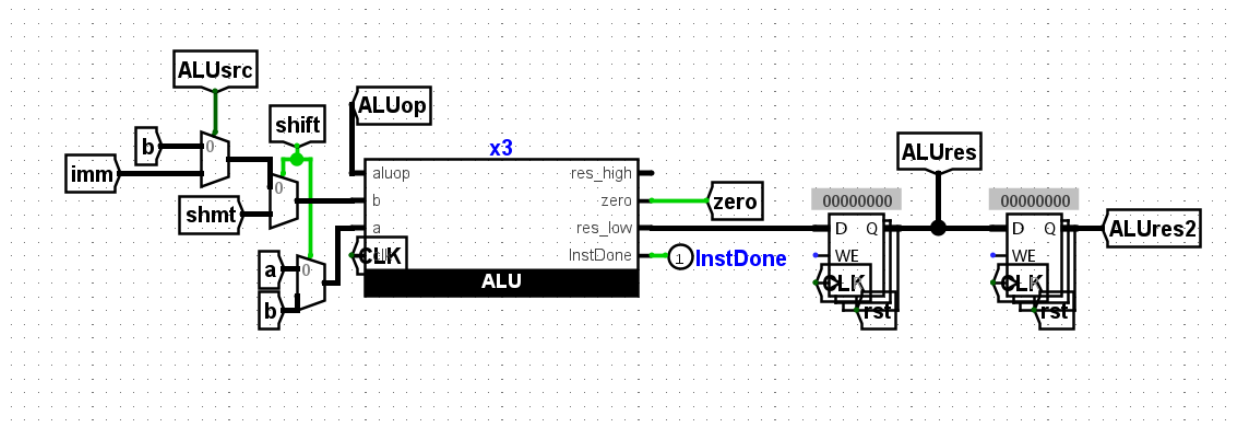


[illegible]

imm, shmt, rs, rt, rd, A, B

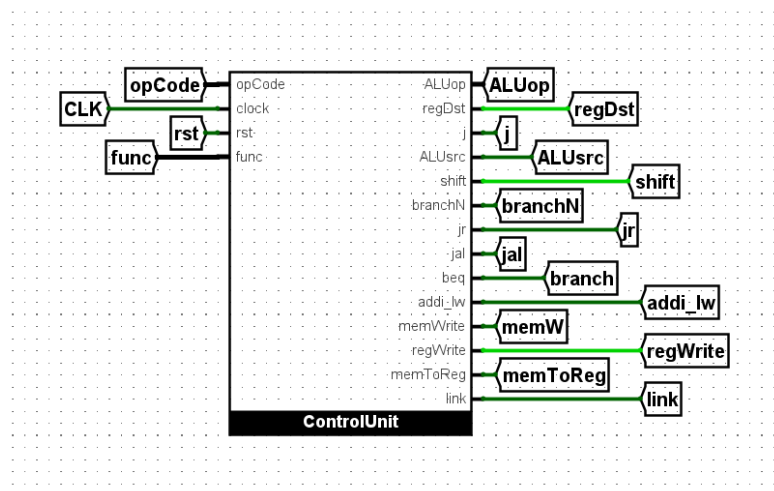
Page | 3

سایکل سوم

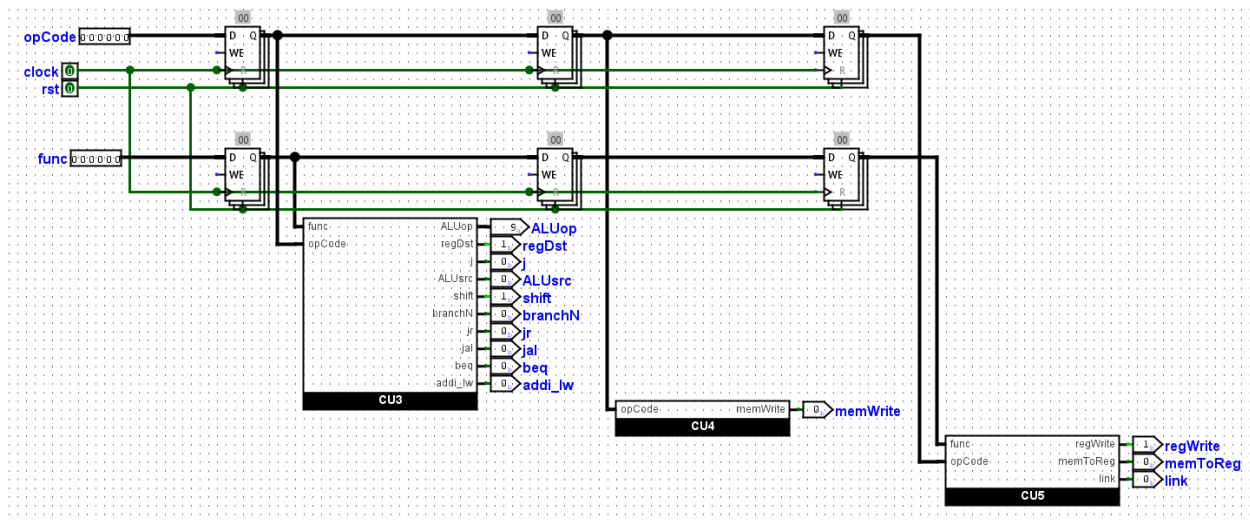


در اینجا ALU و ورودی ها و خروجی های آن را مشاهده می کنید. از آنجا که در سایکل های ۴ و ۵ ممکن است به حاصل این سایکل نیاز داشته باشیم، خروجی ALU را از ۲ ثبات عبور می دهیم.

واحد کنترلی



اصلی ترین چالش این تمرین، هماهنگ کردن واحد کنترلی با دیگر بخش های مدار و تنظیم زمان بندی انتقال داده ها بیت ثبات ها بود. تصویر بالا شمای کلی واحد کنترلی است که در مدار main قرار دارد. داخل واحد کنترلی به این شکل است:



در اینجا opcode و functionCode هر دستور که به سایکل ۲ میرسد را وارد واحد کنترلی کرده و از ۳ ثبات عبور می‌دهیم. با این کار، دستوراتی که در سایکل های ۳ و ۴ و ۵ در حال اجرا هستند را داریم و می‌توانیم سیگنال های مورد نیاز مدار main را با توجه به اینکه در هر مرحله از پردازنده چه دستوری قرار دارد، تعیین بکنیم. برای این کار ۳ واحد کنترلی مجزا با نام های CU3, CU4, CU5 طراحی کردیم که می‌توانید در فایل مشاهده کنید.

نتیجه فایل داوری

```
matin@Matin: ~/Term4/Memari/SUT_CA_4832_ProfAsadi_Judgement_System/
matin@Matin:~/Term4/Memari/SUT_CA_4832_ProfAsadi_Judgement_System$ ./logisim
matin@Matin:~/Term4/Memari/SUT_CA_4832_ProfAsadi_Judgement_System$ ./synth_valid.sh schematic.circ HW7/tb.v
logisim workspace : /home/matin/logisim_evolution_workspace
inputs : ['rst', 'Jen', 'clk', 'Jin']
outputs : ['Jout', 'R28', 'R29', 'R30', 'R31', 'R1', 'R2', 'R3', 'R4', 'R5', 'R6', 'R7', 'R8', 'R9', 'R10', 'R11', 'R12', 'R13', 'R14', 'R15', 'R16', 'R17', 'R18', 'R19', 'R20', 'R21', 'R22', 'R23', 'R24', 'R25', 'R26', 'R27', 'InstDone', 'PC']
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Labeled main/ControlUnit_1
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Labeled ALU/SLTI_1
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Nothing to do!
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Nothing to do!
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Labeled ControlUnit/CU3_1
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Labeled ControlUnit/CU4_1
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Labeled ControlUnit/CU5_1
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Building netlist for sheet "jtag_ram8"
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "jtag_ram8" has 19 nets and 20 buses.
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "jtag_ram8" passed DRC check.
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Building netlist for sheet "jtag_ram64"
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "jtag_ram64" has 11 nets and 20 buses.
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "jtag_ram64" passed DRC check.
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Building netlist for sheet "jtag_ram512"
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "jtag_ram512" has 11 nets and 20 buses.
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "jtag_ram512" passed DRC check.
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Building netlist for sheet "InstructionDecode"
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "InstructionDecode" has 0 nets and 1 buses.
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "InstructionDecode" passed DRC check.
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Building netlist for sheet "regfile"
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "regfile" has 82 nets and 50 buses.
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "regfile" passed DRC check.
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Building netlist for sheet "ADDD"
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "ADDD" has 31 nets and 25 buses.
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "ADDD" passed DRC check.
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Building netlist for sheet "SLTI"
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "SLTI" has 1 nets and 3 buses.
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "SLTI" passed DRC check.
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Building netlist for sheet "AND0"
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "AND0" has 0 nets and 4 buses.
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "AND0" passed DRC check.
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Building netlist for sheet "ORR"
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "ORR" has 0 nets and 4 buses.
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "ORR" passed DRC check.
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Building netlist for sheet "XORR"
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "XORR" has 0 nets and 4 buses.
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Circuit "XORR" passed DRC check.
```

```
matin@Matin: ~/Term4/Memari/SUT_CA_4832_ProfAsadi_Judgement_System/
ipc : 16
ipc : 17
ipc : 18
ipc : 19
ipc : 20
wat : 2 != 0 -11
ipc : 10
ipc : 11
ipc : 12
ipc : 13
ipc : 14
ipc : 15
ipc : 16
ipc : 17
ipc : 18
ipc : 19
ipc : 20
wat : 1 != 0 -11
ipc : 10
ipc : 11
ipc : 12
ipc : 13
ipc : 14
ipc : 15
ipc : 16
ipc : 17
ipc : 18
ipc : 19
ipc : 20
wat : 0 != 0 -11
ipc : 21
ipc : 22
ipc : 23
ipc : 24
ipc : 39
ipc : 40
ipc : 41
ipc : 42
load 000001fe
ipc : 43
mem : [1f9] : 0[1fa] : 0[1fb] : 0[1fc] : 0[1fd] : 0[1fe] : 0[1ff] : 0
ACCEPTED
159 / 159
matin@Matin:~/Term4/Memari/SUT_CA_4832_ProfAsadi_Judgement_System$ |
```