

گزارش تمرین عملی ۵ درس معماری کامپیوتر

متین باقری

۴۰۲۱۰۵۷۲۷

محمد نوید آتشین بار

۴۰۲۱۰۵۵۸۱

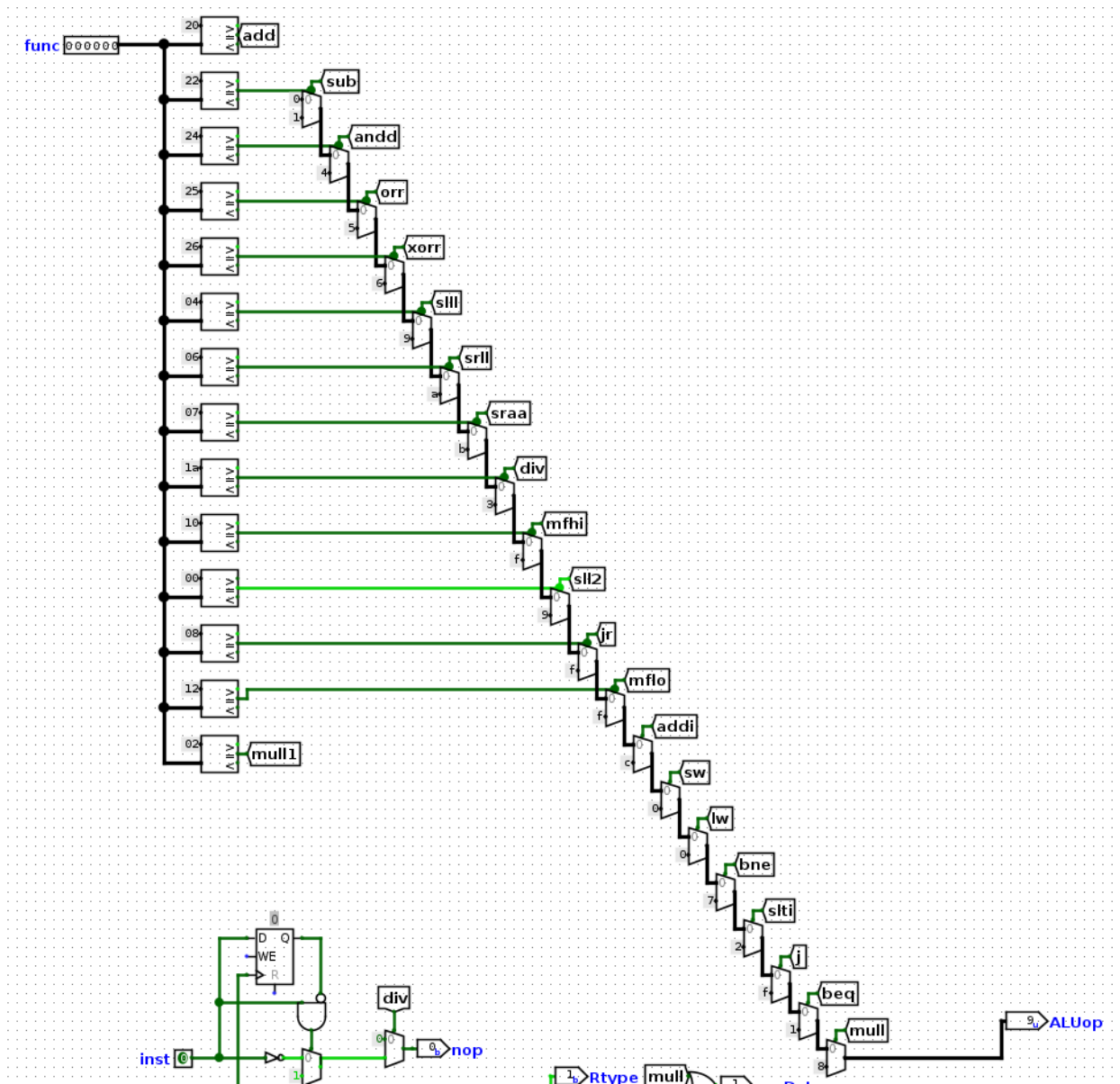
دکتر اسدی

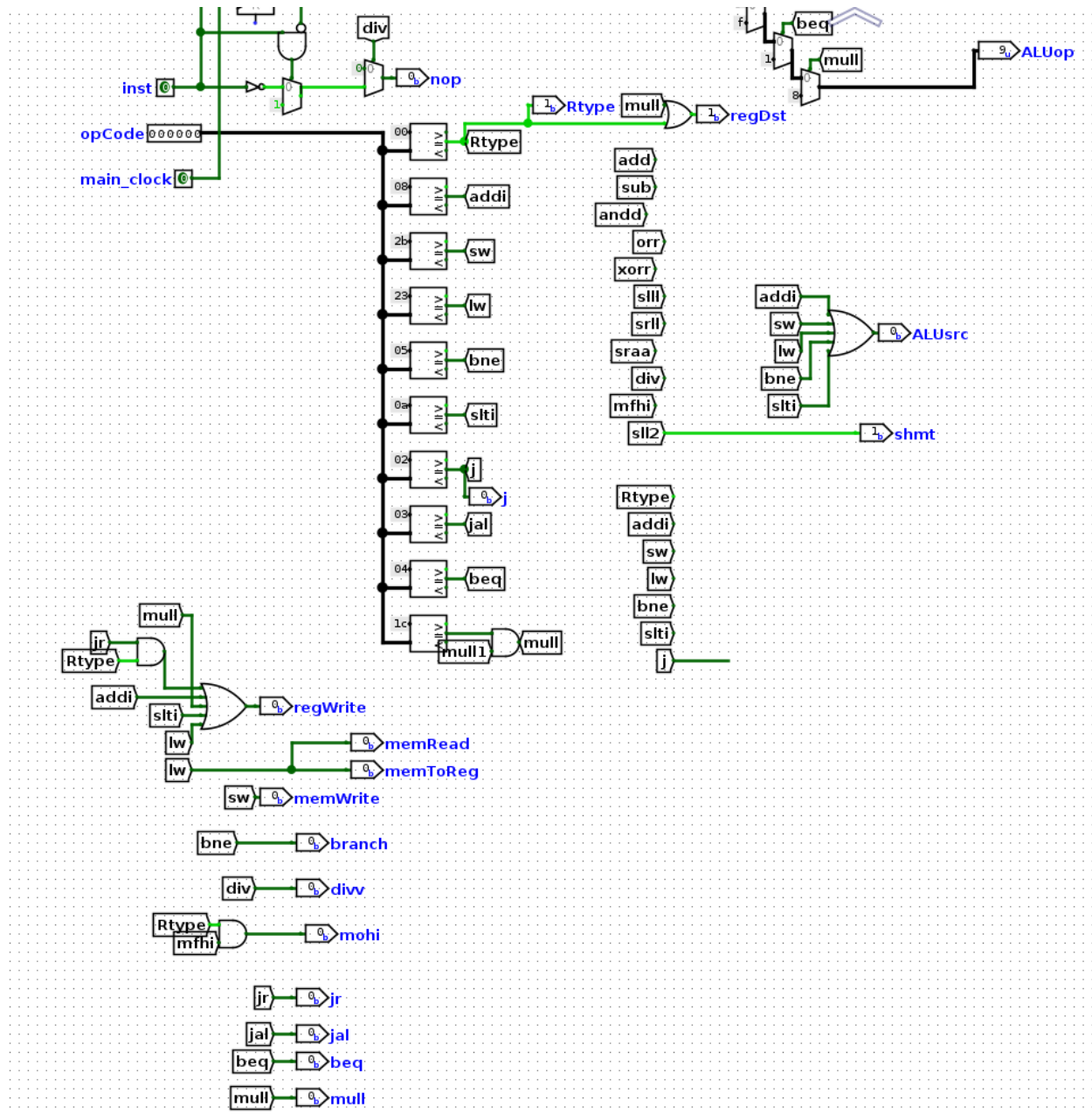
در این تمرین که مربوط به اسلاید multi cycle بود، ۴ دستور جدید به مجموعه دستورات

قبلی اضافه شده بود: jr, jal, beq, mul

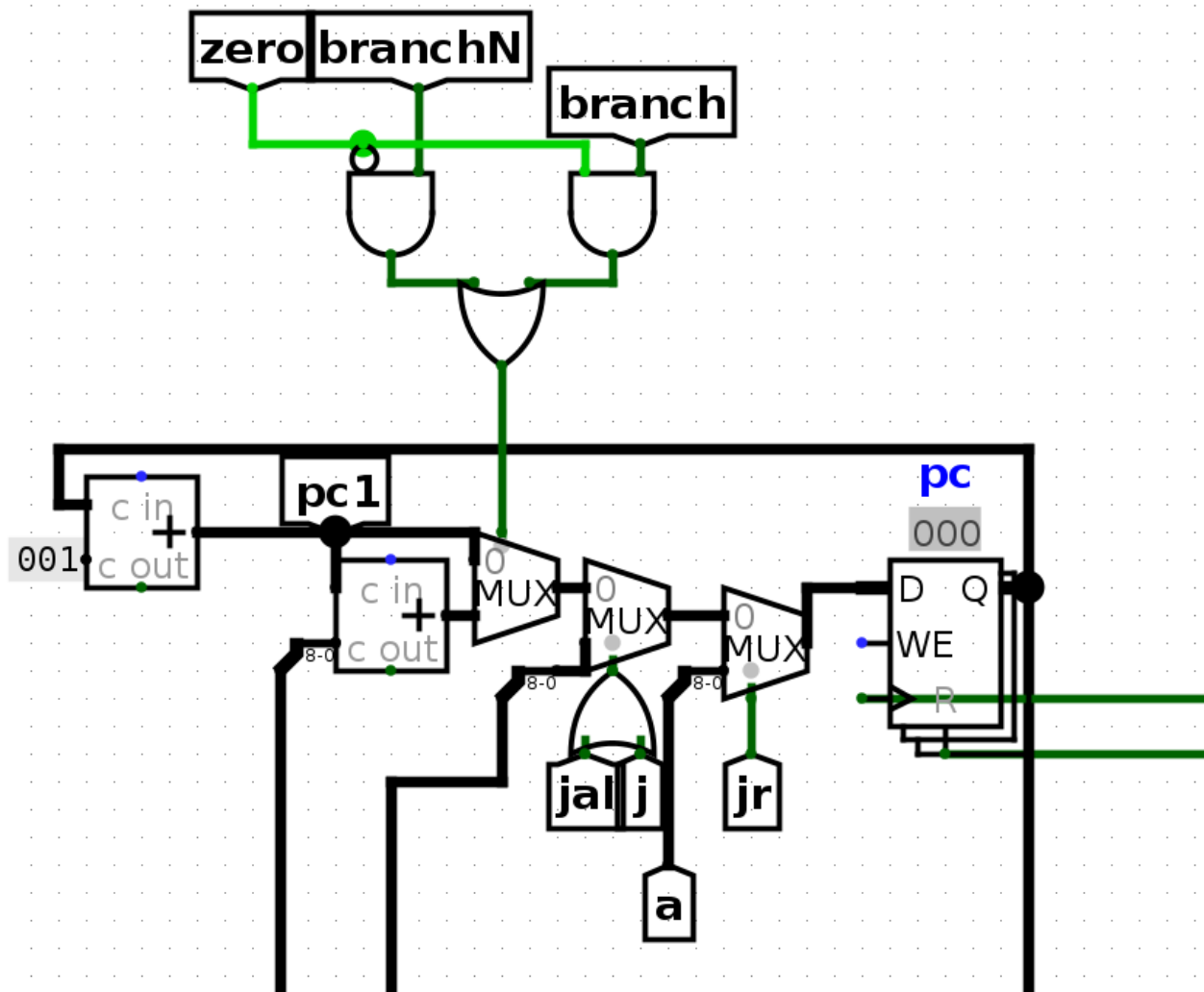
برای شناسایی دستورات جدید و تولید سیگنال های کنترلی مناسب، واحد control unit به

این شکل در آمد:





برای داشتن هر دو دستور **beq** و **bne** سیگنال های کنترلی آن ها را اینگونه استفاده کردیم :



نتیجه داوری مدار به این صورت است و نمره کامل را کسب می کند:

```
matin@Matin: ~/Term4/Mem
wat      8 !=      0      -3
ipc :    6
ipc :    7
ipc :    8
wat      7 !=      0      -3
ipc :    6
ipc :    7
ipc :    8
wat      6 !=      0      -3
ipc :    6
ipc :    7
ipc :    8
wat      5 !=      0      -3
ipc :    6
ipc :    7
ipc :    8
wat      4 !=      0      -3
ipc :    6
ipc :    7
ipc :    8
wat      3 !=      0      -3
ipc :    6
ipc :    7
ipc :    8
wat      2 !=      0      -3
ipc :    6
ipc :    7
ipc :    8
wat      1 !=      0      -3
ipc :    6
ipc :    7
ipc :    8
wat      0 !=      0      -3
ipc :    9
ipc :   10
ipc :   11
ipc :   18
ipc :   19
load 000001fe
ipc :   20
mem : [1f9] :      0[1fa] :      0[1fb] :      0[1fc] :      0[1fd] :      0[1fe] :      0[1ff] :      0
ACCEPTED 51 /      51
matin@Matin:~/Term4/Memari/SUT_CA_4032_ProfAsadi_Judgement_System$ |
```