

گزارش تمرین عملی ۱ درس معماری کامپیوتر

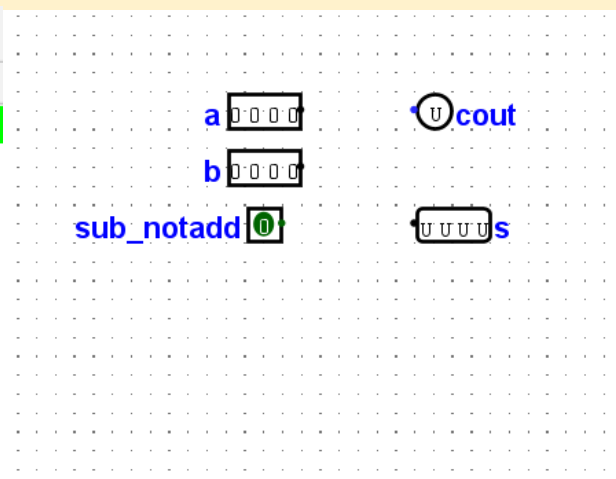
متین باقری (۴۰۲۱۰۵۷۲۷)

محمد نوید آتشین بار (۴۰۲۱۰۵۵۸۱)

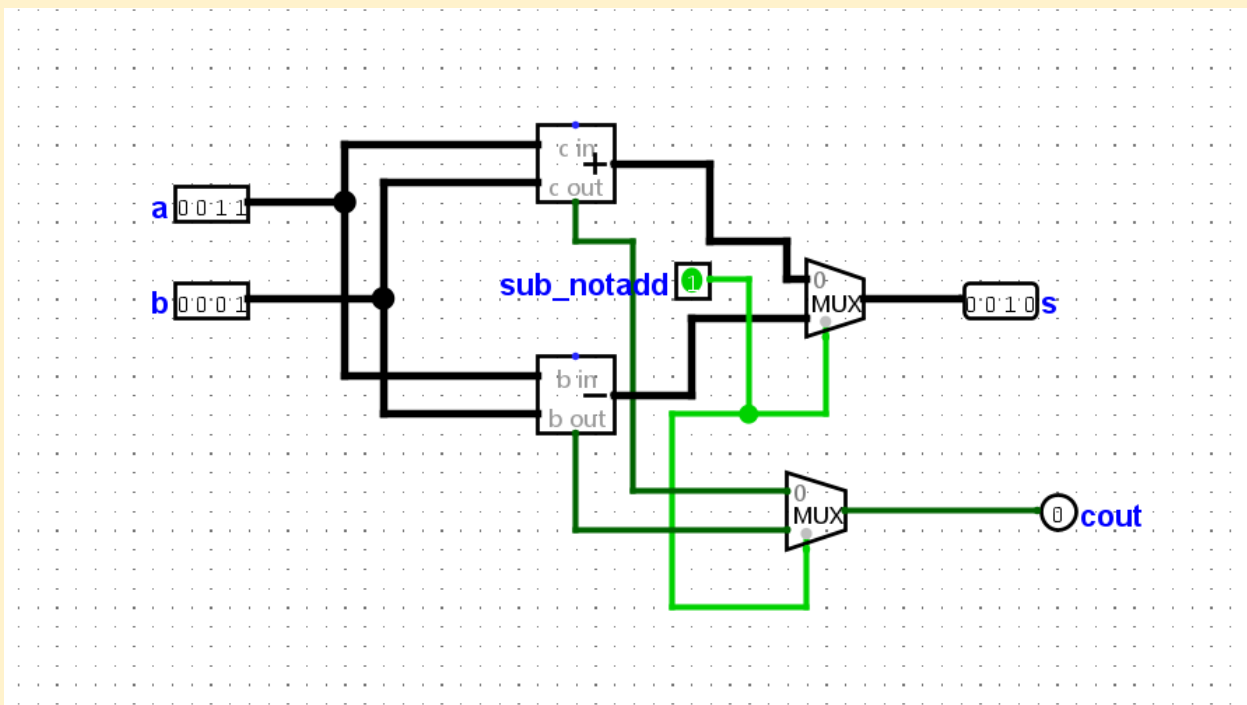
دکتر اسدی

ابتدا نرم افزار Logisim_evolution را دانلود کرده و یک پروژه به نام schematic.circ می سازیم. در ادامه طبق خواسته ورودی ها و خروجی ها را از قسمت wiring اضافه میکنیم :

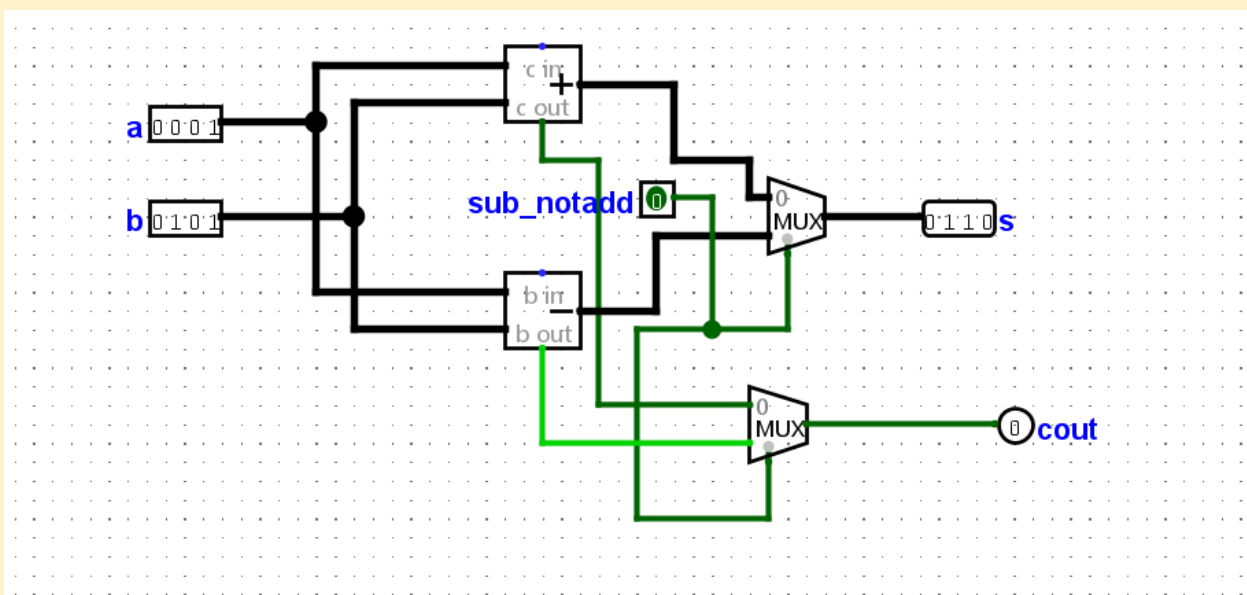
Properties	State
Pin "a"	
FPGA supported	Supported
Facing	→ East
Output?	No
Data Bits	4
Three-state?	No
Pull Behavior	Unchanged
Label	a
Label Font	SansSerif Bold 16
Radix	Binary
Reset value:	0x0
Appearance	Classic Logisim



در قسمت properties باید مشخص کنیم که پین انتخابی output است یا نه و data bits آن چند بیت است، همچنین label را نیز در این قسمت تغییر می دهیم. و باید در همین بخش FPGA supported را نیز هندل کنیم. در ادامه با استفاده از یک adder و subtractor که در بخش Arithmetic قرار دارد و همچنین دو عدد mux برای اینکه تعیین شود باید در خروجی جمع دو ورودی نشان داده شود یا تفریق آن مدار جمع/تفریق کننده را طراحی میکنیم (برای هر یک از این اجزای مدار نیز باید در بخش Properties، Data Bits و Label را متناسب با خواسته سوال تغییر دهیم) :

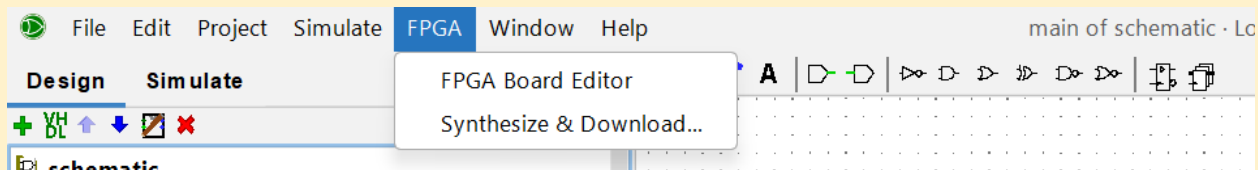


در تصویر میبینیم که ورودی sub_notadd 1 است پس باید حاصل تفریق $a(0011) - b(0001)$ در s نشان داده شود که 0010 است.

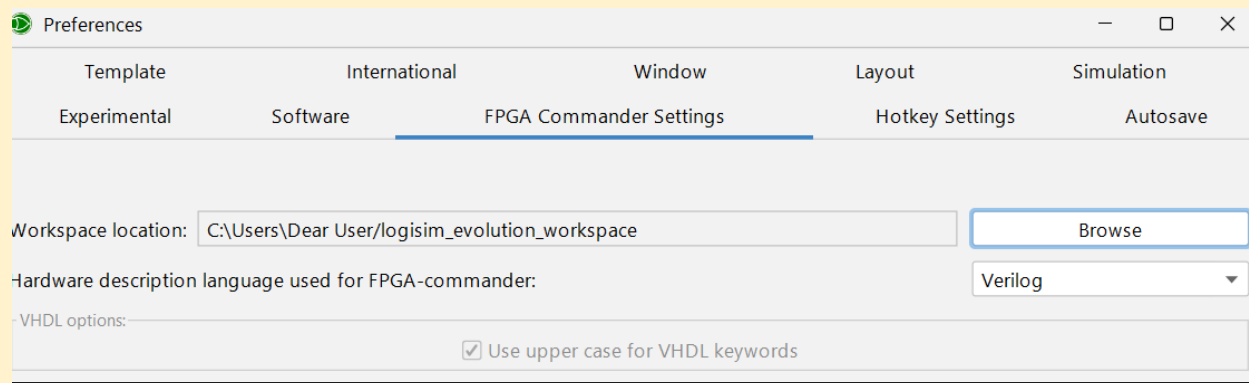


در این مثال نیز جمع دو عدد 0001 و 0101 در خروجی نشان داده می شود که $s = 0110$ است.

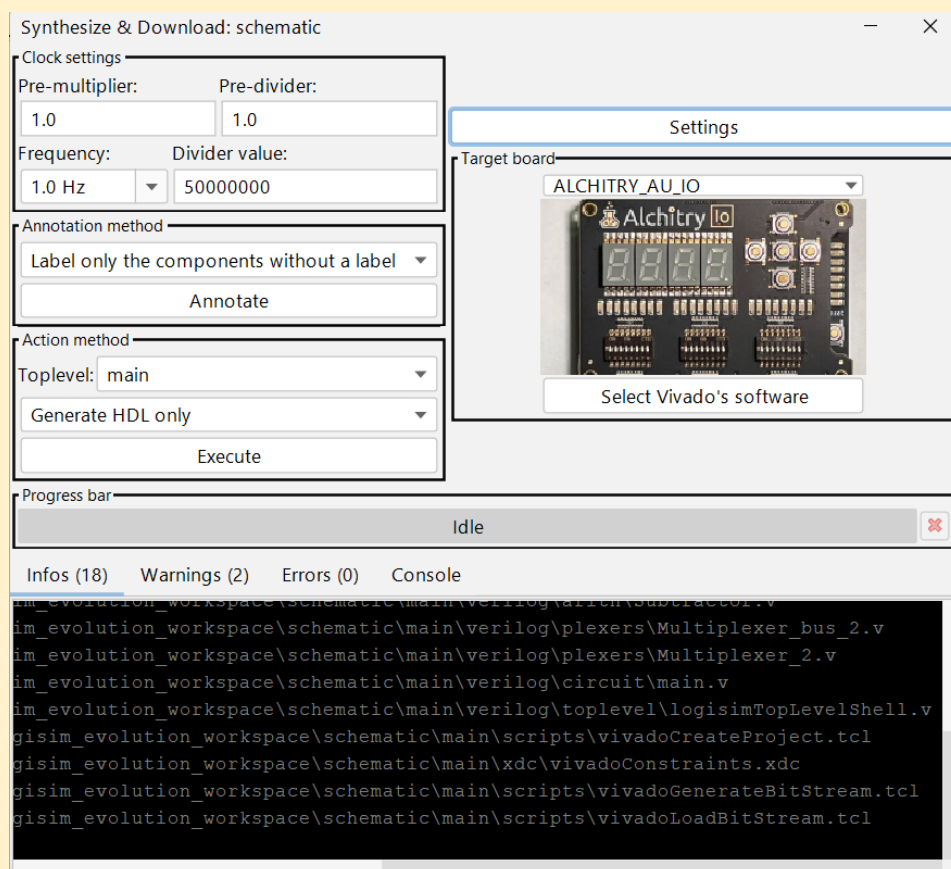
در ادامه نیز باید کد Verilog را سنتز می کردیم که اینکار از قسمت Synthesize & download... انجام میدهیم:



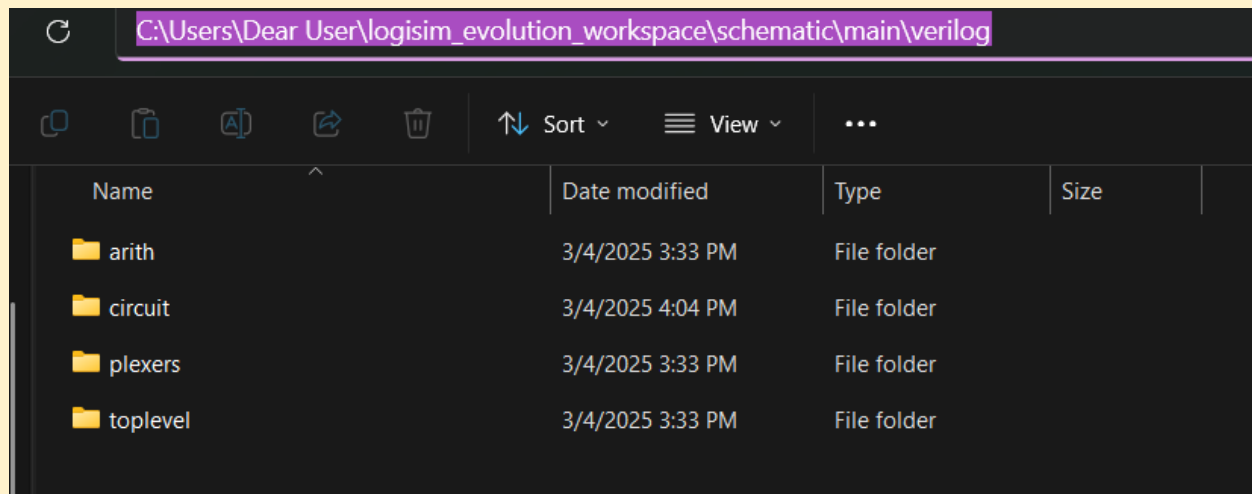
سپس در setting زبان سنتز را به Verilog تغییر میدهیم :



و در ادامه با execute و سپس انتخاب done کد وریلگ تولید میشود :



با سنتز کردن کد وریلاگ در آدرس: HOME/logisim_evolution_workspace/schematic/main/verilog
قرار میگیرد :



در ادامه با استفاده از جاجی که در اختیار داریم درستی عملکرد طراحی را بررسی می‌کنیم و اگر طراحی درست باشد در خروجی باید عبارت ACCEPTED چاپ شود :

```
root@DESKTOP-0LD0HR4:/home/navid/SUT_CA_4032_ProfAsadi_Judgement_System-master/SUT_CA_4032_ProfAsadi_Judgement_System-master# ./validate.sh HW1/tb0.v ~/logisim_evolution_workspace/schematic/

ACCEPTED
200 / 200
```