

## گزارش تمرین عملی ۴ درس معماری کامپیوتر

متین باقری (۴۰۲۱۰۵۷۲۷)

محمد نوید آتشین بار (۴۰۲۱۰۵۵۸۱)

دکتر اسدی

در این تمرین باید از ALU ساخته شده در تمرین قبلی استفاده میکردیم با این تفاوت که اینبار ALU بصورت ترکیبی و بدون کلاک باید کار میکرد تا یک پردازنده MIPS که بصورت Single Cycle کار میکند طراحی کنیم.

مراحل پردازش:

پردازنده طراحی شده شامل ۵ مرحله اصلی است:

### : Instruction Fetch (IF)

در این مرحله با استفاده از شمارنده برنامه (PC) و حافظه دستور (Instruction Memory)، دستور جاری بارگیری می شود.

PC با هر سیکل افزایش می یابد و به ورودی حافظه دستور متصل است.

JTAG برای بارگذاری حافظه استفاده شده است.

### : Instruction Decode (ID)

در این مرحله دستور استخراج شده به اجزای خود (opcode)، rs، rt، rd، shamt، funct، (imm) تجزیه می شود. همچنین ماژول تشخیص نوع دستور R-type یا I-type و تولید سیگنال op جهت کنترل ALU در ادامه دیده می شود.

### : Execution

در این مرحله داده های لازم از رجیستر فایل خوانده شده و به ALU ارسال می شوند تا عملیات منطقی یا حسابی اجرا شود. ALU بدون کلاک طراحی شده است و بر اساس کد عملیاتی مشخص شده، محاسبه را انجام می دهد.

## : Memory Access

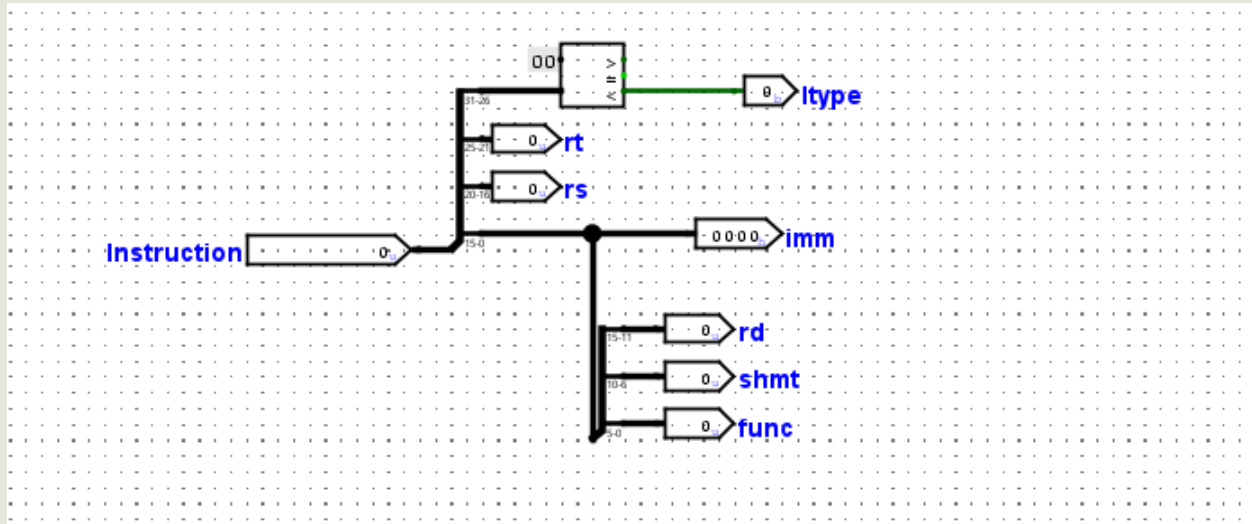
در این تمرین فعلاً فقط بارگذاری دستور و نمایش خروجی حافظه داده (Data Memory) استفاده شده و دستور Load/Store به کار نرفته است.

حافظه داده از نوع JTAG بوده و خروجی آن به پین نمایش متصل شده است.

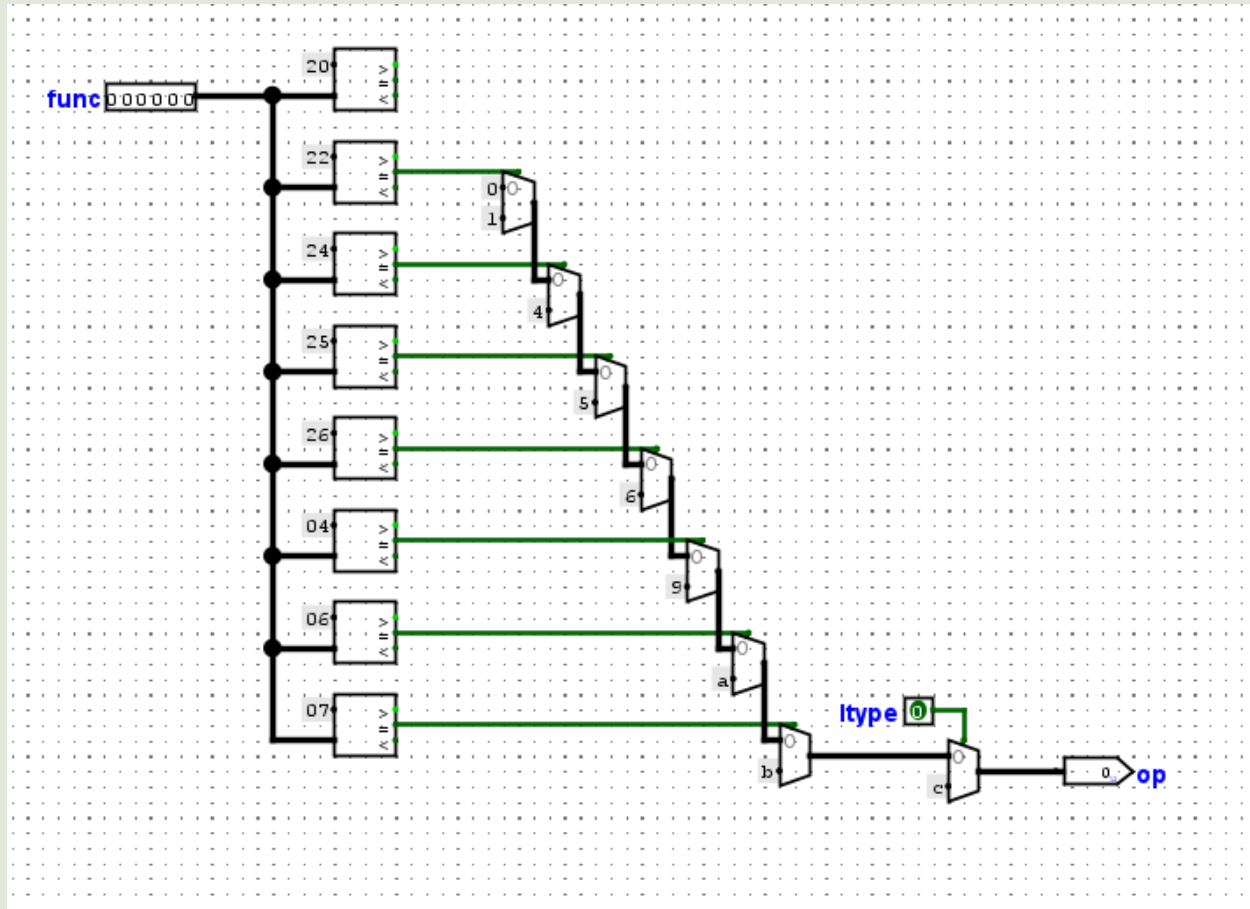
## : Write Back (WB)

نتیجه عملیات ALU در صورت نیاز به رجیستر فایل باز می‌گردد.

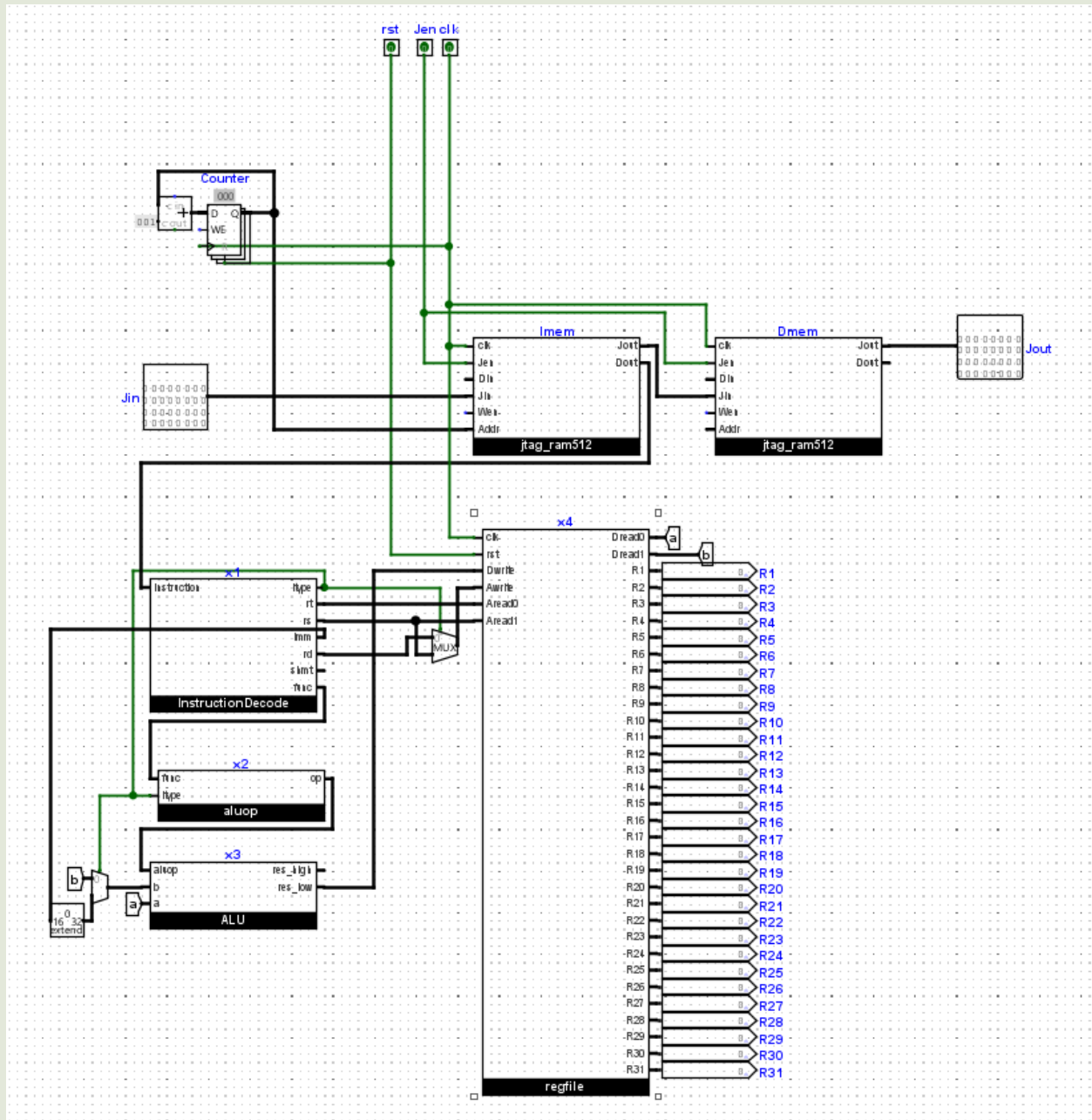
پردازنده باید دستورات گفته شده در فایل تمرین را انجام دهد. برای Instruction decode مدار زیر طراحی کردیم :



همچنین برای یافتن opcode مدار زیر را طراحی کرده ایم:



ساختار اصلی main یا همان پردازنده نیز بصورت زیر است :



که بر اساس decode صورت گرفته اعمال لازم بر روی رجیستر ها و مموری انجام میگیرد و عمل جمع یا تفریق نیز در ALU انجام میشود.

در آخر هم اکسپت شدن جاج سوال عملی :

```
matin@Matin: ~/TermA/Mem x + -
[main] WARN com.cburch.logisim.fpga.gui.Reporter - Component "Register" in circuit "regfile" has a gated clock connection!
[main] WARN com.cburch.logisim.fpga.gui.Reporter - Component "Register" in circuit "regfile" has a gated clock connection!
[main] WARN com.cburch.logisim.fpga.gui.Reporter - Component "Register" in circuit "regfile" has a gated clock connection!
[main] WARN com.cburch.logisim.fpga.gui.Reporter - Component "Register" in circuit "regfile" has a gated clock connection!
[main] WARN com.cburch.logisim.fpga.gui.Reporter - Component "Register" in circuit "regfile" has a gated clock connection!
[main] WARN com.cburch.logisim.fpga.gui.Reporter - Component "Register" in circuit "regfile" has a gated clock connection!
[main] WARN com.cburch.logisim.fpga.gui.Reporter - Component "Register" in circuit "regfile" has a gated clock connection!
[main] WARN com.cburch.logisim.fpga.gui.Reporter - Component "Register" in circuit "regfile" has a gated clock connection!
[main] WARN com.cburch.logisim.fpga.gui.Reporter - Component "Register" in circuit "regfile" has a gated clock connection!
[main] WARN com.cburch.logisim.fpga.gui.Reporter - Component "Register" in circuit "regfile" has a gated clock connection!
[main] WARN com.cburch.logisim.fpga.gui.Reporter - Component "Register" in circuit "regfile" has a gated clock connection!
[main] WARN com.cburch.logisim.fpga.gui.Reporter - Component "Register" in circuit "regfile" has a gated clock connection!
[main] WARN com.cburch.logisim.fpga.gui.Reporter - Component "Register" in circuit "regfile" has a gated clock connection!
[main] WARN com.cburch.logisim.fpga.gui.Reporter - Component "Register" in circuit "regfile" has a gated clock connection!
[main] WARN com.cburch.logisim.fpga.gui.Reporter - Component "Register" in circuit "regfile" has a gated clock connection!
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Creating HDL file: /home/matin/logisim_evolution_workspace/schematic.circ.tmp/main/verilog/circuit/regfile.v
[main] WARN com.cburch.logisim.fpga.gui.Reporter - Component "Register" in circuit "main" has a gated clock connection!
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Creating HDL file: /home/matin/logisim_evolution_workspace/schematic.circ.tmp/main/verilog/circuit/main.v
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Creating HDL file: /home/matin/logisim_evolution_workspace/schematic.circ.tmp/main/verilog/toplevel/logisimTopLevelShell.v
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Creating script file: /home/matin/logisim_evolution_workspace/schematic.circ.tmp/main/scripts/vivadoCreateProject.tcl
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Creating script file: /home/matin/logisim_evolution_workspace/schematic.circ.tmp/main/scripts/vivadoConstraints.tcl
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Creating script file: /home/matin/logisim_evolution_workspace/schematic.circ.tmp/main/scripts/vivadoGenerateBitStream.tcl
[main] INFO com.cburch.logisim.fpga.gui.Reporter - Creating script file: /home/matin/logisim_evolution_workspace/schematic.circ.tmp/main/scripts/vivadoLoadBitStream.tcl

MMU/th.v /home/matin/logisim_evolution_workspace/schematic.circ.tmp
ACCEPTED
21 / 21
matin@Matin:~/TermA/Exam1/SUT_CA_0032_ProfAsadi_Judgement_System$ |
```