

درس معماری کامپیوتر

تمرین سری هشتم

۱۴۰۴/۰۴/؟؟

متن باقری

۴۰۲۱۰۵۷۲۷

(۱) آ حافظه نهان 1024 entry خواهد داشت. در direct mapped هر entry به 256 block از حافظه اصلی map شده. $(16M / 64K = 256)$ ویژگی مشترک بین بلاک های همگروه، باقی مانده آنها بر 1024 است. هر block از حافظه اصلی که به cache آورده می شود، مکان مشخصی دارد و برای دسترسی به آن میتوان مستقیماً به همان entry مشخص از cache مراجعه کرد. 8 bit tag, 10 bit index, 6 bit offset

در 2-way associative حافظه نهان 512 set دارد که هر یک دو block (یا line) داده دارد. هر block از حافظه اصلی که به cache آورده می شود، مشخص است که باید در کدام یک از این 512 set قرار بگیرد. اما مکان آن درون set از قبل مشخص نیست، اگر entry خالی وجود داشته باشد در آن قرار گرفته و در غیر این صورت بسته به الگوریتم مورد استفاده، محل ذخیره آن مشخص می شود. برای یافتن آن داده در cache، set مربوط به آن مشخص است، ولی باید تمام entry های آن set را برای یافتن داده مورد نظر، بررسی کنیم. 9 bit tag, 9 bit index, 6 bit offset

(ب)

$$1.5 + 40\% \times (8\% \times (20 + 2\% \times 100)) = 1.5 + 0.704 = 2.204 \text{ CPI}$$

۲) tag: 22 bit, index: 5 bit, offset: 5 bit

آ) ۵ بیت آفست، بنابراین اندازه هر بلاک برابر ۳۲ تا از واحد آدرس دهی حافظه است. با فرض byte addressable بودن:

۳۲ بایت درون هر بلاک، هر بلاک شامل ۸ کلمه ۳۲ بیتی است.

ب) ۵ بیت ایندکس، ۳۲ entry

ج) مطابق اسلاید نهم درس (pg 32)، با فرض نداشتن dirty bit یا status bit: ۱ بیت valid، ۲۲ بیت تگ، ۳۲ بایت داده.

$$32 \times 8 / (32 \times 8 + 22 + 1) = 256 / 279 \cong 92\%$$

در اینجا داشتن یا نداشتن dirty bit یا status bit تاثیر چندانی بر جواب نهایی ندارد.

د)

byte address	tag	index	offset	hit/miss
0	0	0	0	miss
4	0	0	4	hit
16	0	0	16	hit
132	0	4	4	miss
232	0	7	8	miss
160	0	5	0	miss
1024	1	0	0	miss
30	0	0	30	miss
140	0	4	12	hit
3100	3	0	28	miss
180	0	5	20	hit
2180	2	4	4	miss

index \rightarrow current tag:

0 \rightarrow 0, 1, 0, 3

4 \rightarrow 0, 2

7 \rightarrow 0

5 \rightarrow 0

(۵

hit rate = $4 / 12 = 1/3$

(۳

each word is 2 byte. each block has 16 words. we have 2K blocks.

direct-mapped cache with 8 blocks(sets). each set includes 32 bytes.

word data (hex)	div 32(dec) = block No.	block No. MOD 8	miss/hit
4A32	593	1	miss
B830	1473	1	miss
B832	1473	1	hit
B834	1473	1	hit
B822	1473	1	hit
4A32	593	1	miss
311A	392	0	miss
3142	394	2	miss

hit rate = $3 / 8 = 37.5\%$

cache: 32 blocks, each having 1 word (4 byte)

در قسمت آ و ب، دسترسی به حافظه را نیاز کلی به حافظه در نظر گرفتیم، بدون در نظر گرفتن اینکه آیا در cache miss رخ می‌دهد یا hit. چراکه بستگی به آدرسی دارد که در حال کپی کردن آن هستیم.

(آ) ۶ بار برای ۶ دستور و ۲ بار برای دستورات lb و sb. در مجموع ۸ دسترسی به حافظه

(ب) ۳ بار برای ۳ دستور و ۲ بار برای دستورات lb و sb. در مجموع ۵ دسترسی به حافظه

(ج) اگر مانند دو قسمت قبل بررسی کنیم: $8 * 3 + 5 = 29$

اما با بررسی دقیق‌تر متوجه می‌شویم روند دسترسی به حافظه و حافظه نهان به این صورت است:

address (byte)	block	Hit/miss
0	0	m
128	0	m
4	1	m
256	---	directly to memory
8	2	m
12	3	m
16	4	m
20	5	m
0	0	m
129	0	m
4	1	H
257	---	directly to memory

8	2	H
12	3	H
16	4	H
20	5	H
0	0	m
130	0	m
4	1	H
258	---	directly to memory
8	2	H
12	3	H
16	4	H
20	5	H
0	0	m
131	0	m
4	1	H
259	---	directly to memory
8	2	H

کل تعداد دسترسی ها به حافظه اصلی برابر است با مجموع تعداد write ها و miss ها: $4 + 13 = 17$

تعداد hit های cache: $29 - 17 = 12$

(د)

12 hit, 13 miss, cache miss-rate = $13 / 25 = 52\%$

cache: 16 sets, each having 2 blocks, each having 1 word (4 byte)

(6)

address (byte)	block	Hit/miss
0	0	m
128	0	m
4	1	m
256	---	directly to memory
8	2	m
12	3	m
16	4	m
20	5	m
0	0	H
129	0	H
4	1	H
257	---	directly to memory
8	2	H
12	3	H
16	4	H
20	5	H
0	0	H
130	0	H
4	1	H
258	---	directly to memory
8	2	H
12	3	H
16	4	H

20	5	H
0	0	H
131	0	H
4	1	H
259	---	directly to memory
8	2	H

18 hit, 7 miss , miss-rate = $7 / 25 = 28 \%$

cache: 16 sets, each having 2 blocks, each having 1 word (4 byte). with write-allocate & write back (و)

از آنجا که در قسمت قبل گفته شده بود فرض کنید جایگزینی به صورت تصادفی صورت می گیرد، در این قسمت فرض کردیم آدرس بایت 0 در cache باقی مانده و جایگزینی بر روی block دیگر انجام می شود.

address (byte)	block	Hit/miss
0	0	m
128	0	m
4	1	m
256	0	m
8	2	m
12	3	m
16	4	m
20	5	m
0	0	H
129	0	m
4	1	H

257	0	m
8	2	H
12	3	H
16	4	H
20	5	H
0	0	H
130	0	m
4	1	H
258	0	m
8	2	H
12	3	H
16	4	H
20	5	H
0	0	H
131	0	m
4	1	H
259	0	m
8	2	H

14 miss, 15 hit, miss-rate = $14 / 29 = 48\%$

(۵) آ با فرض byte addressable بودن

$2^{10} = 1024$ sets, each having 2 blocks: تعداد بلاک ها در حافظه = 2048

block offset bits: $\log 32 = 5$ bits

tag bits: $32 - 10 - 5 = 17$ bits

ب) آدرس ها باینری در نظر گرفته شده اند.

Address	block No.	MOD 4	Hit/Miss
110001	1100	0	M
100111	1001	1	M
001111	0011	3	M
001100	0011	3	H
010001	0100	0	M
110010	1100	0	M
100101	1001	1	H
001110	0011	3	H
100001	1000	0	M
110001	1100	0	M

blocks status:

0 → 1100, 0100, 1100, 1000, 1100

1 → 1001

2 →

3 → 0011

ج) از آنجا که اطلاعات سوال در مورد کارکرد cache و جزئیات pipeline کامل نیست، صرفاً تاثیر دسترسی به حافظه در دستورات load & store را در نظر گرفتیم:

$$1 + 2\% * (25\% + 15\%) * 100 = 1.8 \text{ CPI}$$