

درس معماری کامپیوتر

۱۴۰۳/۱۲/۲۵

گزارش تمرین عملی ۲

۴۰۲۱۰۵۷۲۷

متین باقری

۴۰۲۱۰۵۵۸۱

محمد نوید آتشین بار

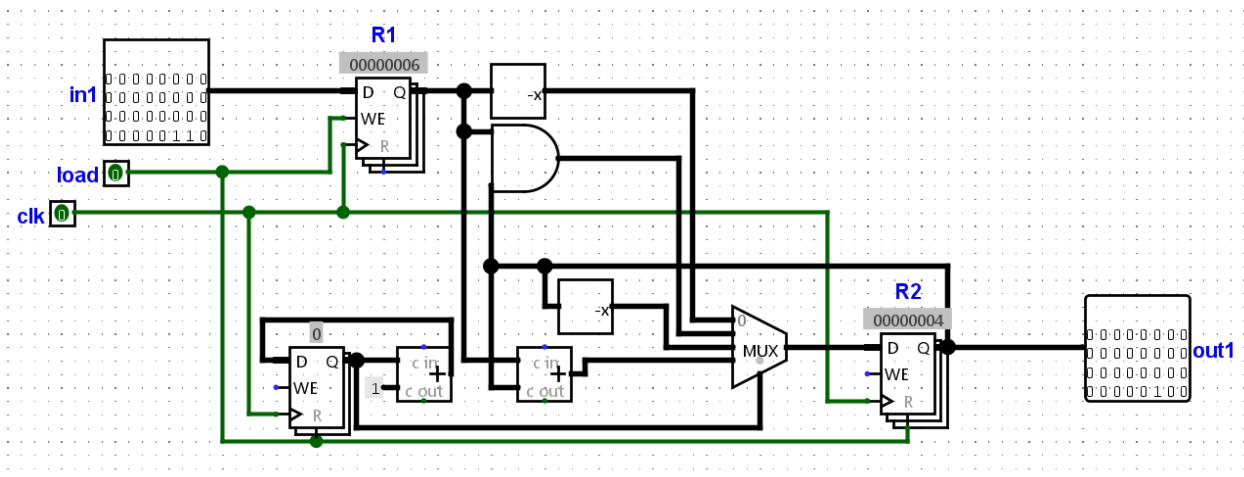
(۱) عملکرد این مدار را توضیح دهید.

ابتدا منفی R1 را با خودش and می‌کند (حاصل برابر است با least significant set bit). سپس عدد حاصل را منفی کرده (حاصل برابر است با least significant bit $2^{32} -$) و با مقدار اولیه R1 جمع می‌کند. حاصل نهایی در R2 ذخیره می‌شود و برابر است با ورودی که اولین بیت 1 از سمت راست آن 0 شده است.

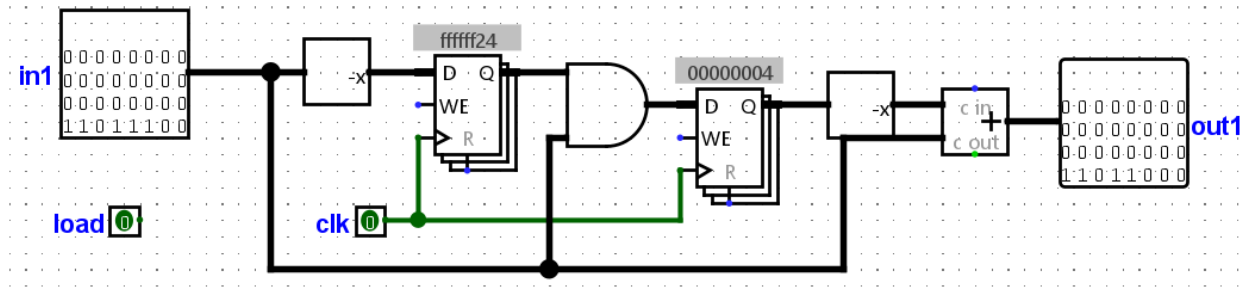
برای مثال برای ورودی ۶ (0110)، خروجی ۴ (0100) است.

(ب) در نرم‌افزار evolution-logisim مداری مطابق RTL توصیف شده طراحی کنید.

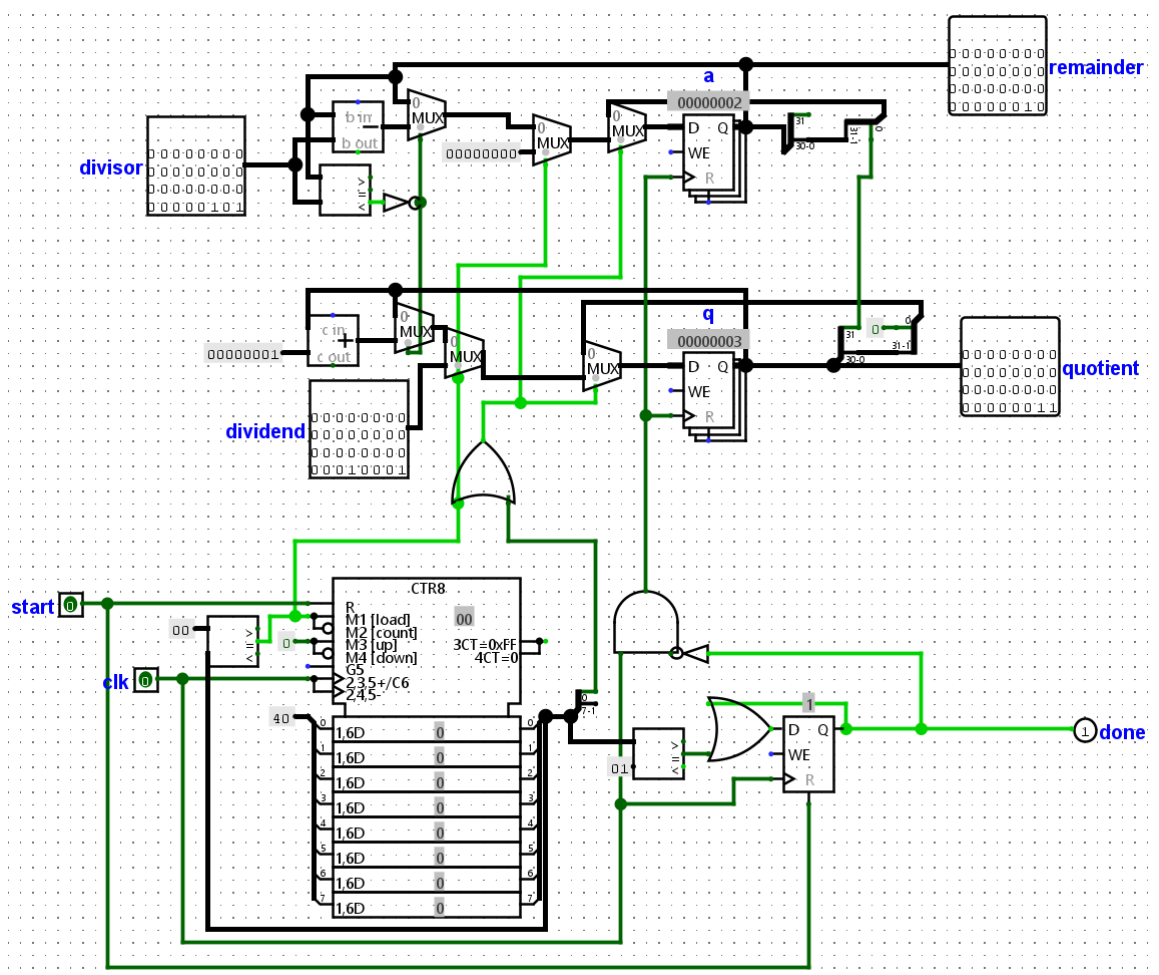
مدار خواسته شده طراحی شد و در فولدر Q1 موجود است.



همچنین به علت سادگی منطق برنامه، یک مدار دیگر نیز طراحی شد که خواسته سوال را تنها در ۲ کلاک سایکل و با گیت‌های کمتری انجام می‌دهد. این مدار در فولدر Q1-alternative موجود است. هر دو این مدارها تمام تست کیس‌ها را پاس کردند.



(۲) مدار طراحی شده به این شکل است:



در این تصویر، ۱۷ بر ۵ تقسیم شده و خارج قسمت ۳ و باقی مانده ۲ است. در طراحی این مدار از یک counter برای کنترل کلاک‌ها استفاده کردیم. در کلاک اول (در حین 1 بودن start) اعداد ورودی داخل ثبات‌ها load شده و پس از آن در نیمی از کلاک‌ها ثبات‌ها آپدیت شده و در نیمی دیگر وضعیت multiplexer های پشت ثبات‌ها مشخص می‌شود. به همین دلیل برای ۳۲ شیفت، به ۶۴ کلاک نیاز داریم. پس از آن با 1 شدن done، مدار متوقف شده و تا زمانی که مجدداً start فعال نشود، ثبات‌ها تغییر نمی‌کنند.
