

## بسمه تعالی

امتحان میان‌ترم درس طراحی سیستم‌های دیجیتال، دانشگاه صنعتی شریف، دانشکده‌ی مهندسی کامپیوتر

---

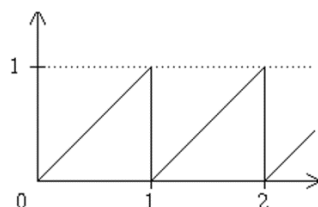
- از میان سؤال‌های زیر فقط به سه سؤال پاسخ دهید. پاسخ دادن به تعداد سؤال بیشتر نمره‌ی اضافه نخواهد داشت.
- نمره‌ی تمام سؤال‌ها برابر است.
- اگر تصور می‌کنید که سؤال‌ی ابهام دارد توضیح دهید که ابهام آن چیست و خود شما با مطالعه یا فرضیات جدید رفع ابهام نموده و آن را حل کنید. از پرسیدن سؤال پرهیز کنید.
- سؤال‌ی که حداکثر سه دانشجو آن را برای حل انتخاب کرده باشند به عنوان سؤال ویژه شناخته شده و نمره‌ی آن با ضرب دو محاسبه خواهد شد.
- هماهنگ کردن دانشجویان با یکدیگر جهت ویژه کردن سؤال‌ها آزاد است.
- استفاده از chatbot‌های هوش مصنوعی و اصولاً هر نوع ابزاری کاملاً آزاد است. اما دانشجو باید روی راه‌حلی که ارائه می‌کند تسلط کامل داشته باشد.
- پس از تحویل پاسخ‌ها، تعدادی از دانشجویان به شکل تصادفی انتخاب می‌شوند تا پاسخ‌های خود را برای دستیار آموزشی شرح دهند.

۱) فرض کنید می‌خواهیم مداری داشته باشیم که اعداد صحیح علامت‌دار ۱۲۸ بیتی (با نمایش مکمل ۲) را ضرب کند. کد Verilog برای این عمل ضرب وقتی از روش Karatsuba استفاده می‌شود بنویسید. در پیاده‌سازی این ضرب‌کننده استفاده از عمل ضرب \* خود زبان Verilog مجاز نیست. در روش Karatsuba عمل ضرب ۱۲۸ بیتی را به ضرب شدن واحدهای ۶۴ بیتی خرد کنید ولی ضرب ۶۴ بیتی را با روش Shift and Add انجام دهید. برای مدار ضرب‌کننده باید Testbench ارائه کنید که سیگنال clk و ورودی‌ها را به مدار اعمال کند و صحت پاسخ‌های ارائه شده توسط ضرب‌کننده را واریسی کند. در Testbench مجاز هستید که از عمل ضرب \* زبان Verilog استفاده کنید.

۲) با استفاده از زبان Verilog یک ساعت دیجیتال طراحی کنید که دارای خروجی پنج بیتی ساعت، شش بیتی دقیقه و شش بیتی ثانیه باشد. این ساعت دارای حالت تنظیم ساعت و دقیقه است، به این صورت که با فشار دادن دکمه‌های up یا down مقدار زمان افزایش یا کاهش پیدا می‌کند و با نگه‌داشتن این دکمه‌ها توسط کاربر برای مدتی بیش از ۱۰ ثانیه شمارش سریعتر می‌شود (سرعت شمارش را خودتان به مقداری که مناسب می‌دانید انتخاب کنید). فرض بر این است که فرکانس پالس ساعت این مدار از بیرون به مدار داده می‌شود و دقیقاً برابر با 100Hz است. برای این مدار یک Testbench بنویسید که در آن وقتی که ورودی‌های up و down جهت تنظیم زمان فعال شده‌اند و همچنین وقتی که این ورودی‌ها فعال نیستند و ساعت عملکرد عادی خود را دارد مورد ارزیابی قرار گیرد.

۳) یک نمایش مبتنی بر XML برای نمودارهای ASM قرارداد نموده و ارائه کنید. سپس یک کد به یکی از زبان‌های Python، C یا Java ارائه کنید که با دریافت فایل XML مربوط به یک نمودار ASM کد Verilog معادل آن را ایجاد کند به نحوی که بتوان با اجرای کد Verilog آن نمودار ASM را شبیه‌سازی کرد. درستی روش پیشنهادی خود را برای دو نمونه نمودار ASM (که در کلاس و یا تمرین‌ها داشتیم) نشان دهید.

۴) با استفاده از روش PWM می‌توان با استفاده از مدارهای دیجیتال حتی وقتی مدار D/A نداریم به سادگی بسیاری از سیگنال‌های آنالوگ را تولید نمود. یک کد Verilog بنویسید که سیگنال ramp بین مقدار 0v تا 5v را به شکل نمایش داده شده در زیر با فرکانس برابر با 1KHz تولید کند. جهت بررسی صحت پاسخ باید مدار توصیف شده داخل FPGA ریخته شده و با اتصال مدار RC مناسب به پایهی مربوطه خروجی مورد نظر روی اسیلوسکوپ دیده شود.



۵) یک پشته که از ۴ عدد ثبات ۳۲ بیتی تشکیل شده است داریم. ورودی‌های پشته عبارتند از: خط ۳۲ بیتی `data_in` که موقع انجام `Push` مورد استفاده قرار می‌گیرد، سیگنال یک بیتی `Push`، سیگنال یک بیتی `Pop`، سیگنال یک بیتی `clear` و سیگنال `clk`. خروجی‌ها عبارتند از: خط ۳۲ بیتی `data_out` که همواره مقدار بالای پشته را ارائه می‌دهد، خروجی تک بیتی `Empty` که نشان می‌دهد پشته خالی است و خروجی تک بیتی `Error` که زمانی فعال می‌شود که روی پشته‌ی خالی عمل `Pop` یا روی پشته‌ی کاملاً پر عمل `Push` انجام شود. این پشته را با استفاده از نمودار ASM توصیف کنید. همچنین با استفاده از شبیه‌سازی `cycle accurate` صحت توصیف خود را واریسی کنید (سنتز مدار مورد نیاز نیست).

۶) مدارهای تولید و واریسی CRC کاربرد فراوان در کشف اشکال و همچنین جلوگیری از دست‌کاری داده‌ها در سیستم‌های دیجیتال دارند. هر مدار CRC دارای ساختار بسیار ساده است که از یک `Shift Register` (اتصال تعدادی فلیپ‌فلاپ D) و تعدادی گیت XOR تشکیل شده است. از طرفی چگونگی اتصال گیت‌های XOR و فلیپ‌فلاپ‌های D برای هر مدار CRC توسط چندجمله‌ای مربوط به آن بطور کامل مشخص می‌شود. یک قطعه کد به زبان Python، C یا Java بنویسید که با دریافت چندجمله‌ای، توصیف ساختاری مدار CRC مربوطه را در خروجی و به زبان Verilog ایجاد و درون یک فایل ثبت کند. با ارائه `Testbench` برای دو نمونه از خروجی‌های ابزار خود نشان دهید که مدارهای CRC تولید شده به درستی کار می‌کنند.

۷) توصیف ساختاری یک جمع کننده ۱۶ بیتی که از زنجیره‌ی Manchester برای انتشار رقم نقلی استفاده می‌کند را با زبان Verilog ارائه دهید. برای انجام این کار از primitive های nmos و pmos زبان Verilog استفاده کنید. Testbench ای بنویسید که نشان دهد مدار جمع کننده‌ی شما به درستی عمل می‌کند.

موفق باشید

اجلالی