

- ۱- سه مورد از محدودیت‌های طراحی و پیاده‌سازی سیستم‌های دیجیتال را نام ببردید و با ذکر مثال در سخت‌افزار FPGA توضیح دهید که ابزارهای طراحی خودکار چگونه سعی در برآوردن آنها می‌کنند (۱.۵ نمره).

## فاخر- کوئن مصفر- مسافت-

- ۲- یک جمع‌کننده ۴ بیتی را به سه مدل Behavioral و Structural و Dataflow توصیف و تفاوت بین آنها را بیان کنید (۲ نمره).

```
module bit-adder(input [3:0] a, [3:0] b,  
output [3:0] sum);  
wire [4:0] c, d, e;  
c[0]=c_in;
```

Structural

```
genvar i;  
generate  
for(i=0; i<4; i++) begin  
and carry(c[i+1], a[i], b[i]);  
and carry2(d[i+1], a[i], c[i]);  
and carry3(e[i+1], b[i], c[i]);  
or car(c[i+1], c[i+1], d[i+1], e[i+1]);  
xor sum(sum(i), a[i], b[i], c[i]);  
end  
endgenerate  
assign c_out = c[4];  
  
endmodule
```

```
module bitadder(input [3:0]a, [3:0]b, output c_out,  
[3:0]sum);
```

assign {c\_out, sum[3:0]} = a[3:0] + b[3:0] + c\_in;

endmodule

data flow

```
module bitadder(input [3:0]a, -----);
```

always @ (a, b, c\_in) begin

sum = a[3:0] + b[3:0] + c\_in;

behavioral

end

در توصیف Structural که براساس هار طایرول کردار زمینه است.

- مکانیزم Continuous : ) Data flow در  
assignments

initial always ) Behavioral در

۳- الف) یک گیت AND دو ورودی با تأخیر لختی ۳ را به دو صورت Dataflow و Behavioral توصیف کنید (۱ نمره). ب) یک بافر سه وضعیتی با تأخیر انتقالی ۵ را به صورت رفتاری توصیف کنید (۱ نمره).

Behavioral:

```
module AND(input a, b, output c);
```

always @ (a, b) begin

#3  
c = a & b;

end

endmodule

Data flows;

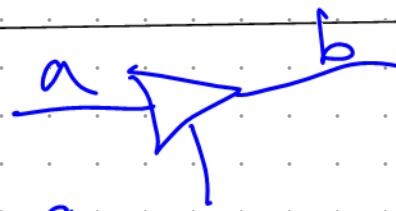
module . . . .

assign #3 c = a&b;

endmodule

Behavioral

```
module three_statebuffer (input a,ctrl, output b);
    always @ (a,ctrl) begin
        if(ctrl) begin
            b <= #5 a;
        end
        else begin
            b <= #5 1b2;
        end
    end
endmodule
```



۴- با ذکر دلیل در مورد درستی یا نادرستی هر یک از گزینه‌های زیر بحث کنید (۲ نمره).

الف) خروجی gate-level netlist در FPGA‌های شرکت A و FPGA‌های شرکت B با هم یکسان است.

ب) ابزارهای سنتز تأخیرها را از همان ابتدا مبنای اصلی عملیات سنتز قرار می‌دهند.

پ) استفاده از لبه بالارونده و پایین‌رونده کلاک در یک مدار دیجیتال هم‌زمان به دلیل افزایش سرعت پیشنهاد می‌گردد.

ت) در وریلاغ تأخیر تغییر ارزش سیگنال از ۰، ۱ و Z به برابر با کمینه تأخیر rise و fall است.

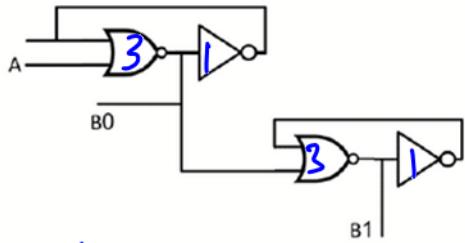
الف) ~~Technology mapping~~

ب) ~~LAYOUT~~

پ) ~~Clock skew~~

س) ~~DC~~

- ۵- اگر تأخیر گیت ۱ و تأخیر گیت NAND ۳، A ورودی و B0 و B1 خروجی مدار باشند، برای عملکرد مدار روبه رو یک توصیف رفتاری بنویسید (بدون استفاده از عملگرهای بیتی - ۲۰ نمره).



module circuit(input A, output reg B0,B1);  
 always @ (A) begin  
 if(A) begin  
 B0 <= #3 0;  
 end  
 else begin  
 B1 <= #3 B1 ? ~B0 : 0;  
 end  
 end  
endmodule

- ۶- یک توصیف رفتاری فابل سنتز برای محاسبه نتیجه عبارت  $Y = \lceil \log_2(X + 1) \rceil$  با استفاده از یک حافظه ارائه دهید (X ورودی چهار بیتی و Y خروجی است). به بیان دیگر بدون محاسبه عبارت و فقط با خواندن از حافظه، Y را تعیین کنید (۲ نمره).

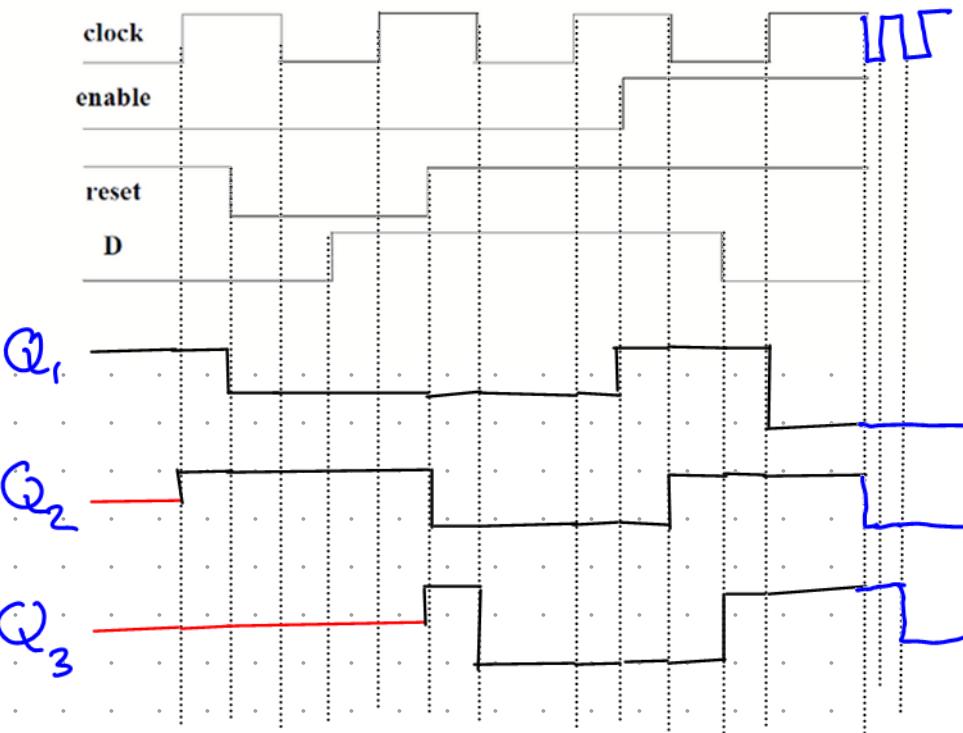
module LUT(input A,B,C,D, output reg [3:0]);  
 always @ (A,B,C,D) begin  
 wire [3:0] index = {A,B,C,D};  
 case(index)  
 1: Y <= 1b00;  
 2: Y <= 1b01;  
 3: Y <= 1b10;  
 4: Y <= 1b11;  
 endcase  
 end  
endmodule

طبل تابع مطالعه شده (Case ۱ تا ۴)



۷- نمودار زمانی قطعه کد زیر را تا جایی که دیگر تغییری در سیگنال‌ها مشاهده نشود، ترسیم کنید (مقدار Q1 در ابتدا ۱ است - ۲ نمره).

```
always @(reset, enable, clock, D)
begin
    if (reset == 1'b0)
        Q1 <= 1'b0;
    else if (enable == 1'b1 && clock == 1'b1)
        Q1 <= D;
    else begin
        Q2 <= Q1;
        Q3 <= Q2;
    end
end
```



۸- الف) یک معماری FPGA با سه جدول جستجوی مبتنی بر SRAM ۴ ورودی را در نظر بگیرید. هر SRAM دارای ۴ ورودی (بیت آدرس) و یک بیت خروجی است، با استفاده از آنها مداری طراحی کنید که بتواند هرتابع ۵ ورودی دلخواه را برای FPGA پیاده‌سازی کند (۱.۲۵ نمره). ب) این مدار را با استفاده از دو SRAM ۴ ورودی و یک مالتی‌پلکسر با کمترین ورودی طراحی کنید (۱ نمره).