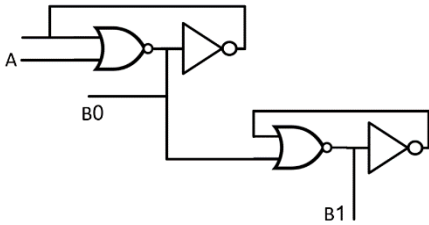


سؤالات امتحان پایانی درس طراحی سیستم‌های دیجیتال - ترم دوم سال تحصیلی ۱۴۰۱-۱۴۰۰

زمان امتحان: ۱۲۰ دقیقه

نام و نام خانوادگی:

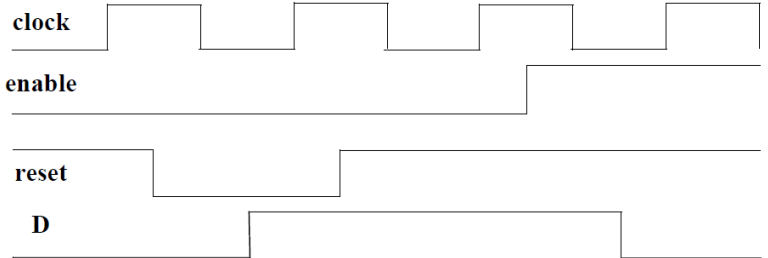
- ۱- سه مورد از محدودیت‌های طراحی و پیاده‌سازی سیستم‌های دیجیتال را نام ببرید و با ذکر مثال در سخت‌افزار FPGA، توضیح دهید که ابزارهای طراحی خودکار چگونه سعی در برآوردن آنها می‌کنند (۱.۵ نمره).
- ۲- یک جمع‌کننده ۴ بیتی را به سه مدل Dataflow، Structural و Behavioral توصیف و تفاوت بین آنها را بیان کنید (۲ نمره).
- ۳- الف) یک گیت AND دو ورودی با تأخیر لختی ۳ را به دو صورت Behavioral و Dataflow توصیف کنید (۱ نمره). ب) یک بافر سه وضعیتی با تأخیر انتقالی ۵ را به صورت رفتاری توصیف کنید (۱ نمره).
- ۴- با ذکر دلیل در مورد درستی یا نادرستی هر یک از گزینه‌های زیر بحث کنید (۲ نمره).
الف) خروجی gate-level netlist در FPGAهای شرکت A و FPGAهای شرکت B با هم یکسان است.
ب) ابزارهای سنتز تأخیرها را از همان ابتدا مبنای اصلی عملیات سنتز قرار می‌دهند.
پ) استفاده از لبه بالارونده و پایین‌رونده کلاک در یک مدار دیجیتال هم‌زمان به دلیل افزایش سرعت پیشنهاد می‌گردد.
ت) در وریلاگ تأخیر تغییر ارزش سیگنال از ۰، ۱ و Z به X برابر با کمینه تأخیر rise، fall و turn-off است.
- ۵- اگر تأخیر گیت Not ۱ و تأخیر گیت NAND ۳، A ورودی و B0 و B1 خروجی مدار باشند،
برای عملکرد مدار روبه‌رو یک توصیف رفتاری بنویسید (بدون استفاده از عملگرهای بیتی - ۲.۵ نمره).



- ۶- یک توصیف رفتاری قابل سنتز برای محاسبه نتیجه عبارت $Y = \lfloor \log_2(X + 1) \rfloor$ با استفاده از یک حافظه ارائه دهید (X ورودی چهار بیتی و Y خروجی است). به بیان دیگر بدون محاسبه عبارت و فقط با خواندن از حافظه، Y را تعیین کنید (۲ نمره).
- ۷- نمودار زمانی قطعه کد زیر را تا جایی که دیگر تغییری در سیگنال‌ها مشاهده نشود، ترسیم کنید (مقدار Q1 در ابتدا ۱ است - ۲ نمره).

```

always @(reset, enable, clock, D)
begin
    if (reset == 1'b0)
        Q1 <= 1'b0;
    else if (enable == 1'b1 && clock == 1'b1)
        Q1 <= D;
    else begin
        Q2 <= Q1;
        Q3 <= Q2;
    end
end
        
```



- ۸- الف) یک معماری FPGA با سه جدول جستجوی مبتنی بر SRAM ۴ ورودی را در نظر بگیرید. هر SRAM دارای ۴ ورودی (بیت آدرس) و یک بیت خروجی است، با استفاده از آنها مداری طراحی کنید که بتواند هر تابع ۵ ورودی دلخواه را برای پیاده‌سازی کند (۱.۲۵ نمره). ب) این مدار را با استفاده از دو SRAM ۴ ورودی و یک مالتی‌پلکسر با کمترین ورودی طراحی کنید (۱ نمره).
- ۹- صف رویداد طبقه‌بندی شده در وریلاگ را ترسیم کنید و نحوه کارکرد آن، انتساب‌ها و ... را توضیح دهید (۱.۷۵ نمره).
- ۱۰- یک کدگشای ۲ بیتی (۲×۴) را به صورت رفتاری توصیف کنید، سپس با استفاده از آن یک کدگشای ۳ بیتی (۳×۸) با توصیف ساختاری طراحی کنید (۲ نمره).

موفق باشید

فصحتی