

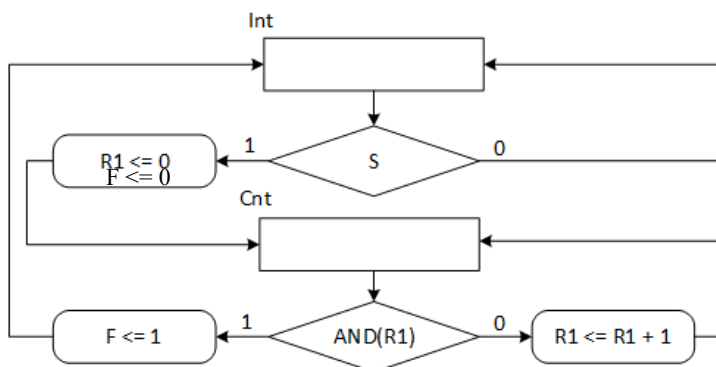
سؤالات امتحان پایانی درس طراحی سیستم‌های دیجیتال - ترم دوم سال تحصیلی ۱۴۰۱-۱۴۰۲

نام و نام خانوادگی:

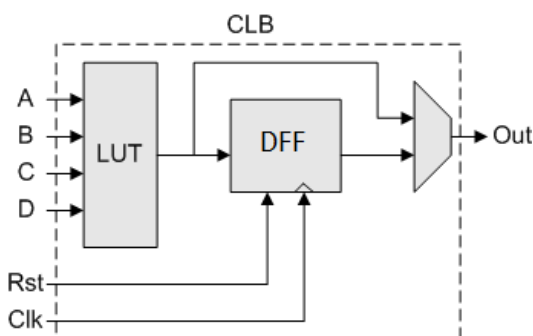
زمان امتحان: ۱۵۰ دقیقه

- (۱) مراحل تبدیل کد HDL به فایل قابل پیاده‌سازی سخت‌افزاری توسط ابزار CAD را نام ببرید و به اختصار عملیات اصلی هر مرحله را توضیح دهید. اگر ورودی‌ها و خروجی‌های هر مرحله اسم خاصی دارند، آن‌ها را بیان کنید. تأخیر دقیق طراحی شما در کدام مرحله قابل محاسبه است (۲ نمره)؟
- (۲) نمودار زمانی توصیف‌های وریلاگ زیر را برای تمامی سیگنال‌ها، در ۲۰ واحد زمانی اول ترسیم کنید (۲ نمره).

<p>(ب)</p> <pre> module tb_b (output reg sum); reg a, b, c; always @(a, b, c) begin sum <= a ^ b; sum <= sum ^ c; end initial begin #10 a = 1'b0; b = 1'b1; c = 1'b1; end endmodule </pre>	<p>(الف)</p> <pre> module tb_a (output reg o); reg i = 1'b0; reg clock = 1'b0; always @(posedge clock) begin i <= ~i; clock <= ~clock; o <= i; end always #5 clock = ~clock; endmodule </pre>
<p>(ت)</p> <pre> module tb_d; reg a,b; always @(a) b = #5 ~a; initial begin a=1'b0; #6 a=1'b1; #3 a=1'b0; end endmodule </pre>	<p>(پ)</p> <pre> module tb_c; reg a; initial a = 1; initial begin a <= #10 1'b0; a <= #10 1'b1; end endmodule </pre>



- (۳) مدار طراحی شده با ASM Chart مقابل را با رویکرد طراحی Data Path و Control Unit و با زبان وریلاگ توصیف کنید. در این طراحی رجیستر R1 را ۸ بیت در نظر بگیرید (۲ نمره).



- (۴) شکل مقابل واحد CLB یک FPGA مبتنی بر Look-Up Table را نشان می‌دهد (ورودی‌های پیکربندی حذف شده است). آن را با استفاده از زبان وریلاگ توصیف کنید. برای سادگی نیاز به در نظر گرفتن ورودی‌هایی برای برنامه‌ریزی (پیکربندی) CLB نیست؛ اما لازم است توضیح دهید که واحدهای برنامه‌پذیر (قابل پیکربندی) این CLB را چگونه توصیف کردید (۲ نمره).

موفق باشید

فصلی