

سؤالات امتحان پایانی درس طراحی سیستم‌های دیجیتال - ترم دوم سال تحصیلی ۱۴۰۳-۱۴۰۲

نام و نام خانوادگی:

شماره دانشجویی:

زمان امتحان: ۱۳۰ دقیقه

بخش اول: از بین عبارات زیر، کدام عبارت صحیح و کدام عبارت غلط است؟ (۱۰ نمره، هر پاسخ اشتباه ۱ نمره منفی دارد)

- ۱- تکنولوژی برنامه‌ریزی Antifuse و SRAM در FPGA استفاده می‌شوند. با این تفاوت که روش SRAM قابل برنامه‌ریزی مجدد است در صورتی که Antifuse این قابلیت را ندارد. (درست)
 - ۲- Time-to-Market در ASICها کمتر از PLDها است. باین حال محاسبات قابل بازپیکربندی فقط در PLDها قابل انجام است. (غلط)
 - ۳- در صورتی که هر مقایسه یک پالس ساعت زمان نیاز داشته باشد؛ زمان اجرای برنامه یافتن بیشینه n عدد در یک پردازنده تک‌هسته‌ای با فرکانس پالس ساعت ۳ گیگاهرتز در مقایسه با ASIC با فرکانس پالس ساعت ۱۰۰ مگاهرتز برای nهای کمتر از ۲۵۶ کمتر است ولی برای nهای بزرگتر از ۲۵۶، ASIC به دلیل خاصیت همروندی در زمان کمتری نسبت به پردازنده تک هسته‌ای این کار را انجام می‌دهد. (غلط)
 - ۴- مقدار پیش‌فرض در وریلاگ برای نوع داده reg از نوع x و برای نوع داده wire از نوع z است و تأخیر دستور assign از نوع اینرسی است. (درست)
- بخش دوم:** در سؤالات زیر با ذکر علت صحت هر گزینه را بررسی و بهترین گزینه را انتخاب کنید (۲۰ نمره، پاسخ اشتباه نمره منفی ندارد).
- ۵- کدام توصیف زیر بدون خطا است؟

مورد الف: inout نمی‌تواند از نوع reg باشد.	مورد ب: بلاک always, begin و end ندارد.
مورد پ: زمان در بلاک always نمی‌تواند شامل fall-rise و turn-off باشد.	مورد ت: پاسخ درست

module a(x, y);
output reg x, y;
always @(x, y)
x <= 0;
y <= 0;
endmodule

(ب)

module a(inout reg x, y);
always
#10 y <= 0;
endmodule

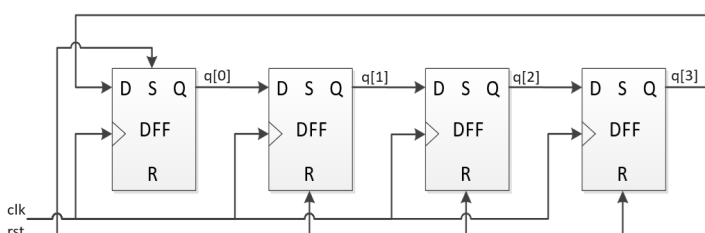
(الف)

module a;
wire #10 x;
reg y;
assign x = y;
endmodule

(ت)

module a(output reg x);
always @(x)
#(2:3:4, 3:4:5, 4:5:6) x <= 0;
endmodule

(پ)



۶- کدام توصیف وریلاگ زیر قابل سنتز و معادل مدار مقابل است؟

مورد الف: عملگر === قابل سنتز نیست.	مورد ب: عملگر === قابل سنتز نیست.
مورد پ: پاسخ درست	مورد ت: آرایه‌ها نمی‌توانند به این فرم استفاده شوند.

module counter(input clk, rst);
reg q[3:0];
always @(posedge clk, rst)
begin
if (rst == 1'b1) q = 4'b1;
else begin
q[1] = q[0]; q[2] = q[1];
q[3] = q[2]; q[0] = q[3];
end
end
endmodule

(ب)

module counter(input clk, rst);
reg [3:0] q;
always @(posedge clk, rst)
begin
if (rst == 1'b1) q = 4'b1;
else begin
q[1] <= q[0]; q[2] <= q[1];
q[3] <= q[2]; q[0] <= q[3];
end
end
endmodule

(الف)

سؤالات امتحان پایانی درس طراحی سیستم‌های دیجیتال - ترم دوم سال تحصیلی ۱۴۰۲-۱۴۰۳

نام و نام خانوادگی: شماره دانشجویی: زمان امتحان: ۱۳۰ دقیقه

```
module counter(input clk, rst);
    reg q[3:0];
    always @(posedge clk, rst)
    begin
        if (rst == 1'b1) q = 4'b1;
        else
            q <= {q[2:0], q[3]};
        end
    end
endmodule
```

(پ) module counter(input clk, rst);
reg [3:0] q;
always @(posedge clk, rst)
begin
if (rst == 1'b1) q = 4'b1;
else
q <= {q[2:0], q[3]};
end
endmodule

```
module t(input in);
    reg a, b, c;
    always @(in) begin
        a = in;
        #0 b <= a;
        c <= b;
    end
endmodule
```

۷- اگر مقدار in در ابتدا ۱ و در زمان ۱۰ مقدار آن صفر شود. مقادیر a, b و c در زمان ۱۰ کدام یک از گزینه‌های زیر است؟

الف) a=1'b0, b=1'b0; c=1'bx;

ب) a=1'b0, b=1'b1; c=1'bx;

پ) a=1'b0, b=1'b1; c=1'b1;

ت) a=1'b0, b=1'b1; c=1'bx;

مورد ب: پاسخ درست

مورد الف: چون قسمت evaluate، non-blocking assignment قبل از انتصاب #0 انجام می‌گیرد. پس مقدار c برابر x نمی‌شود.

مورد ت: علت الف و پ با هم باید نوشته شود.

مورد پ: چون دستور a=in از نوع blocking است و ابتدا اجرا می‌شود و پس از آن دستورات بعد اجرا می‌شود پس b مقدار 1 نیست.



۸- کدام یک از گزینه‌های زیر صحیح است؟

الف) تأخیری که در کدهای وریلگ قرار می‌دهیم در زمان سنتز مورد استفاده قرار می‌گیرد.

ب) خروجی مرحله سنتز (Netlist) به طور مستقیم قابل تبدیل به سخت‌افزار است.

پ) تأخیر و توان مصرفی از محدودیت‌های طراحی هستند که ابزار سنتز می‌تواند بر اساس هر کدام از این‌ها بهینه‌سازی را انجام دهد.

ت) استفاده از هر دو لبه پالس ساعت در مدارات دیجیتال پیشنهاد می‌شود.

مورد ب: خیر، باید مراحل placement و routing بر روی netlist انجام گیرد.

مورد الف: تاخیرها در وریلگ قابل سنتز نیست.

مورد ت: به دلیل clock skew پیشنهاد نمی‌گردد.

مورد پ: درست است.

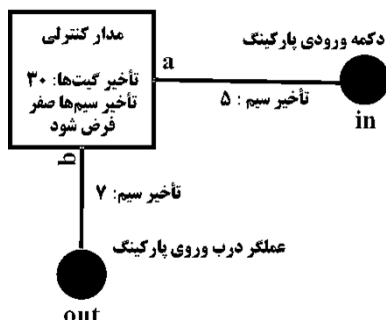
سؤالات امتحان پایانی درس طراحی سیستم‌های دیجیتال - ترم دوم سال تحصیلی ۱۴۰۳-۱۴۰۲

زمان امتحان: ۱۳۰ دقیقه

شماره دانشجویی:

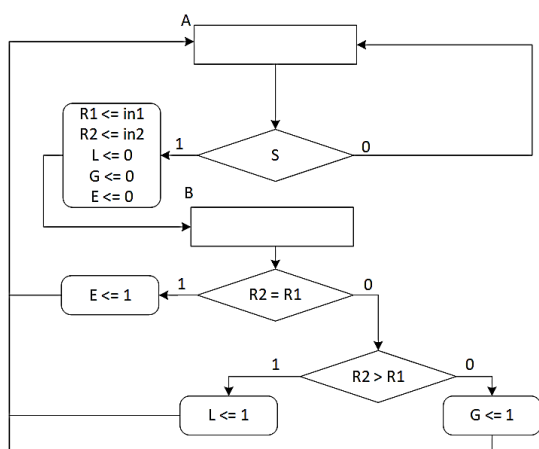
نام و نام خانوادگی:

بخش سوم: سؤالات تشریحی (۷۰ نمره)



۹- می‌خواهیم عملکرد مدار کنترل درب ورودی یک پارکینگ عمومی را از لحاظ زمانی بررسی کنیم. اگر مدار آن مشابه شکل روبه‌رو باشد و به غیر از موارد بیان شده در شکل، سایر تأخیرها صفر فرض شوند. با استفاده از زبان وریلاگ مدل‌سازی از عملکرد زمانی مدار، از زمان فشرده شدن دکمه ورودی تا باز شدن درب پارکینگ را توصیف کنید (۱۵ نمره).

۱۰- مدار طراحی شده با ASM Chart زیر را با رویکرد طراحی Data Path و Control Unit و با زبان وریلاگ توصیف کنید. در این طراحی رجیسترهای R1 و R2 دوازده بیتی هستند (۳۰ نمره).



۱۱- صف رویداد طبقه‌بندی شده در وریلاگ را ترسیم کنید و نحوه کارکرد آن، انتساب‌ها و ... را توضیح دهید (۱۵ نمره).

۱۲- می‌خواهیم یک LUT-5 (LUT با ۵ ورودی) را برای یک FPGA طراحی کنیم. اگر LUT-3 (LUT با ۳ ورودی) در دسترس باشد؛ با استفاده از آن و هر مدار دیگری که لازم است؛ یک LUT-5 طراحی کنید و شماتیک آن را ترسیم نمایید (۱۰ نمره).