

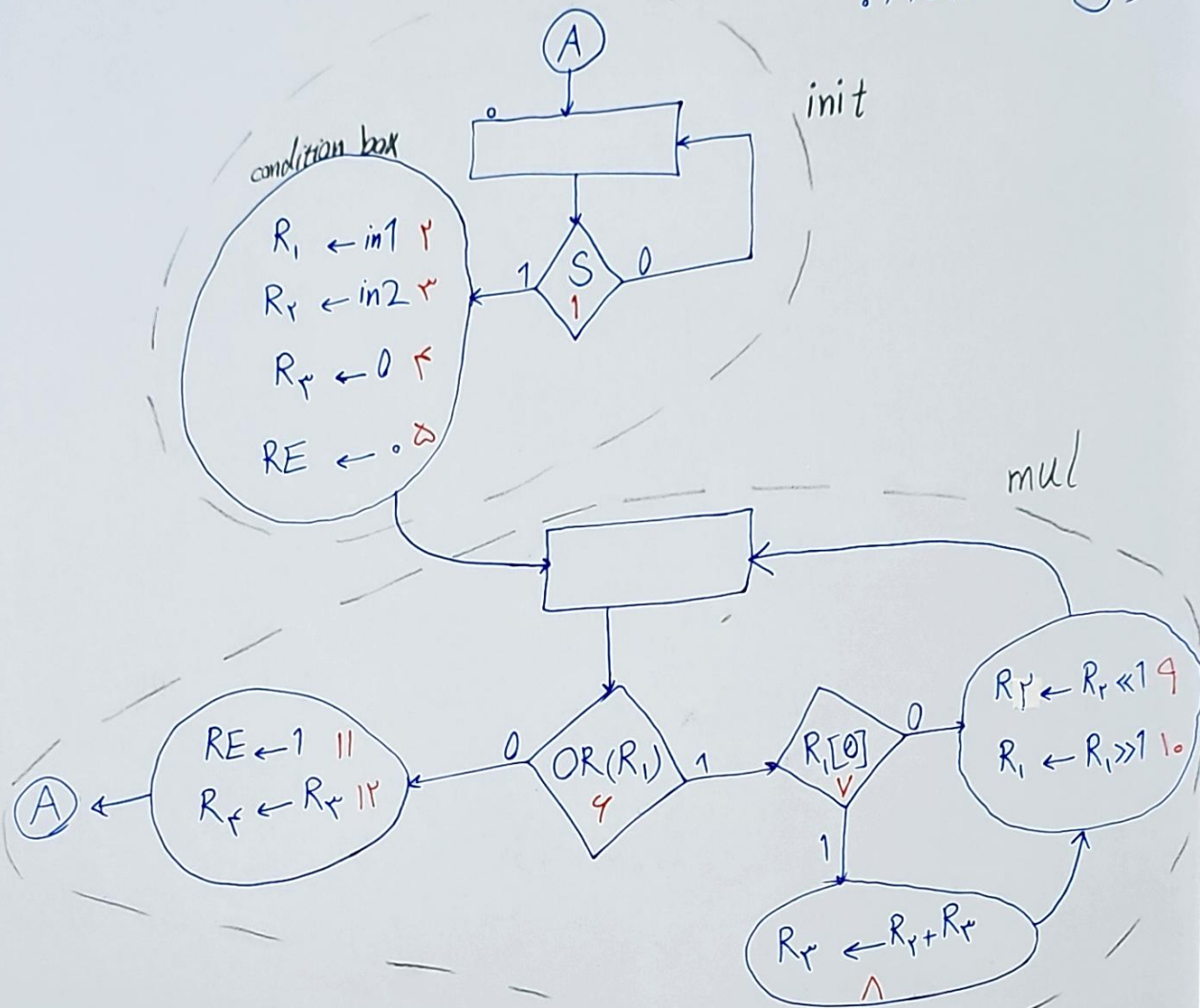
تمرین اول DSD

۴۰۲ ۱۰۵ ۷۲۷

متن باقری

فرب کننده اعداد صحیح «دوبی بدون علامت با الگوریتم shift and add

- طراحی ASM :



$in1, in2$ اعداد ورودی هستند و S در صورت آماده بودن دردی ها 1 می شود. در صورت آماده بودن خروجی RE یکی شود. اگر دردی ها n بیتی باشند، نیت های R_3 و R_4 که مقدار خروجی را دارند $2n$ بیتی اند.

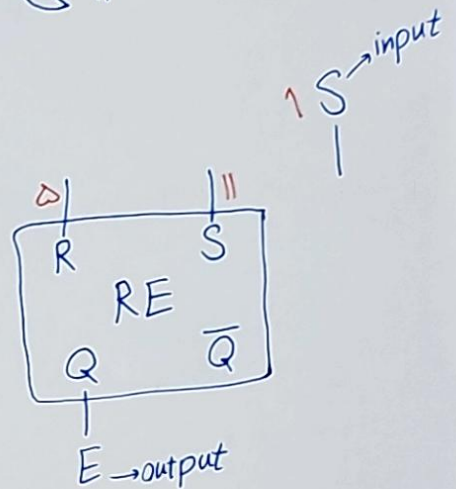
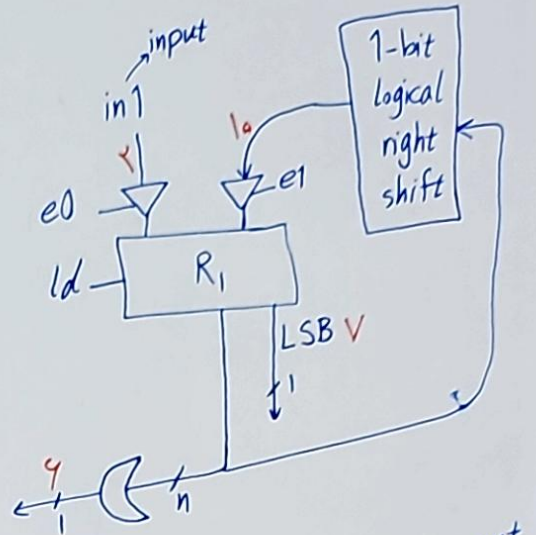
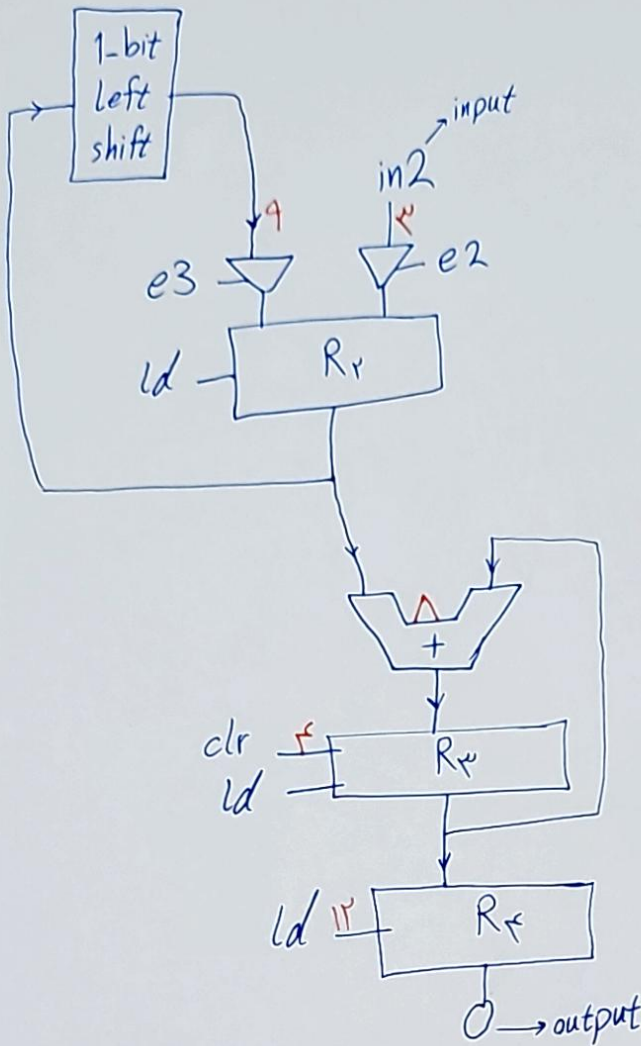
$$S=1, in1=5, in2=3$$

- جدول خروجی شبیه سازی : cycle accurate

| پالس | R_1 | R_2 | R_3 | R_4 | RE | ASM Block |
|------|-------|-------|-------|-------|------|-----------|
| 1 | 0 | — | — | — | 1 | init |
| 2 | 5 | 3 | 0 | — | 0 | mul |
| 3 | 2 | 4 | 3 | — | 0 | mul |
| 4 | 1 | 12 | 3 | — | 0 | mul |
| 5 | 0 | 24 | 15 | — | 0 | mul |
| 6 | 0 | 24 | 15 | 15 | 1 | init |

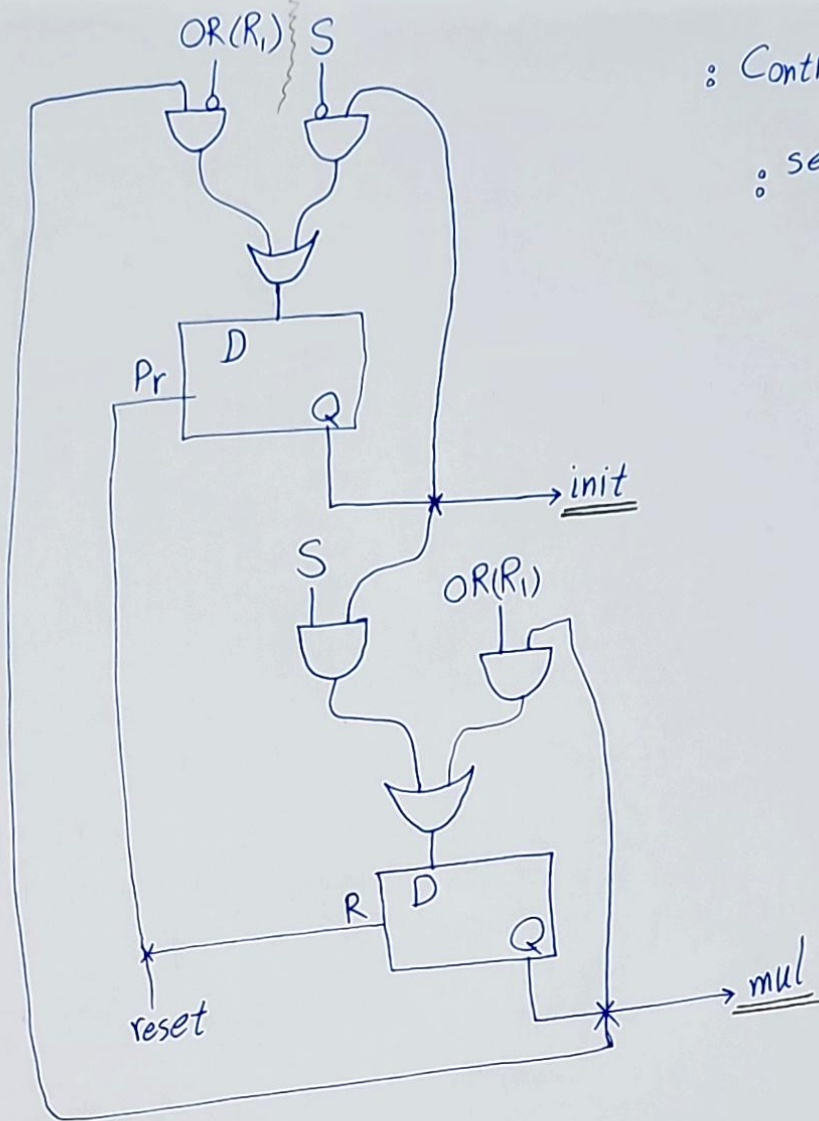
در جدول بالا همه یال ها به جز یال خروجی صفر S decision box کار در شده اند. در صورت صفر بودن S آن یال هم کار می شود و جدول آن بدی است. چون هیچ نبتی تغییر نمی کند و در همان بلاک $init$ می ماند. حق بدی که با خط تیره نشان داده شده اند $don't care$ هستند.

سنتز Data Path :



سیگنال های کنترلی در بخش CV تعیین خواهند شد. اعداد نوشته شده بزرگ قرمز در DP, ASM آنها را بهم مرتبطی کند.

سیاری از سیگنال های کنترلی که در بخش CV: command signals نوشته شده اند، با هم اشتراک دارند و یا برابر اند. همچنین از گیت های ساده مانند AND, OR ساخته شده اند. به همین علت به جای رسم گیت ها معادله منطقی آنها را نوشتیم.



: Control Unit - سنتر
: sequencer -

: command signals -

$$e0 = \text{init} \cdot S, \quad e1 = \overline{e0}, \quad \text{ld}_{R_1} = \text{init} \cdot S + \text{mul} \cdot \text{OR}(R1)$$

$$R_{RE} = e0, \quad S_{RE} = \text{mul} \cdot \overline{\text{OR}(R1)}, \quad e2 = e0, \quad e3 = e1, \quad \text{ld}_{R_1} = \text{ld}_{R_1}$$

$$\text{clr}_{R_1} = e0, \quad \text{ld}_{R_1} = e0 + \text{ld}_{R_1} \cdot R_1[0], \quad \text{ld}_{R_f} = S_{RE}$$