

سؤالات امتحان میان ترم درس طراحی سیستم‌های دیجیتال - ترم دوم سال تحصیلی ۱۴۰۱-۱۴۰۲

زمان امتحان: ۵۰ دقیقه

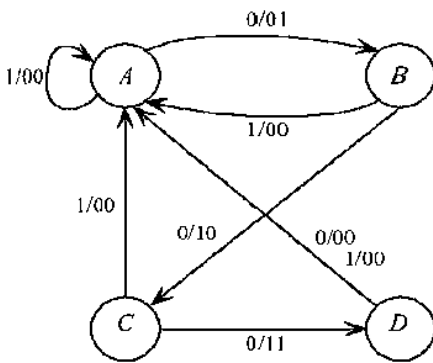
شماره دانشجویی:

نام و نام خانوادگی:

۱- از بین عبارات زیر عبارت صحیح و غلط را مشخص کنید؟

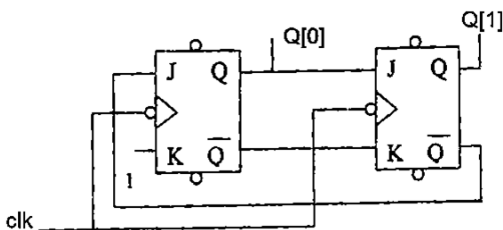
- الف - در وریلاگ سطح تجرید طراحی با تعیین مدل توصیف مدار (ساختاری، رفتاری، جریان داده) به طور دقیق مشخص می شود. غلط
- ب- یکی از اهداف شبیه‌سازی پسا سنتز تحلیل دقیق تأخیرهای مدار سنتز شده است و شبیه‌سازی قبل از سنتز را شبیه‌سازی رفتاری گویند. صحیح
- پ- هم روندی، طراحی سلسله مراتبی، Pragmatics، زمانبندی و توصیف رفتاری از نیازمندی‌های زبان های HDL هستند که در زبان سی موجود نیست. غلط

۲- کدام توصیف وریلاگ زیر معادل ماشین حالت متناهی مقابل است؟ (i ورودی و o خروجی است)



- الف) `reg i; reg [1:0] o;`
`always @(posedge clock) begin`
`if (i == 1'b1)`
`o = 2'b00;`
`else`
`o = o + 1'b1;`
`end`
- ب) `reg i; reg [2:0] o;`
`always @(posedge clock, i) begin`
`if (i == 1'b1)`
`o = 2'b00;`
`else`
`o = o + 1'b1;`
`end`
- ت) `reg i; reg [2:0] o;`
`always @(posedge clock, i) begin`
`if (i == 1'b1)`
`o = 2'b00;`
`else`
`o = o + 1'b1;`
`end`
- پ) `reg i; reg [1:0] o;`
`always @(posedge clock) begin`
`case (o)`
`2'b00 : o = 2'b01;`
`2'b01 : o = i ? 2'b00 : 2'b10;`
`2'b10 : o = i ? 2'b00 : 2'b11;`
`2'b11 : o = 2'b00;`
`endcase`
`end`

۳- کدام توصیف وریلاگ زیر معادل مدار مقابل است؟ (مقدار ابتدایی فلیپ فلاپ‌ها صفر است)



- الف) `reg [1:0] q = 2'b00;`
`always @(negedge clk) begin`
`q[0] <= ~q[1];`
`q[1] <= ~q[0];`
`end`
- ب) `reg [1:0] q = 2'b00;`
`always @(negedge clk) begin`
`q[0] <= ~q[1];`
`q[1] <= q[0];`
`end`
- ت) `reg [1:0] q = 2'b00;`
`always @(negedge clk) begin`
`q[0] <= ~q[1];`
`@(negedge clk) q[0] <= q[1];`
`q[1] <= q[0];`
`@(negedge clk) q[1] <= q[0];`
`end`
- پ) `reg [1:0] q = 2'b00;`
`always @(negedge clk) begin`
`q[0] <= ~q[1];`
`@(negedge clk) q[0] <= q[1];`
`q[1] <= q[0];`
`@(negedge clk) q[1] <= q[0];`
`end`

۴- کدام گزینه زیر در مورد تأخیرها در وریلاگ صحیح است؟

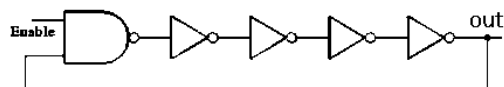
- الف) ابزار سنتز از تأخیرهای طراحی وریلاگ شما جهت بهینه‌سازی طراحی استفاده می‌کند.
- ب) تأخیر اینرسی را می‌توان با استفاده افزودن تأخیر به دستور assign شبیه‌سازی کرد. پاسخ
- پ) تأخیر انتقال را می‌توان با استفاده از تخصیص blocking به همراه تأخیر intra-assignment شبیه‌سازی کرد.
- ت) مورد الف و پ صحیح است.

زمان امتحان: ۵۰ دقیقه

شماره دانشجویی:

نام و نام خانوادگی:

۵- اگر هر گیت تأخیری برابر با ۲ داشته باشد؛ کدام توصیف وریلاگ زیر، معادل مدار مقابل است؟



(ب)
 reg out = 1'b0;
 always @(enable, out) begin
 out <= #2 (enable ? ~out : 1'b0);
 end

(الف)
 reg out = 1'b0;
 always @(enable, out) begin
 out = #10 (enable ? ~out : 1'b0);
 end

(پاسخ ت)
 reg out = 1'b0;
 always @(enable, out) begin
 out <= #10 (enable ? ~out : 1'b1);
 end

(پ)
 reg out = 1'b0;
 always @(enable, out) begin
 out = #2 (enable ? ~out : 1'b1);
 end

۶- کدام توصیف زیر بدون خطا است؟

(ب)
 module a(x, y);
 input x, y;
 always @(x, y)
 x <= 0;
 endmodule

(الف)
 module a(output reg x, y);
 always
 y <= 0;
 endmodule

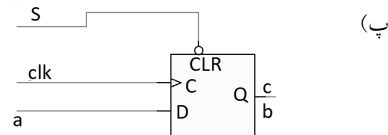
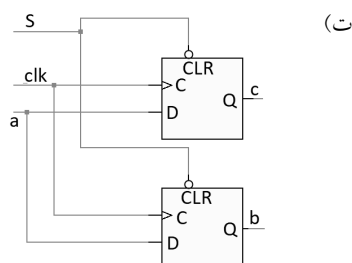
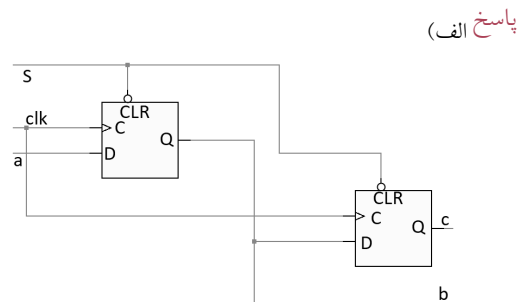
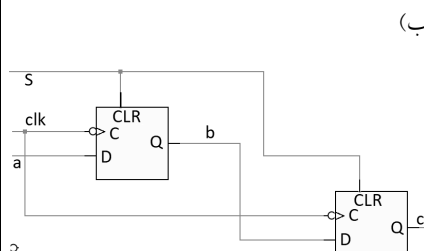
(پاسخ ت)
 module a(x, y);
 output x, y;
 assign x = y;
 endmodule

(پ)
 module a(input reg x, y);
 always @(x, y)
 #10 y <= 0;
 endmodule

۷- کدام شماتیک مداری زیر، معادل توصیف وریلاگ مقابل است؟

```

module Q(input a, clk, s, output reg b, c);
always @(posedge clk, negedge s) begin
    if (!s) begin
        b <= 0;
        c <= 0;
    end else begin
        b <= a;
        c <= b;
    end
end
endmodule
    
```



موفق باشید

فصحتی