

МИНОБРНАУКИ РОССИИ  
САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ  
ЭЛЕКТРОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ  
«ЛЭТИ» ИМ. В.И. УЛЬЯНОВА (ЛЕНИНА)  
Кафедра Вычислительной техники

ОТЧЁТ  
по лабораторной работе №5  
по дисциплине «Элементная база цифровых систем»  
Тема: ИССЛЕДОВАНИЕ РЕГИСТРОВ  
Вариант 5

Студенты гр. 9308

\_\_\_\_\_

\_\_\_\_\_

\_\_\_\_\_

Преподаватель

\_\_\_\_\_

Соболев М.С.

Степовик В.С.

Дубенков С.А.

Ельчанинов М.Н.

Санкт-Петербург,

2022

## Оглавление

1. Введение.....	3
1.1. Введение.....	3
1.2. Краткие теоретические сведения.....	3
1.3. Задание на лабораторную работу.....	5
1.4. Последовательность выполнения работы.....	7
2. Ход работы.....	9
2.1. Разработка 4-разрядного параллельного регистра с использованием триггеров заданного типа.....	9
2.1.1. Вариант задания.....	9
2.1.2. Функциональная схема.....	10
2.1.3. Функциональное и временное моделирование.....	11
2.1.4. Макетное моделирование.....	14
2.1.5. Оценка максимальной частоты работы регистра.....	15
2.2. Разработка многофункционального регистра на базе D-триггеров.....	16
2.2.1. Вариант задания.....	16
2.2.2. Функциональная схема.....	17
2.2.3. Функциональное и временное моделирование.....	18
2.2.4. Макетное моделирование.....	24
3. Вывод.....	26
4. Список использованных источников.....	27

# 1. Введение

## 1.1. Введение

Тема работы: Исследование регистров.

Цель работы: исследовать особенности проектирования регистров различного типа, закрепить навыки синтеза и экспериментального исследования узлов в среде Quartus II.

Вариант: 5.

## 1.2. Краткие теоретические сведения

Регистры – это узлы последовательностного типа, выполняющие операции приёма, выдачи, хранения, сдвига, поразрядные логические операции. Регистры строятся на базе триггеров и логических элементов.

Главным классификационным признаком является способ приёма и выдачи данных. По этому признаку различают:

- параллельные (статические): приём и выдача слов производятся по всем разрядам одновременно);
- последовательные (сдвигающие): слова принимаются и выдаются разряд за разрядом, перемещение слов по разрядной сетке выполняется по тактовому сигналу;
- параллельно-последовательные: имеют входы-выходы последовательного и параллельного типа. Имеются варианты с последовательным входом и параллельным выходом (SIPO, Serial Input – Parallel Output), параллельным входом и последовательным выходом (PISO, Parallel Input – Serial Output), а также варианты с возможностью любого сочетания способов приёма и выдачи слов.

Общими для разрядов регистров обычно являются цепи тактирования, сброса/установки, разрешения выхода или приема, т. е. цепи управления.

Регистр, реализующий функцию сдвига, может быть нереверсивным (с однонаправленным сдвигом) или реверсивным (с возможностью сдвига в обоих направлениях). Направление сдвига в регистре – не геометрическое понятие и определяется сдвигом в сторону старших или младших разрядов. Варианты реализации функции сдвига приведены на рисунке.

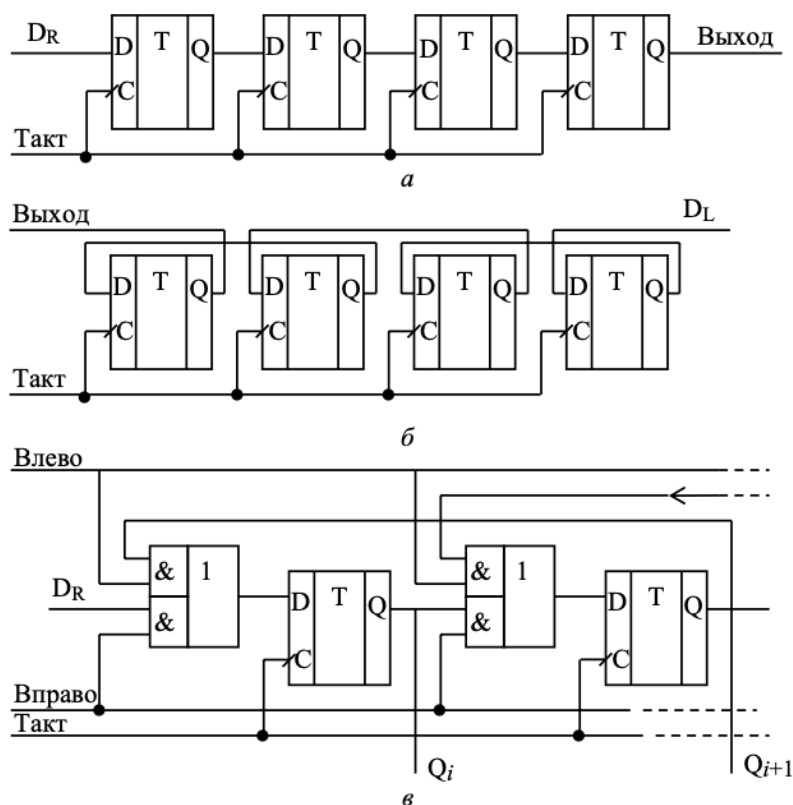


Рисунок 1. Варианты реализации функции сдвига: а – вправо, б – влево, в – реверсивный

В сдвигающих регистрах, не имеющих логических элементов в междурядных связях, нельзя применять одноступенчатые триггеры, управляемые уровнем, поскольку некоторые триггеры могут за время действия разрешающего уровня синхросигнала переключиться неоднократно, что недопустимо для последовательного соединения: слово или его часть могут

сместиться по разрядной сетке не на один разряд, как это требуется, а на большее неконтролируемое число разрядов.

Появление в междуразрядных связях логических элементов упрощает выполнение условий работоспособности регистров, при этом иногда становится возможным и применение простейших триггеров. Триггеры с динамическим управлением или двухступенчатые обеспечивают работоспособность регистра.

### 1.3. Задание на лабораторную работу

Лабораторная работа состоит из двух частей.

Часть 1. Предполагает разработку 4-разрядного параллельного регистра с использованием триггеров заданного типа. Дополнительно указывается фронт тактового сигнала, по которому происходит срабатывание ( $\uparrow$  – подъём тактового сигнала,  $\downarrow$  – спад тактового сигнала).

Варианты заданий приведены в таблице.

Номер задания	Тип триггера	Такт	Асинхронный сброс/установка	Разрешение выдачи	Номер задания	Тип триггера	Такт	Асинхронный сброс/установка	Разрешение выдачи
1	D	$\uparrow$	Сброс	L	7	D	$\uparrow$	Установка	H
2	RS	$\downarrow$	Сброс	L	8	RS	$\downarrow$	Установка	H
3	JK	$\uparrow$	Установка	L	9	JK	$\uparrow$	Сброс	H
4	D	$\downarrow$	Установка	L	10	D	$\downarrow$	Сброс	H
5	RS	$\uparrow$	Сброс	L	11	RS	$\uparrow$	Установка	H
6	JK	$\downarrow$	Сброс	L	12	JK	$\downarrow$	Установка	H

Рисунок 2. Варианты заданий для части 1

В качестве базовых элементов использовать соответствующие примитивы библиотеки САПР Quartus II.

Часть 2. Предлагается разработать многофункциональный регистр на базе D-триггеров. Условное графическое обозначение (УГО) многофункционального регистра приведено на рисунке.

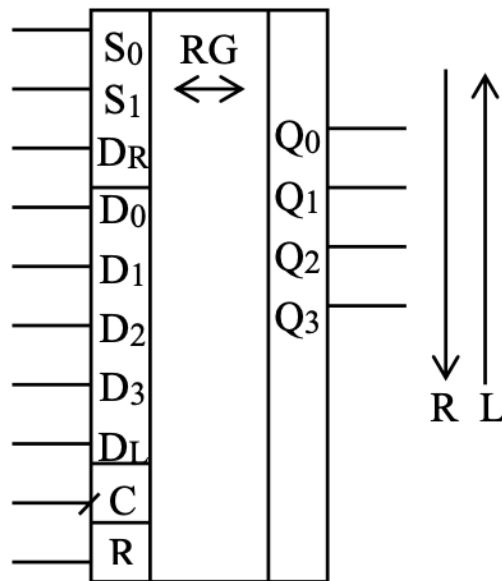


Рисунок 3. УГО многофункционального регистра

В зависимости от реализуемых операций в регистре должны быть предусмотрены следующие входы:

D0 – D3 – разряды входного параллельного кода;

Q0 – Q3 – разряды выходного параллельного кода;

C – синхросигнал приёма параллельного кода, обеспечивающий срабатывание по переднему фронту;

R – асинхронный вход сброса регистра;

S0, S1 – входы задания микроопераций;

DR, DL – последовательные входы при сдвиге вправо и влево соответственно.

Для реализации асинхронного сброса триггера – сброса, не связанного с тактовым сигналом, следует использовать соответствующие входы CLR<sub>N</sub>

примитива D-триггера DFF. Синхронный сброс, который переводит триггер в состояние «сброс» только на активном фронте тактового сигнала, может быть реализован как часть комбинационной логики, генерирующей входные данные на входе D-триггера.

Варианты заданий и выполняемые микрооперации приведены в таблице.

Номер задания	Выполняемые микрооперации	Номер МО	Описание микрооперации
1	1, 2, 5, 7	1	Параллельная загрузка
2	1, 3, 6, 8	2	Синхронный сброс
3	1, 4, 5, 9	3	Инвертирование кода
4	1, 2, 6, 10	4	Установка в 1 всех разрядов
5	1, 3, 5, 11	5	Сдвиг вправо циклический
6	1, 4, 6, 12	6	Сдвиг влево циклический
7	1, 2, 5, 11	7	Сдвиг влево, заполнение – $D_L$
8	1, 3, 6, 10	8	Сдвиг вправо, заполнение – $D_R$
9	1, 4, 5, 9	9	Сдвиг влево, заполнение – 1
10	1, 2, 6, 8	10	Сдвиг вправо, заполнение – 0
11	1, 3, 5, 7	11	Сдвиг влево, заполнение – 0
12	1, 4, 6, 9	12	Сдвиг вправо, заполнение – 1

Рисунок 4. Варианты заданий для части 2

В каждом варианте предполагается реализация четырёх микроопераций. Кодирование выполняется самостоятельно, код формируется на входах S0, S1 многофункционального регистра.

## 1.4. Последовательность выполнения работы

Часть 1:

1. Создать проект, с использованием средств графического редактора подготовить схему регистра в соответствии с заданием.

2. Компилировать проект, исправить ошибки, если они есть.

3. Выполнить функциональное моделирование проекта, обеспечив полный перебор возможных значений входных сигналов, убедиться в правильности работы схемы.

4. Выполнить временное моделирование, проанализировать полученную временную диаграмму, оценить максимальную частоту работы регистра на основании временных параметров комбинационной логики.

Часть 2:

1. Разработать схему многофункционального регистра в соответствии с заданием.

2. Создать проект с использованием средств графического редактора, ввести в него подготовленную схему многофункционального регистра. Компилировать проект, исправить ошибки, если они есть.

3. Выполнить функциональное моделирование проекта, обеспечив полный перебор возможных значений входных управляющих сигналов, убедиться в правильности работы схемы.

4. Скорректировать схему проекта, обеспечив понижение частоты входного тактового сигнала с помощью специально добавленного счетчика таким образом, чтобы можно было комфортно наблюдать работу регистра при выполнении сдвигов. Проверить работу схемы на макетной плате. Данные, загружаемые в регистр, и код микрооперации формировать на движковых переключателях. Результаты работы проекта наблюдать на светодиодной линейке.



## 2. Ход работы

### 2.1. Разработка 4-разрядного параллельного регистра с использованием триггеров заданного типа

#### 2.1.1. Вариант задания

Вариант задания приведён в таблице.

Таблица 1. Таблица с заданием на разработку 4-разрядного параллельного регистра с использованием триггеров заданного типа

Вариант	Тип триггера	Такт	Асинхронный сброс/установка	Разрешение выдачи
5	RS	↑	Сброс	L

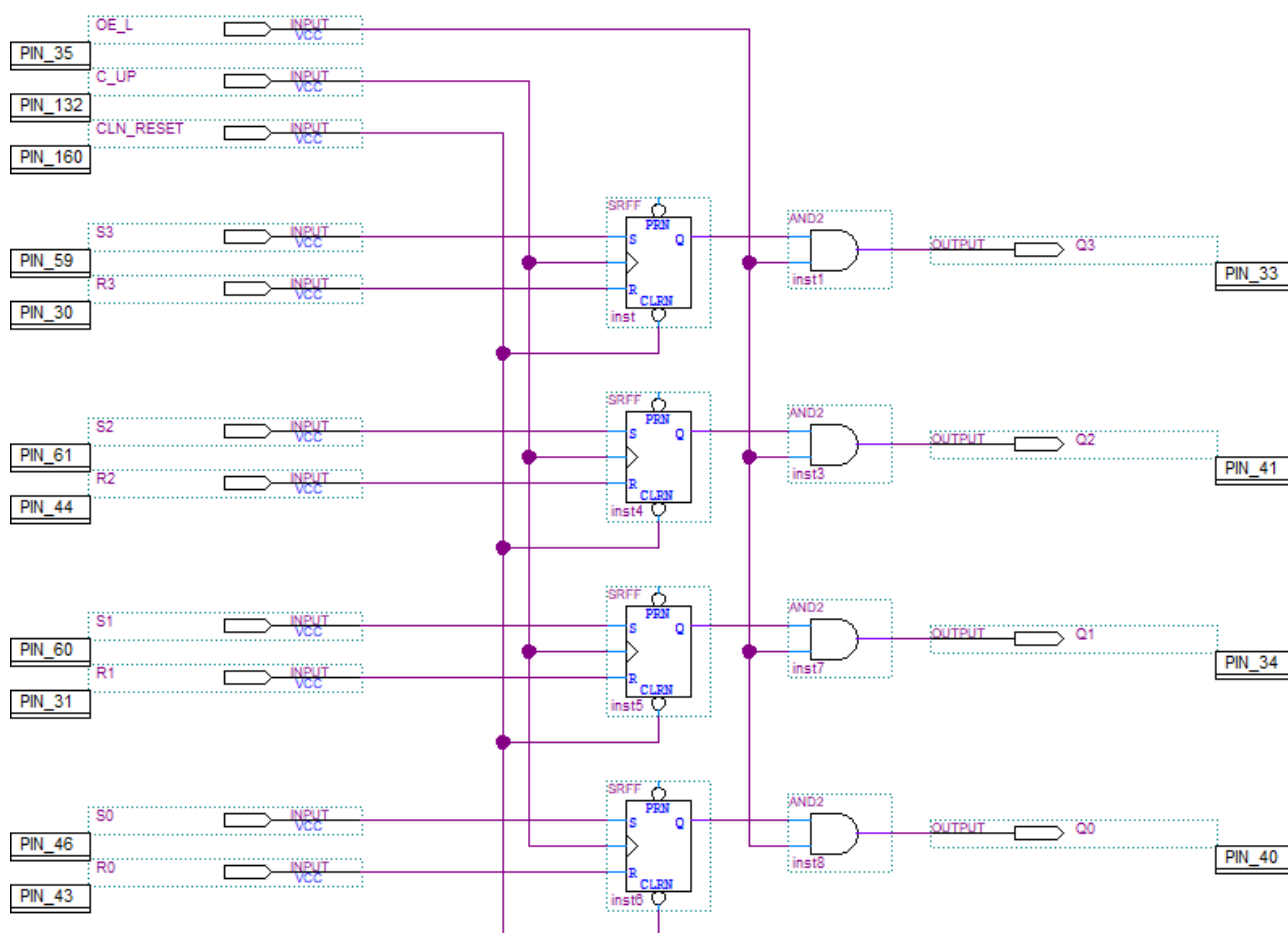
Таблица 2. Таблица истинности для разработки 4-разрядного параллельного регистра с использованием триггеров заданного типа

C	S	R	Q <sub>n</sub>	Q <sub>{n+1}</sub>	Состояние
↑	0	0	0	0	Хранение
↓	0	0	0	0	Хранение
↑	0	0	1	1	Хранение
↓	0	0	1	1	Хранение
↑	0	1	0	0	Установка 0
↓	0	1	0	0	Хранение
↑	0	1	1	0	Установка 0
↓	0	1	1	1	Хранение
↑	1	0	0	1	Установка 1
↓	1	0	0	0	Хранение
↑	1	0	1	1	Установка 1
↓	1	0	1	1	Хранение
↑	1	1	0	--	Запрещённая

					я комбинация
↓	1	1	0	--	Запрещённая комбинация
↑	1	1	1	--	Запрещённая комбинация
↓	1	1	1	--	Запрещённая комбинация

### 2.1.2. Функциональная схема

Функциональная схема для 4-разрядного параллельного регистра с использованием триггеров заданного типа.



## Рисунок 5. Функциональная схема

### 2.1.3. Функциональное и временное моделирование

Функциональные и временные диаграммы для 4-разрядного параллельного регистра с использованием триггеров заданного типа. При составлении диаграмм учтён полный перебор всех возможных комбинаций. При  $C = 1$ ,  $C = 0$ ,  $OE = 0$  и  $CLN\_RESET = 0$  запись в триггеры производится не будет, что и отражено на функциональных и временных диаграммах.

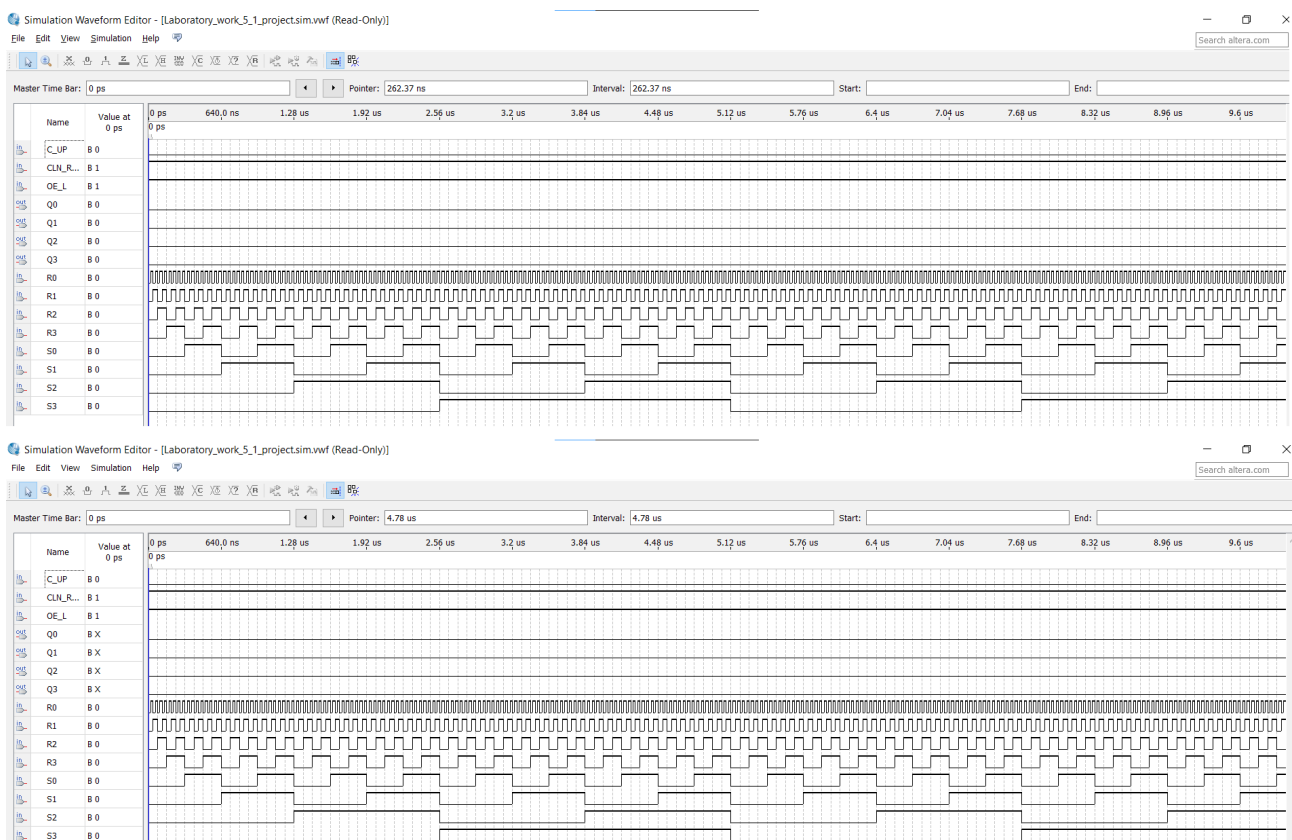


Рисунок 6. Функциональная (сверху) и временная (снизу) диаграмма для  $C = 0$ ,  $CLN = 1$ ,  $OE = 1$

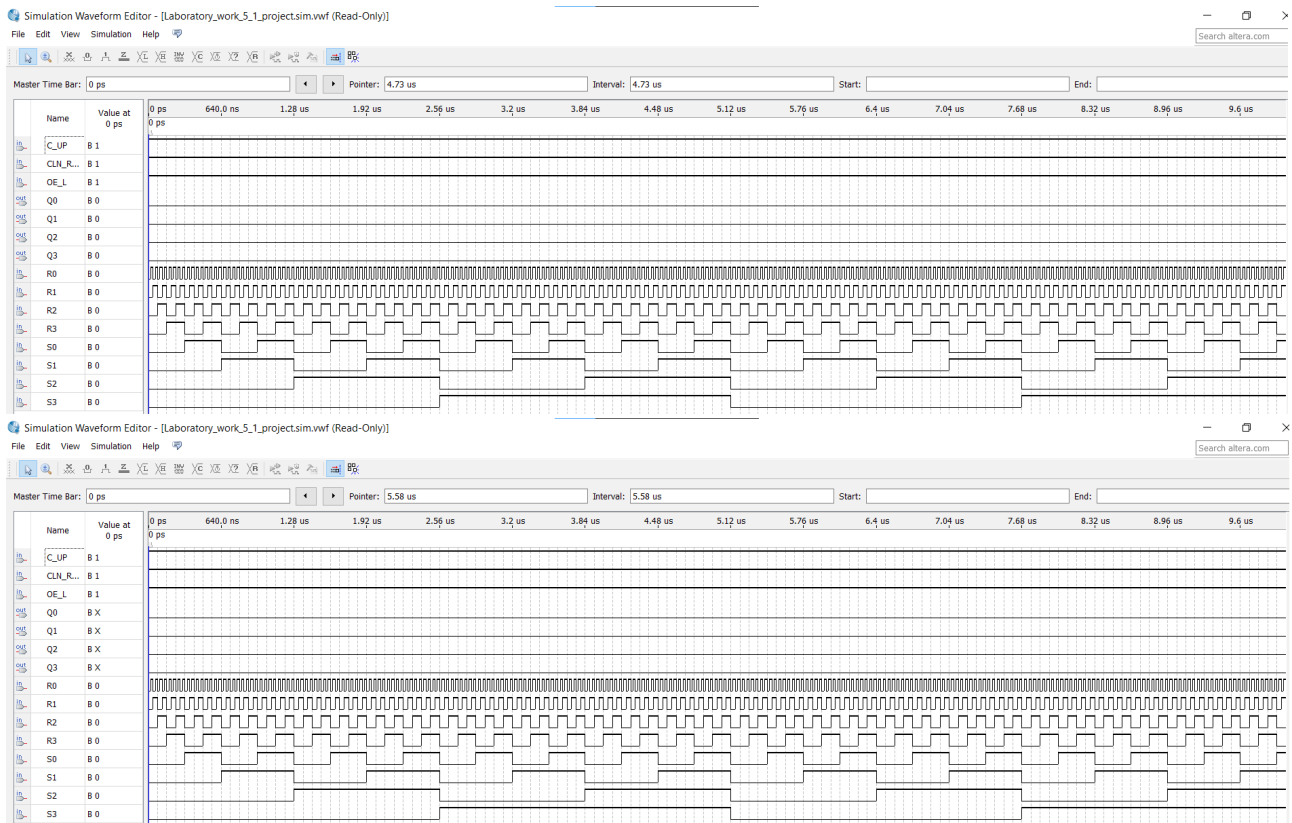


Рисунок 7. Функциональная (сверху) и временная (снизу) диаграмма для  $C = 1$ ,  $CLN = 1$ ,  $OE = 1$

Запись в триггеры производится только при  $CLN = 1$ ,  $OE = 1$  и при переднем фронте сигнала  $C$ .

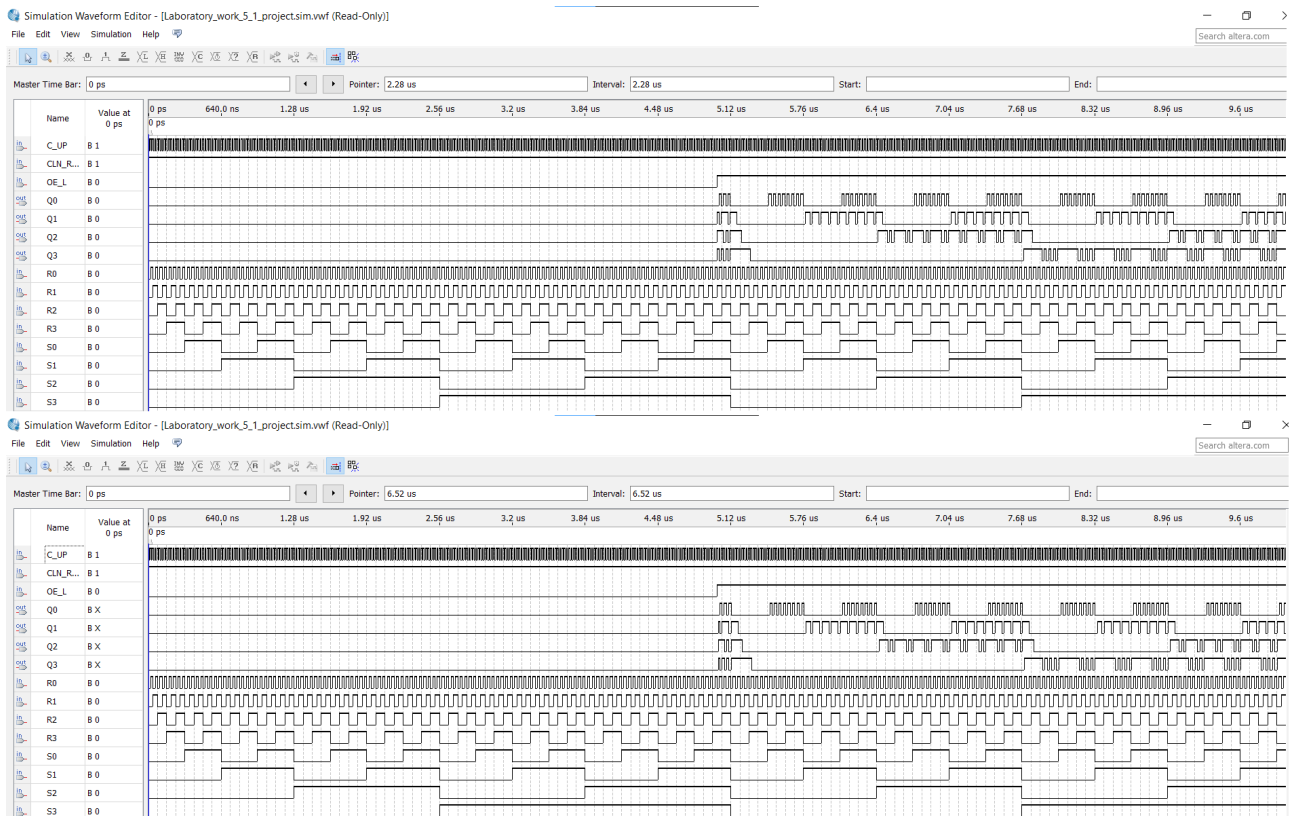


Рисунок 8. Функциональная (сверху) и временная (снизу) диаграмма для  $C = T$ ,  $CLN = 1$ ,  $OE = T$

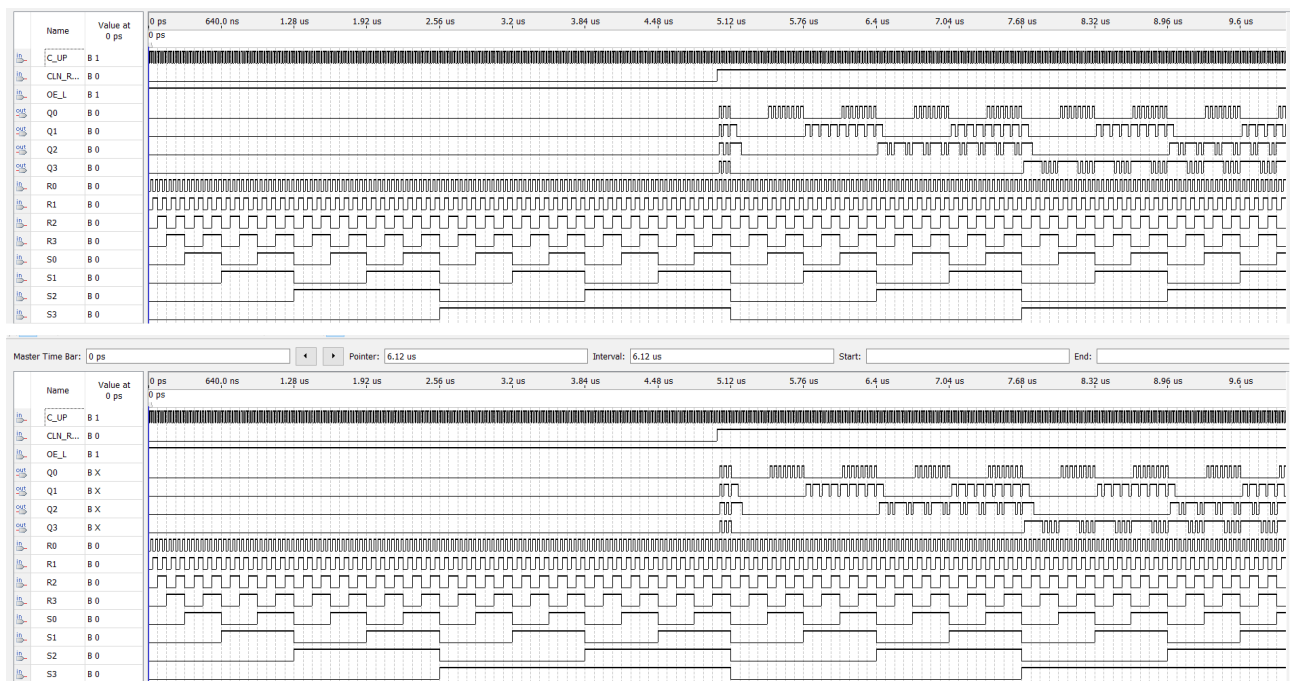


Рисунок 9. Функциональная (сверху) и временная (снизу) диаграмма для  $C = T$ ,  
 $CLN = T$ ,  $OE = 1$

## 2.1.4. Макетное моделирование

Макетное моделирование для 4-разрядного параллельного регистра с использованием триггеров заданного типа.

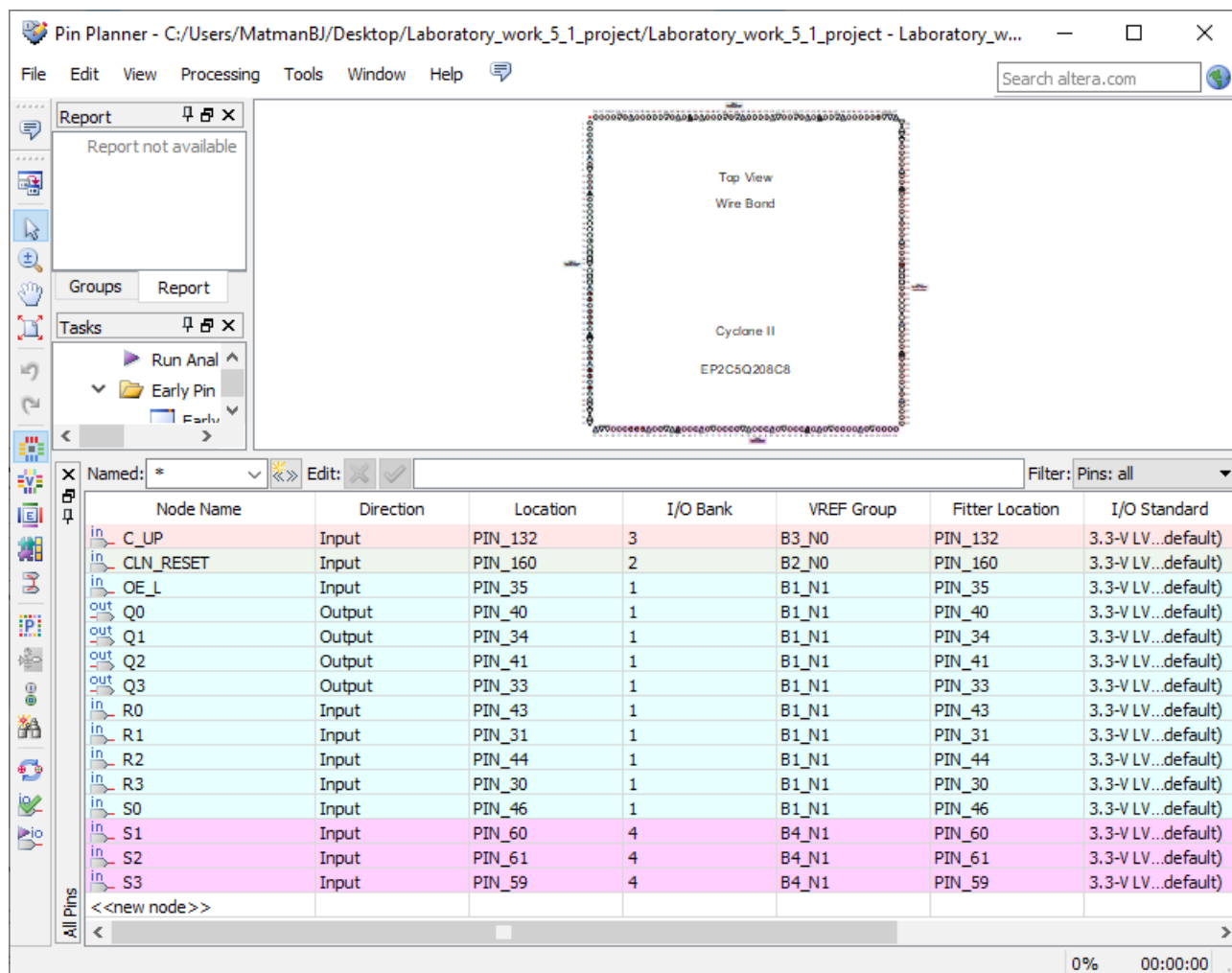


Рисунок 10. «Распиновка» для макетного моделирования

## 2.1.5. Оценка максимальной частоты работы регистра

Оценка максимальной частоты работы 4-разрядного параллельного регистра с использованием триггеров заданного типа. Она производилась с

помощью сравнения временного моделирования для различной частоты входного синхросигнала. Максимальная частота работы регистра – 1 наносекунда.

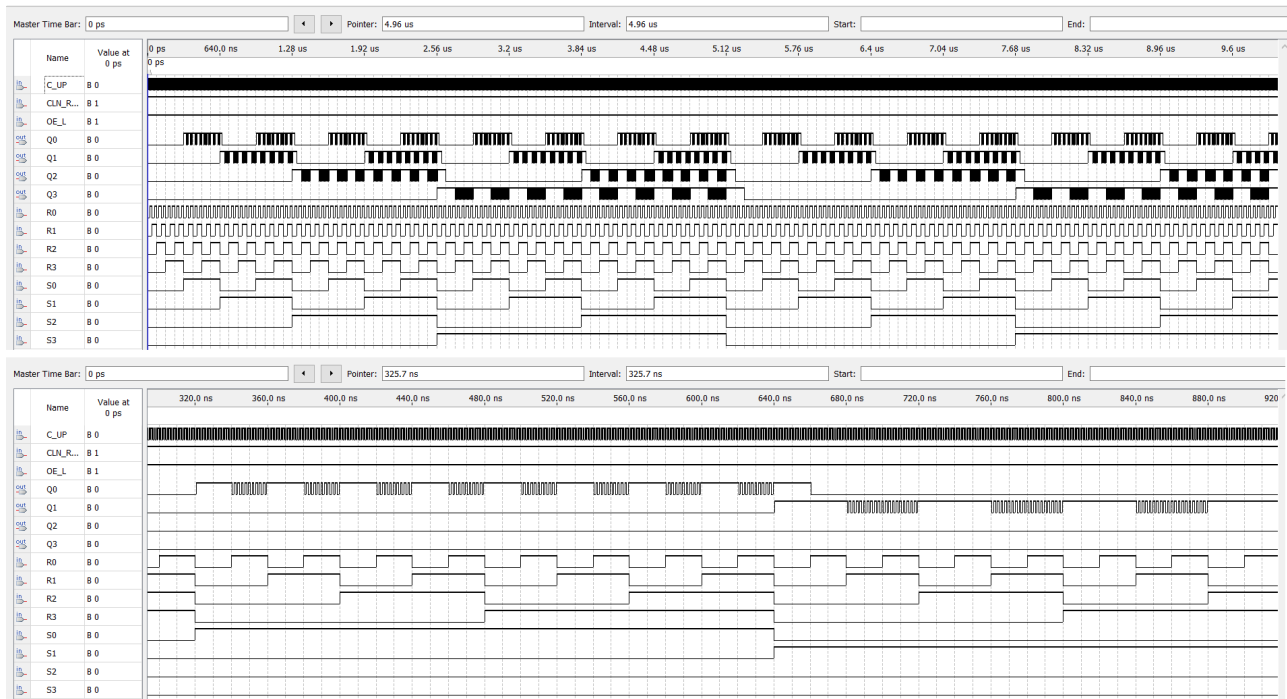


Рисунок 11. Функциональная диаграмма для  $C = T$  (1 ns),  $CLN = 1$ ,  $OE = 1$

## 2.2. Разработка многофункционального регистра на базе D-триггеров

### 2.2.1. Вариант задания

Вариант задания приведён в таблицах.

Таблица 3. Таблица с заданием на разработку многофункционального регистра на базе D-триггеров 1

Вариант	Выполняемые микрооперации
5	1, 3, 5, 11

Таблица 4. Таблица с заданием на разработку многофункционального регистра на базе D-триггеров 2

Номер МО	Описание микрооперации
1	Параллельная загрузка
3	Инвертирование кода
5	Сдвиг вправо циклический
11	Сдвиг влево, заполнение – 0

Таблица 5. Таблица истинности для разработки многофункционального регистра на базе D-триггеров

S <sub>0</sub>	S <sub>1</sub>	R	C	Q <sub>n</sub>	Q <sub>{n+1}</sub>	Состояние
S <sub>0</sub>	S <sub>1</sub>	0	C	d <sub>0</sub> d <sub>1</sub> d <sub>2</sub> d <sub>3</sub>	0 0 0 0	Асинхронная установка в 0
0	0	1	↑	d <sub>0</sub> d <sub>1</sub> d <sub>2</sub> d <sub>3</sub>	d <sub>0</sub> 'd <sub>1</sub> 'd <sub>2</sub> 'd <sub>3</sub> '	Параллельная загрузка
0	1	1	↑	d <sub>0</sub> d <sub>1</sub> d <sub>2</sub> d <sub>3</sub>	~d <sub>0</sub> ~d <sub>1</sub> ~d <sub>2</sub> ~d <sub>3</sub>	Инвертирование



						кода
1	0	1	↑	d0d1d2d3	d3d0d1d2	Сдвиг вправо циклическ ий
1	1	1	↑	d0d1d2d3	d1d2d3 0	Сдвиг влево, заполнени е – 0

### 2.2.2. Функциональная схема

Функциональная схема для многофункционального регистра на базе D-триггеров.

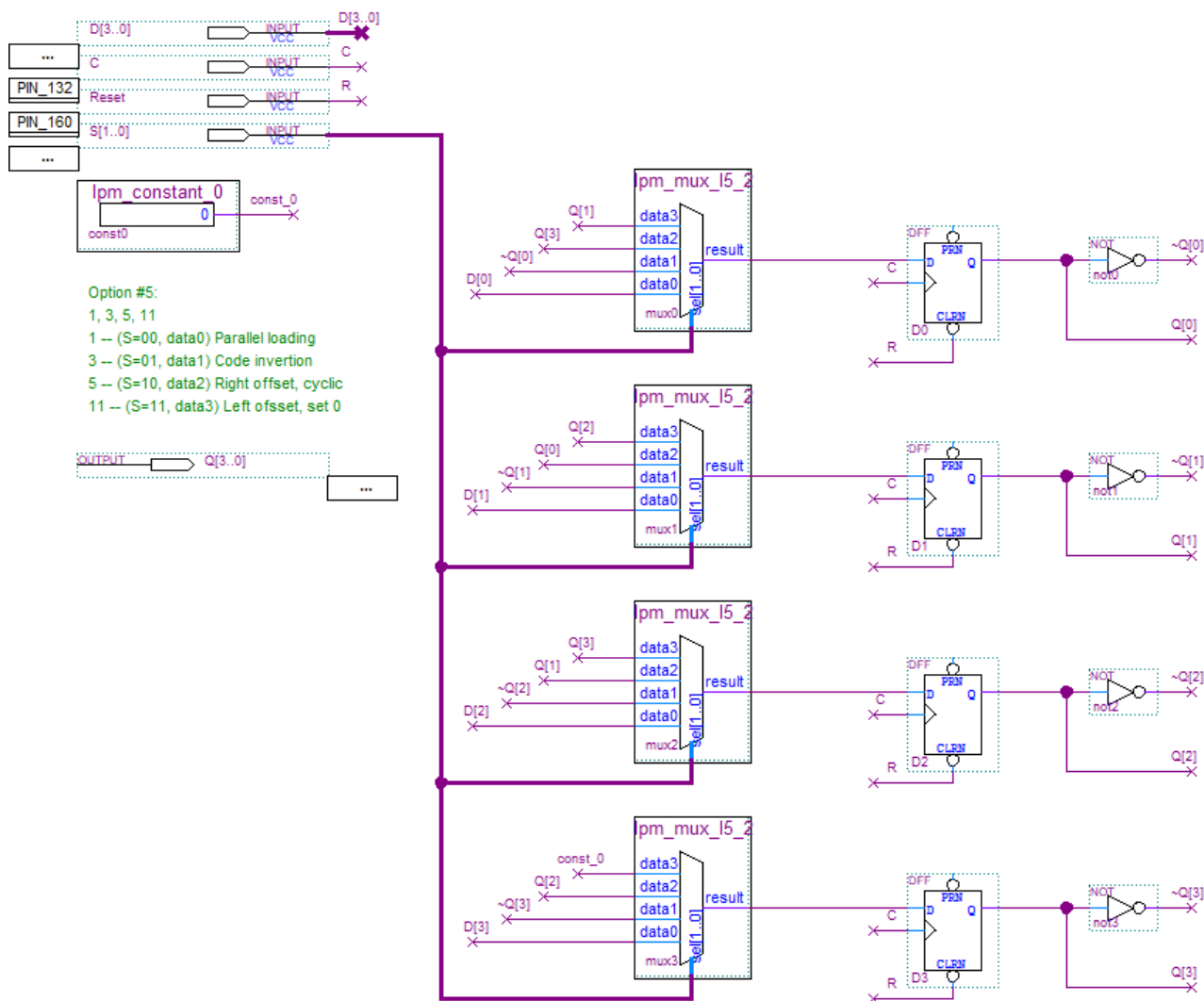


Рисунок 12. Функциональная схема

### 2.2.3. Функциональное и временное моделирование

Функциональные и временные диаграммы для многофункционального регистра на базе D-триггеров. При составлении диаграмм учтён полный перебор всех возможных комбинаций. При  $C = 1$ ,  $C = 0$  и  $R = 0$  запись в триггеры производиться не будет, что и отражено на функциональных и временных диаграммах.

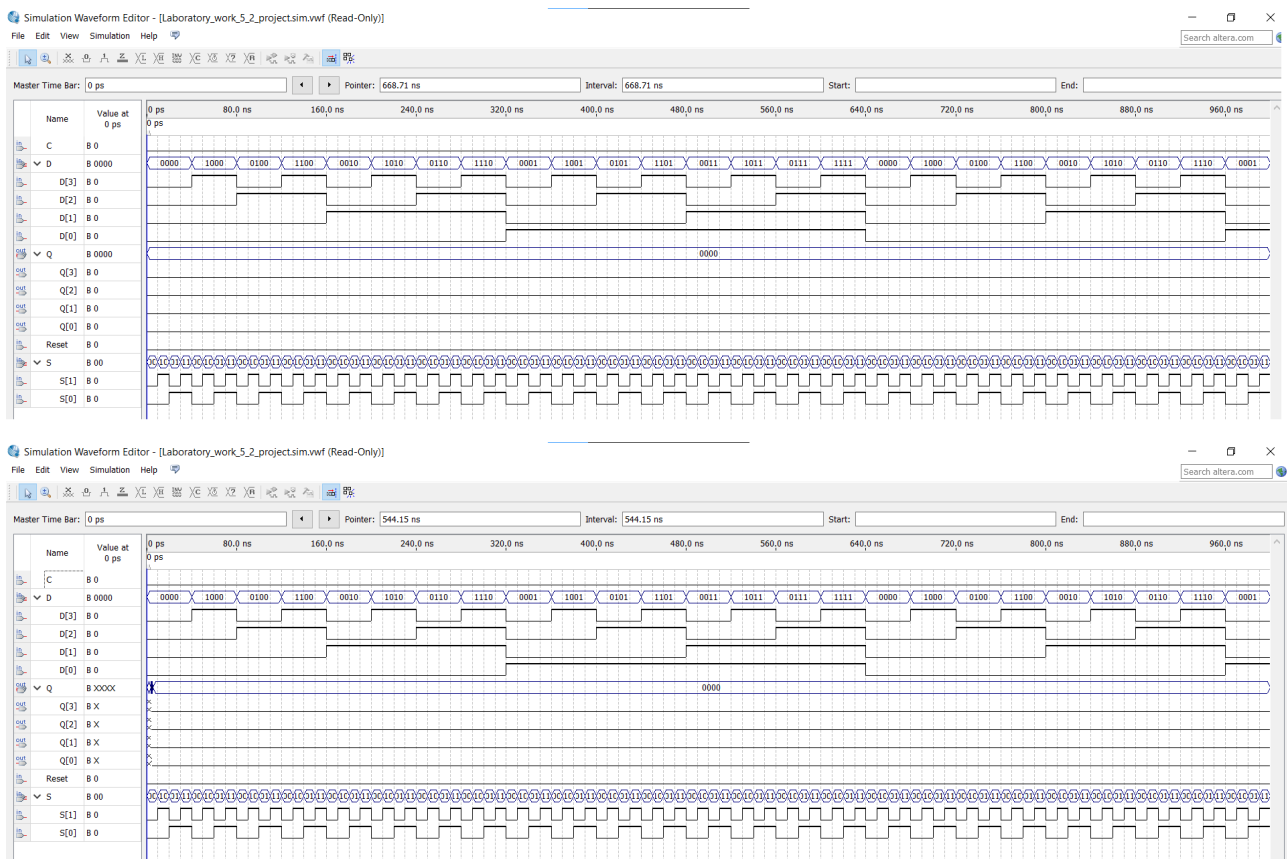


Рисунок 13. Функциональная (сверху) и временная (снизу) диаграмма для  $C = 0$ ,  $R = 0$

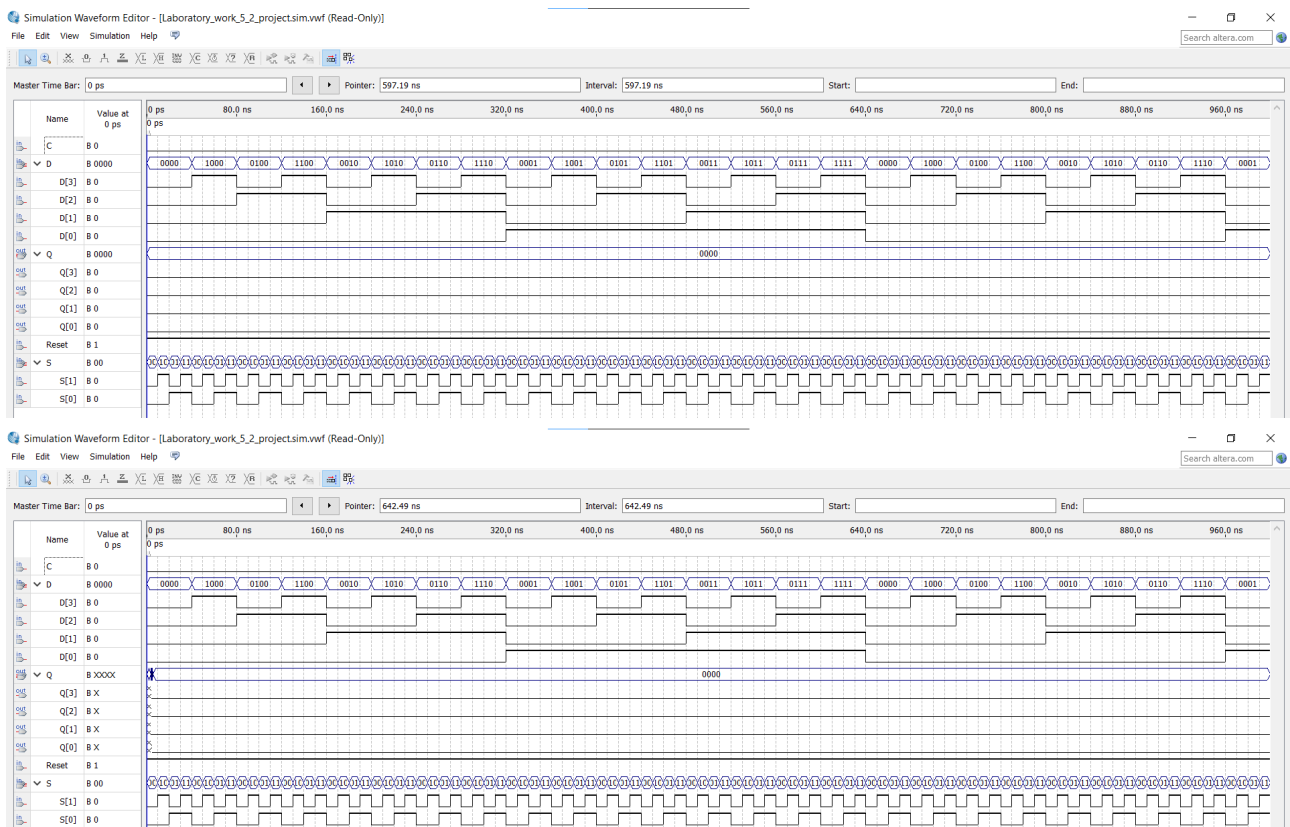


Рисунок 14. Функциональная (сверху) и временная (снизу) диаграмма для  $C = 0$ ,  $R = 1$



Рисунок 15. Функциональная (сверху) и временная (снизу) диаграмма для  $C = 1$ ,  $R = 0$

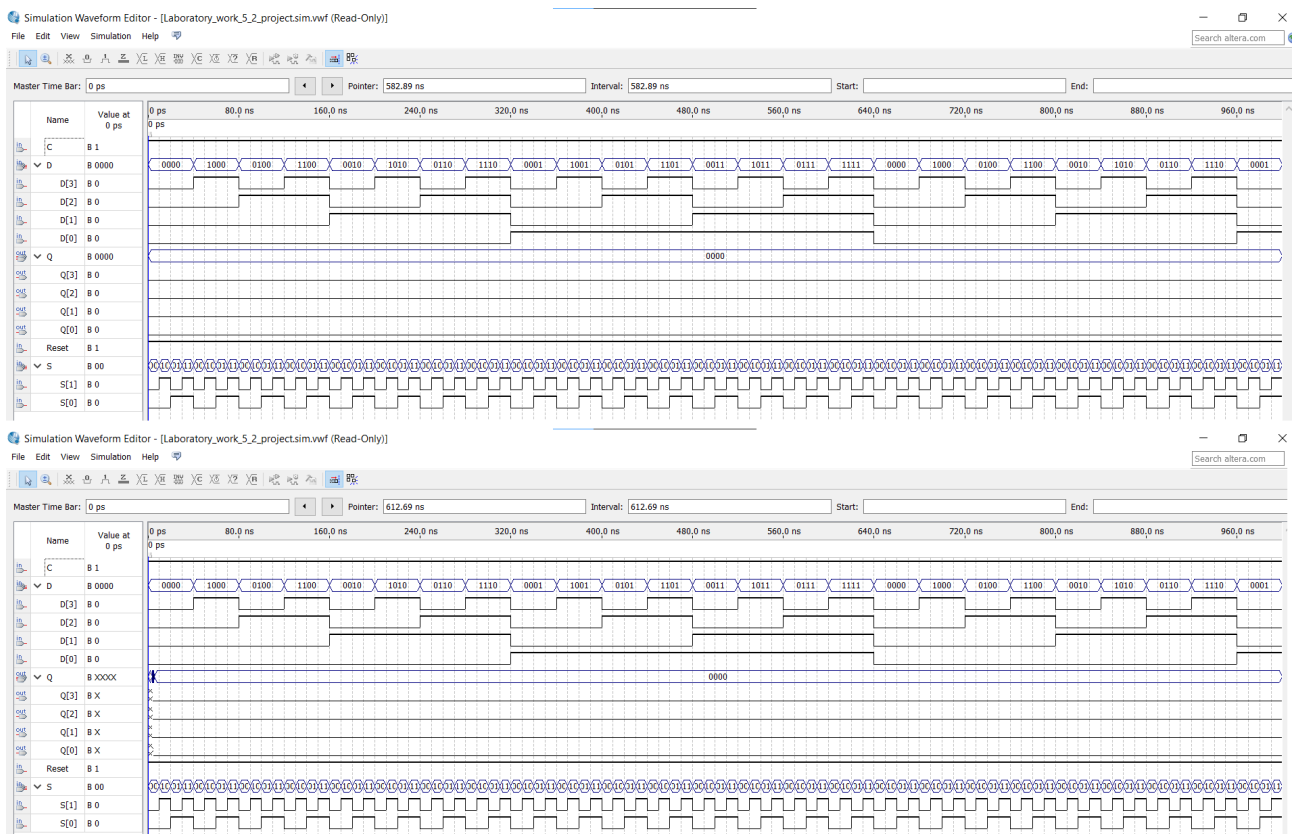


Рисунок 16. Функциональная (сверху) и временная (снизу) диаграмма для  $C = 1$ ,  $R = 1$

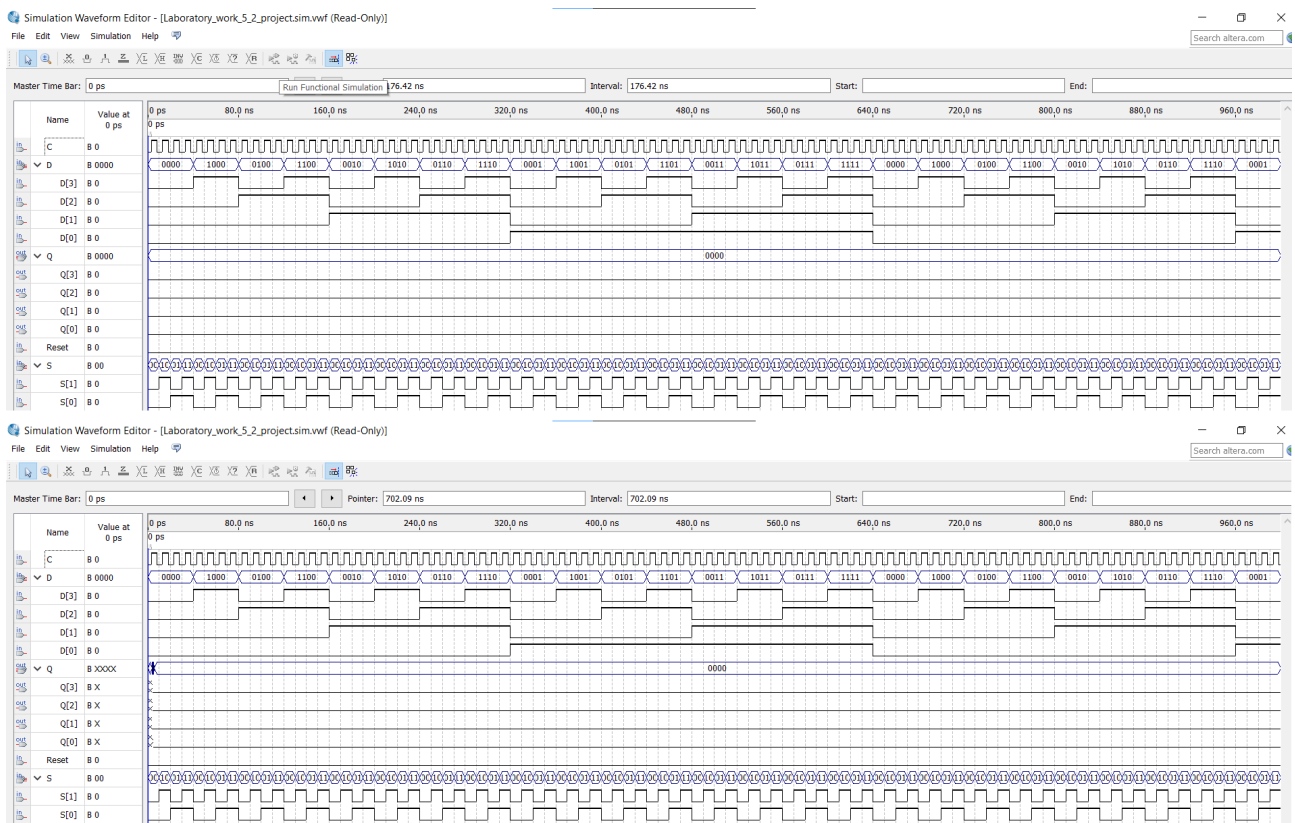


Рисунок 17. Функциональная (сверху) и временная (снизу) диаграмма для  $C = T$ ,  $R = 0$

Запись в триггеры производится только при  $R = 1$  и при переднем фронте сигнала  $C$ .



Рисунок 18. Функциональная (сверху) и временная (снизу) диаграмма для  $C = T$ ,  $R = 1$

#### 2.2.4. Макетное моделирование

Макетное моделирование для многофункционального регистра на базе D-триггеров.



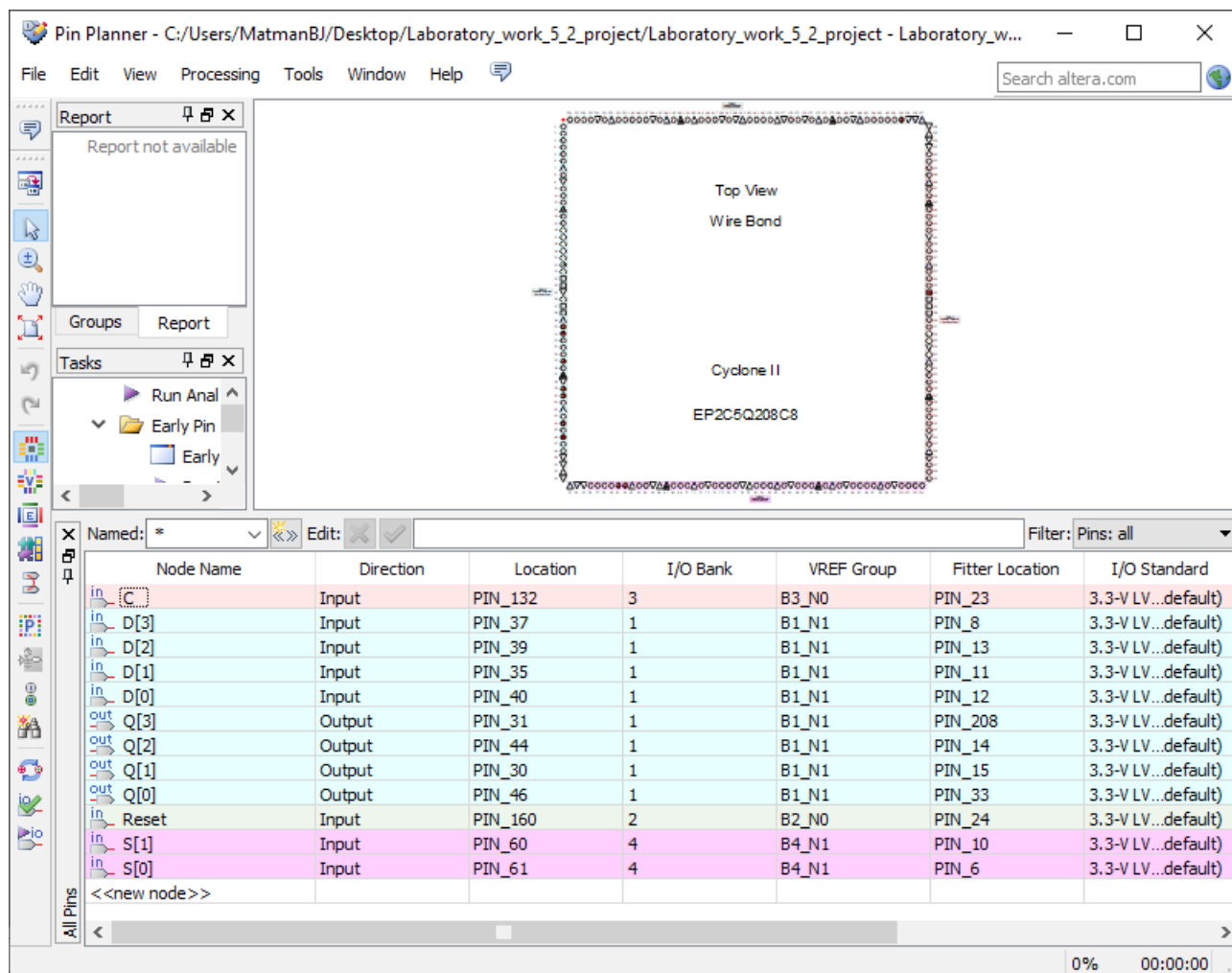


Рисунок 19. «Распиновка» для макетного моделирования

### 3. Вывод

В ходе выполнения лабораторной работы №5 «Исследование регистров» были исследованы особенности проектирования регистров различного типа (в том числе регистр на базе RS-триггеров и многофункциональный регистр на базе D-триггеров, который выполняет параллельную загрузку, инверсию кода, циклический сдвиг вправо и сдвиг влево с заполнением 0), закреплены навыки синтеза и экспериментального исследования узлов в среде Quartus II. В ходе работы были построены функциональные и временные диаграммы, отражающие работу регистров, произведена «распиновка» для макетного моделирования регистров и спроектированы указанные в задании регистры. Таким образом и были исследованы особенности проектирования регистров различного типа, закреплены навыки синтеза и экспериментального исследования узлов в среде Quartus II.

#### 4. Список использованных источников

1. Онлайн-курс «Элементная база цифровых систем» в LMS Moodle [сайт]. URL: <https://vec.etu.ru/moodle/course/view.php?id=8252>.
2. Бондаренко П. Н., Буренева О. И., Головина Л. К. / Узлы и устройства средств вычислительной техники: учеб.-метод. пособие. СПб.: Изд-во СПбГЭТУ «ЛЭТИ», 2017. 64 с.
3. Компоненты и технологии [сайт]. URL: <https://kit-e.ru/circuit/kratkij-kurs-hdl-chast-10/>.
4. Русские блоги [сайт]. URL: <https://russianblogs.com/article/78291666418/>.
5. РадиоКОТ [сайт]. URL: [https://radiokot.ru/start/mcu\\_fpga/altera/05/](https://radiokot.ru/start/mcu_fpga/altera/05/).