

МИНОБРНАУКИ РОССИИ
САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ
ЭЛЕКТРОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
«ЛЭТИ» ИМ. В.И. УЛЬЯНОВА (ЛЕНИНА)

Кафедра вычислительной техники

Отчет по лабораторной работе №8
по дисциплине «Элементарная база цифровых систем»
Тема: ПРОЕКТИРОВАНИЕ КОНЕЧНЫХ АВТОМАТОВ
Вариант 5

Студенты гр. 9308
Преподаватель

Соболев М.С.
Дубенков С.А.
Степовик В.С.
Ельчанинов М.Н.

Санкт-Петербург

2022

Цель работы – получить практические навыки в проектировании автомата на основе логических элементов с использованием триггеров заданного типа.

Задание на работу

Спроектировать автомат, реализующий заданный алгоритм функционирования.

Вариант 5: схема микропрограммы: а, автомат: Мили, триггер: D

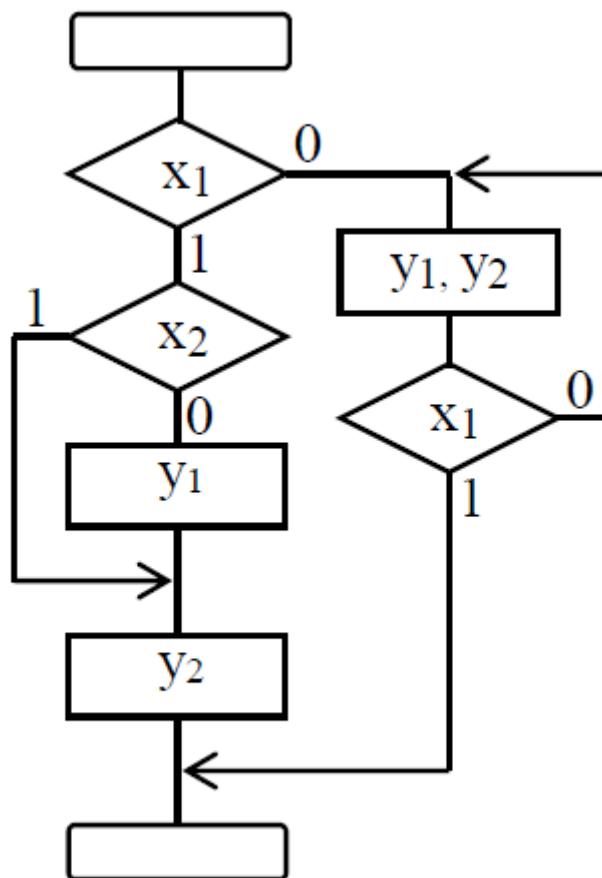


Рисунок 1. Схема микропрограммы из 5 варианта

Ход работы

Комбинационный анализ

Разметка схемы микропрограммы:

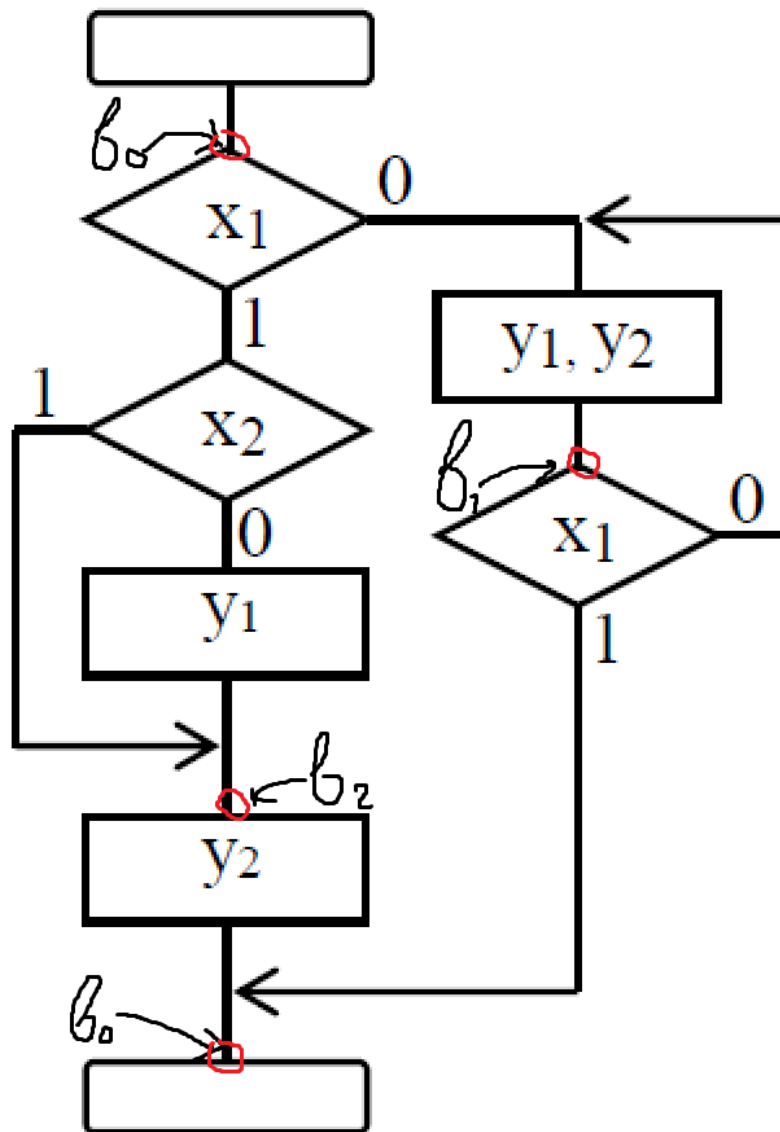


Рисунок 2. Разметка схемы микропрограммы

Состояния автомата закодированы таким образом: $b_0=00$, $b_1=01$, $b_2=11$.

Структурная таблица:

$$D0 = \sim Q0 + \sim Q1 \sim x1$$

Функции выходов для автомата Мили:

$$y1 = \sim Q0 + \sim Q1 \sim x1$$

$$y2 = Q1 + \sim x1$$

Разработка функциональной схемы алгоритма

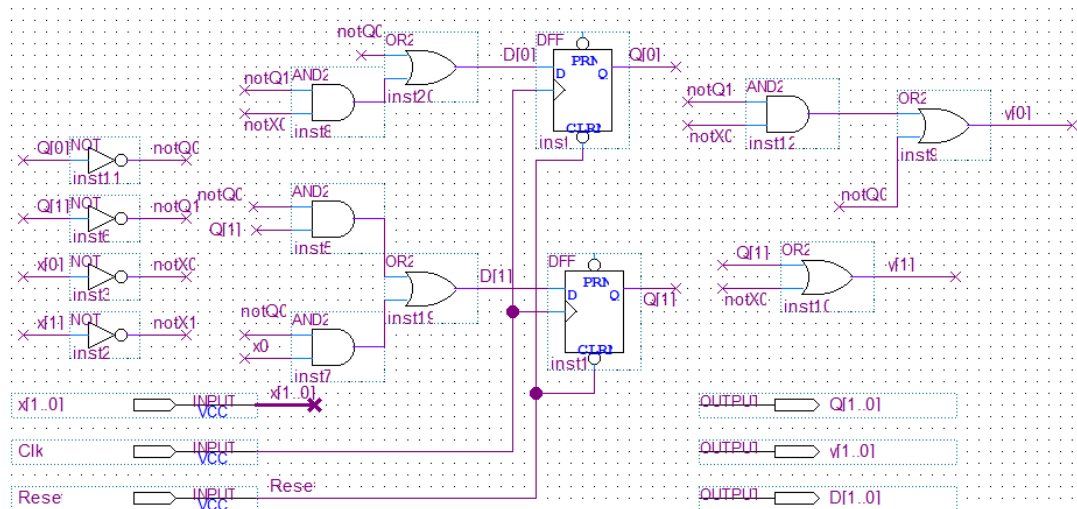


Рисунок 4. Функциональная схема

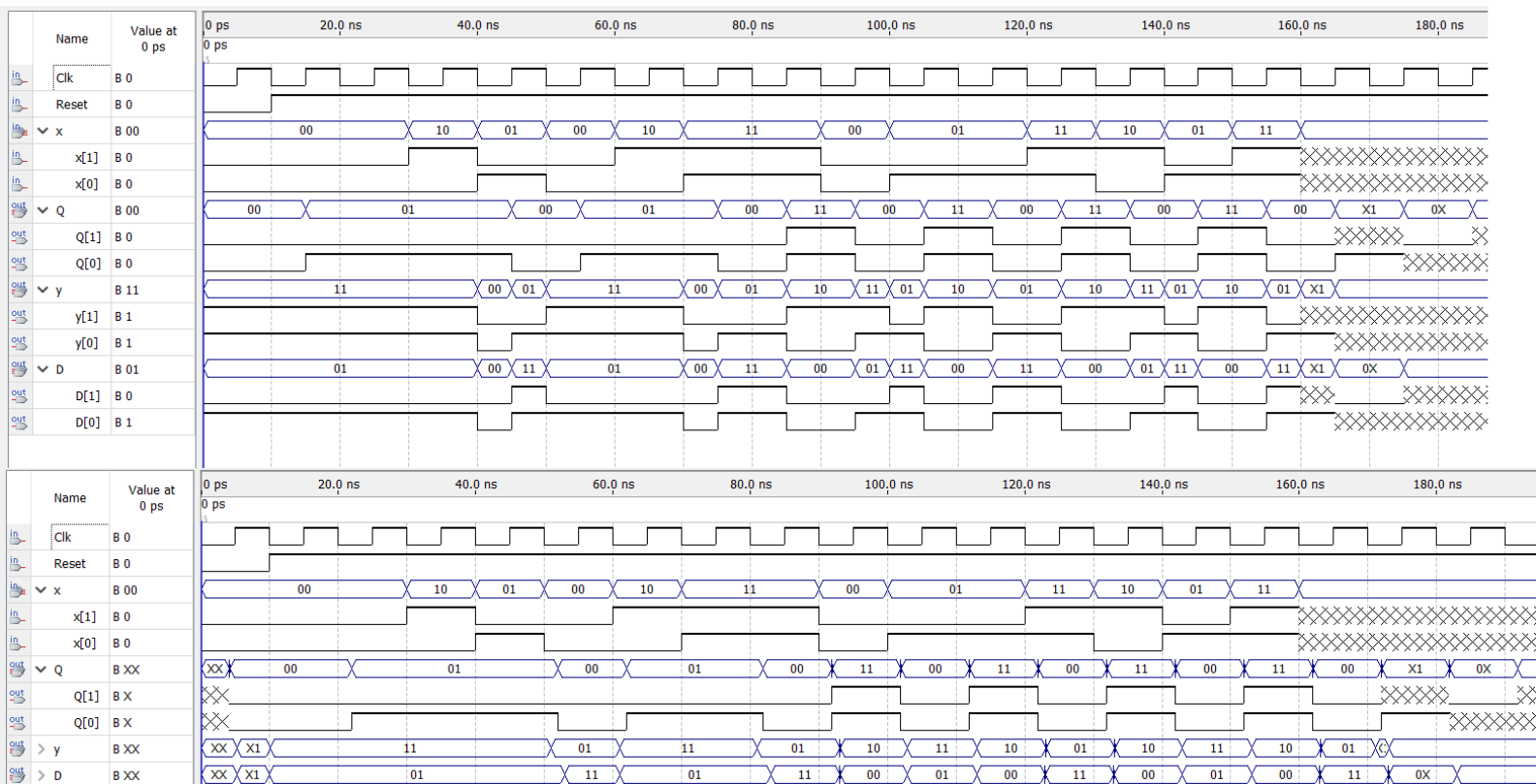


Рисунок 5. Функциональная и временная диаграммы

Описание процесса макетирования

Макетное моделирование для многофункционального регистра на базе D-триггеров.

Pin Planner - D:\BlackHole\Quartus-web-13.0.1.232-windows\13.0sp1\Lab8\Lab8 - Lab8

File Edit View Processing Tools Window Help

Search altera.com

Report

Report not available

Tasks

- Run Analysis and Elaboration
 - Early Pin Planning
 - Early Pin Planning...
 - Run I/O Assignment Analysis
 - Export Pin Assignments...
 - Change View
 - Show I/O Banks
 - Show VREF Groups
 - Show Edges

Groups

Named: *

Node Name	Direction
D[0]	Output
Q[1..0]	Output Group
Q[1]	Output
Q[0]	Output
x[1..0]	Input Group
x[1]	Input
x[0]	Input
y[1..0]	Output Group
y[1]	Output
y[0]	Output

Top View
Wire Bond

Cyclone II
EP2C5Q208C8

Filter: Pins: all

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved	Current Strength	Differential Pair
clk	Input	PIN_23	1	B1_N0	PIN_23	3.3-V L...efault		24mA (default)	
D[1]	Output	PIN_41	1	B1_N1	PIN_41	3.3-V L...efault		24mA (default)	
D[0]	Output	PIN_46	1	B1_N1	PIN_46	3.3-V L...efault		24mA (default)	
Q[1]	Output	PIN_40	1	B1_N1	PIN_40	3.3-V L...efault		24mA (default)	
Q[0]	Output	PIN_43	1	B1_N1	PIN_43	3.3-V L...efault		24mA (default)	
Reset	Input	PIN_24	1	B1_N0	PIN_24	3.3-V L...efault		24mA (default)	
x[1]	Input	PIN_150	3	B3_N0	PIN_150	3.3-V L...efault		24mA (default)	
x[0]	Input	PIN_39	1	B1_N1	PIN_39	3.3-V L...efault		24mA (default)	
y[1]	Output	PIN_48	1	B1_N1	PIN_48	3.3-V L...efault		24mA (default)	
y[0]	Output	PIN_44	1	B1_N1	PIN_44	3.3-V L...efault		24mA (default)	
<<new node>>									

0% 00:00:00

Рисунок 6. Распиновка для макетного моделирования

Вывод

В ходе выполнения лабораторной работы были исследованы особенности проектирования регистров конечного автомата Мили на базе D-триггеров, закреплены навыки синтеза и экспериментального исследования узлов в среде Quartus II. В ходе работы были построены функциональные и временные диаграммы, отражающие работу регистров, проведена «распиновка» для макетного моделирования регистров и спроектированы указанные в задании регистры.