

МИНОБРНАУКИ РОССИИ  
САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ  
ЭЛЕКТРОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ  
«ЛЭТИ» ИМ. В.И. УЛЬЯНОВА (ЛЕНИНА)  
Кафедра ВТ

ОТЧЕТ  
по лабораторной работе №7  
по дисциплине «элементная база цифровых систем»  
Тема: ПРОЕКТИРОВАНИЕ ДВОИЧНЫХ СЧЕТЧИКОВ  
Вариант 5

Студенты гр. 9308

Преподаватель

Степовик В.С.

Соболев М.С.

Дубенков С.

Ельчанинов М.Н.

Санкт-Петербург

2022

## Цель работы

Исследовать особенности функционирования двоичных счетчиков с вырожденными переходами (принудительной установкой в состояния) и различными способами организации переноса.

## Ход работы

### Часть 1. Синтезирование на основе мегафункции счетчика

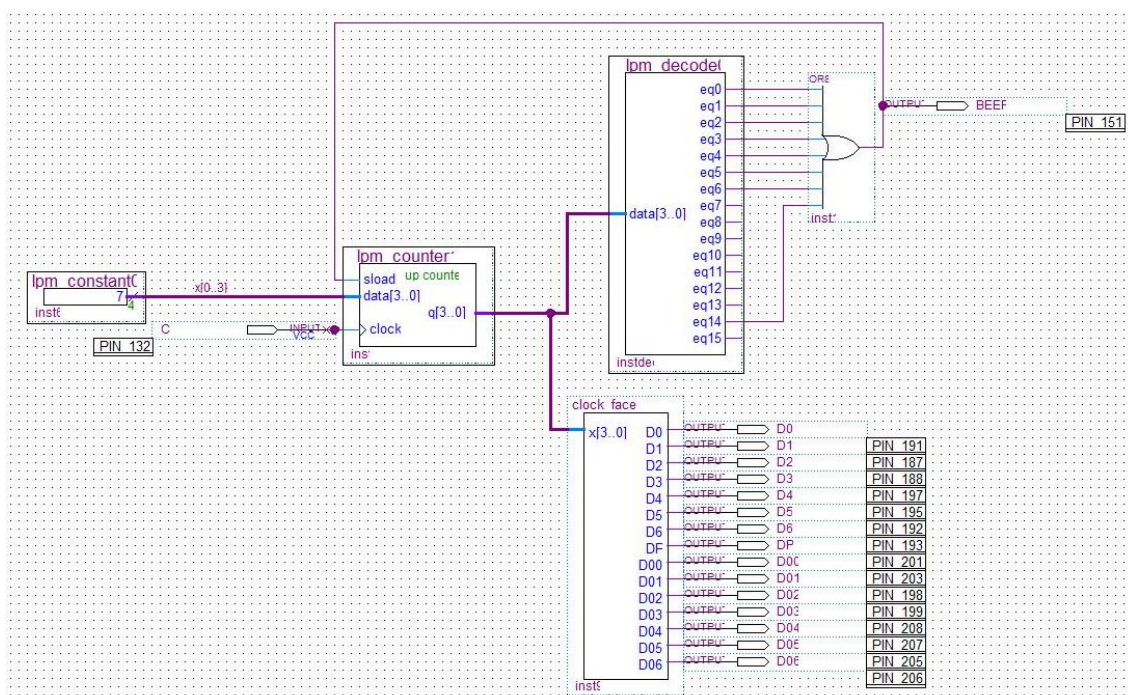
Вариант №5:

Номер бригады	Способ реализации 1. Порядок счета	Способ реализации 2. Порядок счета
5	7–14	2–4; 8–15

#### 1. Способ реализации с помощью дешифратора

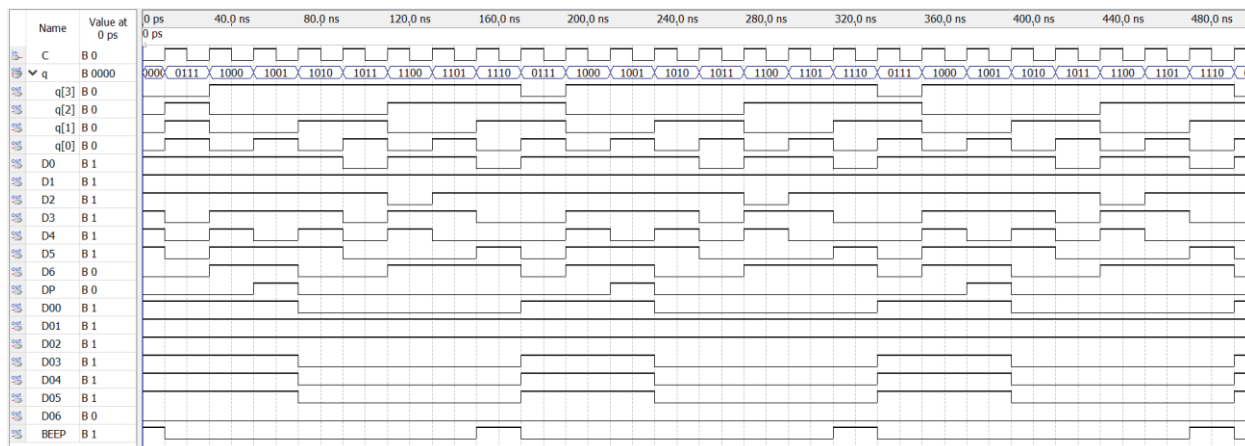
Порядок счета для реализации данным способом – 7-14

##### 1.1. Схема узла, представленная с помощью Quartus II

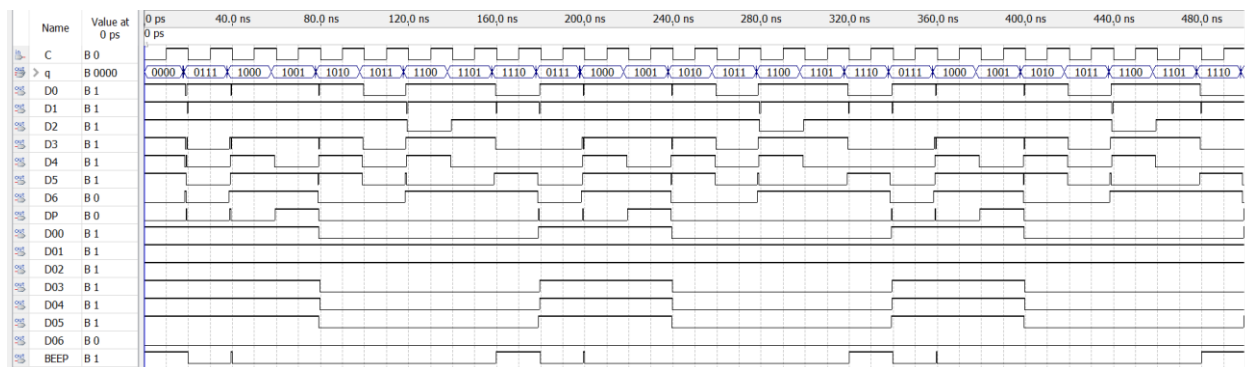


## 1.2. Результаты моделирования

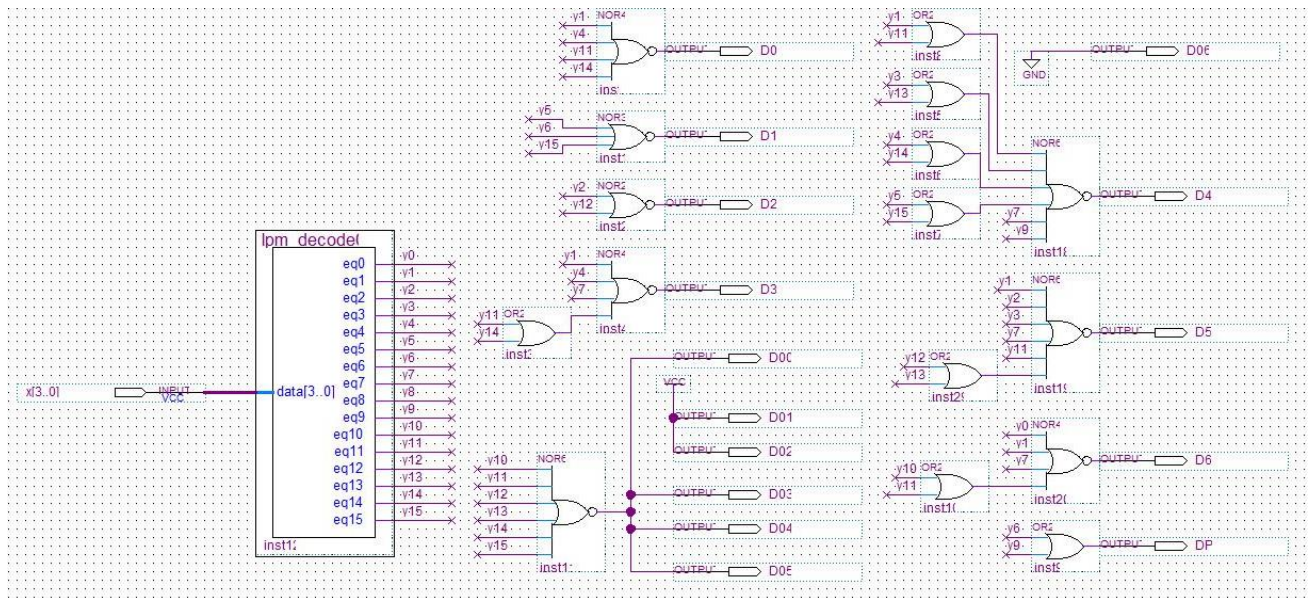
### Функциональное моделирование



### Временное моделирование



В схему были добавлены выходы на семисегментный индикатор. Ниже раскрывается схема осуществляющая активацию соответствующих сегментов при конкретных сигналах со счётчика.



### 1.3. Описание процесса макетирования

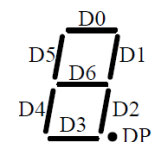
PIN\_132 - Тактовый сигнал 40 МГц

PIN\_151 – вывод на динамик

D0-D6 – семисегментный индикатор №0

D00-D06 – семисегментный индикатор №1

Нумерация  
сегментов

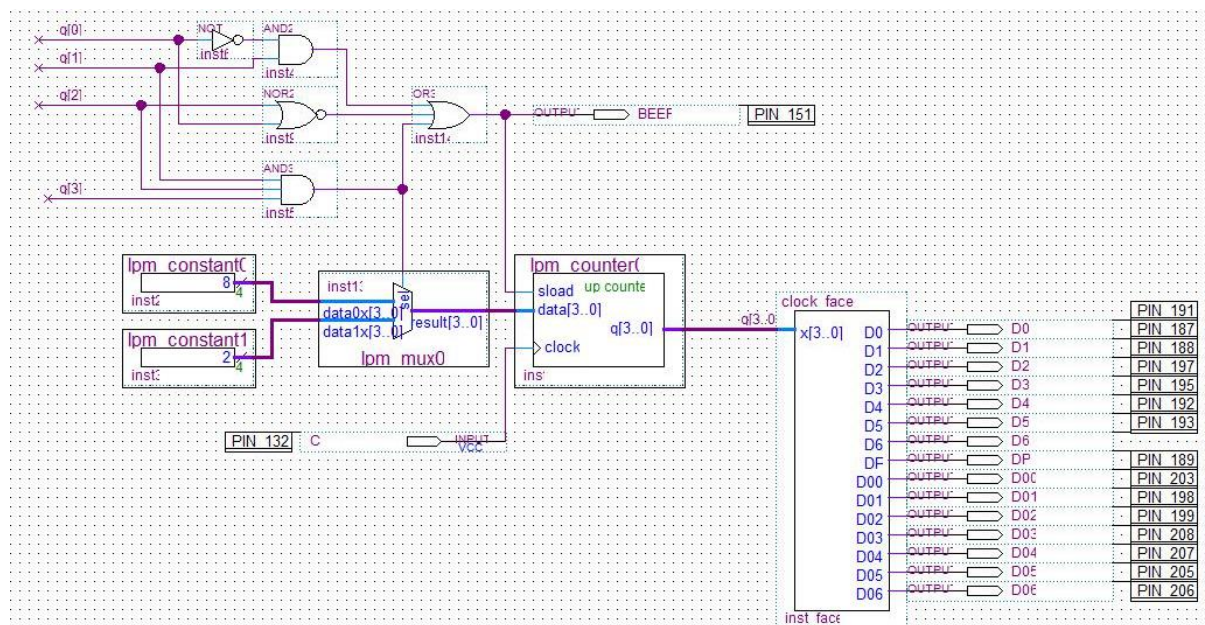


Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved	Current Strength	Differential Pair
BEEP	Output	PIN_151	3	B3_N0	PIN_151	3.3-V L...efault		24mA (default)	
C	Input	PIN_132	3	B3_N0	PIN_132	3.3-V L...efault		24mA (default)	
D0	Output	PIN_191	2	B2_N1	PIN_191	3.3-V L...efault		24mA (default)	
D00	Output	PIN_203	2	B2_N1	PIN_203	3.3-V L...efault		24mA (default)	
D1	Output	PIN_187	2	B2_N1	PIN_187	3.3-V L...efault		24mA (default)	
D01	Output	PIN_198	2	B2_N1	PIN_198	3.3-V L...efault		24mA (default)	
D2	Output	PIN_188	2	B2_N1	PIN_188	3.3-V L...efault		24mA (default)	
D02	Output	PIN_199	2	B2_N1	PIN_199	3.3-V L...efault		24mA (default)	
D3	Output	PIN_197	2	B2_N1	PIN_197	3.3-V L...efault		24mA (default)	
D03	Output	PIN_208	2	B2_N1	PIN_208	3.3-V L...efault		24mA (default)	
D4	Output	PIN_195	2	B2_N1	PIN_195	3.3-V L...efault		24mA (default)	
D04	Output	PIN_207	2	B2_N1	PIN_207	3.3-V L...efault		24mA (default)	
D5	Output	PIN_192	2	B2_N1	PIN_192	3.3-V L...efault		24mA (default)	
D05	Output	PIN_205	2	B2_N1	PIN_205	3.3-V L...efault		24mA (default)	
D6	Output	PIN_193	2	B2_N1	PIN_193	3.3-V L...efault		24mA (default)	
D06	Output	PIN_206	2	B2_N1	PIN_206	3.3-V L...efault		24mA (default)	
DP	Output	PIN_201	2	B2_N1	PIN_201	3.3-V L...efault		24mA (default)	

## 2. Способ реализации с помощью дополнительной логики

### Порядок счета для реализации данным способом – 2-4, 8-15

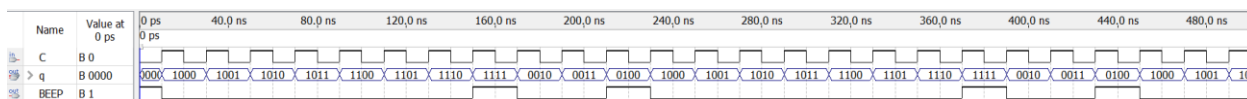
## 2.1. Схема узла, представленная с помощью Quartus II



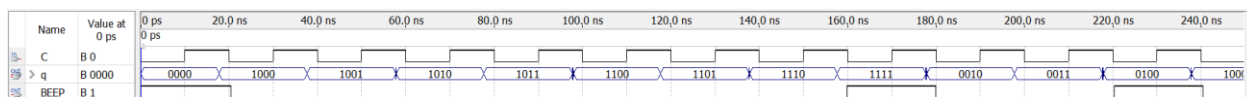
В схему также добавлены выводы на семисегментные индикаторы и динамик для визуализации работы схемы.

## 2.2. Результаты моделирования

# Функциональное моделирование



## Временное моделирование




















## 2.3. Описание процесса макетирования

PIN\_132 - Тактовый сигнал 40 МГц

PIN\_151 – вывод на динамик

D0-D6 – семисегментный индикатор №0

D00-D06 – семисегментный индикатор №1

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved	Current Strength	Differential Pair
 BEEP	Output	PIN_151	3	B3_N0	PIN_151	3.3-V L...efault)		24mA (default)	
 C	Input	PIN_132	3	B3_N0	PIN_132	3.3-V L...efault)		24mA (default)	
 D0	Output	PIN_191	2	B2_N1	PIN_191	3.3-V L...efault)		24mA (default)	
 D00	Output	PIN_203	2	B2_N1	PIN_203	3.3-V L...efault)		24mA (default)	
 D1	Output	PIN_187	2	B2_N1	PIN_187	3.3-V L...efault)		24mA (default)	
 D01	Output	PIN_198	2	B2_N1	PIN_198	3.3-V L...efault)		24mA (default)	
 D2	Output	PIN_188	2	B2_N1	PIN_188	3.3-V L...efault)		24mA (default)	
 D02	Output	PIN_199	2	B2_N1	PIN_199	3.3-V L...efault)		24mA (default)	
 D3	Output	PIN_197	2	B2_N1	PIN_197	3.3-V L...efault)		24mA (default)	
 D03	Output	PIN_208	2	B2_N1	PIN_208	3.3-V L...efault)		24mA (default)	
 D4	Output	PIN_195	2	B2_N1	PIN_195	3.3-V L...efault)		24mA (default)	
 D04	Output	PIN_207	2	B2_N1	PIN_207	3.3-V L...efault)		24mA (default)	
 D5	Output	PIN_192	2	B2_N1	PIN_192	3.3-V L...efault)		24mA (default)	
 D05	Output	PIN_205	2	B2_N1	PIN_205	3.3-V L...efault)		24mA (default)	
 D6	Output	PIN_193	2	B2_N1	PIN_193	3.3-V L...efault)		24mA (default)	
 D06	Output	PIN_206	2	B2_N1	PIN_206	3.3-V L...efault)		24mA (default)	
 DP	Output	PIN_189	2	B2_N1	PIN_189	3.3-V L...efault)		24mA (default)	



## Часть 2. Синтезирование на основе триггеров

### 1. Описание синтеза

Синтезировать на основе имеющихся в библиотеке САПР Quartus II примитивов триггеров счетчик с вырожденными состояниями с модифицированными межразрядными связями.

Номер бригады	Порядок счета	Тип триггера
5	3–10	D

Таблица значений

	Q3	Q2	Q1	Q0		Q3+	Q2+	Q1+	Q0+		D3	D2	D1	D0
0	0	0	0	0		0	0	1	1		0	0	1	1
1	0	0	0	1		0	0	1	1		0	0	1	1
2	0	0	1	0		0	0	1	1		0	0	1	1
3	0	0	1	1		0	1	0	0		0	1	0	0
4	0	1	0	0		0	1	0	1		0	1	0	1
5	0	1	0	1		0	1	1	0		0	1	1	0
6	0	1	1	0		0	1	1	1		0	1	1	1
7	0	1	1	1		1	0	0	0		1	0	0	0
8	1	0	0	0		1	0	0	1		1	0	0	1
9	1	0	0	1		1	0	1	0		1	0	1	0
10	1	0	1	0		0	0	1	1		0	0	1	1
11	1	0	1	1		0	0	1	1		0	0	1	1
12	1	1	0	0		0	0	1	1		0	0	1	1
13	1	1	0	1		0	0	1	1		0	0	1	1
14	1	1	1	0		0	0	1	1		0	0	1	1
15	1	1	1	1		0	0	1	1		0	0	1	1

Для выходов получим значения с помощью карт Карно

D3

		Q1, Q0			
		00	01	11	10
Q3, Q2	00	0	0	0	0
	01	0	0	1	0
	11	0	0	0	0
	10	1	1	0	0

$\overline{Q_3} \overline{Q_2} Q_1 Q_0 + Q_3 \overline{Q_2} \overline{Q_1}$

D2

		Q1, Q0			
		00	01	11	10
Q3, Q2	00	0	0	1	0
	01	1	1	0	1
	11	0	0	0	0
	10	0	0	0	0

$\overline{Q_3} \overline{Q_2} Q_1 Q_0 + \overline{Q_3} Q_2 \overline{Q_1} + \overline{Q_3} Q_2 \overline{Q_0}$

D1

		Q1, Q0			
		00	01	11	10
Q3, Q2	00	1	1	0	1
	01	0	1	0	1
	11	1	1	1	1
	10	0	1	1	1

$\overline{Q_3} \overline{Q_2} \overline{Q_1} + \overline{Q_1} Q_0 + Q_1 \overline{Q_0} + Q_3 Q_1 + Q_3 Q_2$

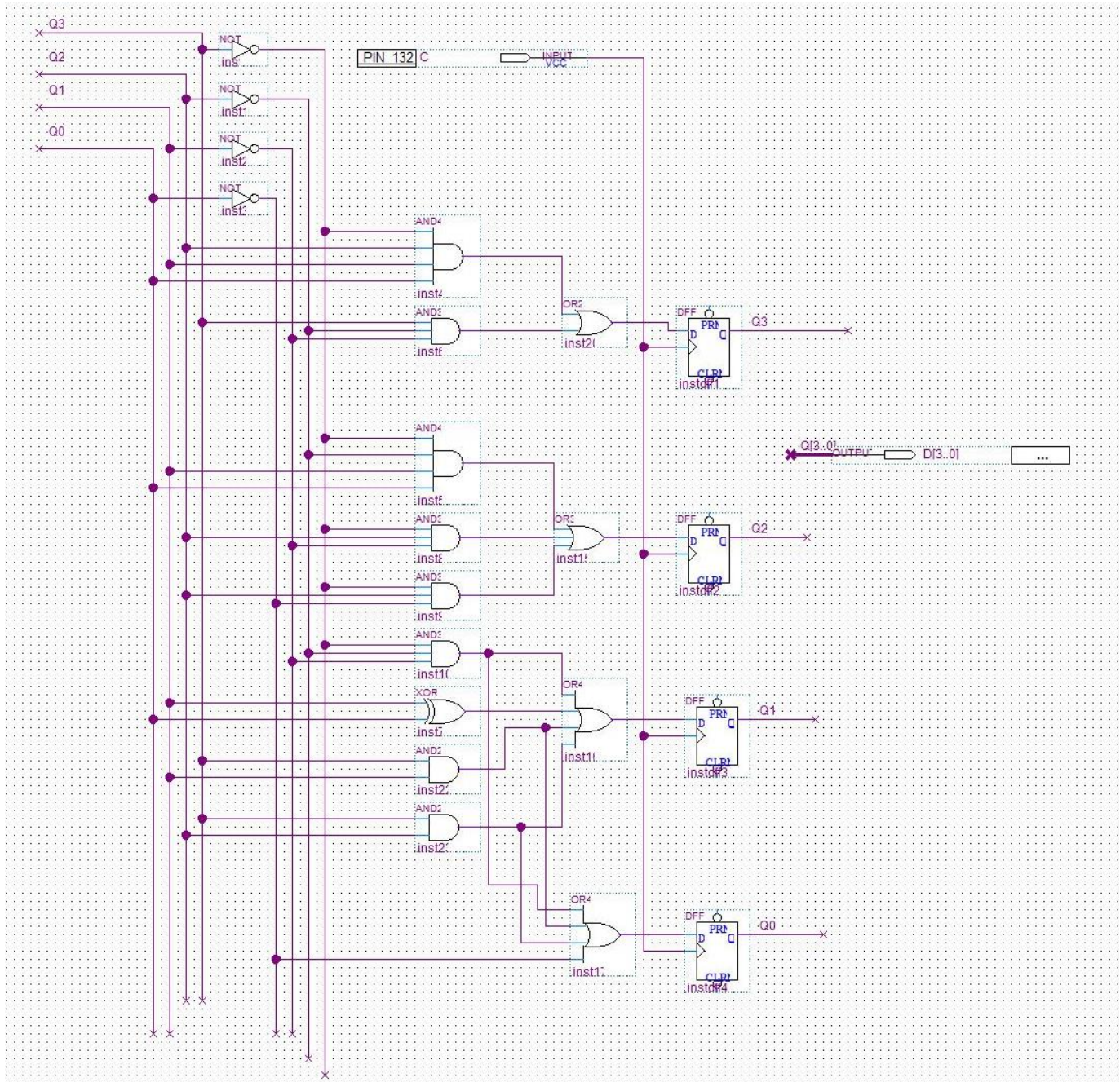
D0

		Q1, Q0			
		00	01	11	10
Q3, Q2	00	1	1	0	1
	01	1	0	0	1
	11	1	1	1	1
	10	1	0	1	1

$\overline{Q_3} \overline{Q_2} \overline{Q_1} + \overline{Q_0} + Q_3 Q_1 + Q_3 Q_2$

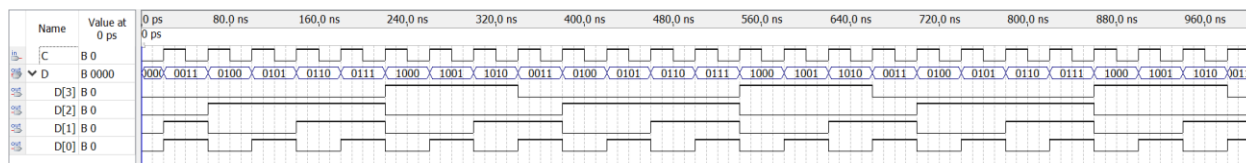


## 2. Схема узла, представленная с помощью Quartus II

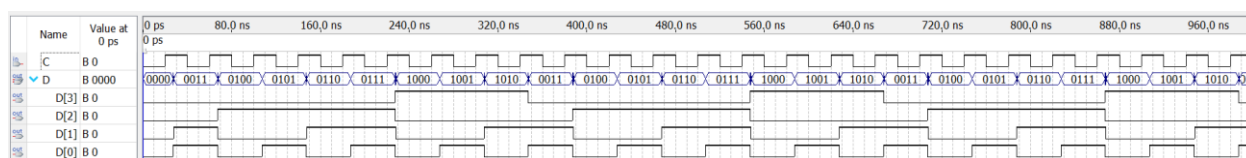


### 3. Результаты моделирования

# Функциональное моделирование



## Временное моделирование



### 3. Описание процесса макетирования

С - Тактовый сигнал 40 МГц

D0-D3 – светодиодная линейка

Node Name	Direction	Location	I/O Bank	VREF Group	Pin Location	I/O Standard	Reserved	Current Strength	Differential Pair
C	Input	PIN_132	3	B2_N0	PIN_23	3.3-V...ault)		24mA ...ault)	
D[3]	Output	PIN_171	2	B2_N0	PIN_40	3.3-V...ault)		24mA ...ault)	
D[2]	Output	PIN_173	2	B2_N0	PIN_39	3.3-V...ault)		24mA ...ault)	
D[1]	Output	PIN_175	2	B2_N0	PIN_41	3.3-V...ault)		24mA ...ault)	
D[0]	Output	PIN_176	2	B2_N0	PIN_43	3.3-V...ault)		24mA ...ault)	

## **Вывод**

В данной лабораторной работе мы исследовали особенности функционирования двоичных счетчиков с вырожденными переходами (принудительной установкой в состояния) и различными способами организации переноса.