

ELECTRÓNICA DIGITAL - LABORATORIO III

Implementación de Contador Binario con Señales de Control Sincrónicas

MATÍAS DANIEL ROQUETA

Centro Atómico Bariloche y Instituto Balseiro, Comisión Nacional de Energía Atómica

Arquitectura

Se requiere implementar un contador binario de N bits con señales de control que corresponden a la siguiente tabla de verdad

syn_clr	load	en	up	q*
1	—	—	—	00...00
0	1	—	—	pll_data
0	0	0	—	q
0	0	1	0	q−1
0	0	1	1	q+1

La lógica combinacional de estado siguiente es regida por el estado actual y por las señales de control:

- syn_clr : Reset síncronico
- load : Carga en paralelo
- en : Habilitación de cuenta
- up : Cuenta ascendente/descendente

Y la tabla indica que **syn_clr** tiene prioridad sobre **load**, que a su vez tiene prioridad sobre **en**. Estas prioridades se

pueden implementar con una cadena de multiplexores, generando las señales intermedias vistas en la figura 1:

- incr : Incremento según up.
- q_inc : Valor más el incremento.
- q_ena : Valor con incremento habilitado, según en.
- q_nxt : Valor siguiente, según load.
- d_now : Valor que entra al flip-flop D, según syn_clr.

Este diseño permite a cada etapa de multiplexión fijar la señal según su valor de control independiente de las elecciones en las etapas previas.

La etapa de lógica de salida consiste en el estado actual y dos flags, **max_tick** y **min_tick**, que responden a la tabla:

q	max_tick	min_tick
11...11	1	0
...	0	0
00...00	0	1

Estas señales también se implementan con multiplexores.

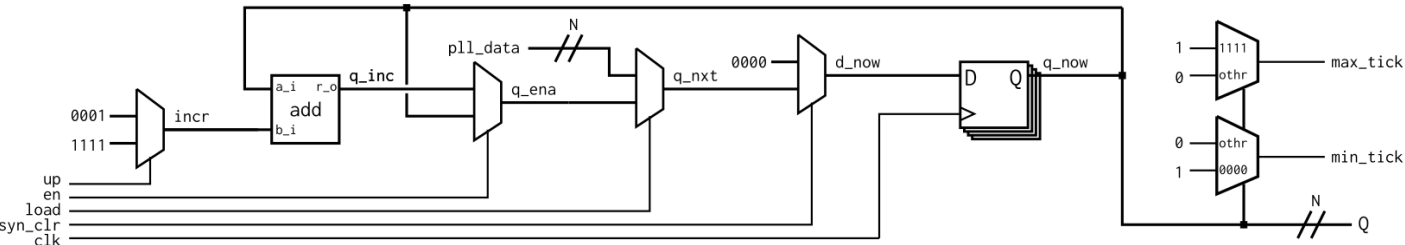


Figura 1: Esquemática del módulo top level implementado en VHDL con las correspondientes señales y sub-módulos.

Test

Las pruebas realizadas sepueden separar en dos etapas. Primero se realiza una prueba de cuenta que evalúa la correcta cuenta descendente o ascendente y la activación de las flags.

Esta prueba es seguida por una prueba de prioridad, que valida las prioridades correspondientes a los casos mínimos de prueba Estos tests se presentan en la figura 2.

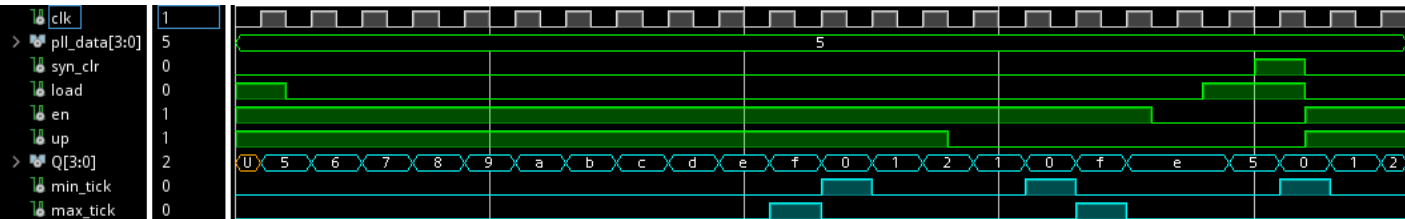


Figura 2: Pruebas realizadas a el contador binario, `clk` en gris, entradas en verde, y salidas en cian. El circuito es síncrono en flanco ascendente de `clk`.