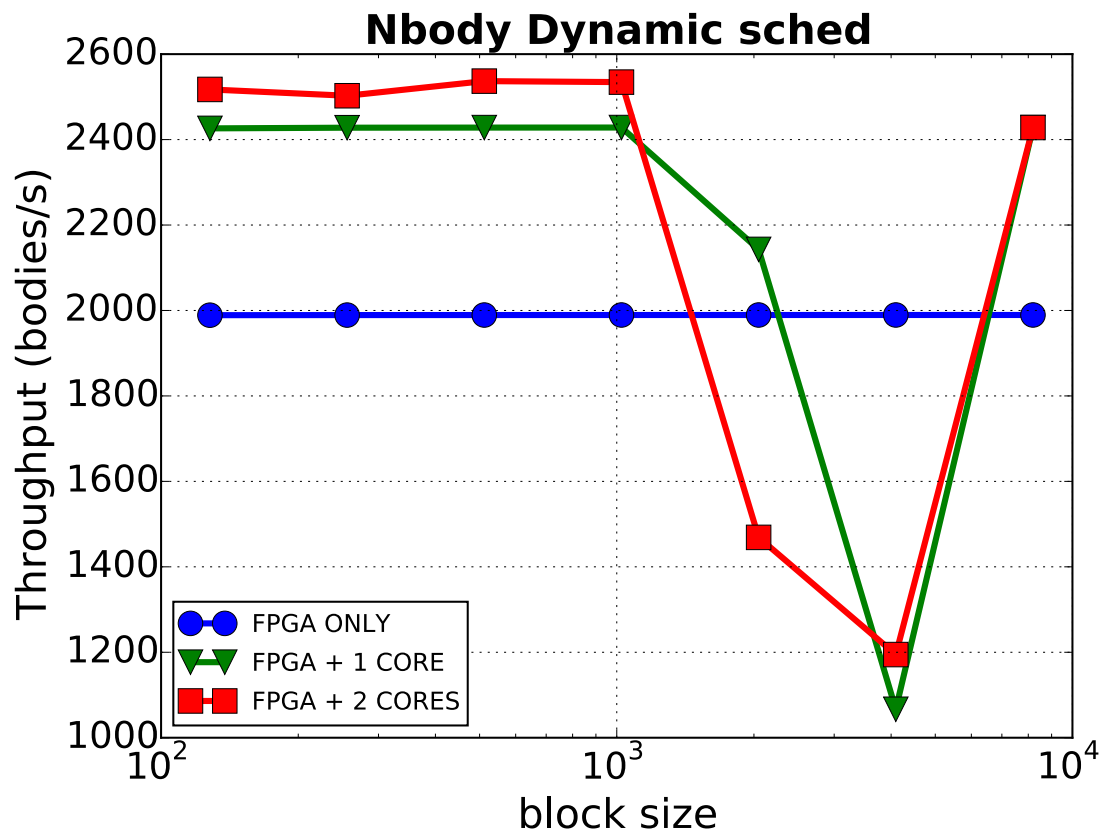


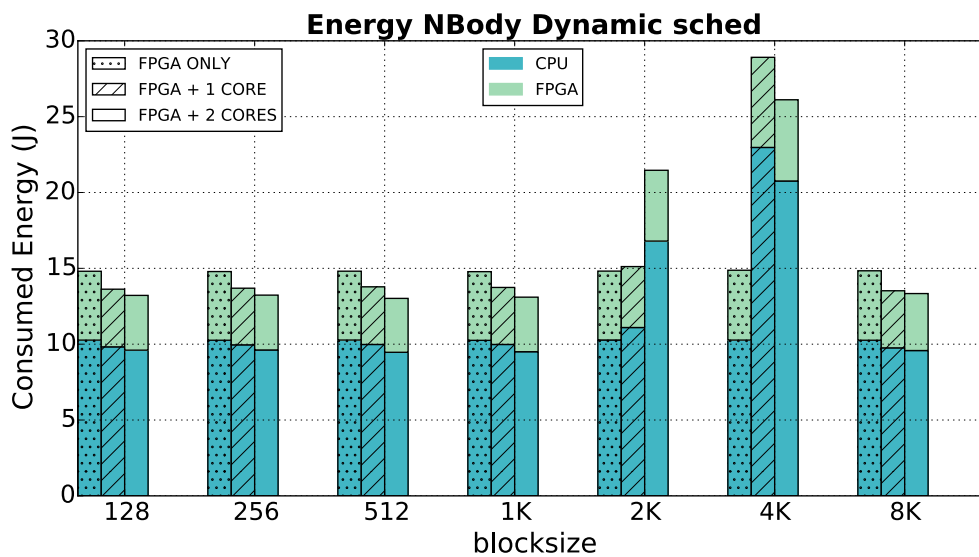
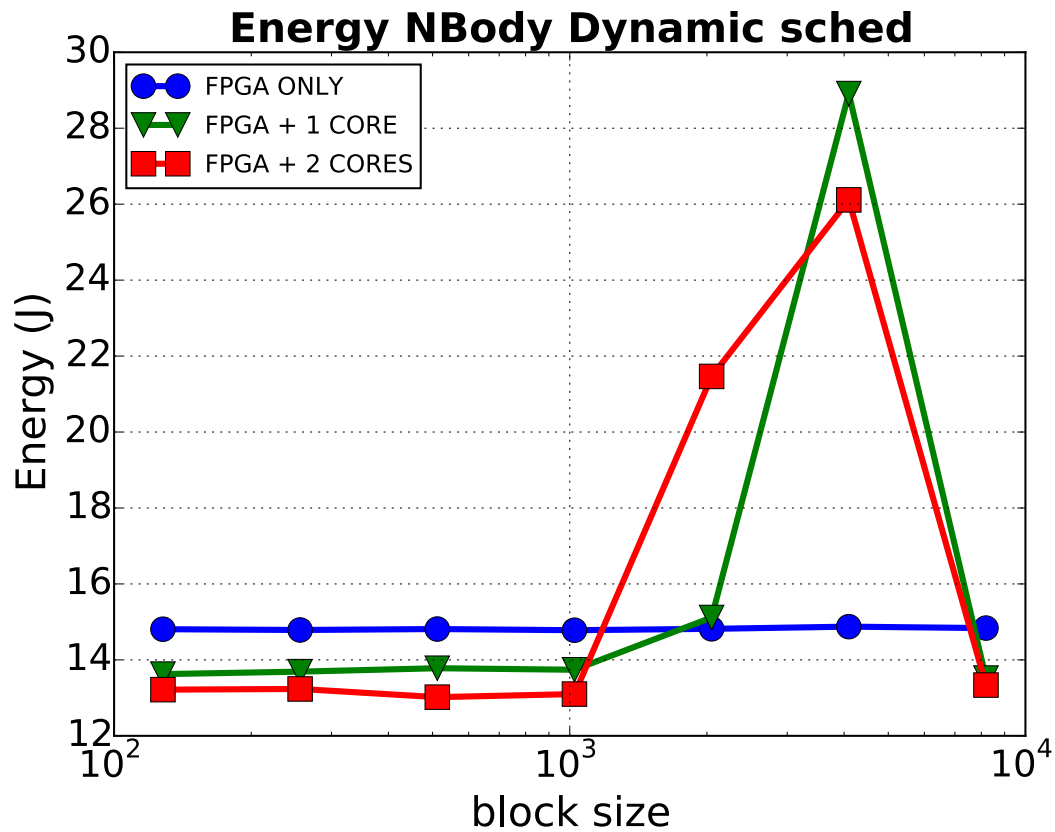
Resultados en Xilinx ZC702
2 Cortex-A9 + FPGA

10,000 -- bodies 5 timesteps

Planificador Dynamic (calcula el tamaño de bloque de CPU proporcional al de FPGA para que los cores y la FPGA vayan terminando los bloques al mismo tiempo)

SIN MEMORIA entre TIMESTEPS: en cada time-step se empieza en CPU con chunksize=10 y el GPU chunksize que corresponda.





CON MEMORIA:

El primer timestep empieza con $fG=5$, $chunkCPU=chunkGPU/fG$ (fG es la relación de velocidades entre los dos dispositivos que luego se va actualizando con $fG=throughputGPU/throughputCPU$)

