

Verilog Combinational Logic

Projetar um **multiplexador (Mux) 2-para-1** em Verilog sintetizável. Este Mux terá uma lógica de seleção customizada baseada em uma entrada de 4 bits, e as entradas de dados (A e B) terão uma largura (número de bits) parametrizável.

Especificação do Design

- **Entradas A e B:** São as entradas de dados. A largura delas (número de bits) deve ser parametrizável, permitindo que o bloco seja reutilizado (ex: WIDTH = 8, WIDTH = 32, etc.).
- **Entrada sel:** É uma entrada de **4 bits**. Ela **não** funciona como um seletor de Mux tradicional.
- **Saída out:** A saída do Mux, com a mesma largura parametrizável de A e B.

Lógica de Seleção:

O bloco deve funcionar da seguinte maneira:

- Ele deve analisar a entrada sel de 4 bits e contar quantos bits 1 existem nela.
- Se o número de bits 1 for **PAR** (even), a saída out deve receber o valor da entrada A.
- Se o número de bits 1 for **ÍMPAR** (odd), a saída out deve receber o valor da entrada B.

A forma mais eficiente de implementar isso em hardware é usando um XOR de todos os bits.

Questões

1. Desenhe um diagrama de blocos para mostrar os elementos combinacionais que você usará para implementar essa lógica.
(Dica: Você precisará de dois blocos principais: um "Verificador de Paridade" para a lógica do sel e um "Multiplexador 2-para-1" padrão que recebe o resultado do verificador como seu sinal de seleção).
2. Escreva o código Verilog **sintetizável** para implementar esta lógica combinacional, usando um parâmetro para a largura das entradas A e B.