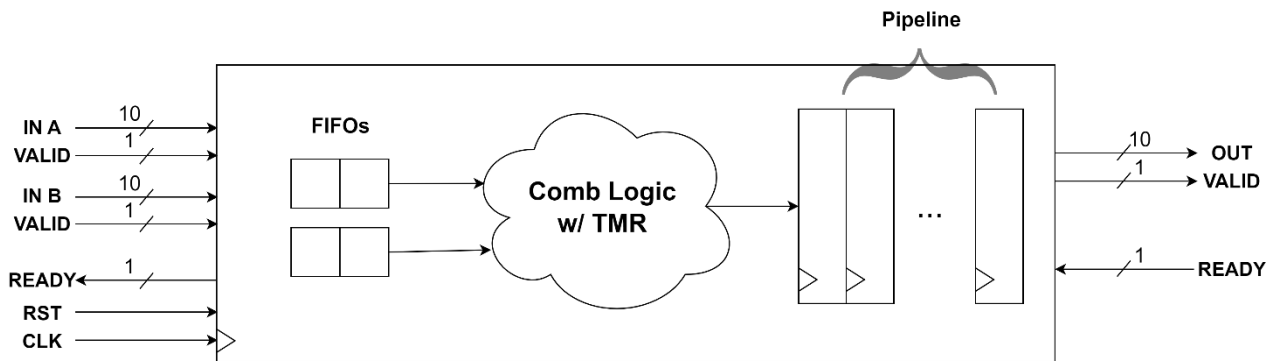


## ADD Functional Unit of a Coarse-Grained Reconfigurable Array

Obiettivo: progettare la Functional Unit (FU) di un'architettura Coarse-Grained Reconfigurable Array (CGRA) per l'esecuzione di somme con segno in C2. L'architettura dovrà avere le seguenti caratteristiche:

1. Ingressi e uscite composti da 8 bit di dato e 2 bit di flag (carry, overflow, etc.)
2. Protocollo di comunicazione ready-valid lungo tutta la catena del dato
3. Applicazione di meccanismi di fault detection and correction (TMR) sulla parte combinatoria dell'architettura

Di seguito lo schema a blocchi:



La relazione finale del progetto dovrà contenere:

- Introduzione (descrizione algoritmo, possibili applicazioni, possibili architetture, etc.)
- Descrizione dell'architettura selezionata per la realizzazione (diagramma a blocchi, ingressi/uscite, etc.)
- Codice VHDL (con commenti dettagliati)
- Test-plan e relativi Testbench per la verifica
- Risultati della sintesi logica automatica su piattaforma Xilinx FPGA Zync: risorse utilizzate (slice, LUT, etc.), massima frequenza di funzionamento, cammino critico, etc. commentando eventuali messaggi di warning
- Conclusioni