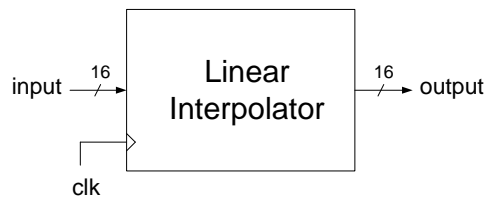


Interpolatore Lineare

Progettare un circuito digitale che, dato in ingresso un segnale campionato con un periodo di campionamento pari a T , produca in uscita una versione interpolata linearmente del segnale in ingresso. Utilizzare un fattore di interpolazione $L = 4$ (per ogni campione in ingresso il sistema interpolatore ne dovrà aggiungere $L - 1$).

$$y(nT + uT) = (y_{n+1} - y_n)u + y_n \quad \text{con } u = \frac{k}{L}, k \in \{0, 1, \dots, L-1\}$$

Per ingressi e uscite utilizzare una rappresentazione su 16 bit.



La relazione finale del progetto deve contenere:

- Introduzione (descrizione algoritmo, possibili applicazioni, possibili architetture, etc.)
- Descrizione dell'architettura (diagramma a blocchi, ingressi/uscite, etc.)
- Codice VHDL (con commenti dettagliati)
- Test-plan e relativi Testbench per la verifica
- Risultati della sintesi logica automatica su piattaforma Xilinx FPGA Zync: risorse utilizzate (slice, LUT, etc.), massima frequenza di funzionamento, cammino critico, etc. commentando eventuali messaggi di warnings.
- Conclusioni

Un'architettura di principio è la seguente:

