



UNIVERSITÀ POLITECNICA DELLE  
MARCHE

MICRO E NANO ELETTRONICA

Progetto di un filtro passa basso  
di tipo ellittico del sesto ordine in  
cascade design con stadi Switched  
Capacitor del secondo ordine di  
tipo biquad

*Matteo Orlandini*

Prof. Claudio TURCHETTI  
Dott.ssa Laura FALASCHETTI  
20 ottobre 2020

# Indice

<b>1</b>	<b>Introduzione</b>	<b>1</b>
<b>2</b>	<b>Progetto del filtro ideale</b>	<b>3</b>
2.1	Progettazione in Matlab . . . . .	3
2.2	Implementazione in Cadence . . . . .	16
2.3	Dynamic Range Scaling . . . . .	23
<b>3</b>	<b>Progetto del filtro reale</b>	<b>27</b>
3.1	Progetto dell'interruttore reale . . . . .	27
3.2	Progetto dell'operazionale reale . . . . .	32
3.3	Capacitance Minimization Scaling . . . . .	42
<b>4</b>	<b>Conclusioni</b>	<b>46</b>

# 1 Introduzione

Questa relazione mostra come implementare un filtro switched capacitor in Cadence, un'ambiente di Electronic Design Automation (EDA) che permette di disegnare e simulare circuiti elettronici. Un filtro elettronico permette di trasformare il segnale al suo ingresso in un segnale in uscita tramite una funzione di trasferimento che rappresenta il comportamento nel dominio della frequenza. I filtri sono generalmente composti da resistenze, condensatori e induttori. Poiché gli elementi resistivi sono difficili da implementare in forma integrata e occupano grandi aree, questi vengono sostituiti da delle capacità commutate (switched capacitor).

La figura 1 mostra un semplice circuito switched capacitor, costituito da un condensatore  $C$  e due interruttori  $S_1$  e  $S_2$ . Gli switch  $S_1$  e  $S_2$  collegano

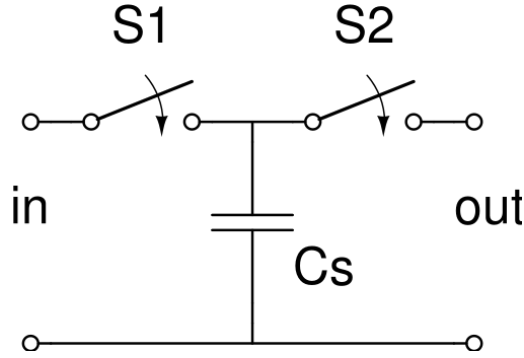


Figura 1: Switched capacitor

il condensatore all'input o all'output chiudendosi in modo alternato. In ogni ciclo di commutazione viene trasferita una carica  $q$  dall'input all'output con frequenza  $f$ . La carica  $q$  immagazzinata in una capacità  $C$  con tensione  $V$  tra le armature del condensatore è data dalla formula  $q = CV$ .

Quando l'interruttore  $S_1$  è chiuso,  $S_2$  è aperto, e la carica nel condensatore è  $q_1 = CV_1$ . Quando  $S_1$  è aperto e  $S_2$  è chiuso si ha  $q_2 = CV_2$ . Ipotizzando  $V_1 > V_2$ , allora la carica  $\Delta q$  trasferita è  $\Delta q = q_1 - q_2 = C(V_1 - V_2)$ .

Se l'interruttore commuta con frequenza  $f_{\text{clk}}$ , la corrente media è

$$I_{\text{avg}} = C f_{\text{clk}} (V_1 - V_2). \quad (1)$$

Considerando una resistenza  $R$  connessa alle stesse tensioni  $V_1$  e  $V_2$ , allora

$$I = \frac{(V_1 - V_2)}{R}. \quad (2)$$

Uguagliando (1) e (2) si ha una resistenza equivalente  $R = \frac{1}{f_{\text{clk}}C} = \frac{T_{\text{clk}}}{C}$ .

Si può notare che lo switched capacitor si comporta come una resistenza dipendente dalla capacità  $C$  e dalla frequenza  $f_{\text{clk}}$ .

La progettazione circuitale del filtro viene implementata dai software Cadence® Virtuoso® Schematic Editor e Cadence Virtuoso ADE. Questi strumenti lavorano insieme per la realizzazione del progetto e di tutti i test necessari. Questi strumenti sono anche ben integrati con una varietà di strumenti di simulazione e di implementazione fisica, consentendo una condivisione delle informazioni.

L'elaborato è diviso in due capitoli principali. Nel capitolo 2 si illustra la progettazione del filtro ideale, con la presentazione dei codici e tool Matlab usati nella sezione 2.1, l'implementazione in Cadence in 2.2 e il dynamic range scaling delle capacità in 2.3. Il capitolo 3 si descrive la progettazione del filtro reale, con il dimensionamento del transmission gate in 3.1, dell'amplificatore operativo reale in 3.2 e lo scaling statico delle capacità in 3.3.

## 2 Progetto del filtro ideale

### 2.1 Progettazione in Matlab

Il filtro switched capacitor da progettare deve rispettare le specifiche mostrate in tabella 1. Per realizzare un filtro digitale si può usare il tool Filter Designer

Specifica	Valore
Frequenza di campionamento	2 MHz
Guadagno in banda passante	0 dB
Banda passante	0 – 60 kHz
Ripple in banda passante	< 0.15 dB
Fstop	$\geq$ 72 kHz
Attenuation in stopband	40 dB
Power supply voltage	3.3 V

Tabella 1: Specifiche del filtro

di Matlab che consente di progettare rapidamente filtri digitali FIR o IIR impostando le specifiche delle prestazioni del filtro. Filter Designer fornisce anche strumenti per analizzare i filtri, come la risposta in fase e in frequenza e grafici dei poli e degli zeri. Per avviare questo strumento basta digitare dal prompt dei comandi di Matlab il seguente comando:

```
>> filterDesigner
```

Codice 1: Comando per aprire Filter Designer

In figura 2 si possono osservare i settaggi del tool seguendo le specifiche del filtro. Una volta impostate tutte le specifiche basta cliccare "Design Filter" per ottenere il filtro desiderato. Cliccando su Edit → Reorder and Scale Second-Order Section, si possono ordinare le singole sezioni del secondo ordine che compongono il filtro totale. In questo progetto sono state ordinate dalla meno selettiva in frequenza alla più selettiva, scegliendo l'ordinamento "Least selective section to most selective section". Cliccando su View → Filter Visualization Tool si apre uno strumento che consente di osservare meglio la risposta del filtro, come si può vedere nella figura 3. La risposta totale del filtro può anche essere vista in scala logaritmica, come in figura 4.

Le figure 5, 6, 7, 8, 9, 10, 11 e 12 mostrano le risposte di ogni sezione del secondo ordine del filtro in scala lineare e logaritmica.

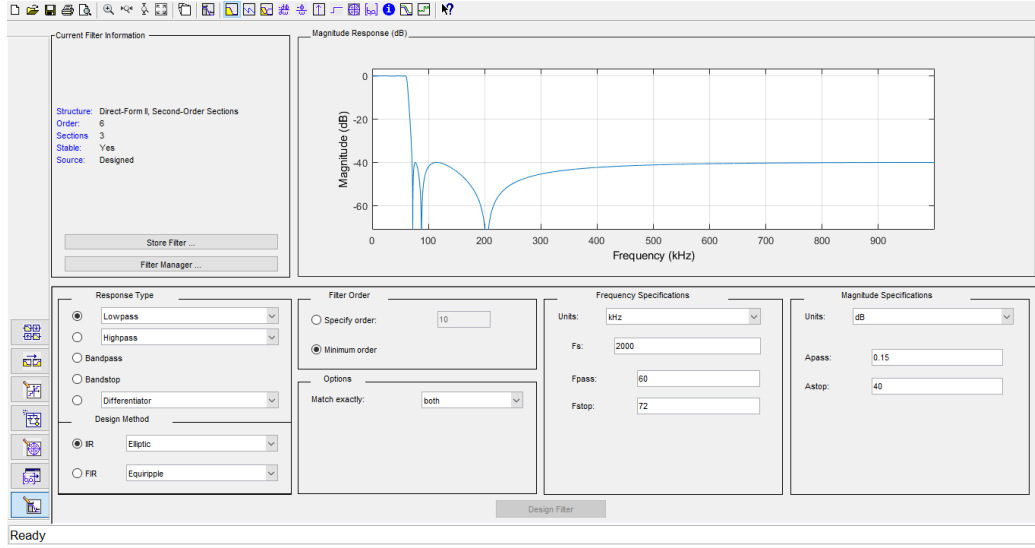


Figura 2: Matlab Filter Designer

Cliccando sul File → Export si possono esportare le matrici dei coefficienti delle sezioni di secondo ordine del filtro. Sul workspace di Matlab si ottengono due matrici  $\mathbf{G}$  e  $\mathbf{SOS}$  che rappresentano rispettivamente i guadagni e i coefficienti di ogni sezione del secondo ordine del filtro. La matrice  $\mathbf{SOS}$  è una matrice  $M \times 6$  che contiene i coefficienti di ciascuna sezione del secondo ordine nelle sue righe:

$$\mathbf{SOS} = \begin{bmatrix} b_{01} & b_{11} & b_{21} & 1 & a_{11} & a_{21} \\ b_{02} & b_{12} & b_{22} & 1 & a_{12} & a_{22} \\ \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\ b_{0M} & b_{1M} & b_{2M} & 1 & a_{1M} & a_{2M} \end{bmatrix}$$

Nel filtro del progetto è del sesto ordine, quindi  $M = 3$  perché il filtro totale è composto da tre sezioni del secondo ordine. I coefficienti sono elencati nella tabella 2 e da questi si possono ricavare le funzioni di ogni sezione del secondo ordine.

$$H_1(z) = 0.4 \cdot \frac{1 - 1.6048z^{-1} + z^{-2}}{1 - 1.8121z^{-1} + 0.8262z^{-2}} \quad (3)$$

$$H_2(z) = 0.6945 \cdot \frac{1 - 1.9246z^{-1} + z^{-2}}{1 - 1.8934z^{-1} + 0.9224z^{-2}} \quad (4)$$

$$H_3(z) = 0.0351 \cdot \frac{1 - 1.9488z^{-1} + z^{-2}}{1 - 1.9447z^{-1} + 0.9817z^{-2}} \quad (5)$$

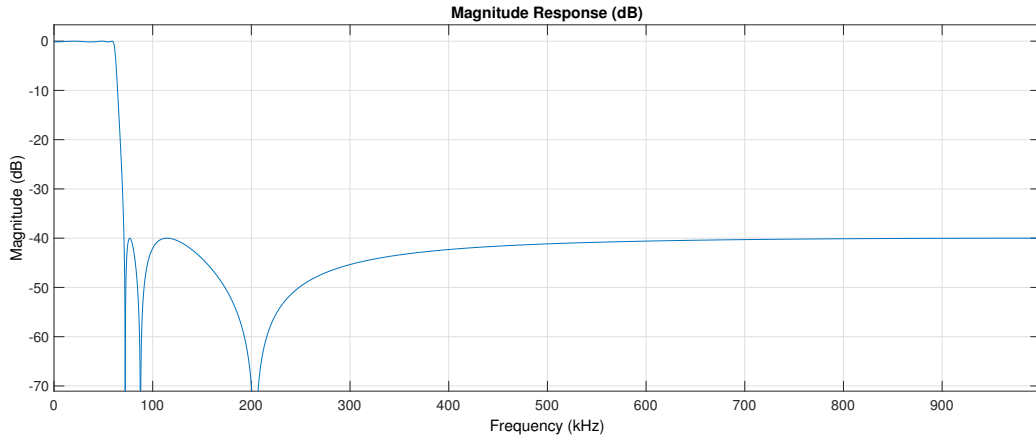


Figura 3: Risposta totale del filtro

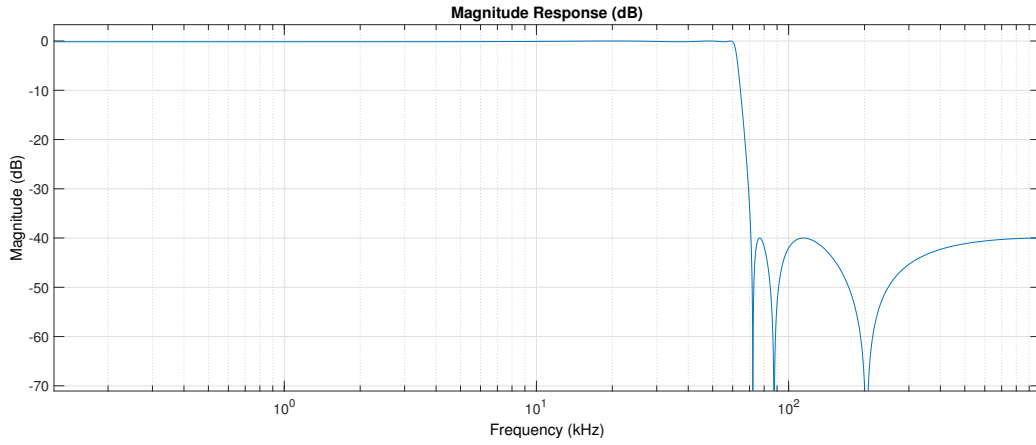


Figura 4: Risposta totale del filtro in scala logaritmica

Poiché la forma della funzione di trasferimento implementata da Matlab è del tipo (6)

$$H(z) = G \cdot \frac{b_0 + b_1 z^{-1} + b_2 z^{-2}}{a_0 + a_1 z^{-1} + a_2 z^{-2}} \quad (6)$$

per ottenere una funzione nella forma (7)

$$H(z) = -\frac{a_2 z^2 + a_1 z^1 + a_0}{b_2 z^2 + b_1 z^1 + 1} \quad (7)$$

occorre calcolare i nuovi coefficienti secondo lo schema (8), come illustrato in [2], dove i coefficienti a sinistra dell'uguale sono i nuovi coefficienti della

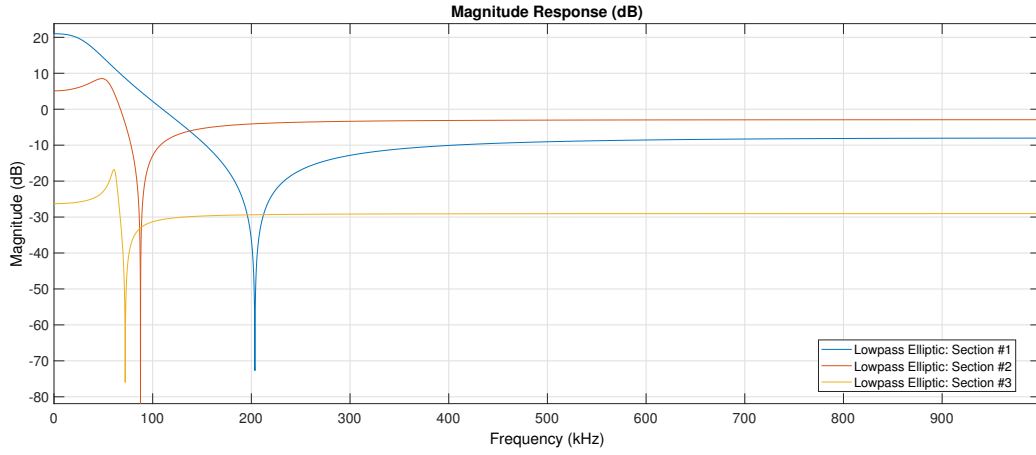


Figura 5: Risposta individuale del filtro

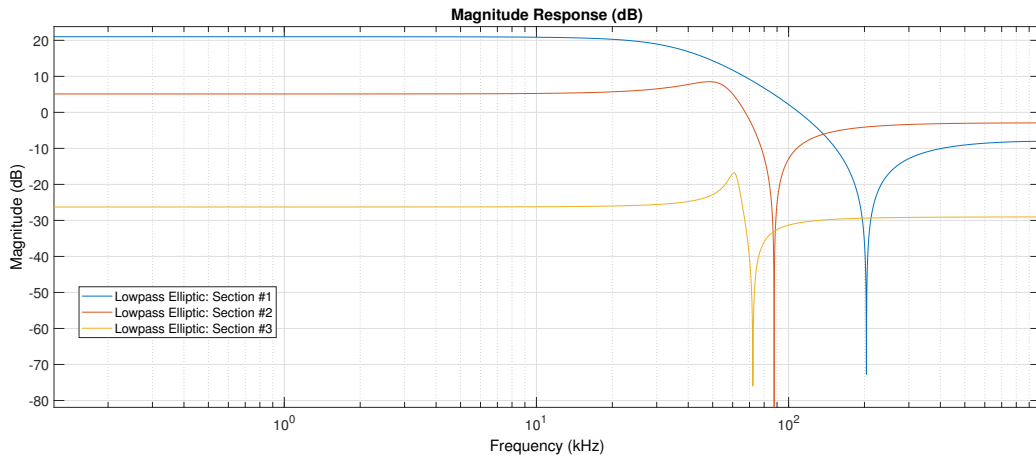


Figura 6: Risposta individuale del filtro in scala logaritmica

funzione (7) e quelli a destra dell'uguale sono presi da (6).

$$\begin{cases} a_2 = b_0/a_2 \cdot G \\ a_1 = b_1/a_2 \cdot G \\ a_0 = b_2/a_2 \cdot G \\ b_2 = a_0/a_2 \\ b_1 = a_1/a_2 \\ b_0 = a_2/a_2 = 1 \end{cases} \quad (8)$$

Il codice 2 mostra come convertire i coefficienti del primo stadio del filtro, poiché si prendono gli elementi della prima riga della matrice **SOS**. Per otte-



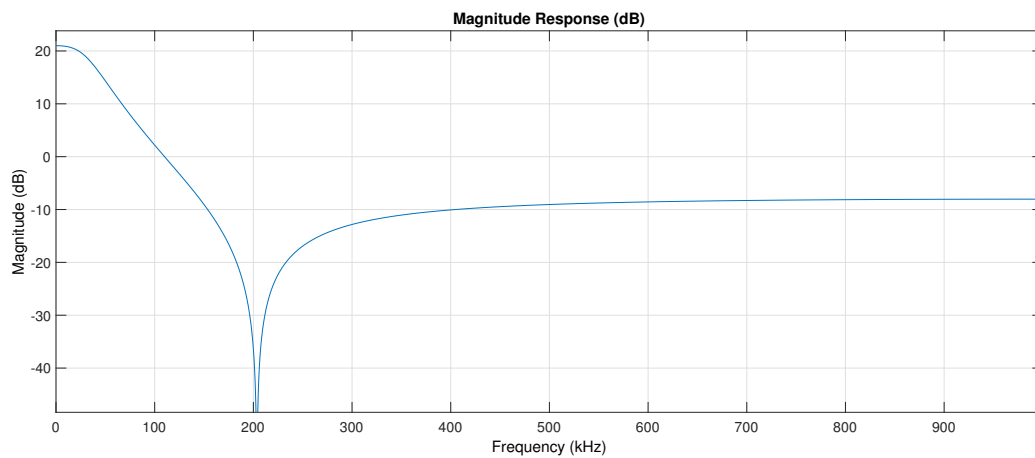


Figura 7: Risposta della prima sezione del filtro

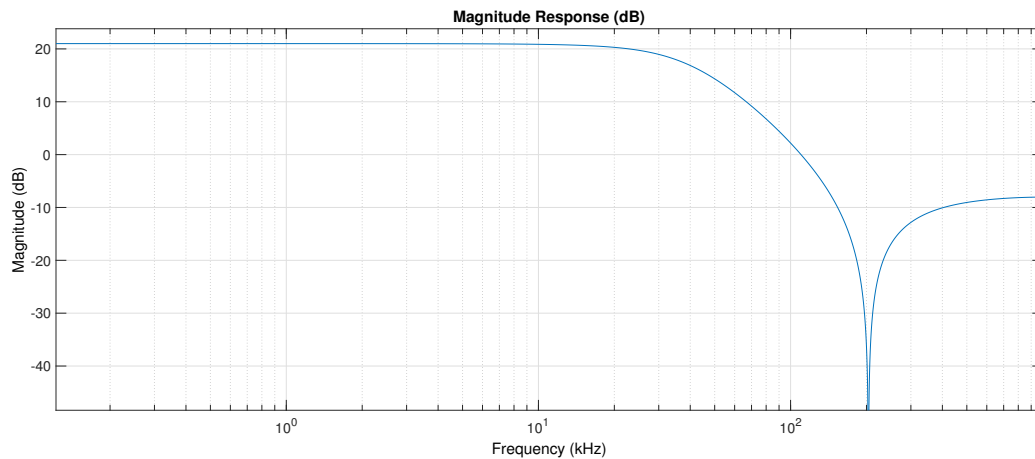


Figura 8: Risposta della prima sezione del filtro in scala logaritmica

nere i coefficienti dello stadio  $i$ -esimo occorre fare gli stessi calcoli con l'indice  $i$  della riga della matrice **SOS** pari allo stadio in questione.

```

a2 = SOS(1,1)/SOS(1,6)*G(1);
a1 = SOS(1,2)/SOS(1,6)*G(1);
a0 = SOS(1,3)/SOS(1,6)*G(1);
b2 = SOS(1,4)/SOS(1,6);
b1 = SOS(1,5)/SOS(1,6);
b0 = SOS(1,6)/SOS(1,6);
num1 = [a2 a1 a0];
den1 = [b2 b1 b0];

```

Codice 2: Codice per la conversione dei coefficienti

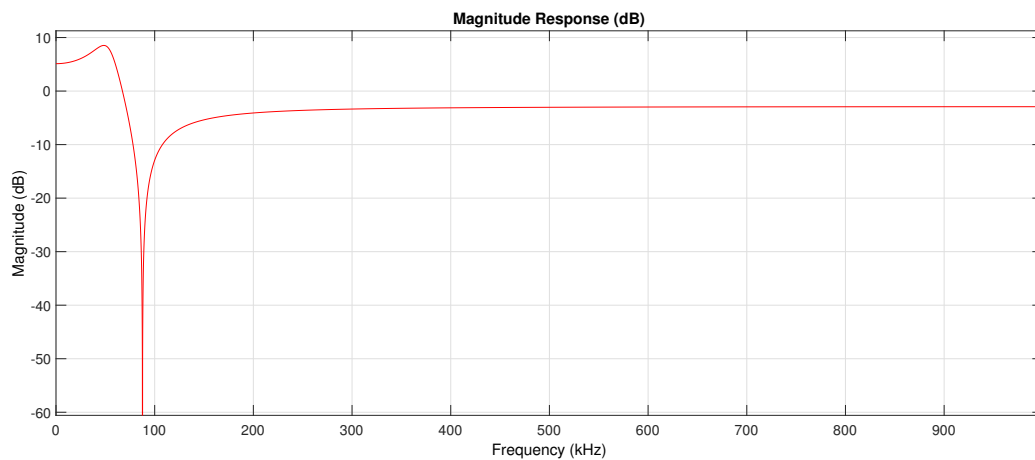


Figura 9: Risposta della seconda sezione del filtro

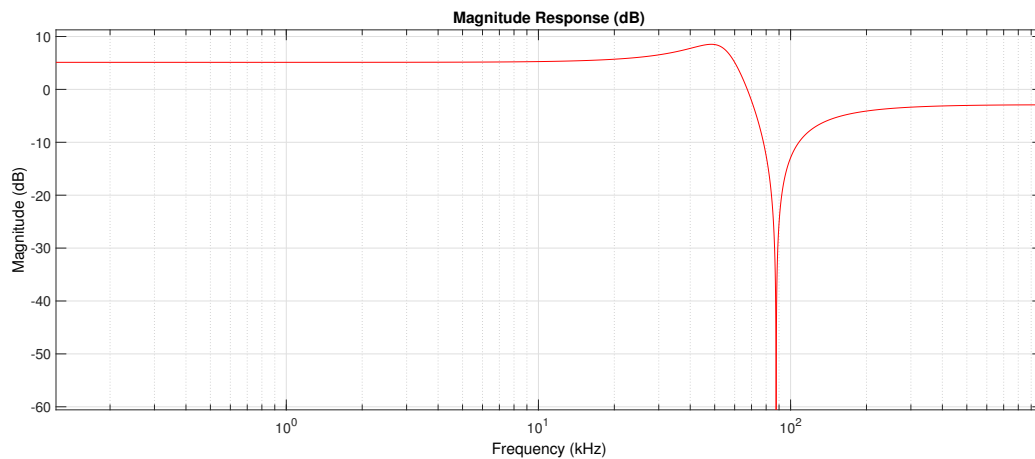


Figura 10: Risposta della seconda sezione del filtro in scala logaritmica

I vettori **num1** e **den1** contengono rispettivamente i nuovi coefficienti del numeratore e denominatore del primo stadio del filtro.

Usando la funzione Matlab **sos2tf** si può convertire la funzione del secondo ordine del filtro nella funzione di trasferimento totale, come mostrato nel codice 3.

```
[b,a] = sos2tf(SOS, G);
```

Codice 3: Uso della funzione **sos2tf**

I vettori riga **b** e **a** contengono i coefficienti numeratore e denominatore di  $H(z)$  memorizzati secondo potenze decrescenti di  $z$ . Il risultato è mostrato

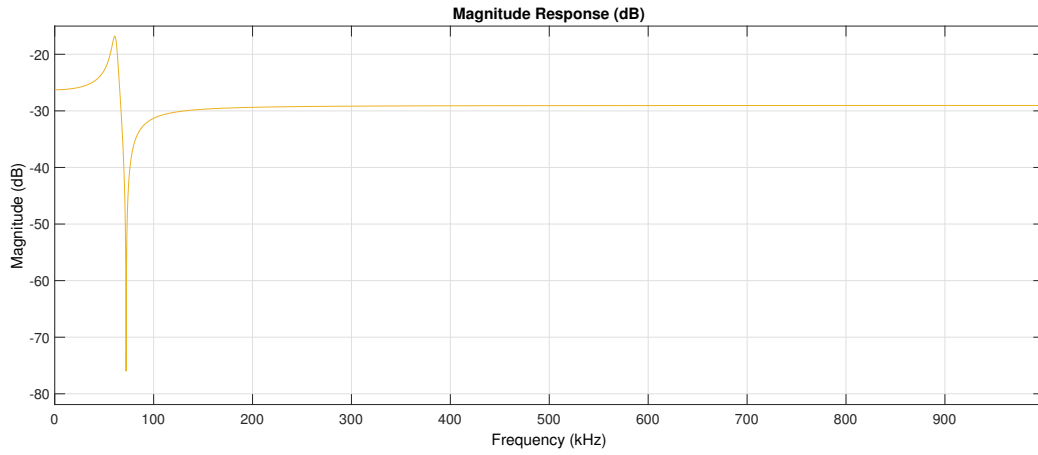


Figura 11: Risposta della terza sezione del filtro

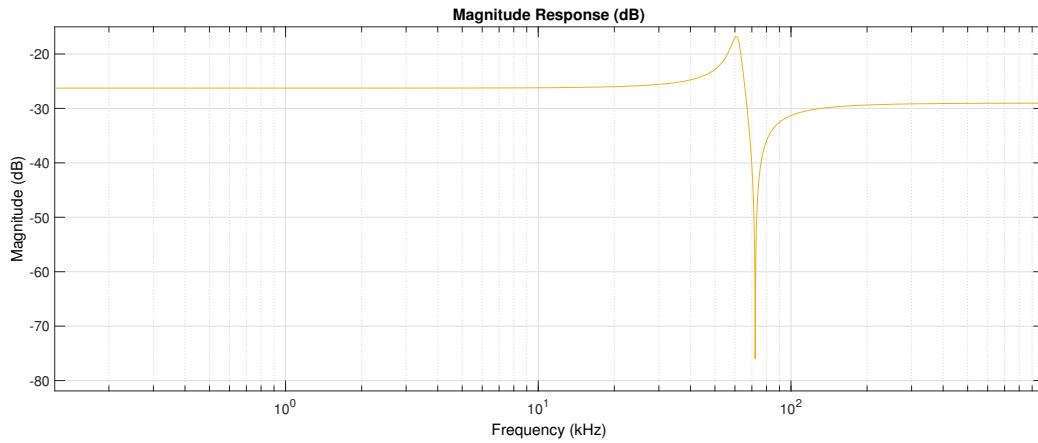


Figura 12: Risposta della terza sezione del filtro in scala logaritmica

nell'eq. (9).

$$H(z) = \frac{B(z)}{A(z)} = \frac{0.0098 - 0.0535z^{-1} + 0.1265z^{-2} - 0.1656z^{-3} + 0.1265z^{-4} - 0.0535z^{-5} + 0.0098z^{-6}}{1 - 5.6502z^{-1} + 13.3677z^{-2} - 16.9468z^{-3} + 12.1402z^{-4} - 4.6589z^{-5} + 0.7482z^{-6}} \quad (9)$$

Usando la funzione del Matlab `sos2zp` si possono ricavare gli zeri, i poli e il guadagno della funzione di trasferimento, come mostrato nel codice 4.

```
[z,p,k] = sos2zp(SOS, G);
```

Codice 4: Uso della funzione `sos2zp`

Sezione	Guadagno	Numeratore	Denominatore
1	0.4	1	1
		-1.6048	-1.8121
		1	0.8262
2	0.6945	1	1
		-1.9247	-1.8934
		1	0.9224
3	0.0351	1	1
		-1.9488	-1.9447
		1	0.9817

Tabella 2: Coefficienti del filtro

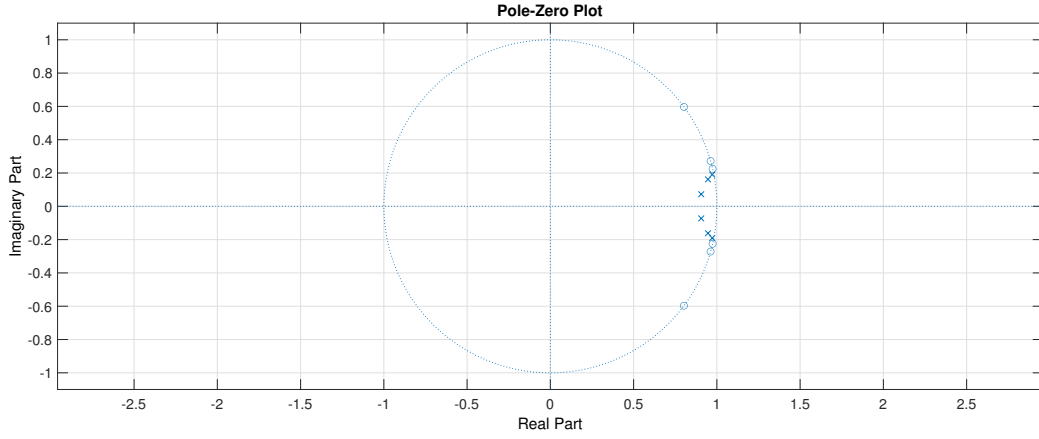


Figura 13: Plot dei poli e zeri

I vettori di colonna  $\mathbf{z}$  e  $\mathbf{p}$  contengono gli zeri e i poli della funzione di trasferimento (10), mentre  $\mathbf{k}$  contiene il guadagno.

$$H(z) = k \frac{(z - z_1)(z - z_2) \dots (z - z_n)}{(p - p_1)(p - p_2) \dots (p - p_m)} \quad (10)$$

dove gli ordini  $n$  e  $m$  sono determinati dalla matrice **SOS**. Dalla tabella 3 si possono osservare i valori numerici dei poli e degli zeri illustrati nella figura 13.

Per verificare se gli zeri sono dentro o fuori dal cerchio unitario è stato implementato in Matlab il seguente codice 5.

```
num_roots = roots(num1);
```

Sezione	Poli	Zeri
1	$0.9061 \pm j0.0726$	$0.8024 \pm j0.5968$
2	$0.9467 \pm j0.1618$	$0.9624 \pm j0.2719$
3	$0.9724 \pm j0.1904$	$0.9744 \pm j0.2249$

Tabella 3: Poli e zeri degli stadi del filtro

```

zero_magnitude = abs(num_roots);
if zero_magnitude <= 1
    disp("Lo zero e' all'interno del cerchio unitario");
else
    disp("Lo zero e' all'esterno del cerchio unitario");
end

```

Codice 5: Verifica degli zeri all'interno del cerchio unitario

Dove il vettore **num1** contiene i coefficienti del numeratore della funzione di trasferimento del primo stadio, la funzione **roots** calcola gli zeri e **abs** ne fa il valore assoluto.

Passando dalla formulazione  $a + jb$  alla notazione polare  $\rho e^{\pm j\theta}$  si possono calcolare i fattori di qualità di ogni sezione usando la formula

$$Q = \frac{\theta_i}{2(1 - \rho_i)} \quad (11)$$

dove  $\theta_i$  e  $\rho_i$  sono la fase e il modulo dell'i-esimo polo.

Per calcolare i fattori di qualità in Matlab, usando la formula (11), è stato implementato il seguente codice

```

rho = abs(p);
theta = angle(p);
q1 = theta(1) / (2*(1-rho(1))); % quality factor primo stadio
q2 = theta(3) / (2*(1-rho(3))); % quality factor secondo stadio
q3 = theta(5) / (2*(1-rho(5))); % quality factor terzo stadio

```

Codice 6: Calcolo del quality factor in Matlab

dove il vettore **p** contiene i poli della funzione di trasferimento, la funzione **abs** ne calcola i valori assoluti e **angle** ne calcola la fase. I tre fattori di qualità che si ottengono sono elencati nella tabella 4.

Nell'ambiente di sviluppo Cadence, il primo stadio da implementare sarà quello con il fattore di qualità minore, lo stadio intermedio sarà quello con il fattore di qualità maggiore, mentre lo stadio finale avrà il fattore di qualità

Sezione	Fattore di qualità
1	0.43889
2	2.13921
3	10.5363

Tabella 4: Fattori di qualità

intermedio. La sezione 1 del Matlab è a basso  $Q$  ( $Q < 1$ ) con zero all'interno del cerchio unitario, mentre le sezioni 2 e 3 del Matlab sono ad alto  $Q$  ( $Q > 1$ ) con zeri all'interno del cerchio unitario.

La figura 14 rappresenta la sezione a basso  $Q$  e con zeri dentro il cerchio unitario, la cui funzione di trasferimento è del tipo (12).

$$H(z) = -\frac{(J + K)z^2 + (GA - J - 2K)z + K}{(1 + F)z^2 + (CA - F - 2)z + 1} \quad (12)$$

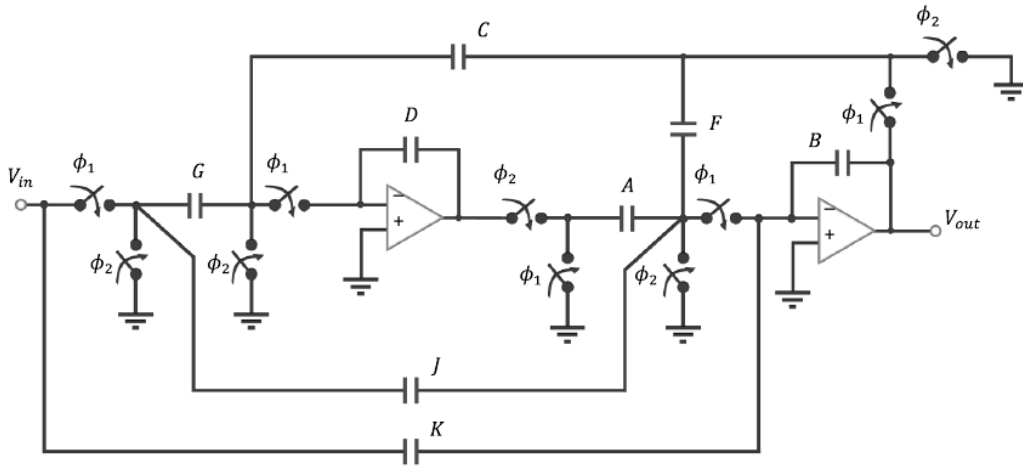


Figura 14: Schema filtro basso  $Q$  e zeri dentro il cerchio unitario

Le capacità si calcolano seguendo le formule (13).

$$\left\{ \begin{array}{l} B = 1 \\ D = 1 \\ K = a_0 \\ J = a_2 - a_0 \\ G = \frac{a_0 + a_1 + a_2}{\sqrt{b_1 + b_2 + 1}} \\ F = b_2 - 1 \\ C = \sqrt{b_1 + b_2 + 1} \\ A = \sqrt{b_1 + b_2 + 1} \end{array} \right. \quad (13)$$

dove  $a_0, a_1, a_2, b_1$  e  $b_2$  sono i coefficienti dell'equazione (7). Per calcolare le capacità è stato implementato il seguente codice Matlab.

```
B = 1;
D = 1;
K = a0;
J = a2 - a0;
G = (a0+a1+a2)\sqrt(b1+b2+1);
F = b2 - 1;
C = sqrt(b1+b2+1);
A = sqrt(b1+b2+1);
```

Codice 7: Calcolo delle capacità dello stadio low Q

Dove **a0, a1, a2, b1, b2** sono i coefficienti della funzione di trasferimento del primo stadio calcolati nel codice 2.

La figura 15 rappresenta la sezione ad alto Q e con zeri dentro il cerchio unitario, la cui funzione di trasferimento è del tipo (14).

$$H(z) = -\frac{Kz^2 + (CG + LC - 2K)z + (K - LC)}{z^2 + (AC + CE - 2)z + (1 - CE)} \quad (14)$$

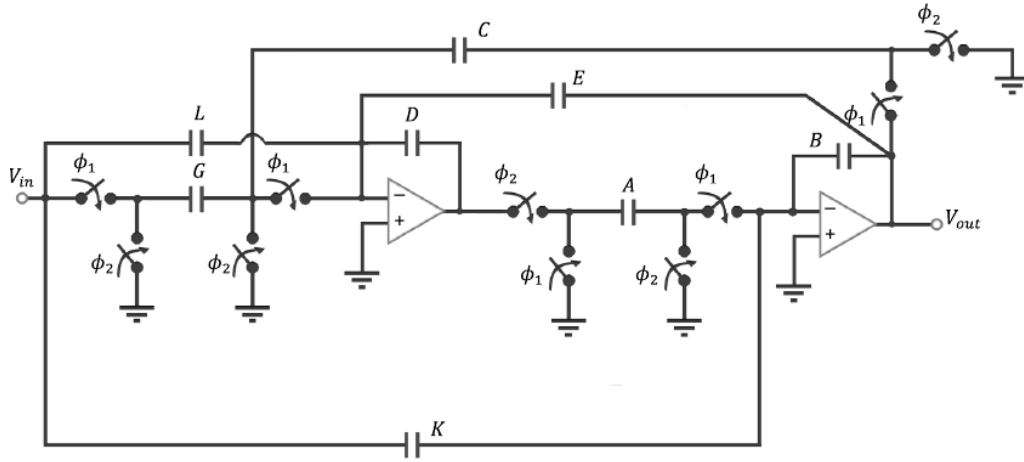


Figura 15: Schema filtro alto Q e zeri dentro il cerchio unitario

Le capacità si calcolano seguendo le formule (15).

$$\left\{ \begin{array}{l} B = 1 \\ D = 1 \\ K = \frac{a_2}{b_2} \\ L = \frac{a_2 - a_0}{b_2 C} \\ G = \frac{a_0 + a_1 + a_2}{b_2 C} \\ E = \frac{b_2 - 1}{b_2 C} \\ C = \sqrt{\frac{b_1 + b_2 + 1}{b_2}} \\ A = \sqrt{\frac{b_1 + b_2 + 1}{b_2}} \end{array} \right. \quad (15)$$

dove  $a_0$ ,  $a_1$ ,  $a_2$ ,  $b_1$  e  $b_2$  sono i coefficienti dell'equazione (7). Per calcolare le capacità è stato implementato il seguente codice Matlab.

```
B = 1;
D = 1;
K = a2/b2;
C = sqrt((b1+b2+1)/b2);
A = sqrt((b1+b2+1)/b2);
L = (a2-a0)/(b2*C);
G = (a0+a1+a2)/(b2*C);
```



$$E = (b2 - 1) / (b2 * C);$$

Codice 8: Calcolo delle capacità dello stadio high Q

Usando il codice 8 si possono calcolare i coefficienti del secondo e terzo stadio. La capacità calcolate sono elencate nella tabella 5, i valori sono espressi in pF. Gli stadi sono elencati nello stesso modo in cui vengono ordinati dal Matlab.

<b>Capacità [pF]</b>	<b>Stadio 1</b> ( $Q = 0.439$ )	<b>Stadio 2</b> ( $Q = 2.139$ )	<b>Stadio 3</b> ( $Q = 10.536$ )
A,C	0.13058	0.17038	0.19238
B,D	1	1	1
F	0.21033	0	0
G	1.4654	0.30709	0.0093486
J,L	0	0	0
K	0.48419	0.69455	0.035118
E	0	0.45531	0.094951

Tabella 5: Capacità del filtro

## 2.2 Implementazione in Cadence

Nell'ambiente di sviluppo Cadence occorre dimensionare e simulare lo schematico. Per procedere in modo ordinato, si crea una cartella, detta anche libreria, in cui contenere tutti i circuiti che vogliamo disegnare. Per creare una libreria occorre andare su "File" → "New" → "Library" e selezionare successivamente l'opzione "Attach to an existing techfile". La prima libreria creata conterrà gli schematici di tutte le sezioni del filtro. Ognuno di questi schematici è contenuto in una cella che può essere creata tramite "File" → "New" → "Cellview". L'uso delle celle è importante perché consentono di creare dei simboli che corrispondono ad un circuito più ampio. Le figure 16, 17 e 18 mostrano rispettivamente gli schematici del primo, secondo e terzo stadio del filtro.

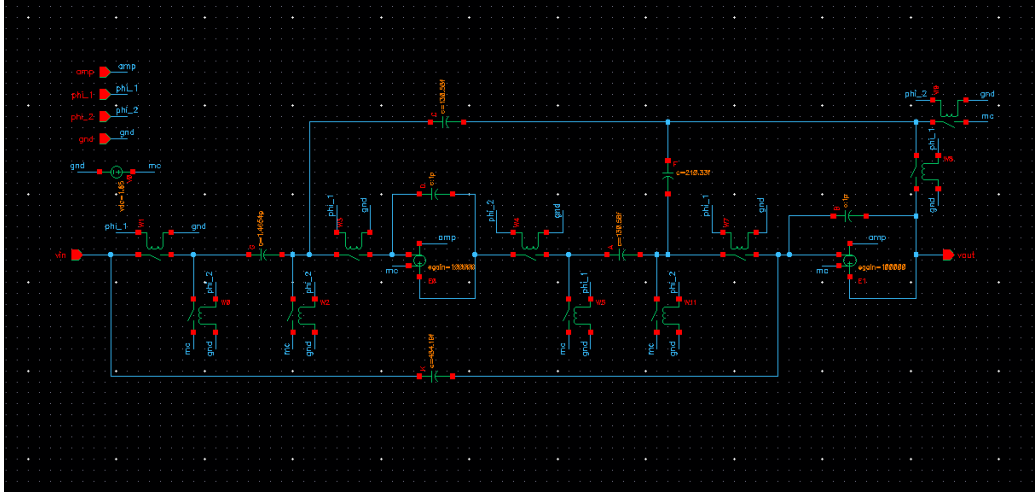


Figura 16: Schematico del primo stadio del filtro ideale

La figura 19 mostra il simbolo creato per contenere lo schematico del primo filtro e lo schema per testarne il comportamento in frequenza. Per eseguire l'analisi in frequenza è stata impostata una "PSS Analysis" con frequenza fondamentale pari a 2 MHz e dieci armoniche e una "PAC Analysis" con uno sweep logaritmico da 1 Hz a 2 MHz. Il generatore di ingresso viene impostato con una tensione DC di 1.65 V e una PAC Magnitude di 1 V. I generatori di onda quadra collegati a phi\_1 e phi\_2 oscillano tra 0 V e 3.3 V, hanno frequenza di 2 MHz, un tempo di salita e discesa pari a 100 ps e sono distanziati temporalmente di 250 ns l'uno rispetto all'altro. Questo schematico è stato poi ripetuto per ogni sezione del filtro, al fine di analizzarne la risposta in frequenza. La figura 20 mostra il banco di prova del filtro totale, sono infatti presenti i tre filtri del secondo ordine in cascata.

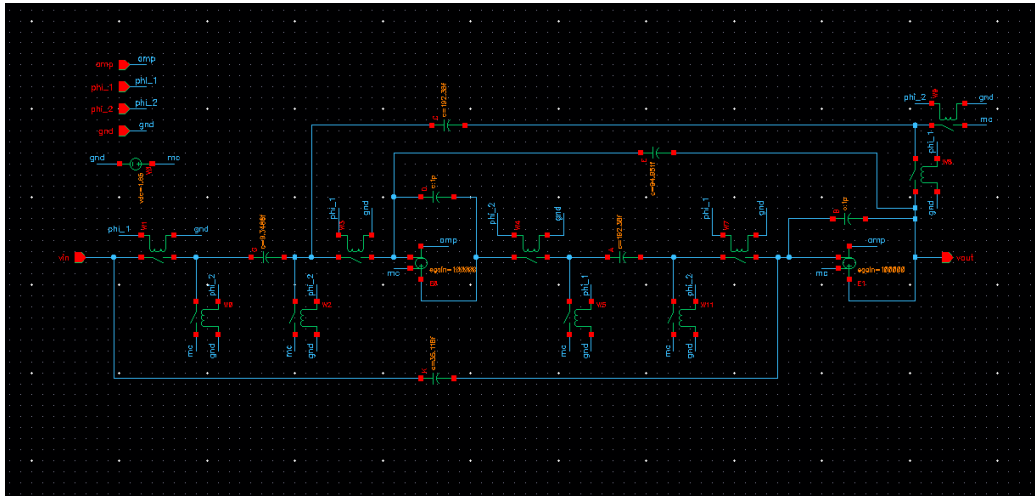


Figura 17: Schematico del secondo stadio del filtro ideale

I confronti tra le risposte in frequenza delle singole sezioni del secondo ordine del filtro ideale disegnato in Cadence con quello progettato in Matlab sono illustrate in figura 21, 22 e 23.

Il confronto della risposta in frequenza del filtro ideale disegnato in Cadence con quello progettato in Matlab è illustrato in figura 24.

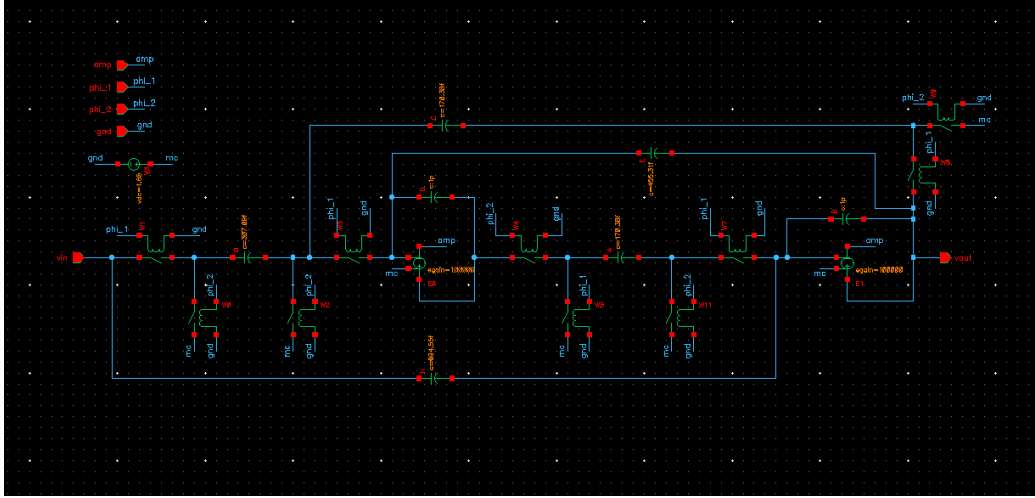


Figura 18: Schematico del terzo stadio del filtro ideale

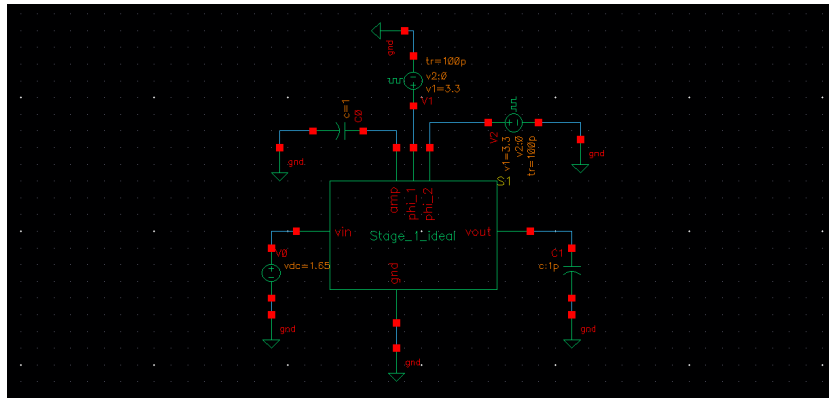


Figura 19: Schematico del test bench del primo stadio del filtro ideale

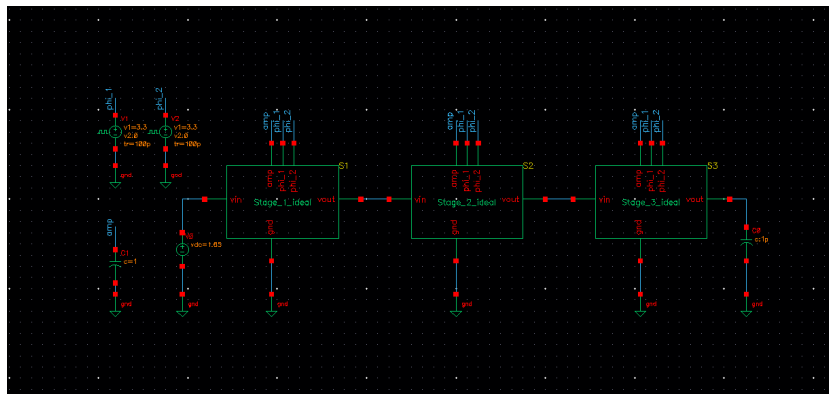
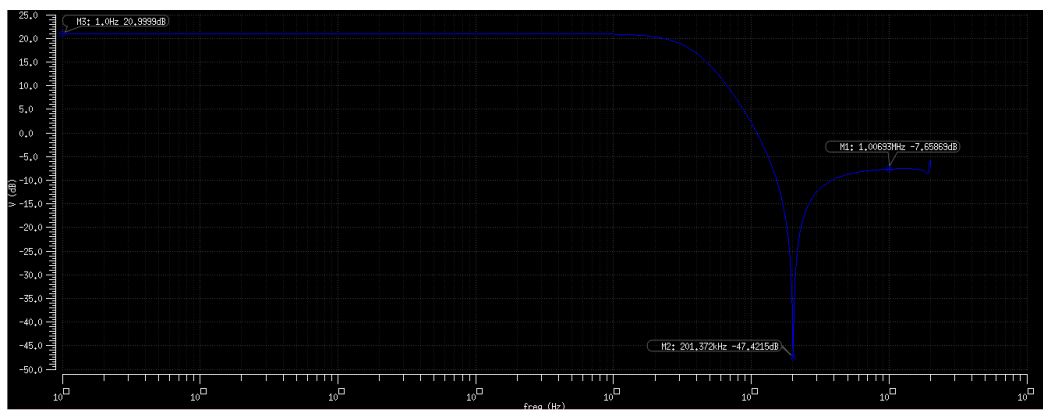
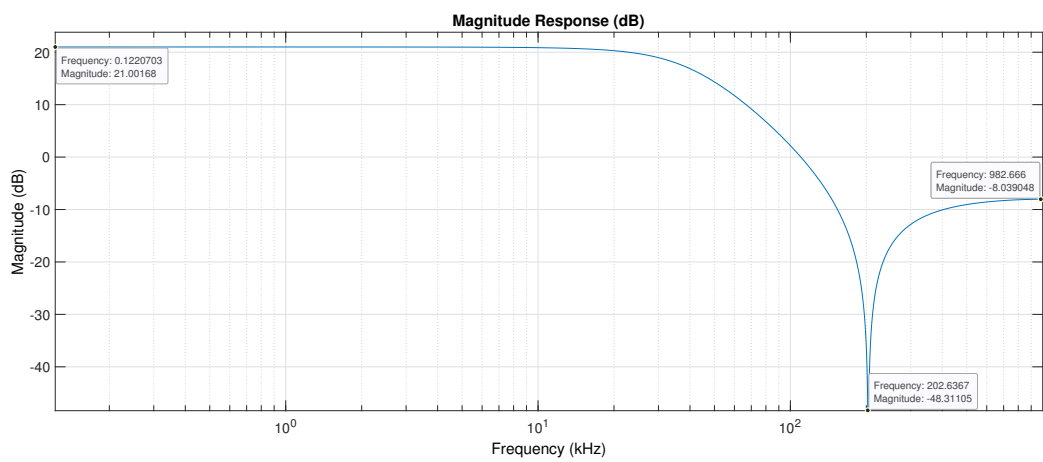


Figura 20: Schematico del test bench del filtro ideale

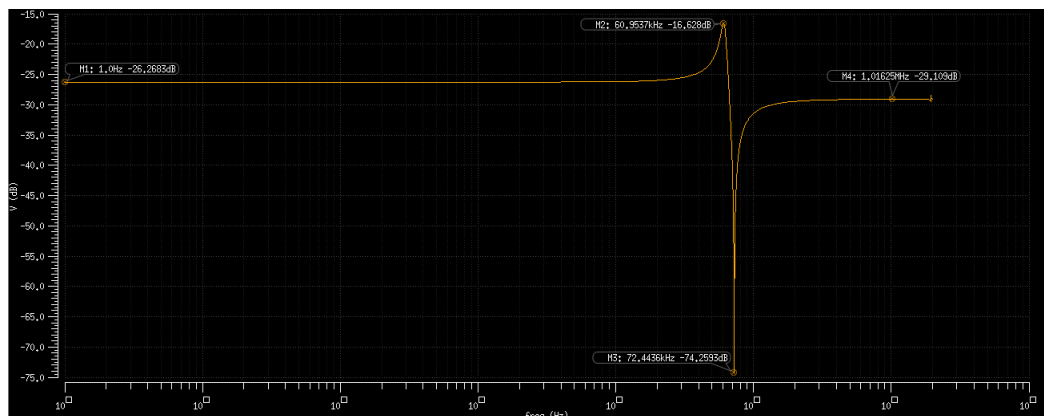


(a) Risposta in frequenza del primo stadio in Cadence

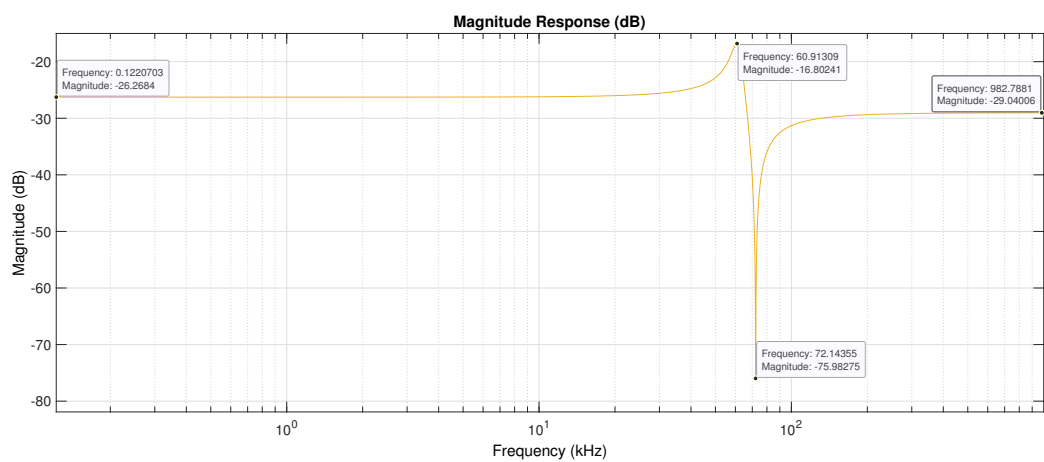


(b) Risposta in frequenza del primo stadio in Matlab

Figura 21: Confronto della risposta in frequenza del primo stadio

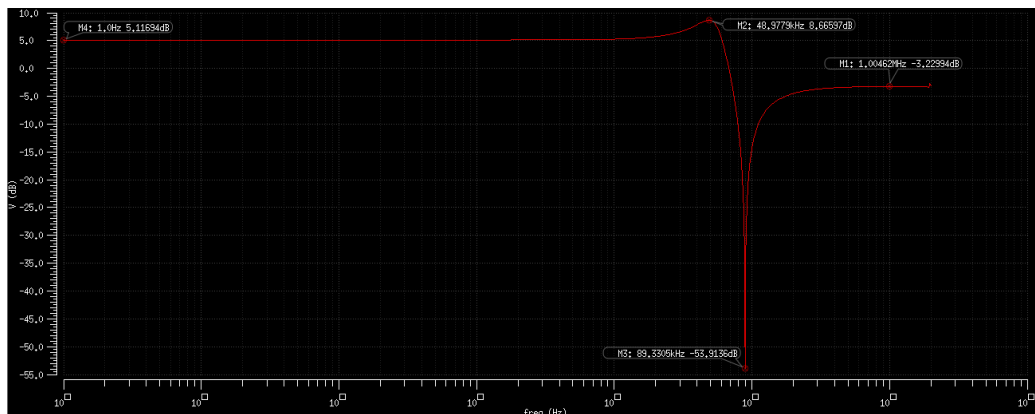


(a) Risposta in frequenza del secondo stadio in Cadence

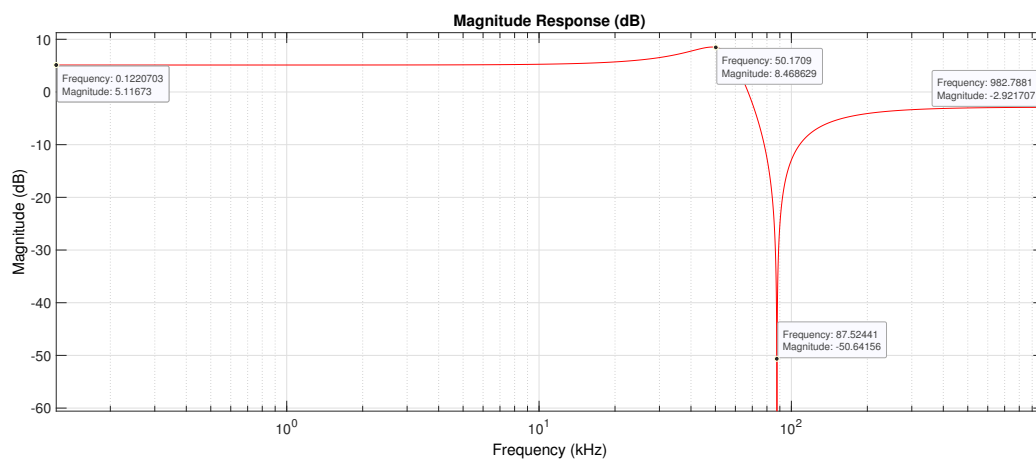


(b) Risposta in frequenza del secondo stadio in Matlab

Figura 22: Confronto della risposta in frequenza del secondo stadio

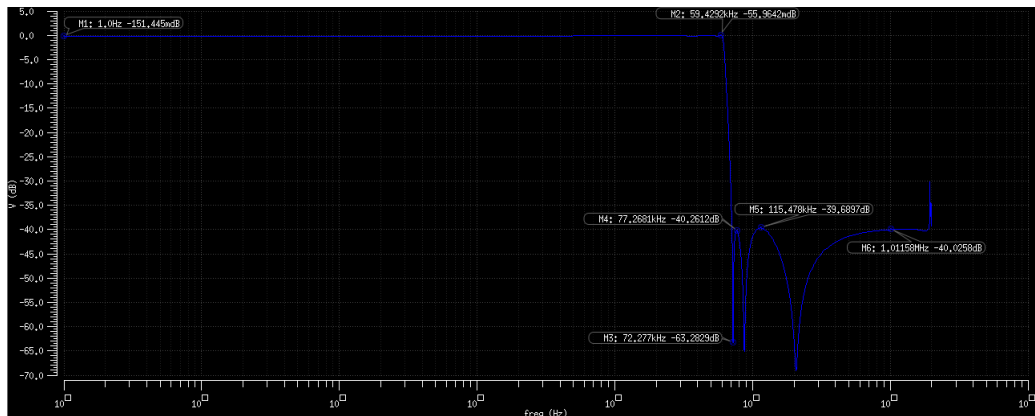


(a) Risposta in frequenza del terzo stadio in Cadence

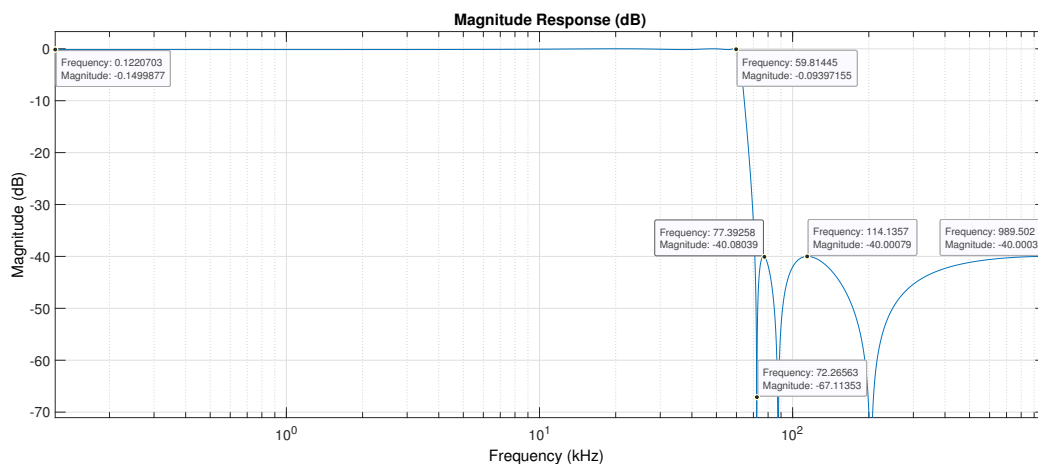


(b) Risposta in frequenza del terzo stadio in Matlab

Figura 23: Confronto della risposta in frequenza del terzo stadio



(a) Risposta in frequenza del filtro in Cadence



(b) Risposta in frequenza del filtro in Matlab

Figura 24: Confronto della risposta in frequenza del filtro



## 2.3 Dynamic Range Scaling

L'ultimo step da seguire prima di passare dal filtro ideale a quello reale è lo scaling delle capacità. In particolare lo scaling dinamico permette di aumentare il range degli amplificatori. Con il Dynamic Range Scaling si scala l'ampiezza della tensione di uscita di ogni operazionale per fare in modo che ogni operazionale entri in saturazione per lo stesso livello di ingresso. Lo scaling non modifica l'uscita finale del filtro.

Per eseguire il Dynamic Range Scaling si deve ottenere il massimo della tensione del nodo di uscita. Usando il tool "Calculator" presente nel Visualization & Analysis del Cadence si può calcolare la tensione massima di uscita dell'ultimo stadio valutando l'espressione `ymax(abs(value(vh('pac "/net2") "harmonic" 0)))`, dove `net2` è il nodo di uscita.

Inoltre, occorre sapere la tensione di uscita di ogni operazionale. Il fattore di scaling si ottiene dividendo la tensione di uscita di ogni operazionale per il massimo della tensione del nodo di uscita. Si scalano le capacità attaccate al nodo dell'operazionale in esame e si ripetono i passaggi per ogni op-amp. I fattori di scaling calcolati sono mostrati nella tabella 6, mentre il risultato dello scaling sulle capacità è illustrato in tabella 7.

Op-amp	Sez.	Fattore di scaling	Capacità da scalare		
			Sez. 1 ( $Q = 0.439$ )	Sez. 2 ( $Q = 10.536$ )	Sez.3 ( $Q = 2.139$ )
1	1	18.1162	A,D		
2	1	11.2222	B,C,F	G,L,K	
1	2	0.5247		A,D	
2	2	0.5467		B,C,E	G,J,K
1	3	1.2802			A,D
2	3	1.0002			B,C,F

Tabella 6: Fattori di scaling

Le figure 25, 26, 27 mostrano le risposte in frequenza di ogni stadio del filtro dopo aver effettuato il dynamic range scaling. La figura 28 mostra la risposta in frequenza del filtro totale dopo aver effettuato il dynamic range scaling. Come si può vedere, il valore di picco della tensione in DC di ciascuno dei tre stadi è di circa 0 dB, mentre prima dello scaling si avevano 21 dB, -26 dB e 5 dB.

Capacità [pF]	Stadio 1 ( $Q = 0.439$ )	Stadio 2 ( $Q = 10.536$ )	Stadio 3 ( $Q = 2.139$ )
A	2.3656	0.10094	0.21812
B	11.2222	0.5467	1.0002
C	1.4654	0.10517	0.17041
D	18.1162	0.5247	1.2802
E	0	0.05191	0.45531
F	2.36036	0	0
G	1.4654	0.10491	0.16789
J,L	0	0	0
K	0.48419	0.3941	0.37971

Tabella 7: Valori delle capacità dopo aver effettuato lo scaling

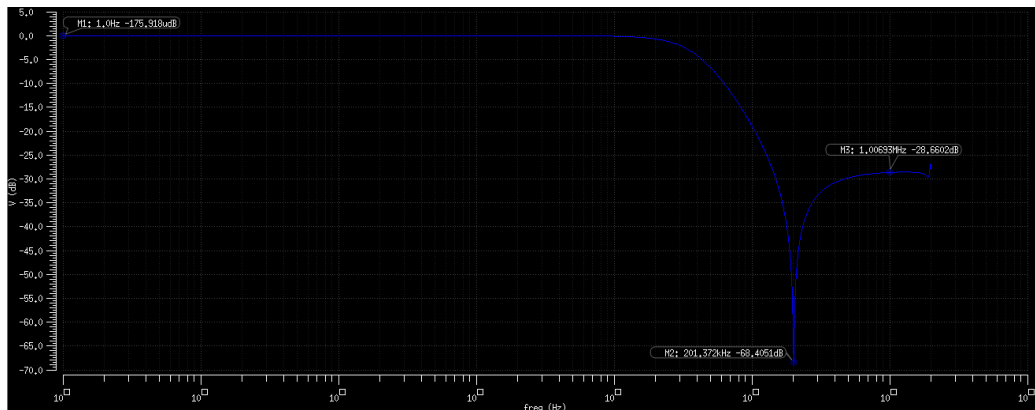


Figura 25: Risposta in frequenza del primo stadio del filtro

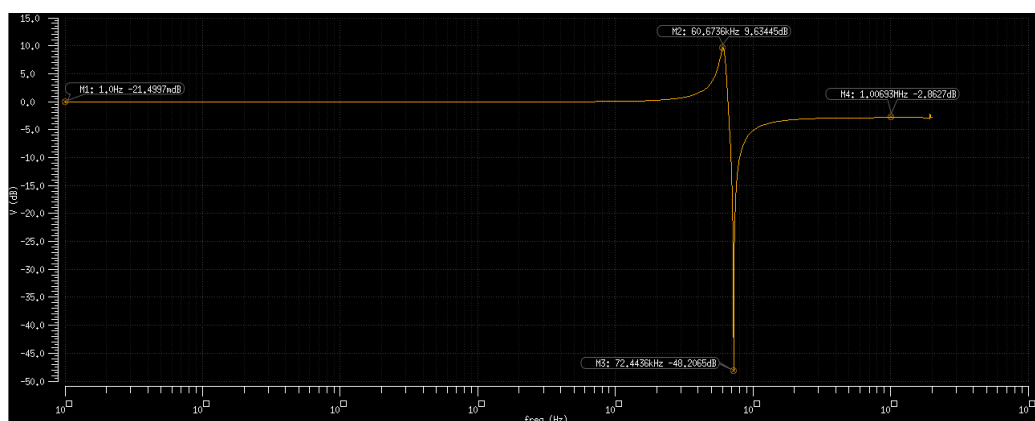


Figura 26: Risposta in frequenza del secondo stadio del filtro

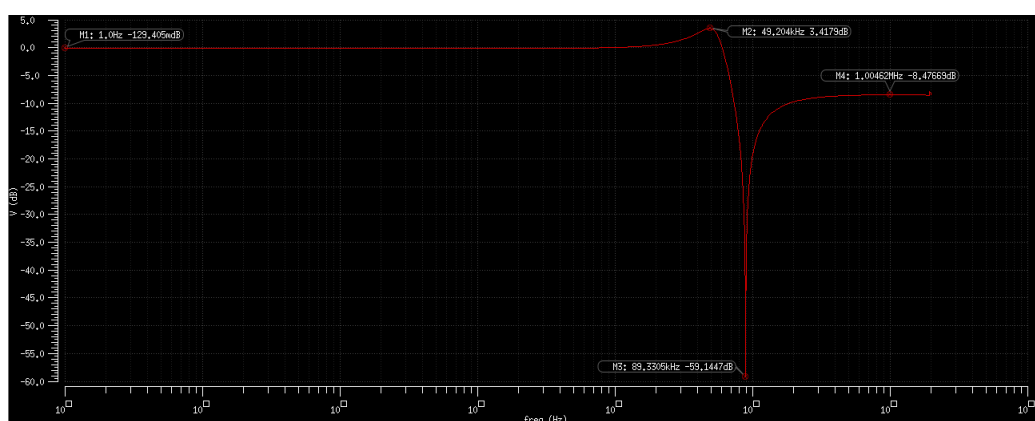
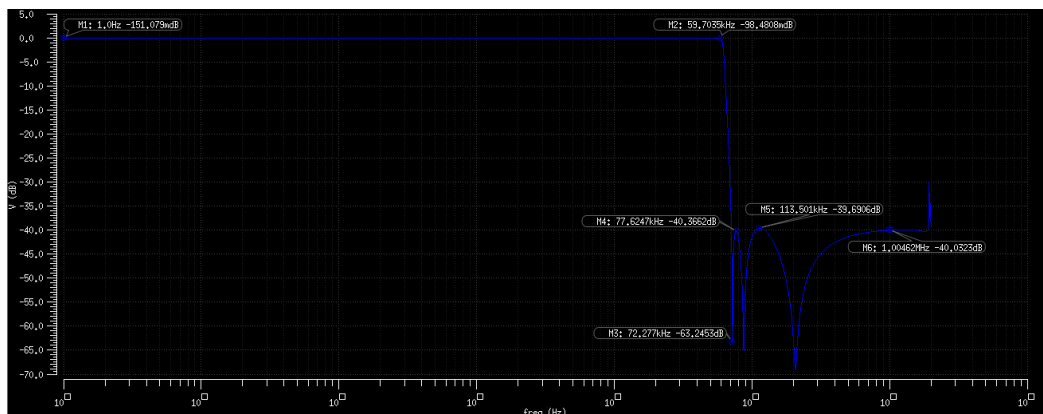
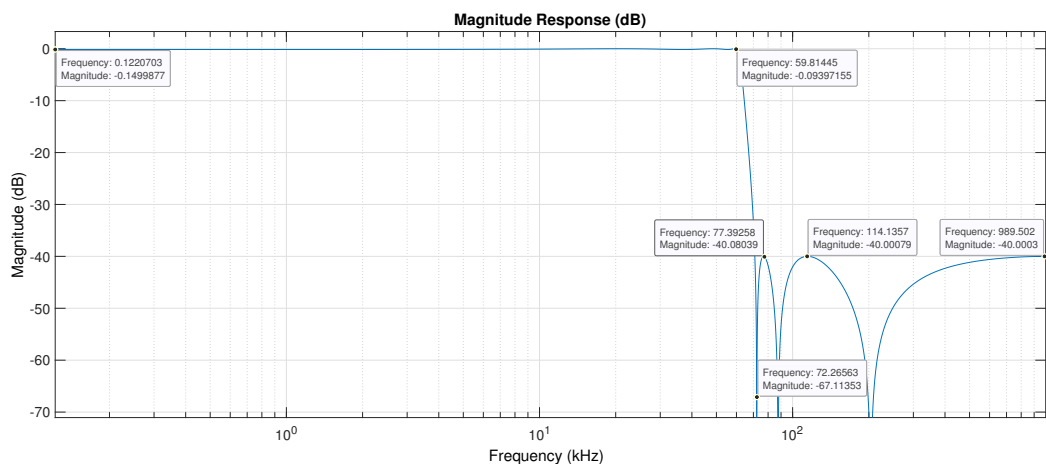


Figura 27: Risposta in frequenza del terzo stadio del filtro



(a) Risposta in frequenza del filtro in Cadence



(b) Risposta in frequenza del filtro in Matlab

Figura 28: Confronto della risposta in frequenza del filtro

### 3 Progetto del filtro reale

#### 3.1 Progetto dell'interruttore reale

Il primo step da eseguire per realizzare il filtro reale è progettare un interruttore reale, allo scopo di sostituire gli switch ideali con dei Transmission Gate CMOS. Lo schema del transmission gate è mostrato in figura 29a, mentre la resistenza  $R_{ON}$  che presenta quando lo switch è acceso è illustrata in figura 29b. Da [2], la resistenza  $R_{ON}$  con cui vengono caricati e scaricati i

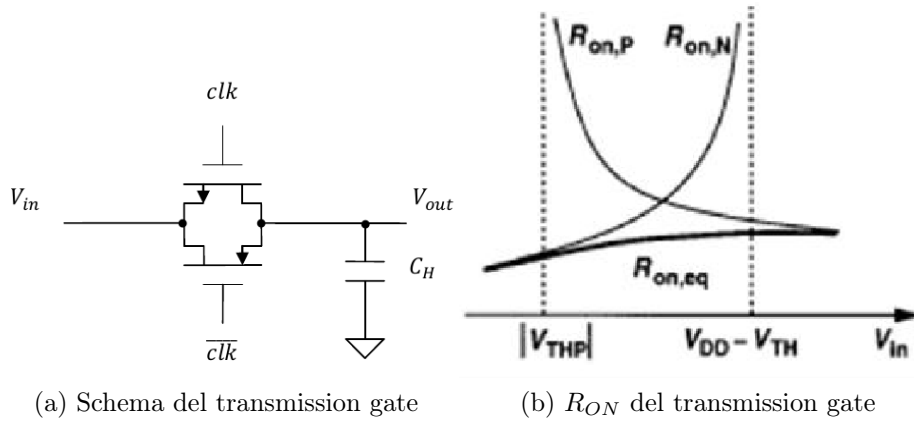


Figura 29: Transmission gate

condensatori viene calcolata usando la formula (16).

$$R_{ON} = \frac{3T}{56C_{max}} \quad (16)$$

Dove  $T$  è il periodo di clock e  $C_{max}$  è la capacità massima del filtro. Poiché la frequenza di clock è pari a 2 MHz e la capacità massima è di 18.1162 pF, come si può vedere dalla tabella 7, allora la  $R_{ON}$  risulta pari a 1478.55  $\Omega$ . Dato che la relazione (16) rappresenta un limite massimo alla resistenza del transmission gate, si può usare un valore di  $R_{ON}$  anche minore.

Un'altra condizione da soddisfare è la (17), sulle dimensioni dei MOSFET.

$$k_N \left( \frac{W}{L} \right)_N = k_P \left( \frac{W}{L} \right)_P \quad (17)$$

Con  $k_N = (\mu C_{ox})_N$  e  $k_P = (\mu C_{ox})_P$ . Quindi il rapporto tra larghezza e lunghezza del MOSFET a canale P è dato da (18).

$$\frac{W_P}{L_P} = \frac{k_N}{k_P} \cdot \frac{W_N}{L_N} \quad (18)$$

La relazione tra la geometria del MOSFET e la  $R_{ON}$  è illustrata nella formula (19).

$$\frac{W_N}{L_N} = \frac{1}{R_{ON}k_N[V_{DD} - V_{TN} - |V_{TP}|]} \quad (19)$$

Per trovare i valori  $k_N$ ,  $k_P$ ,  $V_{TN}$  e  $V_{TP}$  usando il tool ADE di Cadence occorre andare su Results  $\rightarrow$  Print  $\rightarrow$  DC Operating Points. Il valore "betaeff" rappresenta il parametro  $k = \mu C_{ox}W/L$ , nel circuito usato per trovare i coefficienti del transmission gate è stato settato  $W = L$ , quindi  $k = \mu C_{ox}$ . Si ha  $k_N = 167 \mu A/V^2$ ,  $k_P = 42 \mu A/V^2$ ,  $V_{TN} = 515.8 mV$  e  $V_{TP} = -772.7 mV$ .

Dato che  $V_{DD} = 3.3 V$  e scegliendo  $R_{ON} = 1 k\Omega < 1478.55 \Omega$ , l'equazione (19) restituisce come rapporto tra le dimensioni del MOSFET a canale N  $\frac{W_N}{L_N} = 2.977 \simeq 3/1$ . Da questo rapporto, usando la formula (18) per il MOSFET di tipo P si ha  $\frac{W_P}{L_P} = 11.837 \simeq 12/1$ . Usando per la misura della lunghezza di entrambi i MOSFET  $L_{MIN} = 350 nm$ , allora  $W_N = 1.05 \mu m$  e  $W_P = 4.2 \mu m$ .

Lo schema del transmission gate in Cadence è mostrato in figura 30, dove si può vedere che i bulk dei MOSFET a canale N e P sono connessi ai rispettivi source. Il test bench del transmission gate è mostrato in figura 31

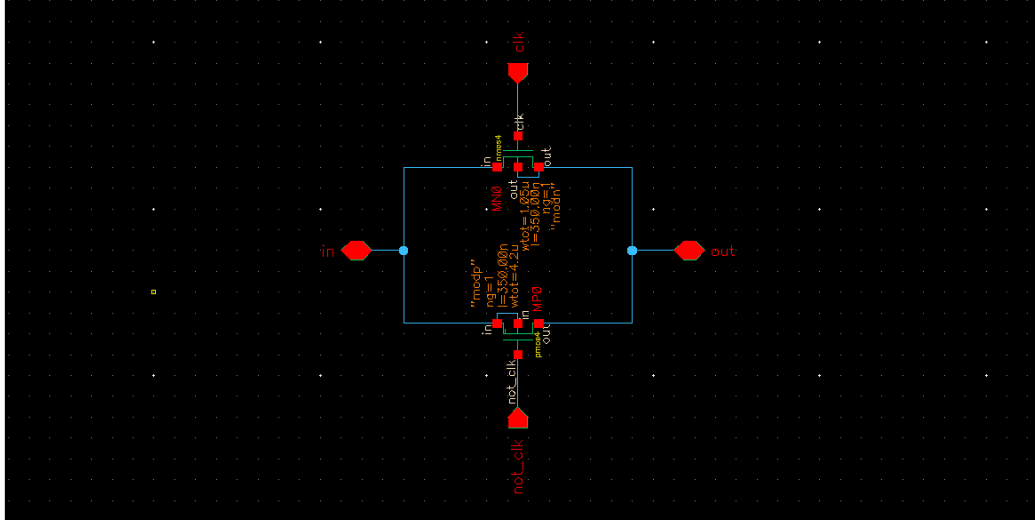


Figura 30: Schematico del transmission gate

ed è stato eseguito con due segnali di clock di frequenza 2 MHz che vanno da 0 V a 3.3 V. Il segnale di clock negativo è in ritardo di 250 ns rispetto all'altro clock ed entrambi hanno tempo di salita e discesa di 100 ps. In ingresso è

connesso un segnale ad onda quadra con frequenza pari alla metà dei due segnali di clock.

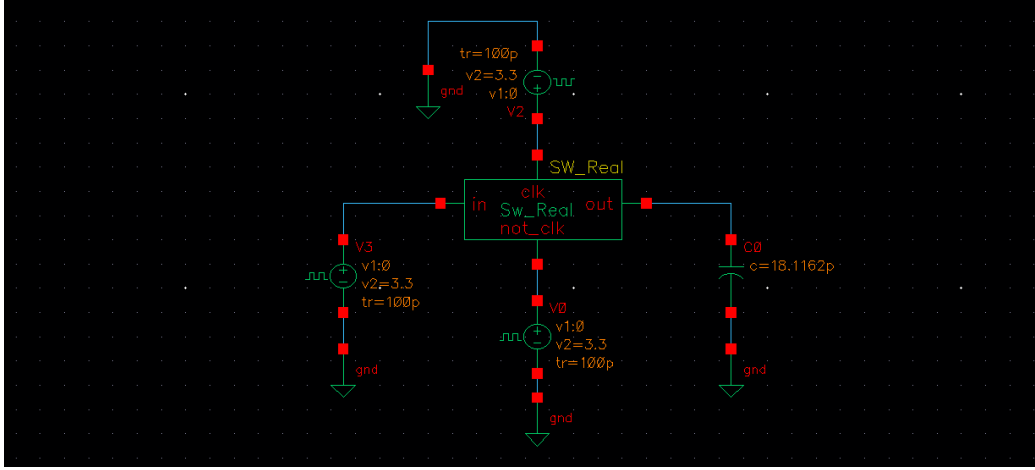


Figura 31: Schematico del test bench del transmission gate

Per osservare se il transmission gate lavora in modo corretto occorre andare a vedere la risposta nel transitorio nella finestra  $1/f_{\text{sample}}$  presentata in figura 32. Si può vedere che il segnale in ingresso raggiunge  $V_{DD} = 3.3\text{ V}$  e  $V_{SS} = 0\text{ V}$  in circa  $150\text{ ns}$ . Questo tempo è in linea con le aspettative, in quanto il condensatore si deve caricare e scaricare in un tempo minore del periodo di clock  $T = \frac{1}{f} = \frac{1}{2 \cdot 10^6} = 250\text{ ns} > 150\text{ ns}$ .

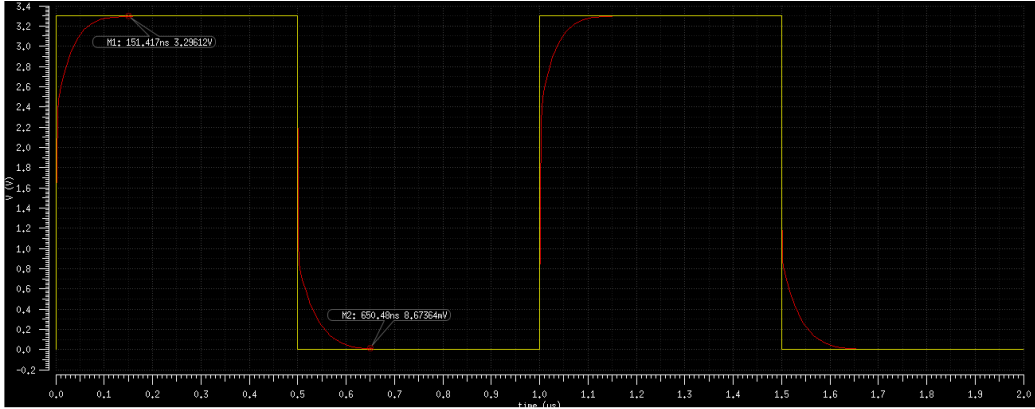


Figura 32: Risultati del test del transmission gate

Dopo aver sostituito gli interruttori ideali con quelli reali, si può concludere che le risposte in frequenza continuano a rispettare le specifiche richieste. Le analisi in frequenza sono mostrate nelle figure 33, 34, 35 e 36.

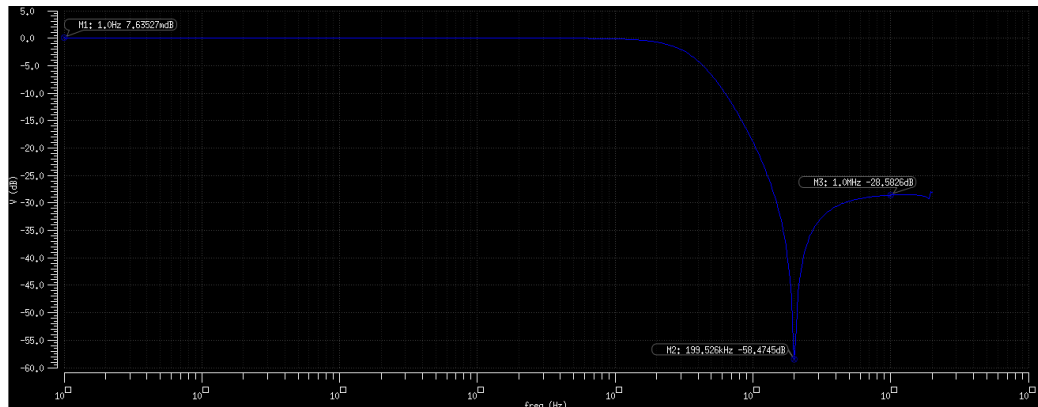


Figura 33: Risposta in frequenza del primo stadio del filtro con transmission gate

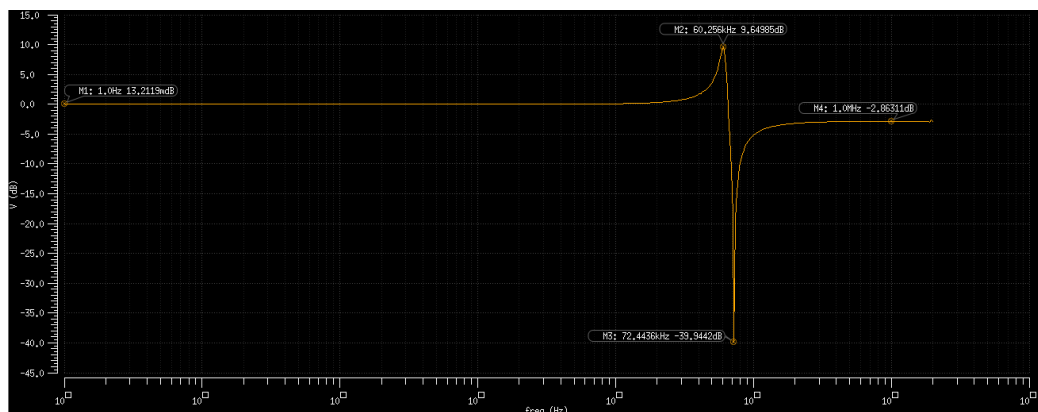


Figura 34: Risposta in frequenza del secondo stadio del filtro con transmission gate



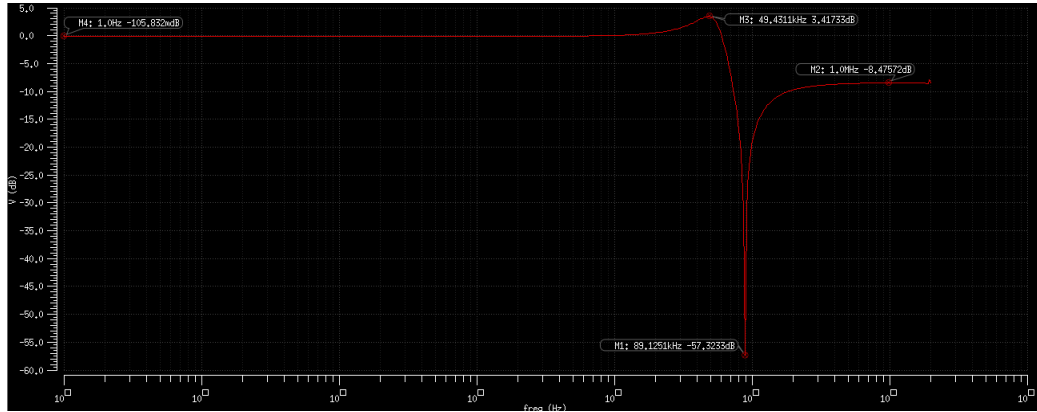


Figura 35: Risposta in frequenza del terzo stadio del filtro con transmission gate

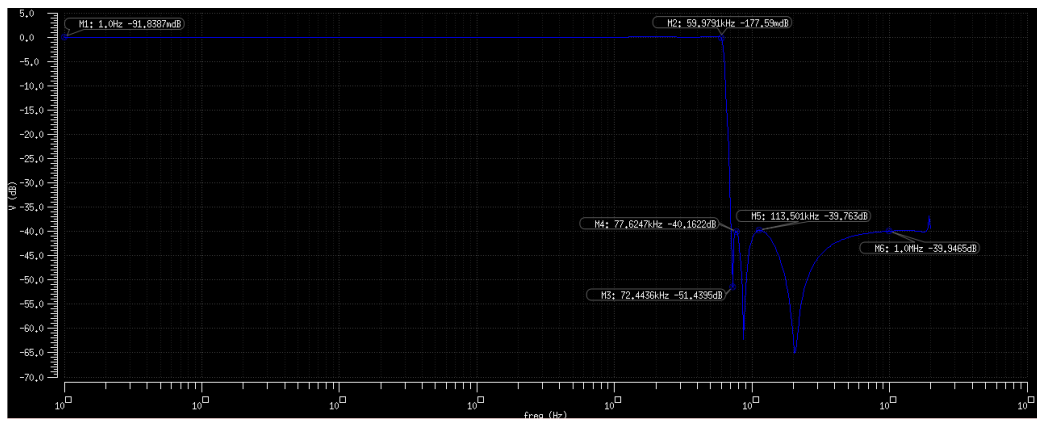


Figura 36: Risposta in frequenza del filtro con transmission gate

### 3.2 Progetto dell'operazionale reale

Nella parte finale del progetto occorre sostituire gli amplificatori operazionali ideali con degli op-amp reali. Per progettare un operazionale reale occorre calcolare il guadagno in DC, in gain-bandwidth (GB) e lo slew rate. [2] Chiamando  $A_0$  il guadagno finito in DC dell'op-amp, se questo valore non è infinito, la frequenza di taglio del filtro viene spostata da  $\omega_0$  a  $A_0\omega_0/(A_0 - 1)$ . Se il guadagno medio dell'amplificatore operazionale non è inferiore a 1000 V/V o, equivalentemente, 60 dB, questa deviazione della frequenza di taglio è trascurabile. L'errore di fase dovuto al guadagno finito dell'amplificatore operazionale, che spesso si manifesta nello spostamento del polo, non può essere trascurata ed è anzi piuttosto problematica in particolare per i filtri biquad ad alto Q. Lo spostamento del polo contribuisce ad una modifica del ripple in banda passante, calcolabile con la formula (20).

$$\Delta G = 20 \log \left( 1 + \frac{2Q_{\max}}{A_0} \right) \quad (20)$$

Poiché il massimo fattore di qualità è  $Q_{\max} = 10.5363$ , come si può vedere in tabella 4, e dalle specifiche il ripple in banda passante è  $\Delta G = 0.15$  dB, allora il guadagno minimo in DC dell'op-amp è  $A_0 = 604.861$  V/V = 55.633 dB. Per avere un margine sufficiente, si sceglie come guadagno in DC dell'operazionale di 1000 V/V = 60 dB.

Per analizzare le caratteristiche di un op-amp si usa un operazionale ad anello chiuso con un margine di fase (PM) di 90 gradi. In questo modello si presume che il polo dominante sia ampiamente separati dagli altri e che la risposta in frequenza dell'amplificatore operazionale sia così dominata da un solo polo. La funzione che descrive il guadagno ad anello chiuso può essere scritta come

$$A_{cl}(s) = \frac{1}{\beta + \frac{s}{\omega_0}} \quad (21)$$

dove  $A_{cl}$  è il guadagno in DC ad anello chiuso,  $\beta$  è il fattore di retroazione e  $\omega_0$  è la frequenza di taglio.

Supponendo di avere un op-amp con margine di fase pari a 90 gradi, si può approssimare  $\omega_0$  al prodotto GB (chiamato anche  $\omega_{ol}$ ) dell'operazionale ad anello aperto per  $\beta$ . La costante di tempo  $\tau$  dell'op-amp ad anello chiuso è data da

$$\tau = \frac{1}{\omega_0} \simeq \frac{1}{\beta\omega_{ol}} \quad (22)$$

Da [2] si ha la seguente relazione

$$\omega_{ol} \geq \frac{56}{3\beta} \cdot f_{clk} \quad (23)$$

dove  $f_{\text{clk}} = 2 \text{ MHz}$ . Occorre trovare il valore minore possibile di  $\beta$ , in modo da calcolare il prodotto guadagno-larghezza di banda ( $\omega_{\text{ol}}$ ). Il fattore  $\beta$  del primo integratore si trova con il rapporto delle capacità  $\frac{D}{D+G}$ , mentre quello del secondo integratore è dato da  $\frac{B}{B+A}$ . I fattori di retroazione, calcolati usando le capacità dopo aver fatto lo scaling, sono illustrati in tabella 8. Il

<b>Fattore di retroazione</b>	<b>Stadio 1</b> ( $Q = 0.439$ )	<b>Stadio 2</b> ( $Q = 10.536$ )	<b>Stadio 3</b> ( $Q = 2.139$ )
$\beta$ primo integratore	0.925	0.833	0.884
$\beta$ secondo integratore	0.826	0.844	0.821

Tabella 8: Fattori di retroazione  $\beta$  degli integratori

più piccolo fattore di retroazione è 0.821, quindi dall'equazione (23) si trova  $\omega_{\text{ol}} \geq 45.473 \text{ Mrad s}^{-1} = 7.237 \text{ MHz}$ . Per avere margine nel progetto si sceglie  $\text{GB} = 10 \text{ MHz}$ .

Il terzo parametro dell'amplificatore operazionale da determinare è lo slew rate, cioè la massima velocità con cui cambia l'uscita quando il segnale in ingresso varia. Questo parametro può anche essere definito come la velocità alla quale l'amplificatore operazionale è in grado di caricare o scaricare la capacità di carico  $C_L$ . Da [2] si può calcolare lo slew rate (SR) come

$$\text{SR}_{\text{min}} = \frac{1}{2a} \omega_a V_{\text{max}} \quad (24)$$

dove  $a$  è un parametro compreso tra 0.25 e 0.75,  $\omega_a$  è la frequenza di taglio del filtro switched capacitor ( $\omega_a = 2\pi \cdot 60 \text{ krad/sec}$ ) e  $V_{\text{max}}$  è la tensione massima di uscita ( $V_{\text{max}} = 3.3 \text{ V}$ ). Da (24) si ottiene  $\text{SR}_{\text{min}} = 6.22 \text{ V/}\mu\text{s}$ , per avere margine nel progetto si sceglie  $\text{SR} = 6.5 \text{ V/}\mu\text{s}$ .

Lo schema di un amplificatore operazionale a due stadi è mostrato in figura 37. Per calcolare i valori dei componenti che costituiscono l'operazionale si possono seguire i passi in [1]. Dalla teoria è noto che per calcolare la capacità di compensazione  $C_c$  si può usare la formula (25), assicurando un margine di fase di almeno  $60^\circ$ .

$$C_c > (2.2/10)C_L \quad (25)$$

Poiché la massima capacità di carico è  $C_L = 18.1122 \text{ pF}$  come si può vedere in tabella 7, si ha  $C_c > 0.22 \cdot 18.1162 = 3.985 \text{ pF}$ . Scegliendo una capacità pari a  $8 \text{ pF}$  si può calcolare la corrente del MOSFET M5 dato che lo slew

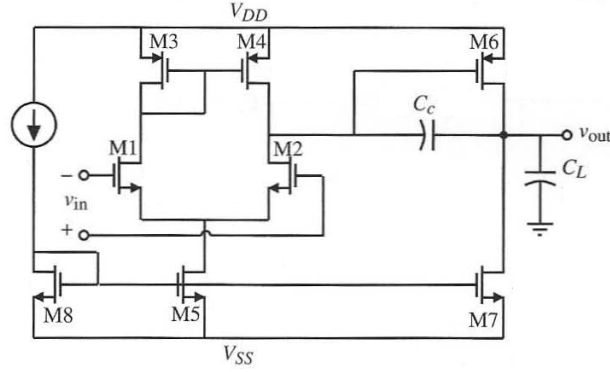


Figura 37: Amplificatore operativo a due stadi

rate è dato da  $SR = I_5/C_c$ . Si può trovare la corrente di M5 nel seguente modo

$$I_5 = SR \cdot C_c = (6.5 \cdot 10^6) \cdot (8 \cdot 10^{-12}) = 52 \mu A \quad (26)$$

avendo approssimato  $SR = 6.5 \text{ V}/\mu s$ . I MOSFET M1 e M2 soddisfano le specifiche sul GB quindi

$$g_{m1} = GB \cdot C_c = (2\pi 10 \cdot 10^6)(8 \cdot 10^{-12}) = 502.65 \mu S. \quad (27)$$

Poiché  $g_m = \sqrt{2\beta I_D} = \sqrt{2k' S I_D}$  e  $I_1 = I_5/2$ , si possono trovare gli aspect ratio dei MOSFET M1 e M2

$$S_1 = (W/L)_1 = (W/L)_2 = \frac{g_{m1}^2}{2k'_1 I_1} = \frac{(502.65 \cdot 10^{-6})^2}{167 \cdot 10^{-6} \cdot 52 \cdot 10^{-6}} = 29.09 \simeq 29/1. \quad (28)$$

dove  $k'_1 = k'_N = 167 \mu A/V^2$ , come precedentemente mostrato nel capitolo 3.1.

Poiché  $V_{in}(\max) \leq V_{D1}(\min) + V_{T1}(\min)$  e  $V_{D1} = V_{DD} - \left[ \sqrt{\frac{2I_3}{\beta_3}} + |V_{T03}| \right]$  si trova  $V_{in}(\max) \leq \left[ V_{DD} - \left( \sqrt{\frac{2I_3}{\beta_3}} + |V_{T03}| \right) \right] (\min) + V_{T1}(\min) = V_{DD} - \sqrt{\frac{2I_3}{\beta_3}} - |V_{T03}|(\max) + V_{T1}(\min)$ . Con la formula inversa di può trovare  $S_3$

$$S_3 = (W/L)_3 = \frac{I_5}{(k'_3)[V_{DD} - V_{in}(\max) - |V_{T03}|(\max) + V_{T1}(\min)]^2} \quad (29)$$

dove  $k'_3 = k_P = 42 \mu A/V^2$ . Per trovare le tensioni di soglia si simula in Cadence un amplificatore differenziale ai cui ingressi è collegato un generatore di tensione di modo comune  $V_{cm}$  come mostrato in figura 38. Il MOSFET

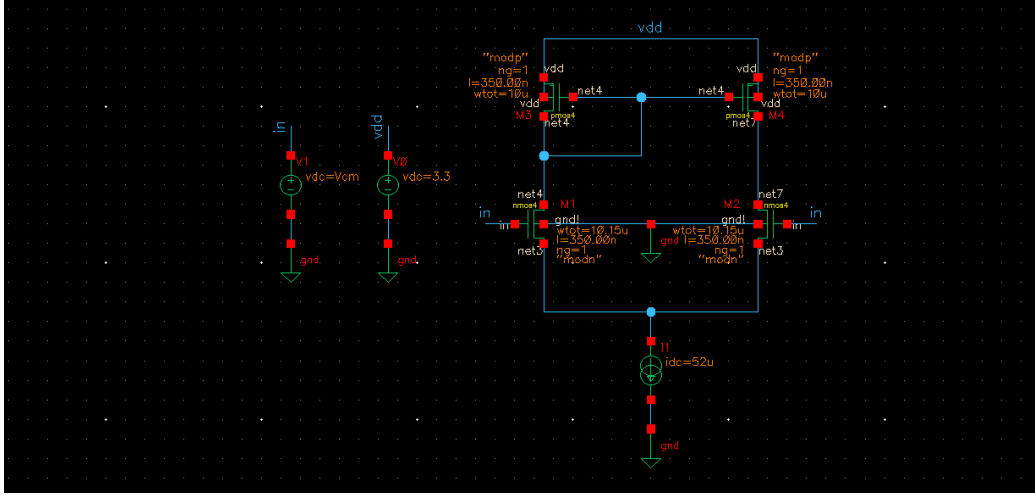


Figura 38: Amplificatore differenziale

M5 è rimpiazzato da un generatore di corrente di  $52\mu\text{A}$  e i MOSFET M1 e M2 hanno l'aspect ratio calcolato precedentemente con la formula (28). Si può notare che le dimensioni di M3 e M4 non vanno ad influire in modo significativo sulla tensione di soglia perché  $V_{bs3,4} = 0$ . Nel tool ADE di Cadence, cliccando su "Results" → "Annotate" → "DC Operating Points" si possono vedere nello schematico i parametri  $I_D$ ,  $V_{DS}$ ,  $V_{DSsat}$ ,  $g_m$ ,  $V_{gs}$ ,  $V_T$  e  $g_{ds}$ .

Facendo una simulazione in DC e mostrando le tensioni di lavoro nello schematico, si trova che per  $V_{cm} = 3.1\text{V}$  si ha per i MOSFET M1 e M2  $I_D = 26\mu\text{A}$ ,  $V_{DS} = 221.2\text{mV}$ ,  $V_{DSsat} = 118.9\text{mV}$ ,  $g_m = 357.1\mu\text{S}$ ,  $V_{gs} = 1.047\text{V}$ ,  $V_{th} = 946.9\text{mV}$  e  $g_{ds} = 16.12\mu\text{S}$ . Mentre per i MOSFET M3 e M4  $I_D = -26\mu\text{A}$ ,  $V_{DS} = -1.026\text{V}$ ,  $V_{DSsat} = -320.6\text{mV}$ ,  $g_m = 143.4\mu\text{S}$ ,  $V_{gs} = -1.026\text{V}$ ,  $V_{th} = -705\text{mV}$  e  $g_{ds} = 6.305\mu\text{S}$ . Si può scegliere  $V_{T03}(\text{max}) = -710\text{mV}$  e  $V_{T1}(\text{max}) = 950\text{mV}$ .

Con  $V_{cm} = 1.2\text{V}$  si ha per i MOSFET M1 e M2  $I_D = 26\mu\text{A}$ ,  $V_{DS} = 1.826\text{V}$ ,  $V_{DSsat} = 100.1\text{mV}$ ,  $g_m = 379.7\mu\text{S}$ ,  $V_{gs} = 751.2\text{mV}$ ,  $V_{th} = 669.1\text{mV}$  e  $g_{ds} = 4.998\mu\text{S}$ . Mentre per i MOSFET M3 e M4  $I_D = -26\mu\text{A}$ ,  $V_{DS} = -1.026\text{V}$ ,  $V_{DSsat} = -320.7\text{mV}$ ,  $g_m = 143.4\mu\text{S}$ ,  $V_{gs} = -1.026\text{V}$ ,  $V_{th} = -705\text{mV}$  e  $g_{ds} = 6.305\mu\text{S}$ . Si può scegliere  $V_{T1}(\text{min}) = 660\text{mV}$ . Con questi dati la formula (29) dà come risultato  $S_3 = (W/L)_3 = 55.02 \simeq 55/1$  e dato che la coppia di MOSFET M3 e M4 formano uno specchio di corrente si ha  $S_3 = S_4$ .

Per trovare le dimensioni di M5 si nota che  $V_{in}(\text{min}) \geq V_{GS1}(\text{max}) + V_{DS5}(\text{sat}) = \left[ \sqrt{\frac{2I_1}{\beta_1}} + V_{T1} \right] (\text{max}) + V_{DS5}(\text{sat}) = \sqrt{\frac{2I_1}{\beta_1}} + V_{T1}(\text{max}) + V_{DS5}(\text{sat})$ ,

quindi

$$V_{DS5}(\text{sat}) = V_{in}(\text{min}) - \sqrt{\frac{I_5}{\beta_1}} - V_{T1}(\text{max}) = 1.2 - \sqrt{\frac{52 \cdot 10^{-6}}{167 \cdot 10^{-6} \cdot 29}} - 0.95 = 146.5 \text{ mV} \quad (30)$$

Per trovare l'aspect ratio di M5 si calcola

$$S_5 = \frac{2I_5}{k'_5[V_{DS5}(\text{sat})]^2} = \frac{2 \cdot 52 \cdot 10^{-6}}{167 \cdot 10^{-6} \cdot (0.1465)^2} = 28.99 \simeq 29/1 \quad (31)$$

Per assicurare un margine di fase di almeno  $60^\circ$  occorre anche soddisfare

$$g_{m6} \geq 2.2g_{m2}(C_L/C_c) = 10g_{m1} = 5.0265 \text{ mS} \quad (32)$$

avendo notato che  $g_{m1} = g_{m2}$  e che  $C_L/C_c = 10/2.2$  dall'equazione (25). L'aspect ratio di M6 si calcola nel seguente modo

$$S_6 = S_4 \frac{g_{m6}}{g_{m4}} \quad (33)$$

occorre dunque conoscere  $g_{m4} = \sqrt{2k'_4 S_4 I_4} = \sqrt{2 \cdot 42 \cdot 10^{-6} \cdot 55 \cdot 26 \cdot 10^{-6}} = 346.67 \mu\text{S}$ . Riprendendo l'equazione (33) si trova  $S_6 = 797.86 \simeq 800/1$ . Conoscendo  $g_{m6}$  e  $S_6$  si calcola la corrente del MOSFET M6 come

$$I_6 = \frac{g_{m6}^2}{2k'_6 S_6} = \frac{(5.0265 \cdot 10^{-3})^2}{2 \cdot 42 \cdot 10^{-6} \cdot 800} = 376.99 \mu\text{A} \quad (34)$$

Conoscendo l'aspect ratio del MOSFET M5 e le correnti di M5 e M6 si può calcolare

$$S_7 = \frac{I_6}{I_5} S_5 = \frac{376 \cdot 10^{-6}}{52 \cdot 10^{-6}} \cdot 29 = 210.22 \simeq 210 \quad (35)$$

Per sostituire il generatore di corrente ideale si usa uno specchio di corrente costituito da soli MOSFET come mostrato in figura 39. La formula per trovare l'aspect ratio dei P-MOS di carico è la seguente

$$V_{DD} = V_{SGp} + V_{GSn} = \sqrt{\frac{2I_{\text{REF}}}{k_P S_p}} + |V_{\text{THP}}| + \sqrt{\frac{2I_{\text{REF}}}{k_n S_n}} + V_{\text{THn}}. \quad (36)$$

Poiché  $V_{\text{THn}} = 567.9 \text{ mV}$ ,  $V_{\text{THp}} = -682.5 \text{ mV}$ ,  $S_n = S_5 = 29/1$ ,  $I_{\text{REF}} = 52 \mu\text{A}$ ,  $k_P = 42 \mu\text{A/V}^2$  e  $k_n = 167 \mu\text{A/V}^2$ , si trova  $S_p = 0.684 \simeq 2/3$ . Con questa configurazione si ha  $I_{\text{REF}} = 34.25 \mu\text{A}$ , per portare la corrente al valore

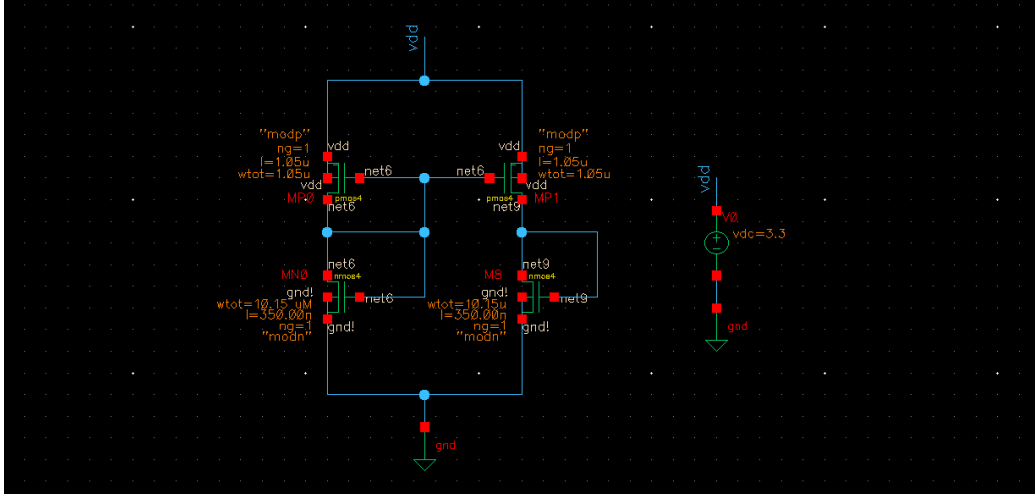


Figura 39: Specchio di corrente

desiderato si sceglie  $S_p = 3/3$ . Lo schema finale dell'operazionale è mostrato in figura 40. Lo schema usato per testare l'operazione reale ad anello aperto è illustrato in figura 41. Viene usato un generatore DC di modo comune di ampiezza 1.65 V, mentre all'ingresso non invertente si collega un generatore d'onda sinusoidale di frequenza 2 MHz e ampiezza 10 mV. Con i valori di aspect ratio precedentemente calcolati si trova un guadagno in DC  $A_0 \simeq 54.5$  dB e  $GB = 7$  MHz, come si può vedere in figura 42. Poiché questi valori non rispettano le specifiche precedentemente calcolate, si segue la tabella 9 mostrata in [1] per soddisfare i parametri dell'operazionale. Questa tabella indica che si può modificare l'aspect ratio di M6 e di M1 e M2 per aumentare rispettivamente il guadagno in DC e il gain bandwidth. Si cambia dunque l'aspect ratio di M6,  $S_6 = 1600/2$ , per portare  $A_0$  ad almeno 60 dB e gli aspect ratio di M1 e M2,  $S_1 = S_2 = 125/1$ , per avere  $GB = 10$  MHz.

Come si può notare dal diagramma di Bode in figura 43, la frequenza di taglio è 6.5 kHz, il gain bandwidth è pari a 10 MHz e la fase alla frequenza di 10 MHz è  $\varphi \simeq -112^\circ$ , dunque il margine di fase è  $PM = 180^\circ + \varphi = 180^\circ - 112^\circ = 68^\circ$ , maggiore dei  $60^\circ$  richiesti dalla specifica.

Per testare le specifiche sullo slew-rate dell'op-amp è stato usato il circuito in figura 44, in cui si può vedere che è stata inserita una retroazione tra l'uscita e l'ingresso invertente e all'ingresso non invertente è stato collegato un generatore d'onda quadra di frequenza  $f = 2$  MHz. Il risultato del test bench è mostrato nel grafico 45. Per il calcolo dello slew rate occorre usare

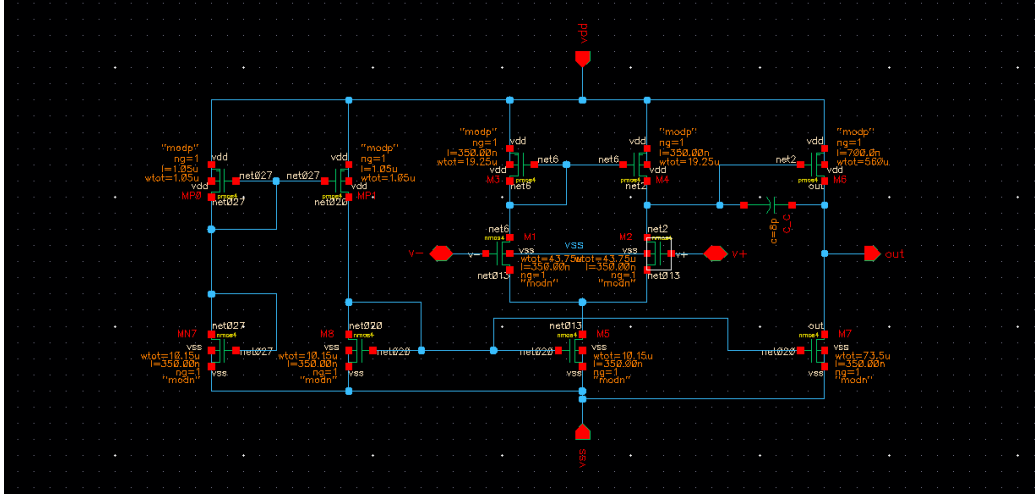


Figura 40: Amplificatore operazionale reale

la formula (37), tenendo conto dei punti annotati nel grafico.

$$SR = \frac{V_2 - V_1}{t_2 - t_1} = \frac{2 - 1}{(0.342 - 0.214) \cdot 10^{-6}} = \frac{1}{0.128 \cdot 10^{-6}} = 7.8125 \text{ V}/\mu\text{s} \quad (37)$$

Si può dunque affermare che questa specifica è soddisfatta in quanto si era calcolato uno slew rate desiderato maggiore o uguale a  $6.5 \text{ V}/\mu\text{s}$ .

La tabella 10 riassume gli aspect ratio dei MOSFET che costituiscono l'operazionale reale.

Dato che le specifiche dell'amplificatore operazionale sono soddisfatte, si possono sostituire gli op-amp ideali nel filtro con l'operazionale progettato.



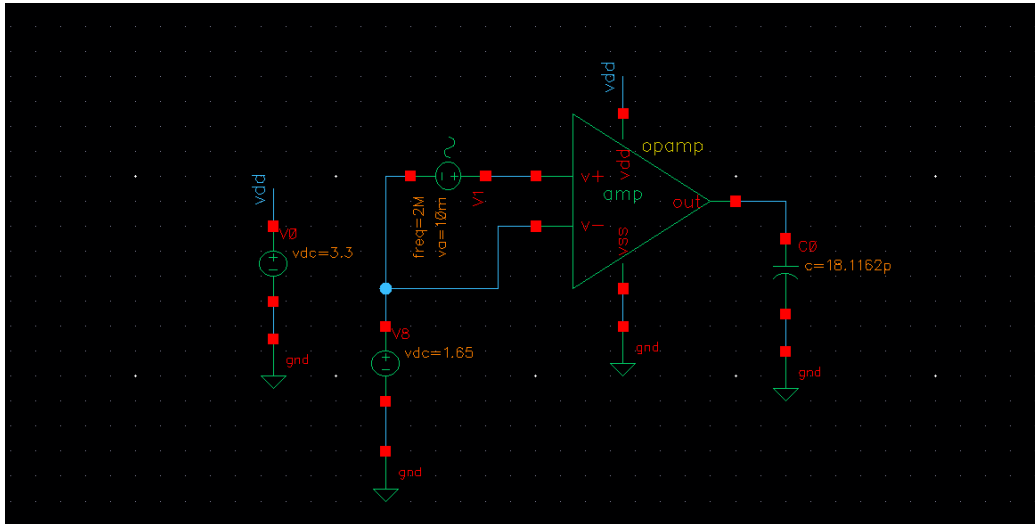


Figura 41: Test bench dell'amplificatore operazionale reale ad anello aperto

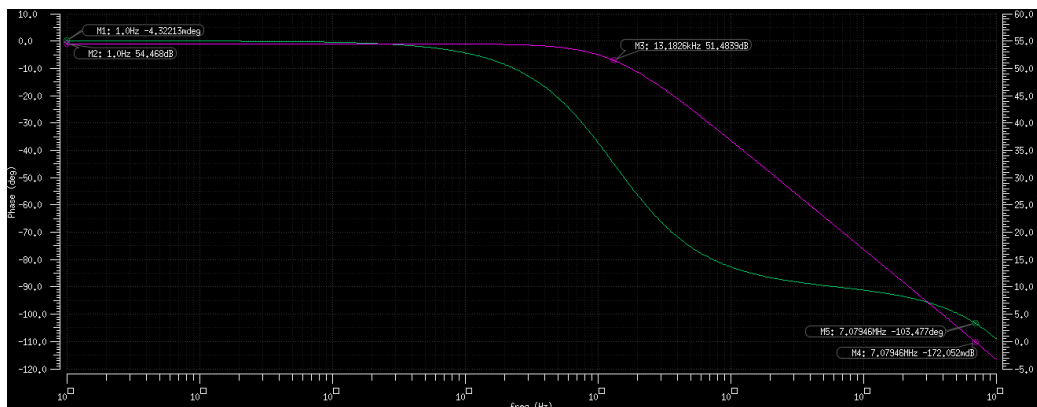


Figura 42: Diagramma di Bode dell'operazionale reale

	Corrente di drain		M1 e M2		M3 e M4		Inverter		Inverter di carico		Capacità di compensazione
	$I_5$	$I_7$	$W/L$	$L$	$W$	$L$	$W_6/L_6$	$W_7$	$L_7$	$C_c$	
$\uparrow A_0$	$\downarrow$	$\downarrow$	$\uparrow$	$\uparrow$		$\uparrow$	$\uparrow$		$\uparrow$		
$\uparrow$ GB	$\uparrow$		$\uparrow$							$\downarrow$	
$\uparrow$ RHP Zero		$\uparrow$					$\uparrow$			$\downarrow$	
$\uparrow$ Slew Rate	$\uparrow$									$\uparrow$	
$\uparrow C_L$										$\downarrow$	

Tabella 9: Dipendenza delle performance sulla corrente in DC, gli aspect ratio e la capacità di compensazione

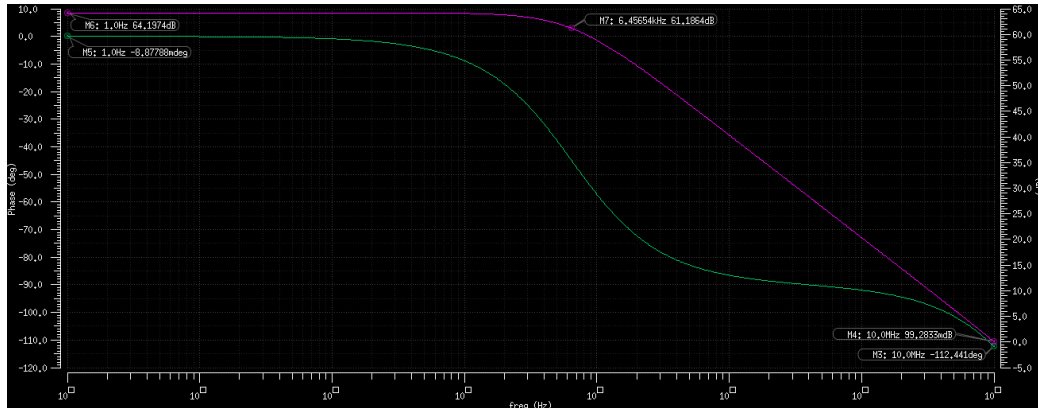


Figura 43: Diagramma di Bode dell'operazionale reale

MOSFET	Aspect ratio
M1, M2	$S_1 = S_2 = 125/1$
M3, M4	$S_3 = S_4 = 55/1$
M5, M8, MN7	$S_5 = S_8 = S_{N7} = 29/1$
M6	$S_6 = 1600/2$
M7	$S_7 = 210/1$
MP0, MP1	$S_{P0} = S_{P1} = 3/3$

Tabella 10: Aspect ratio dei MOSFET dell'operazionale reale

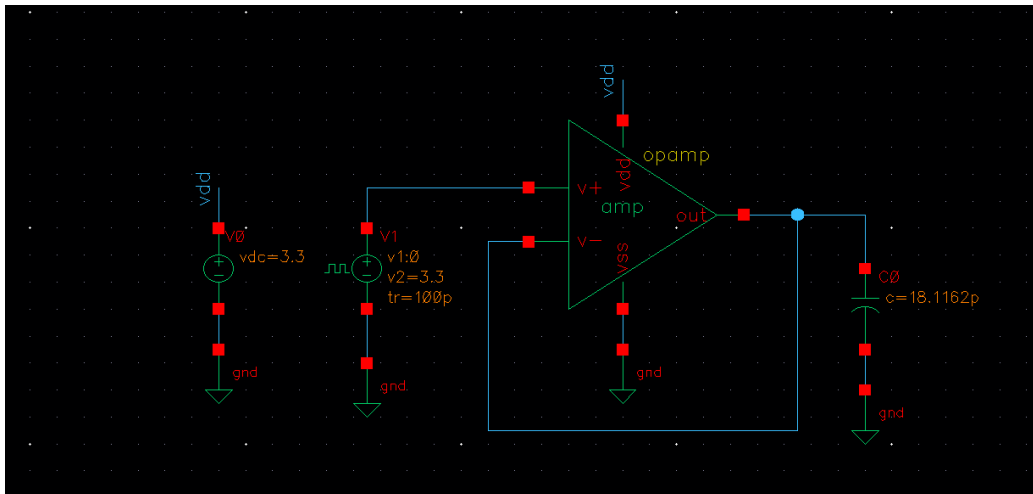


Figura 44: Test bench dello slew rate dell'op-amp

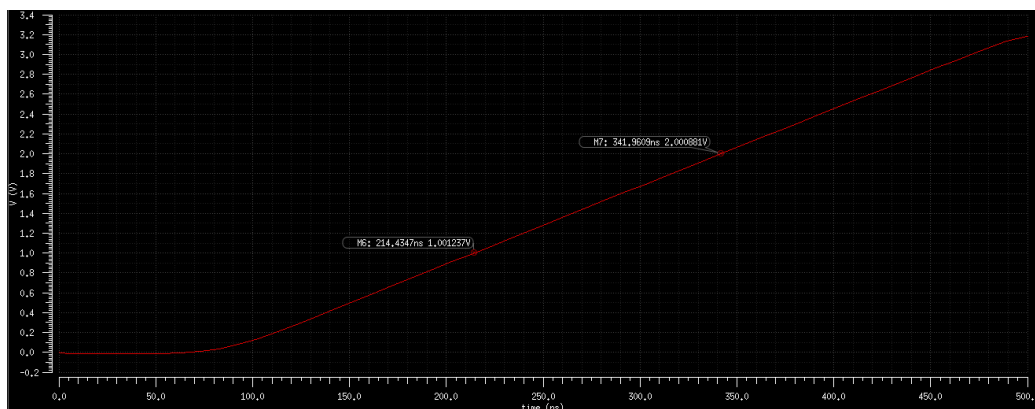


Figura 45: Slew rate dell'op-amp

### 3.3 Capacitance Minimization Scaling

L'ultimo passo da eseguire per completare il progetto è il capacitance minimization scaling per minimizzare le capacità presenti nel filtro reale. Tramite questa procedura di scaling statico, si modificano ciascuno gruppo di capacità connesse o switchate all'ingresso di un operazionale secondo un fattore  $k_{cm} = C_{min}/C_{s,min}$ , dove  $C_{s,min}$  è la capacità di valore minimo del gruppo e  $C_{min} = 10 \cdot C_{intrinseca,max}$ , dove  $C_{intrinseca,max}$  è la capacità intrinseca del MOSFET di dimensioni maggiori usato nell'operazionale reale.

Le capacità intrinseche dei vari MOSFET si possono osservare usando il tool "DC operating points" in Cadence ADE. La massima capacità intrinseca del MOSFET più grande, cioè di M6, è data dalla  $c_{ss} = 2.28$  pF. I fattori di scaling sono presentati in tabella 11, mentre le capacità risultanti nella tabella 12. Le figure 46, 47, 48 e 49 mostrano l'analisi in frequenza di

Op-amp	Sezione	Fattore di scaling
1	1	$k_{11} = \frac{10 \cdot 2.28 \cdot 10^{-12}}{1.4654 \cdot 10^{-12}} = 15.56$
2	1	$k_{12} = \frac{10 \cdot 2.28 \cdot 10^{-12}}{484.19 \cdot 10^{-15}} = 47.09$
1	2	$k_{21} = \frac{10 \cdot 2.28 \cdot 10^{-12}}{51.91 \cdot 10^{-15}} = 439.22$
2	2	$k_{22} = \frac{10 \cdot 2.28 \cdot 10^{-12}}{100.94 \cdot 10^{-15}} = 225.88$
1	3	$k_{31} = \frac{10 \cdot 2.28 \cdot 10^{-12}}{167.89 \cdot 10^{-15}} = 135.8$
2	3	$k_{32} = \frac{10 \cdot 2.28 \cdot 10^{-12}}{218.12 \cdot 10^{-15}} = 104.53$

Tabella 11: Fattori di scaling

ogni stadio del filtro reale e del filtro complessivo, dopo aver effettuato lo scaling statico. Si può vedere come anche nel filtro reale sono soddisfatte le specifiche iniziali elencate in tabella 1. Inoltre, questi grafici possono essere confrontati con le figure 25, 26, 27 e 28a che mostrano le risposte del filtro ideale in Cadence dopo aver eseguito il dynamic range scaling.

Capacità [pF]	Stadio 1 ( $Q = 0.439$ )	Stadio 2 ( $Q = 10.536$ )	Stadio 3 ( $Q = 2.139$ )
A	111.396	22.8	22.8
B	528.453	123.488	104.53
C	22.801	46.193	23.141
D	281.888	230.458	173.851
E	0	22.8	61.831
F	111.149	0	0
G	22.801	46.078	22.8
J,L	0	0	0
K	22.8	89.019	39.691

Tabella 12: Valori delle capacità dopo aver effettuato lo scaling statico

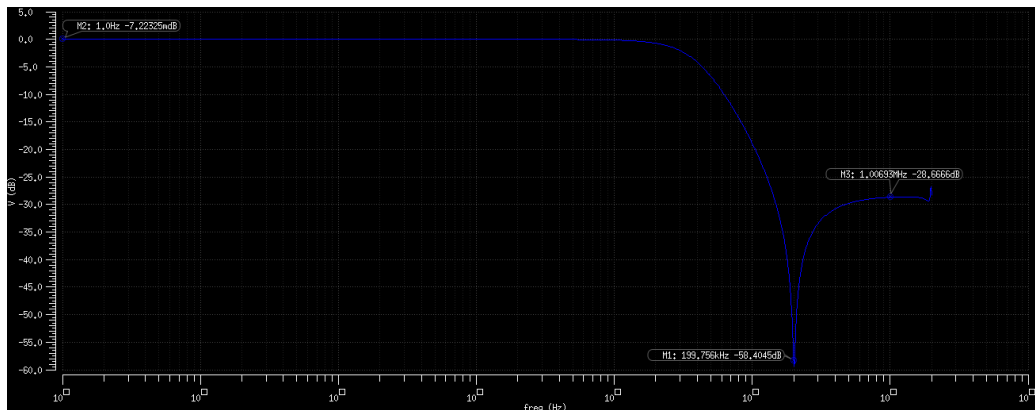


Figura 46: Analisi in frequenza del primo stadio del filtro reale

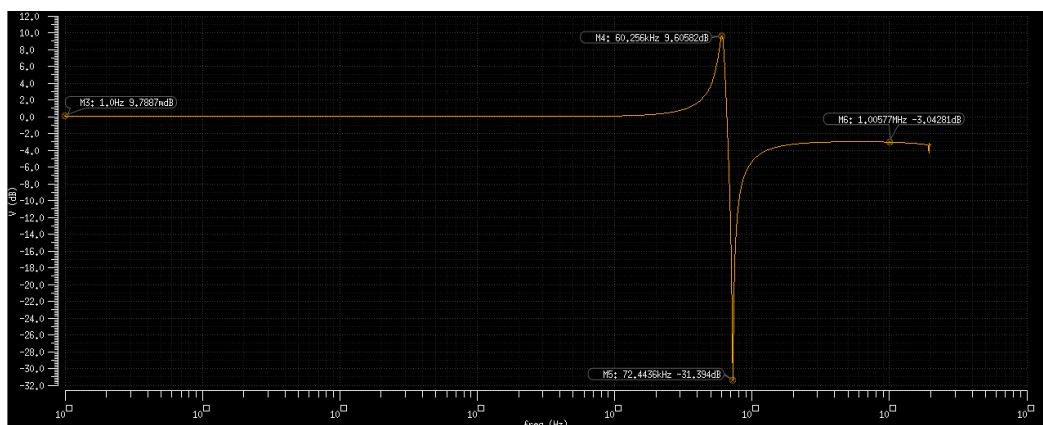


Figura 47: Analisi in frequenza del secondo stadio del filtro reale

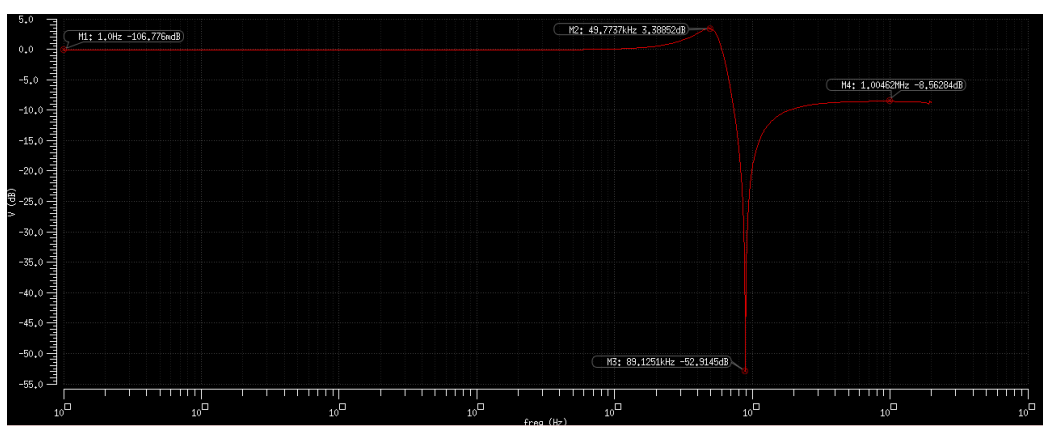
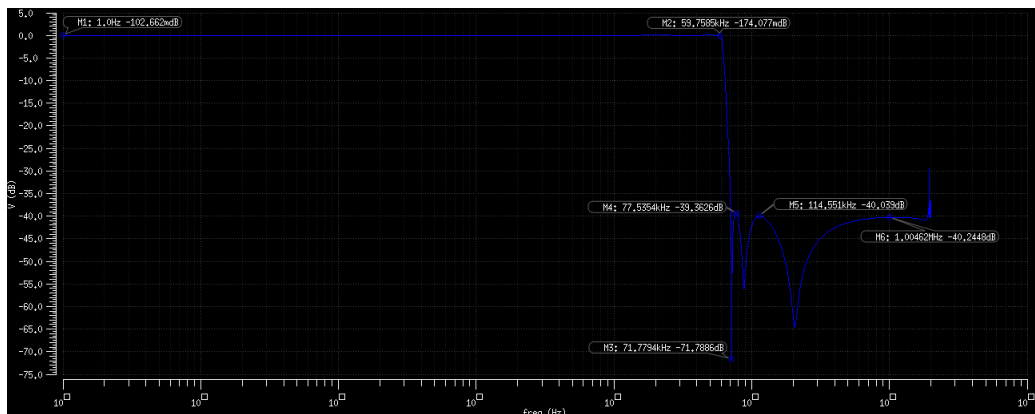
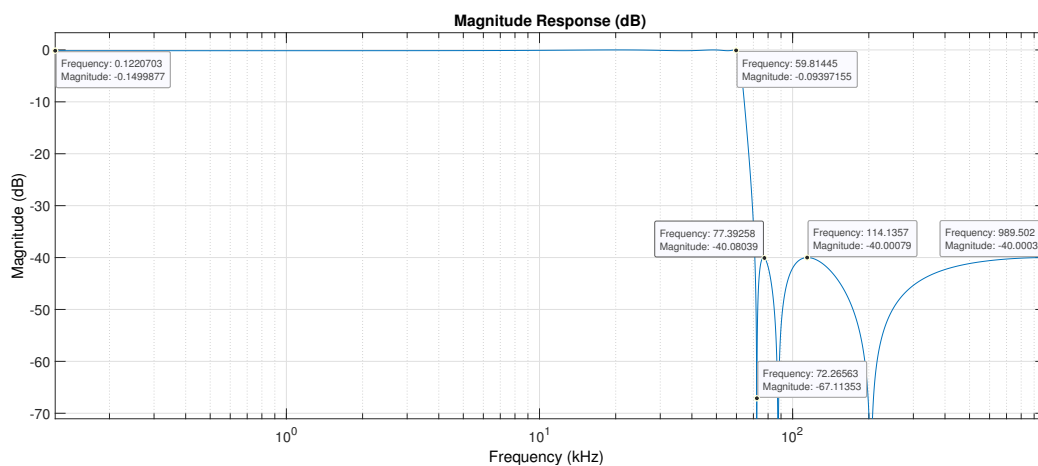


Figura 48: Analisi in frequenza del terzo stadio del filtro reale



(a) Risposta in frequenza del filtro reale in Cadence



(b) Risposta in frequenza del filtro ideale in Matlab

Figura 49: Confronto della risposta in frequenza del filtro

## 4 Conclusioni

Come si può vedere dal grafico 49 che mostra il confronto della risposta in frequenza del filtro reale e ideale inizialmente progettato in Matlab, si può affermare che il progetto del filtro reale è corretto in quanto le specifiche elencate in tabella 1 sono rispettate.

Si può osservare che intorno alla frequenza di 77.5 kHz, l'attenuazione è di circa 39.4 dB, mentre nella stop band l'attenuazione dovrebbe essere maggiore o uguale di 40 dB. Questo valore rilevato nel filtro reale è comunque accettabile poiché l'errore presente è minore di 3 dB che è il valore di errore massimo consentito rispetto al filtro ideale.



## Riferimenti bibliografici

- [1] Phillip Allen e Douglas Holberg. *CMOS Analog Circuit Design*. New York: Oxford University Press, 2012. ISBN: 9780199765072.
- [2] Mingliang Liu. *Demystifying Switched Capacitor Circuits*. Burlington: Newnes, 2006. ISBN: 9780750679077.