

# Progetto di un filtro passa basso di tipo ellittico del sesto ordine in cascade design con stadi Switched Capacitor del secondo ordine di tipo biquad

Matteo Orlandini

Università Politecnica delle Marche

23 ottobre 2020

Introduzione **1** Introduzione

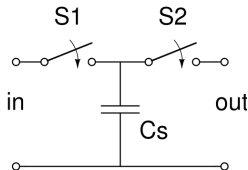
Progetto  
del filtro  
ideale

**2** Progetto del filtro ideale

Progetto  
del filtro  
reale

**3** Progetto del filtro reale

I filtri sono generalmente composti da resistenze, condensatori e induttori. Poiché gli elementi resistivi sono difficili da implementare in forma integrata e occupano grandi aree, questi vengono sostituiti da delle capacità commutate (switched capacitor).



Quando l'interruttore  $S_1$  è chiuso,  $S_2$  è aperto, e la carica nel condensatore è  $q_1 = CV_1$ . Quando  $S_1$  è aperto e  $S_2$  è chiuso si ha  $q_2 = CV_2$ . Ipotizzando  $V_1 > V_2$ , allora la carica  $\Delta q$  trasferita è  $\Delta q = q_1 - q_2 = C(V_1 - V_2)$ . Se l'interruttore commuta con frequenza  $f_{clk}$ , la corrente media è  $I_{avg} = Cf_{clk}(V_1 - V_2)$ . Considerando una resistenza  $R$  connessa alle stesse tensioni  $V_1$  e  $V_2$ , allora  $I = \frac{(V_1 - V_2)}{R}$ .

Uguagliando le due formule si ha una resistenza equivalente  $R = \frac{1}{f_{clk}C}$ . Si può notare che lo switched capacitor si comporta come una resistenza dipendente dalla capacità  $C$  e dalla frequenza  $f_{clk}$ .

Il filtro switched capacitor da progettare deve rispettare le seguenti specifiche.

Specifica	Valore
Frequenza di campionamento	2 MHz
Guadagno in banda passante	0 dB
Banda passante	0 – 60 kHz
Ripple in banda passante	< 0.15 dB
Fstop	$\geq 72$ kHz
Attenuation in stopband	40 dB
Power supply voltage	3.3 V

**Tabella:** Specifiche del filtro

Per realizzare un filtro digitale si può usare il tool Filter Designer di Matlab che consente di progettare rapidamente filtri digitali FIR o IIR impostando le specifiche delle prestazioni del filtro.

Nella figura seguente si possono osservare i settaggi del tool seguendo le specifiche del filtro. Una volta impostate tutte le specifiche basta cliccare "Design Filter" per ottenere il filtro desiderato.

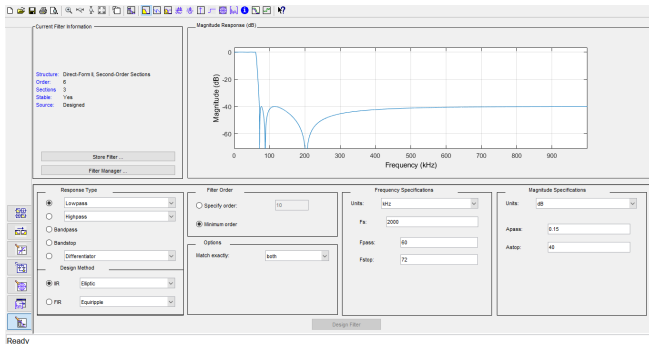


Figura: Matlab Filter Designer

Il Filter Visualization Tool è uno strumento che consente di osservare meglio la risposta del filtro, come si può vedere nei due seguenti grafici.

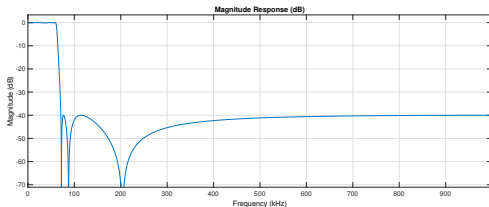


Figura: Risposta totale del filtro

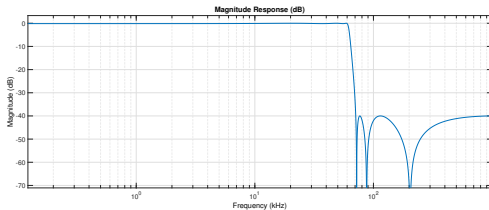
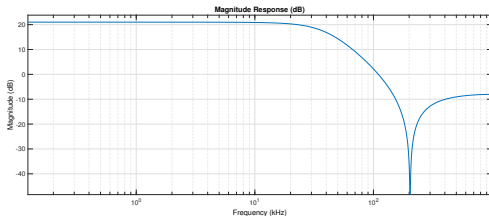
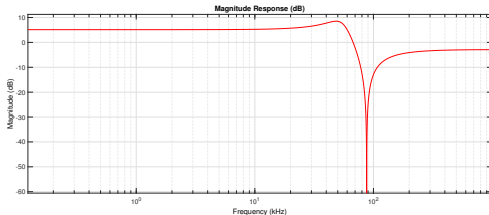


Figura: Risposta totale del filtro in scala logaritmica

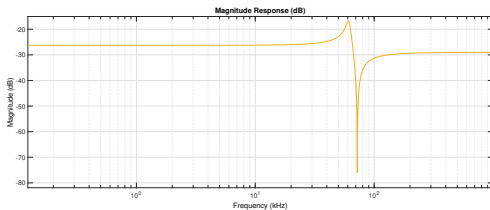
Le seguenti figure mostrano le risposte di ogni sezione del secondo ordine del filtro in scala logaritmica.



**Figura:** Risposta della prima sezione del filtro in scala logaritmica



**Figura:** Risposta della seconda sezione del filtro in scala logaritmica



**Figura:** Risposta della terza sezione del filtro in scala logaritmica



Cliccando sul File → Export si possono esportare le matrici dei coefficienti delle sezioni di secondo ordine del filtro. Sul workspace di Matlab si ottengono due matrici  $G$  e  $SOS$  che rappresentano rispettivamente i guadagni e i coefficienti di ogni sezione del secondo ordine del filtro. La matrice  $SOS$  è una matrice  $M \times 6$  che contiene i coefficienti di ciascuna sezione del secondo ordine nelle sue righe:

$$SOS = \begin{bmatrix} b_{01} & b_{11} & b_{21} & 1 & a_{11} & a_{21} \\ b_{02} & b_{12} & b_{22} & 1 & a_{12} & a_{22} \\ \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\ b_{0M} & b_{1M} & b_{2M} & 1 & a_{1M} & a_{2M} \end{bmatrix}$$

Si ottengono le seguenti funzioni di trasferimento:

$$H_1(z) = 0.4 \frac{1 - 1.605z^{-1} + z^{-2}}{1 - 1.8121z^{-1} + 0.826z^{-2}}$$

$$H_2(z) = 0.6945 \frac{1 - 1.925z^{-1} + z^{-2}}{1 - 1.893z^{-1} + 0.922z^{-2}}$$

$$H_3(z) = 0.035 \frac{1 - 1.949z^{-1} + z^{-2}}{1 - 1.945z^{-1} + 0.982z^{-2}}$$

Poiché la forma della funzione di trasferimento implementata da Matlab è del tipo (1)

$$H(z) = G \cdot \frac{b_0 + b_1 z^{-1} + b_2 z^{-2}}{a_0 + a_1 z^{-1} + a_2 z^{-2}} \quad (1)$$

per ottenere una funzione nella forma (2)

$$H(z) = - \frac{a_2 z^2 + a_1 z^1 + a_0}{b_2 z^2 + b_1 z^1 + 1} \quad (2)$$

occorre calcolare i nuovi coefficienti secondo lo schema (3).

$$\begin{cases} a_2 = b_0 / a_2 \cdot G \\ a_1 = b_1 / a_2 \cdot G \\ a_0 = b_2 / a_2 \cdot G \\ b_2 = a_0 / a_2 \\ b_1 = a_1 / a_2 \\ b_0 = a_2 / a_2 = 1 \end{cases} \quad (3)$$

dove i coefficienti a sinistra dell'uguale sono i nuovi coefficienti della funzione (2) e quelli a destra dell'uguale sono presi da (1).

Usando la funzione del Matlab `sos2zp` si possono ricavare gli zeri, i poli e il guadagno della funzione di trasferimento.

Sezione	Poli	Zeri
1	$0.9061 \pm j0.0726$	$0.8024 \pm j0.5968$
2	$0.9467 \pm j0.1618$	$0.9624 \pm j0.2719$
3	$0.9724 \pm j0.1904$	$0.9744 \pm j0.2249$

Passando dalla formulazione  $a + jb$  alla notazione polare  $\rho e^{\pm j\theta}$  si possono calcolare i fattori di qualità di ogni sezione usando la formula

$$Q = \frac{\theta_i}{2(1 - \rho_i)} \quad (4)$$

dove  $\theta_i$  e  $\rho_i$  sono la fase e il modulo dell' $i$ -esimo polo. I tre fattori di qualità che si ottengono sono elencati nella tabella seguente.

Sezione	Fattore di qualità
1	0.43889
2	2.13921
3	10.5363

# Dimensionamento delle sezioni filtro 4/8

Nell'ambiente di sviluppo Cadence, il primo stadio da implementare sarà quello con il fattore di qualità minore, lo stadio intermedio sarà quello con il fattore di qualità maggiore, mentre lo stadio finale avrà il fattore di qualità intermedio. Lo schema seguente rappresenta la sezione a basso Q e con zeri dentro il cerchio unitario, la cui funzione di trasferimento è del tipo (5).

$$H(z) = -\frac{(J + K)z^2 + (GA - J - 2K)z + K}{(1 + F)z^2 + (CA - F - 2)z + 1} \quad (5)$$

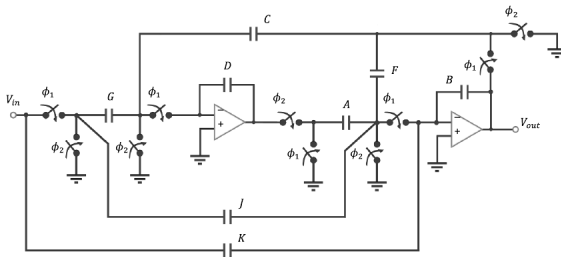


Figura: Schema filtro basso Q e zeri dentro il cerchio unitario

Le capacità si calcolano seguendo le formule (6).

$$\left\{ \begin{array}{l} B = 1 \\ D = 1 \\ K = a_0 \\ J = a_2 - a_0 \\ G = \frac{a_0 + a_1 + a_2}{\sqrt{b_1 + b_2 + 1}} \\ F = b_2 - 1 \\ C = \sqrt{b_1 + b_2 + 1} \\ A = \sqrt{b_1 + b_2 + 1} \end{array} \right. \quad (6)$$

dove  $a_0$ ,  $a_1$ ,  $a_2$ ,  $b_1$  e  $b_2$  sono i coefficienti dell'equazione (2).

# Dimensionamento delle sezioni del filtro 6/8

Micro e  
Nano  
Elettro-  
nica

Matteo  
Orlandi-  
ni

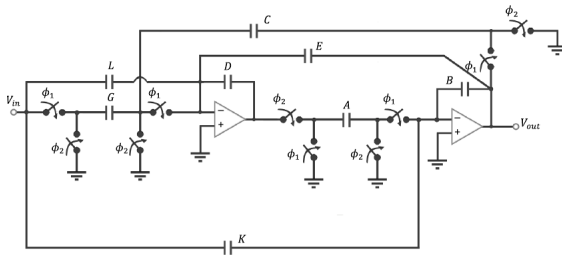
Introduzione

Progetto  
del filtro  
ideale

Progetto  
del filtro  
reale

Lo schema rappresenta la sezione ad alto Q e con zeri dentro il cerchio unitario, la cui funzione di trasferimento è del tipo (7).

$$H(z) = -\frac{Kz^2 + (CG + LC - 2K)z + (K - LC)}{z^2 + (AC + CE - 2)z + (1 - CE)} \quad (7)$$



**Figura:** Schema filtro alto Q e zeri dentro il cerchio unitario

Le capacità si calcolano seguendo le formule (8).

$$\left\{ \begin{array}{l} B = 1 \\ D = 1 \\ K = \frac{a_2}{b_2} \\ L = \frac{a_2 - a_0}{b_2 C} \\ G = \frac{b_2 C}{a_0 + a_1 + a_2} \\ E = \frac{b_2 C}{b_2 - 1} \\ C = \sqrt{\frac{b_1 + b_2 + 1}{b_2}} \\ A = \sqrt{\frac{b_1 + b_2 + 1}{b_2}} \end{array} \right. \quad (8)$$

dove  $a_0$ ,  $a_1$ ,  $a_2$ ,  $b_1$  e  $b_2$  sono i coefficienti dell'equazione (2).

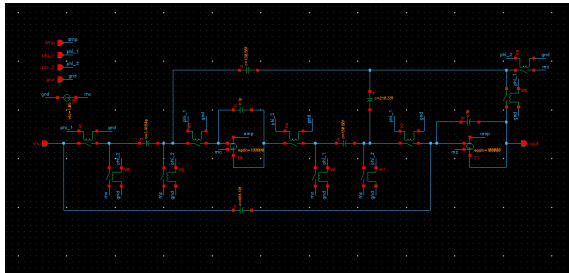
La capacità calcolate sono elencate nella tabella seguente, i valori sono espressi in pF.  
Gli stadi sono elencati nello stesso modo in cui vengono ordinati dal Matlab.

<b>Capacità [pF]</b>	<b>Stadio 1</b> ( $Q = 0.439$ )	<b>Stadio 2</b> ( $Q = 2.139$ )	<b>Stadio 3</b> ( $Q = 10.536$ )
A,C	0.13058	0.17038	0.19238
B,D	1	1	1
F	0.21033	0	0
G	1.4654	0.30709	0.0093486
J,L	0	0	0
K	0.48419	0.69455	0.035118
E	0	0.45531	0.094951

**Tabella:** Capacità del filtro



Nell'ambiente di sviluppo Cadence occorre dimensionare e simulare lo schematico. Per procedere in modo ordinato, si crea una cartella, detta anche libreria, in cui contenere tutti i circuiti che vogliamo disegnare. Per creare una libreria occorre andare su "File" → "New" → "Library" e selezionare successivamente l'opzione "Attach to an existing techfile". La prima libreria creata conterrà gli schematici di tutte le sezioni del filtro. Ognuno di questi schematici è contenuto in una cella che può essere creata tramite "File" → "New" → "Cellview". L'uso delle celle è importante perché consentono di creare dei simboli che corrispondono ad un circuito più ampio. Le figure seguenti mostrano rispettivamente gli schematici del primo, secondo e terzo stadio del filtro.



**Figura:** Schematico primo stadio del filtro ideale

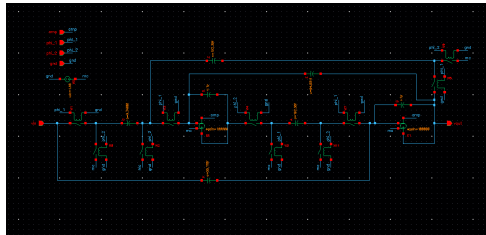


Figura: Schematico secondo stadio del filtro ideale

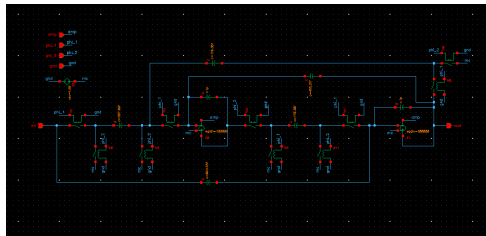


Figura: Schematico terzo stadio del filtro ideale

Lo schematico mostra il simbolo creato per contenere lo schema del primo filtro e lo schema per testarne il comportamento in frequenza. Per eseguire l'analisi in frequenza è stata impostata una "PSS Analysis" con frequenza fondamentale pari a 2 MHz e dieci armoniche e una "PAC Analysis" con uno sweep logaritmico da 1 Hz a 2 MHz. Il generatore di ingresso viene impostato con una tensione DC di 1.65 V e una PAC Magnitude di 1 V. I generatori di onda quadra collegati a phi\_1 e phi\_2 oscillano tra 0 V e 3.3 V, hanno frequenza di 2 MHz, un tempo di salita e discesa pari a 100 ps e sono distanziati temporalmente di 250 ns l'uno rispetto all'altro. Questo schematico è stato poi ripetuto per ogni sezione del filtro, al fine di analizzarne la risposta in frequenza.

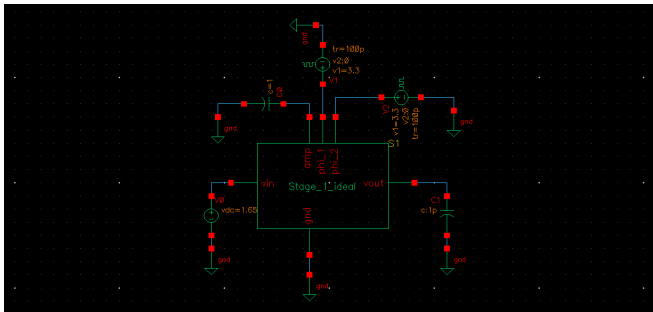


Figura: Schematico del test bench del primo stadio del filtro ideale

L'immagine seguente mostra il banco di prova del filtro totale, sono infatti presenti i tre filtri del secondo ordine in cascata.

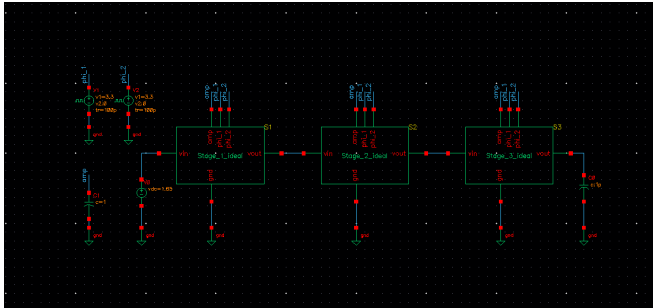
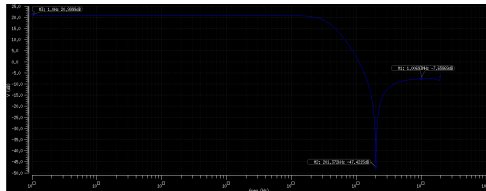
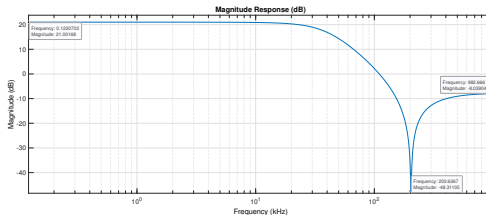


Figura: Schematico del test bench del filtro ideale

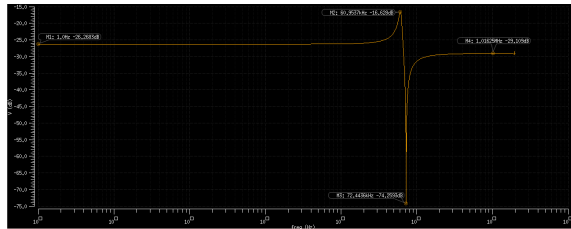
I confronti tra le risposte in frequenza delle singole sezioni del secondo ordine del filtro ideale disegnato in Cadence con quello progettato in Matlab sono illustrate nelle figure seguenti.



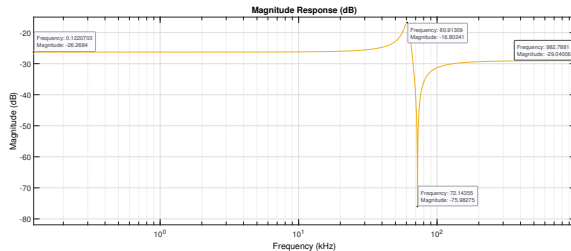
(a) Risposta in frequenza del primo stadio in Cadence



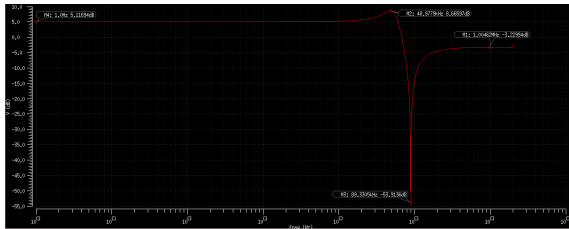
(b) Risposta in frequenza del primo stadio in Matlab



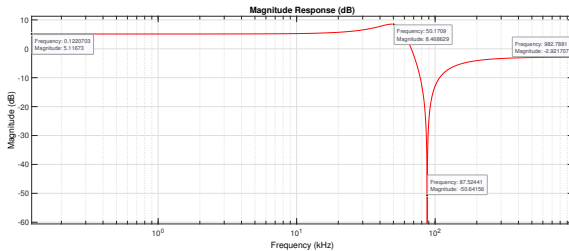
(a) Risposta in frequenza del secondo stadio in Cadence



(b) Risposta in frequenza del secondo stadio in Matlab



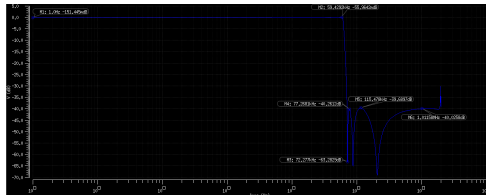
(a) Risposta in frequenza del terzo stadio in Cadence



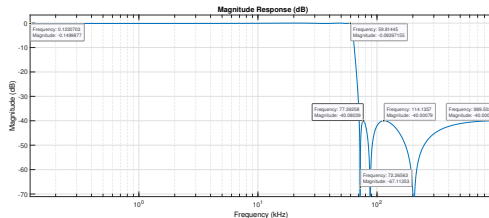
(b) Risposta in frequenza del terzo stadio in Matlab

# Implementazione in Cadence 8/8

Il confronto della risposta in frequenza del filtro ideale disegnato in Cadence con quello progettato in Matlab è illustrato nella figura seguente.



(a) Risposta in frequenza del filtro in Cadence



(b) Risposta in frequenza del filtro in Matlab

Figura: Confronto della risposta in frequenza del filtro



L'ultimo step da seguire prima di passare dal filtro ideale a quello reale è lo scaling delle capacità. In particolare lo scaling dinamico permette di aumentare il range degli amplificatori. Con il Dynamic Range Scaling si scala l'ampiezza della tensione di uscita di ogni operazionale per fare in modo che ogni operazionale entri in saturazione per lo stesso livello di ingresso. Lo scaling non modifica l'uscita finale del filtro. Per eseguire il Dynamic Range Scaling si deve ottenere il massimo della tensione del nodo di uscita. Usando il tool "Calculator" presente nel Visualization & Analysis del Cadence si può calcolare la tensione massima di uscita dell'ultimo stadio valutando l'espressione  $y_{\max}(\text{abs}(\text{value}(\text{vh}(\text{'pac "/net2"} \text{ "harmonic"} \text{ 0}))))$ , dove net2 è il nodo di uscita.

Inoltre, occorre sapere la tensione di uscita di ogni operazionale. Il fattore di scaling si ottiene dividendo la tensione di uscita di ogni operazionale per il massimo della tensione del nodo di uscita. Si scalano le capacità attaccate al nodo dell'operazionale in esame e si ripetono i passaggi per ogni op-amp.

I fattori di scaling calcolati sono mostrati nella tabella seguente.

Op-amp	Sez.	Fattore di scaling	Capacità da scalare		
			Sez. 1 ( $Q = 0.439$ )	Sez. 2 ( $Q = 10.536$ )	Sez.3 ( $Q = 2.139$ )
1	1	18.1162	A,D		
2	1	11.2222	B,C,F	G,L,K	
1	2	0.5247		A,D	
2	2	0.5467		B,C,E	G,J,K
1	3	1.2802			A,D
2	3	1.0002			B,C,F

Tabella: Fattori di scaling

Il risultato dello scaling sulle capacità è illustrato nella seguente tabella.

Capacità [pF]	Stadio 1 ( $Q = 0.439$ )	Stadio 2 ( $Q = 10.536$ )	Stadio 3 ( $Q = 2.139$ )
A	2.3656	0.10094	0.21812
B	11.2222	0.5467	1.0002
C	1.4654	0.10517	0.17041
D	18.1162	0.5247	1.2802
E	0	0.05191	0.45531
F	2.36036	0	0
G	1.4654	0.10491	0.16789
J,L	0	0	0
K	0.48419	0.3941	0.37971

**Tabella:** Valori delle capacità dopo aver effettuato lo scaling

# Dynamic Range Scaling 4/6

Le figure seguenti mostrano le risposte in frequenza di ogni stadio del filtro dopo aver effettuato il dynamic range scaling.

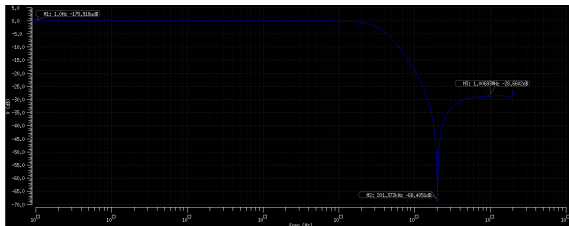


Figura: Risposta in frequenza del primo stadio del filtro

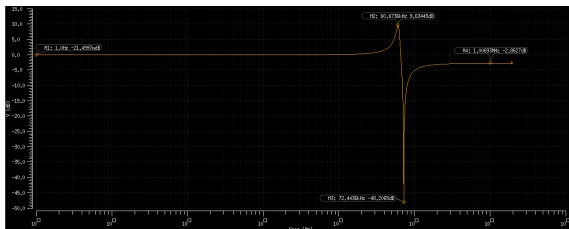


Figura: Risposta in frequenza del secondo stadio del filtro

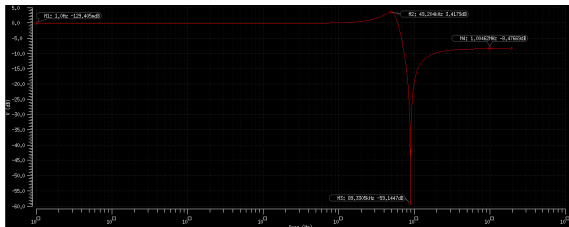
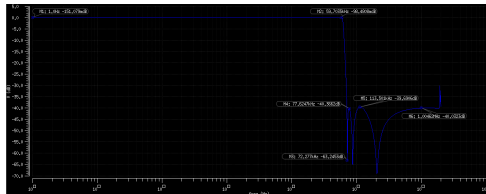


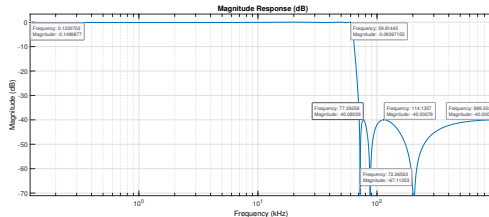
Figura: Risposta in frequenza del terzo stadio del filtro

# Dynamic Range Scaling 6/6

La figura di seguito mostra la risposta in frequenza del filtro totale dopo aver effettuato il dynamic range scaling.



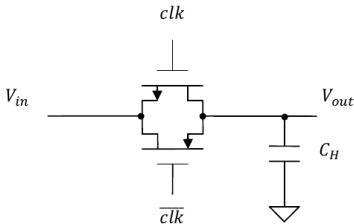
(a) Risposta in frequenza del filtro in Cadence



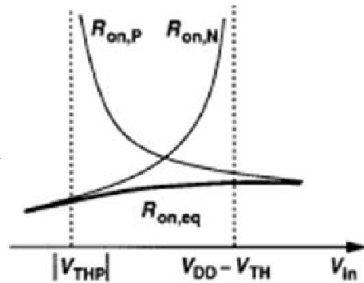
(b) Risposta in frequenza del filtro in Matlab

Figura: Confronto della risposta in frequenza del filtro

Il primo step da eseguire per realizzare il filtro reale è progettare un interruttore reale, allo scopo di sostituire gli switch ideali con dei Transmission Gate CMOS. Lo schema del transmission gate e la resistenza  $R_{ON}$  che presenta quando lo switch è acceso sono mostrate di seguito.



(a) Schema del transmission gate



(b)  $R_{ON}$  del transmission gate

Figura: Transmission gate

La resistenza  $R_{ON}$  con cui vengono caricati e scaricati i condensatori viene calcolata usando la formula (9).

$$R_{ON} = \frac{3T}{56C_{\max}} \quad (9)$$

Dove  $T$  è il periodo di clock e  $C_{\max}$  è la capacità massima del filtro. Poiché la frequenza di clock è pari a 2 MHz e la capacità massima è di 18.1162 pF, allora la  $R_{ON}$  risulta pari a 1478.55  $\Omega$ . Dato che la relazione (9) rappresenta un limite massimo alla resistenza del transmission gate, si può usare un valore di  $R_{ON}$  anche minore. Un'altra condizione da soddisfare è la (10), sulle dimensioni dei MOSFET.

$$k_N \left( \frac{W}{L} \right)_N = k_P \left( \frac{W}{L} \right)_P \quad (10)$$

Con  $k_N = (\mu C_{ox})_N$  e  $k_P = (\mu C_{ox})_P$ . Quindi il rapporto tra larghezza e lunghezza del MOSFET a canale P è dato da (11).

$$\frac{W_P}{L_P} = \frac{k_N}{k_P} \cdot \frac{W_N}{L_N} \quad (11)$$



La relazione tra la geometria del MOSFET e la  $R_{ON}$  è illustrata nella formula (12).

$$\frac{W_N}{L_N} = \frac{1}{R_{ON}k_N[V_{DD} - V_{TN} - |V_{TP}|]} \quad (12)$$

Per trovare i valori  $k_N$ ,  $k_P$ ,  $V_{TN}$  e  $V_{TP}$  usando il tool ADE di Cadence occorre andare su Results → Print → DC Operating Points. Il valore "betaeff" rappresenta il parametro  $k = \mu C_{ox} W/L$ , nel circuito usato per trovare i coefficienti del transmission gate è stato settato  $W = L$ , quindi  $k = \mu C_{ox}$ . Si ha  $k_N = 167 \mu A/V^2$ ,  $k_P = 42 \mu A/V^2$ ,  $V_{TN} = 515.8 \text{ mV}$  e  $V_{TP} = -772.7 \text{ mV}$ .

Dato che  $V_{DD} = 3.3 \text{ V}$  e scegliendo  $R_{ON} = 1 \text{ k}\Omega < 1478.55 \Omega$ , l'equazione (12) restituisce come rapporto tra le dimensioni del MOSFET a canale N

$\frac{W_N}{L_N} = 2.977 \simeq 3/1$ . Da questo rapporto, usando la formula (11) per il MOSFET di

tipo P si ha  $\frac{W_P}{L_P} = 11.837 \simeq 12/1$ . Usando per la misura della lunghezza di entrambi i MOSFET  $L_{MIN} = 350 \text{ nm}$ , allora  $W_N = 1.05 \mu\text{m}$  e  $W_P = 4.2 \mu\text{m}$ .

Lo schema del transmission gate in Cadence è mostrato in figura, dove si può vedere che i bulk dei MOSFET a canale N e P sono connessi ai rispettivi source.

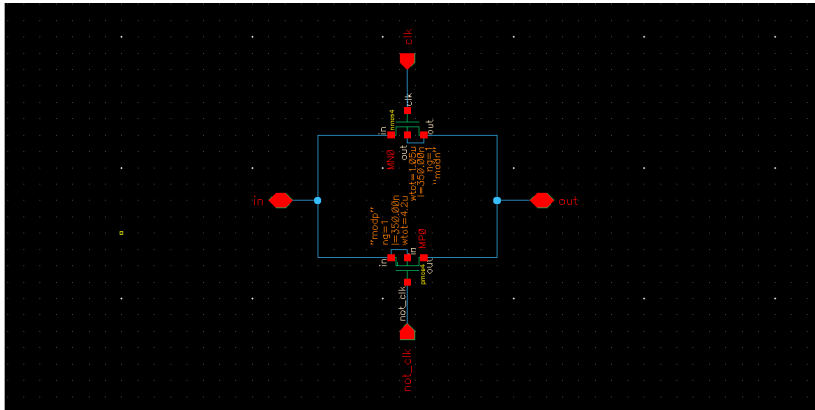


Figura: Schematico del transmission gate

# Progetto dell'interruttore reale 5/8

Micro e  
Nano  
Elettro-  
nica

Matteo  
Orlandi-  
ni

Introduzione

Progetto  
del filtro  
ideale

Progetto  
del filtro  
reale

Il test bench del transmission gate è mostrato in figura ed è stato eseguito con due segnali di clock di frequenza 2 MHz che vanno da 0 V a 3.3 V. Il segnale di clock negato è in ritardo di 250 ns rispetto all'altro clock ed entrambi hanno tempo di salita e discesa di 100 ps. In ingresso è connesso un segnale ad onda quadra con frequenza pari alla metà dei due segnali di clock.

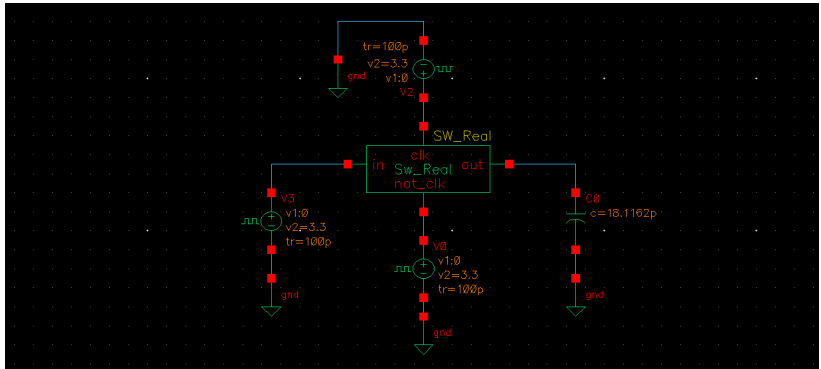


Figura: Schematico del test bench del transmission gate

# Progetto dell'interruttore reale 6/8

Micro e  
Nano  
Elettro-  
nica

Matteo  
Orlandi

Introduzione

Progetto  
del filtro  
ideale

Progetto  
del filtro  
reale

Per osservare se il transmission gate lavora in modo corretto occorre andare a vedere la risposta nel transitorio nella finestra  $1/f_{\text{sample}}$  presentata in figura. Si può vedere che il segnale in ingresso raggiunge  $V_{DD} = 3.3\text{ V}$  e  $V_{SS} = 0\text{ V}$  in circa  $150\text{ ns}$ . Questo tempo è in linea con le aspettative, in quanto il condensatore si deve caricare e scaricare in un tempo minore del periodo di clock  $T = \frac{1}{f} = \frac{1}{2 \cdot 10^6} = 250\text{ ns} > 150\text{ ns}$ .

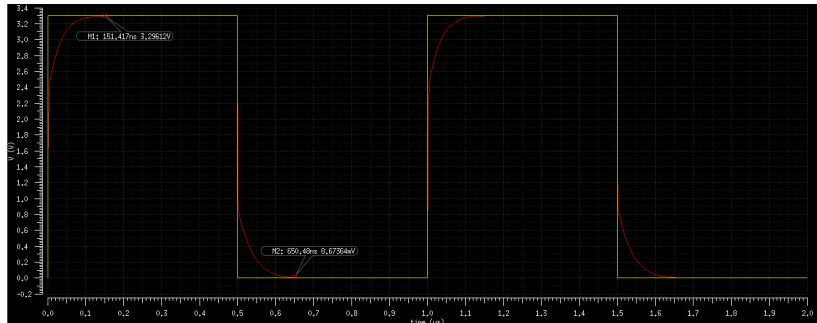


Figura: Risultati del test del transmission gate

# Progetto dell'interruttore reale 7/8

Micro e  
Nano  
Elettro-  
nica

Matteo  
Orlandi-  
ni

Introduzione

Progetto  
del filtro  
ideale

Progetto  
del filtro  
reale

Dopo aver sostituito gli interruttori ideali con quelli reali, si può concludere che le risposte in frequenza continuano a rispettare le specifiche richieste. Le analisi in frequenza sono mostrate nelle figure seguenti.

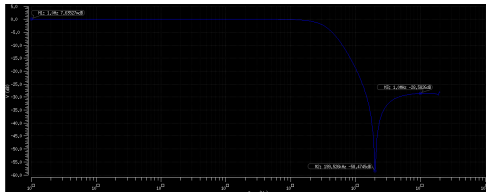


Figura: Risposta in frequenza del primo stadio del filtro con transmission gate

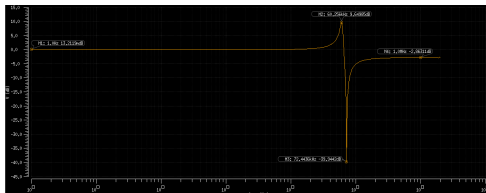


Figura: Risposta in frequenza del secondo stadio del filtro con transmission gate

# Progetto dell'interruttore reale 8/8

Micro e  
Nano  
Elettro-  
nica

Matteo  
Orlandi-  
ni

Introduzione

Progetto  
del filtro  
ideale

Progetto  
del filtro  
reale

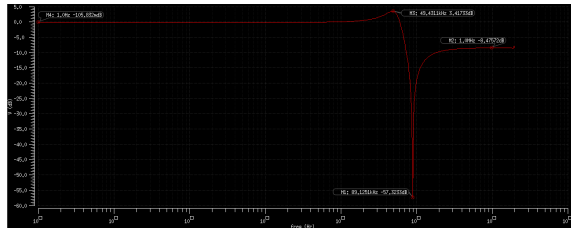


Figura: Risposta in frequenza del terzo stadio del filtro con transmission gate

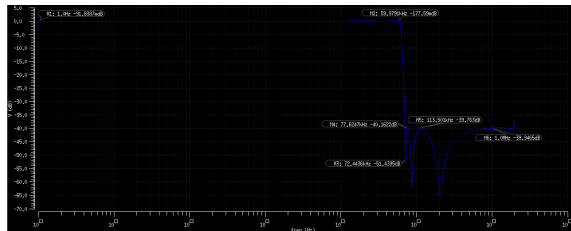


Figura: Risposta in frequenza del filtro con transmission gate

Nella parte finale del progetto occorre sostituire gli amplificatori operazionali ideali con degli op-amp reali. Per progettare un operazionale reale occorre calcolare il guadagno in DC, in gain-bandwidth (GB) e lo slew rate.

Chiamando  $A_0$  il guadagno finito in DC dell'op-amp, se questo valore non è infinito, la frequenza di taglio del filtro viene spostata da  $\omega_0$  a  $A_0\omega_0/(A_0 - 1)$ .

L'errore di fase dovuto al guadagno finito dell'amplificatore operazionale, che spesso si manifesta nello spostamento del polo, non può essere trascurata ed è anzi piuttosto problematica in particolare per i filtri biquad ad alto Q. Lo spostamento del polo contribuisce ad una modifica del ripple in banda passante, calcolabile con la formula (13).

$$\Delta G = 20 \log \left( 1 + \frac{2Q_{\max}}{A_0} \right) \quad (13)$$

Poiché il massimo fattore di qualità è  $Q_{\max} = 10.5363$  e dalle specifiche il ripple in banda passante è  $\Delta G = 0.15$  dB, allora il guadagno minimo in DC dell'op-amp è  $A_0 = 604.861 \text{ V/V} = 55.63311 \text{ dB}$ . Per avere un margine sufficiente, si sceglie come guadagno in DC dell'operazionale di  $1000 \text{ V/V} = 60 \text{ dB}$ .

Per analizzare le caratteristiche di un op-amp si usa un operazionale ad anello chiuso con un margine di fase (PM) di 90 gradi. In questo modello si presume che il polo dominante sia ampiamente separati dagli altri e che la risposta in frequenza dell'amplificatore operazionale sia così dominata da un solo polo. La funzione che descrive il guadagno ad anello chiuso può essere scritta come

$$A_{cl}(s) = \frac{1}{\beta + \frac{s}{\omega_0}} \quad (14)$$

dove  $A_{cl}$  è il guadagno in DC ad anello chiuso,  $\beta$  è il fattore di retroazione e  $\omega_0$  è la frequenza di taglio.

Supponendo di avere un op-amp con margine di fase pari a 90 gradi, si può approssimare  $\omega_0$  al prodotto GB (chiamato anche  $\omega_{ol}$ ) dell'operazionale ad anello aperto per  $\beta$ . La costante di tempo  $\tau$  dell'op-amp ad anello chiuso è data da

$$\tau = \frac{1}{\omega_0} \simeq \frac{1}{\beta \omega_{ol}} \quad (15)$$

Il gain bandwidth deve rispettare la seguente relazione

$$\omega_{ol} \geq \frac{56}{3\beta} \cdot f_{clk} \quad (16)$$

dove  $f_{clk} = 2$  MHz. Poiché il più piccolo fattore di retroazione  $\beta$  è 0.821, quindi dall'equazione (16) si trova  $\omega_{ol} \geq 45.473 \text{ Mrad s}^{-1} = 7.237 \text{ MHz}$ . Per avere margine nel progetto si sceglie  $GB = 10 \text{ MHz}$ .



Il terzo parametro dell'amplificatore operazionale da determinare è lo slew rate, cioè la massima velocità con cui cambia l'uscita quando il segnale in ingresso varia. Questo parametro può anche essere definito come la velocità alla quale l'amplificatore operazionale è in grado di caricare o scaricare la capacità di carico  $C_L$ . Si può calcolare lo slew rate (SR) come

$$SR_{\min} = \frac{1}{2a} \omega_a V_{\max} \quad (17)$$

dove  $a$  è un parametro compreso tra 0.25 e 0.75,  $\omega_a$  è la frequenza di taglio del filtro switched capacitor ( $\omega_a = 2\pi \cdot 60$  krad/sec) e  $V_{\max}$  è la tensione massima di uscita ( $V_{\max} = 3.3$  V). Da (17) si ottiene  $SR_{\min} = 6.22$  V/ $\mu$ s, per avere margine nel progetto si sceglie  $SR = 6.5$  V/ $\mu$ s.

Lo schema di un amplificatore operazionale a due stadi è mostrato nella figura seguente.

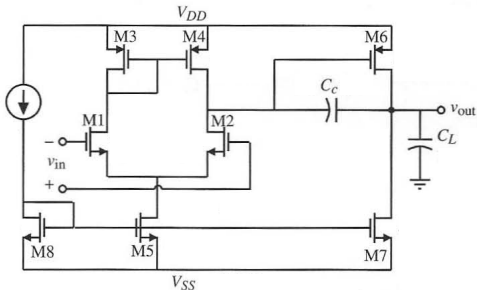


Figura: Amplificatore operazionale a due stadi

Dalla teoria è noto che per calcolare la capacità di compensazione  $C_c$  si può usare la formula (18), assicurando un margine di fase di almeno  $60^\circ$ .

$$C_c > (2.2/10)C_L = 3.985 \text{ pF} \quad (18)$$

Scegliendo una capacità pari a 8 pF si può calcolare la corrente del MOSFET M5 dato che lo slew rate è dato da  $SR = I_5/C_c$ . Si può trovare la corrente di M5 nel seguente modo

$$I_5 = SR \cdot C_c = (6.5 \cdot 10^6) \cdot (8 \cdot 10^{-12}) = 52 \mu A \quad (19)$$

I MOSFET M1 e M2 soddisfano le specifiche sul GB quindi

$$g_{m1} = GB \cdot C_c = (2\pi 10 \cdot 10^6)(8 \cdot 10^{-12}) = 502.65 \mu S. \quad (20)$$

Poiché  $g_m = \sqrt{2\beta I_D} = \sqrt{2k' S I_D}$  e  $I_1 = I_5/2$ , si possono trovare gli aspect ratio dei MOSFET M1 e M2

$$S_1 = (W/L)_1 = (W/L)_2 = \frac{g_{m1}^2}{2k'_1 I_1} = \frac{(502.65 \cdot 10^{-6})^2}{167 \cdot 10^{-6} \cdot 52 \cdot 10^{-6}} = 29.09 \simeq 29/1. \quad (21)$$

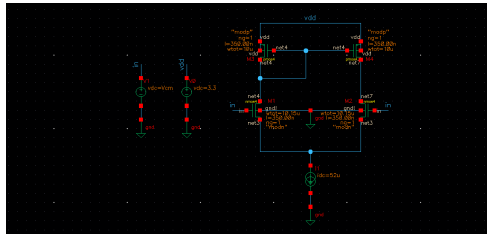
dove  $k'_1 = k'_N = 167 \mu A/V^2$ .

Poiché  $V_{in(max)} \leq \left[ V_{DD} - \left( \sqrt{\frac{2I_3}{\beta_3}} + |V_{T03}| \right) \right] (min) + V_{T1}(min) =$

$V_{DD} - \sqrt{\frac{2I_3}{\beta_3}} - |V_{T03}|(max) + V_{T1}(min)$ . Con la formula inversa si può trovare  $S_3$

$$S_3 = (W/L)_3 = \frac{I_5}{(k'_3)[V_{DD} - V_{in(max)} - |V_{T03}|(max) + V_{T1}(min)]^2} \quad (22)$$

dove  $k'_3 = k_P = 42 \mu A/V^2$ . Per trovare le tensioni di soglia si simula in Cadence un amplificatore differenziale ai cui ingressi è collegato un generatore di tensione di modo comune  $V_{cm}$  come mostrato in figura, in cui il MOSFET M5 è rimpiazzato da un generatore di corrente di  $52 \mu A$  e i MOSFET M1 e M2 hanno l'aspect ratio calcolato precedentemente.



Si può notare che le dimensioni di M3 e M4 non vanno ad influire in modo significativo sulla tensione di soglia perché  $V_{bs3,4} = 0$ . Nel tool ADE di Cadence, cliccando su "Results" → "Annotate" → "DC Operating Points" si possono vedere nello schematico i parametri  $I_D$ ,  $V_{DS}$ ,  $V_{DSsat}$ ,  $g_m$ ,  $V_{gs}$ ,  $V_T$  e  $g_{ds}$ . Si può scegliere  $V_{T03}(\max) = -710$  mV,  $V_{T1}(\max) = 950$  mV e  $V_{T1}(\min) = 660$  mV. Con questi dati la formula (22) dà come risultato  $S_3 = (W/L)_3 = 55.02 \simeq 55/1$  e dato che la coppia di MOSFET M3 e M4 formano uno specchio di corrente si ha  $S_3 = S_4$ .

Per trovare le dimensioni di M5 si nota che  $V_{in}(\min) \geq V_{GS1}(\max) + V_{DS5}(\text{sat}) =$

$$\left[ \sqrt{\frac{2I_1}{\beta_1}} + V_{T1} \right] (\max) + V_{DS5}(\text{sat}) = \sqrt{\frac{2I_1}{\beta_1}} + V_{T1}(\max) + V_{DS5}(\text{sat}), \text{ quindi}$$

$$V_{DS5}(\text{sat}) = V_{in}(\min) - \sqrt{\frac{I_5}{\beta_1}} - V_{T1}(\max) =$$

$$1.2 - \sqrt{\frac{52 \cdot 10^{-6}}{167 \cdot 10^{-6} \cdot 29}} - 0.95 = 146.5 \text{ mV} \quad (23)$$

Per trovare l'aspect ratio di M5 si calcola

$$S_5 = \frac{2I_5}{k'_5[V_{DS5}(\text{sat})]^2} = \frac{2 \cdot 52 \cdot 10^{-6}}{167 \cdot 10^{-6} \cdot (0.1465)^2} = 28.99 \simeq 29/1 \quad (24)$$

Per assicurare un margine di fase di almeno  $60^\circ$  occorre anche soddisfare

$$g_{m6} \geq 2.2g_{m2}(C_L/C_c) = 10g_{m1} = 5.0265 \text{ mS} \quad (25)$$

avendo notato che  $g_{m1} = g_{m2}$  e che  $C_L/C_c = 10/2.2$  dall'equazione (18). L'aspect ratio di M6 si calcola nel seguente modo

$$S_6 = S_4 \frac{g_{m6}}{g_{m4}} \quad (26)$$

occorre dunque conoscere

$g_{m4} = \sqrt{2k'_4 S_4 I_4} = \sqrt{2 \cdot 42 \cdot 10^{-6} \cdot 55 \cdot 26 \cdot 10^{-6}} = 346.67 \mu\text{S}$ . Riprendendo l'equazione (26) si trova  $S_6 = 797.86 \simeq 800/1$ . Conoscendo  $g_{m6}$  e  $S_6$  si calcola la corrente del MOSFET M6 come

$$I_6 = \frac{g_{m6}^2}{2k'_6 S_6} = \frac{(5.0265 \cdot 10^{-3})^2}{2 \cdot 42 \cdot 10^{-6} \cdot 800} = 376.99 \mu\text{A} \quad (27)$$

Conoscendo l'aspect ratio del MOSFET M5 e le correnti di M5 e M6 si può calcolare

$$S_7 = \frac{I_6}{I_5} S_5 = \frac{376 \cdot 10^{-6}}{52 \cdot 10^{-6}} \cdot 29 = 210.22 \simeq 210 \quad (28)$$

Per sostituire il generatore di corrente ideale si usa uno specchio di corrente costituito da soli MOSFET come mostrato in figura.

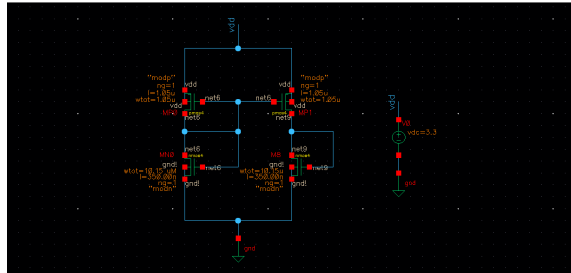


Figura: Specchio di corrente

La formula per trovare l'aspect ratio dei P-MOS di carico è la seguente

$$V_{DD} = V_{SGp} + V_{GSn} = \sqrt{\frac{2I_{REF}}{k_p S_p}} + |V_{THP}| + \sqrt{\frac{2I_{REF}}{k_n S_n}} + V_{THn}. \quad (29)$$

# Progetto dell'operazionale reale 10/15

Micro e  
Nano  
Elettro-  
nica

Matteo  
Orlandi-  
ni

Introduzione

Progetto  
del filtro  
ideale

Progetto  
del filtro  
reale

Con  $S_n = S_5 = 29/1$ , si trova  $S_p = 0.684 \simeq 2/3$ . Con questa configurazione si ha  $I_{REF} = 34.25 \mu A$ , per portare la corrente al valore desiderato di  $52 \mu A$  si sceglie  $S_p = 3/3$ . Lo schema finale dell'operazionale è mostrato in figura.

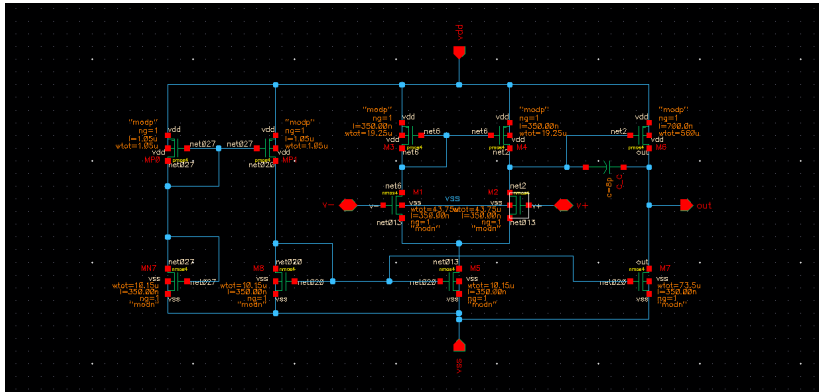


Figura: Amplificatore operazionale reale



Lo schema usato per testare l'operazione reale ad anello aperto è illustrato in figura. Viene usato un generatore DC di modo comune di ampiezza 1.65 V, mentre all'ingresso non invertente si collega un generatore d'onda sinusoidale di frequenza 2 MHz e ampiezza 10 mV. Con i valori di aspect ratio precedentemente calcolati si trova un guadagno in DC  $A_0 \simeq 54.5 \text{ dB}$  e  $GB = 7 \text{ MHz}$ .

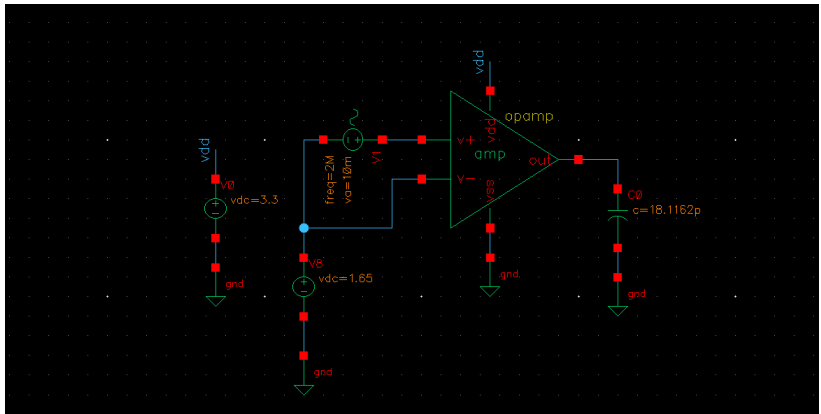


Figura: Test bench dell'amplificatore operazionale reale ad anello aperto

# Progetto dell'operazionale reale 12/15

Micro e  
Nano  
Elettro-  
nica

Matteo  
Orlandi

Introduzione

Progetto  
del filtro  
ideale

Progetto  
del filtro  
reale

Si può modificare l'aspect ratio di M6 e di M1 e M2 per aumentare rispettivamente il guadagno in DC e il gain bandwidth. Si cambia dunque l'aspect ratio di M6,  $S_6 = 1600/2$ , per portare  $A_0$  ad almeno 60 dB e gli aspect ratio di M1 e M2,  $S_1 = S_2 = 125/1$ , per avere  $GB = 10$  MHz.

Come si può notare dal diagramma di Bode in figura, la frequenza di taglio è 6.5 kHz, il gain bandwidth è pari a 10 MHz e la fase alla frequenza di 10 MHz è  $\varphi \simeq -112^\circ$ , dunque il margine di fase è  $PM = 180^\circ + \varphi = 180^\circ - 112^\circ = 68^\circ$ , maggiore dei  $60^\circ$  richiesti dalla specifica.

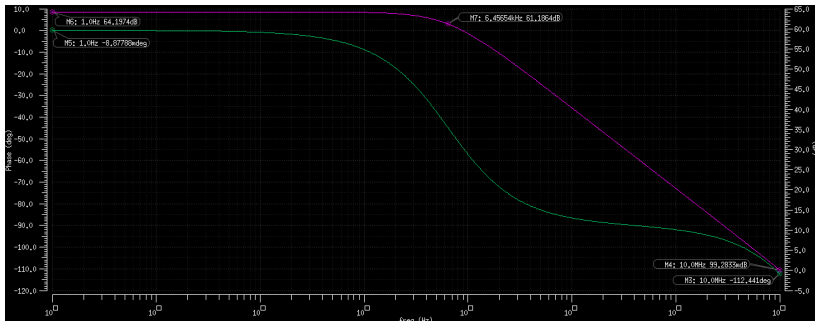


Figura: Diagramma di Bode dell'operazionale reale

Per testare le specifiche sullo slew-rate dell'op-amp è stato usato il circuito in figura, in cui si può vedere che è stata inserita una retroazione tra l'uscita e l'ingresso invertente e all'ingresso non invertente è stato collegato un generatore d'onda quadra di frequenza  $f = 2 \text{ MHz}$ .

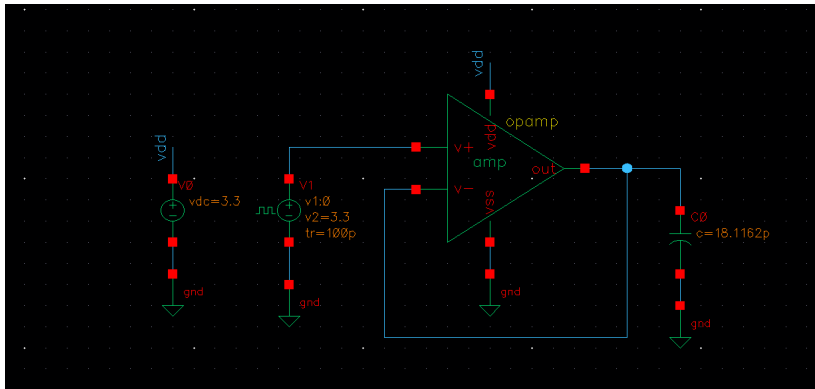


Figura: Test bench dello slew rate dell'op-amp

Il risultato del test bench è mostrato nel grafico seguente. Per il calcolo dello slew rate occorre usare la formula (30), tenendo conto dei punti annotati nel grafico.

$$SR = \frac{V_2 - V_1}{t_2 - t_1} = \frac{2 - 1}{(0.342 - 0.214) \cdot 10^{-6}} = \frac{1}{0.128 \cdot 10^{-6}} = 7.8125 \text{ V}/\mu\text{s} \quad (30)$$

Si può dunque affermare che questa specifica è soddisfatta in quanto si era calcolato uno slew rate desiderato maggiore o uguale a  $6.5 \text{ V}/\mu\text{s}$ .

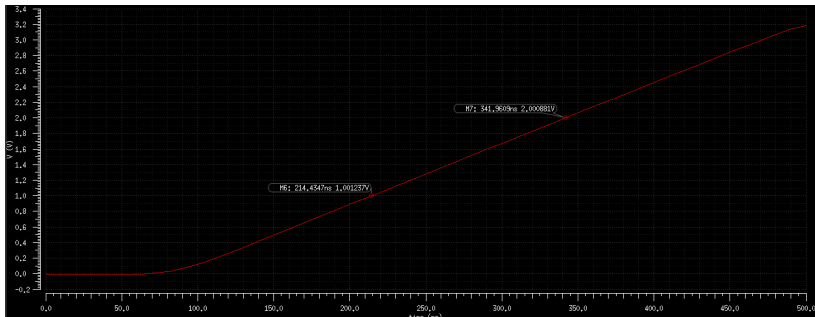


Figura: Slew rate dell'op-amp

La tabella riassume gli aspect ratio dei MOSFET che costituiscono l'operazionale reale.

MOSFET	Aspect ratio
M1, M2	$S_1 = S_2 = 125/1$
M3, M4	$S_3 = S_4 = 55/1$
M5, M8, MN7	$S_5 = S_8 = S_{N7} = 29/1$
M6	$S_6 = 1600/2$
M7	$S_7 = 210/1$
MP0, MP1	$S_{P0} = S_{P1} = 3/3$

**Tabella:** Aspect ratio dei MOSFET dell'operazionale reale

Dato che le specifiche dell'amplificatore operazionale sono soddisfatte, si possono sostituire gli op-amp ideali nel filtro con l'operazionale progettato.

L'ultimo passo da eseguire per completare il progetto è il capacitance minimization scaling per minimizzare le capacità presenti nel filtro reale. Tramite questa procedura di scaling statico, si modificano ciascuno gruppo di capacità connesse o switchate all'ingresso di un operazionale secondo un fattore  $k_{cm} = C_{min}/C_{s,min}$ , dove  $C_{s,min}$  è la capacità di valore minimo del gruppo e  $C_{min} = 10 \cdot C_{intrinseca,max}$ , dove  $C_{intrinseca,max}$  è la capacità intrinseca del MOSFET di dimensioni maggiori usato nell'operazionale reale.

Le capacità intrinseche dei vari MOSFET si possono osservare usando il tool "DC operating points" in Cadence ADE. La massima capacità intrinseca del MOSFET più grande, cioè di M6, è data dalla  $c_{ss} = 2.28$  pF. I fattori di scaling sono presentati in tabella.

Op-amp	Sezione	Fattore di scaling
1	1	$k_{11} = \frac{10 \cdot 2.28 \cdot 10^{-12}}{1.4654 \cdot 10^{-12}} = 15.56$
2	1	$k_{12} = \frac{10 \cdot 2.28 \cdot 10^{-12}}{484.19 \cdot 10^{-15}} = 47.09$
1	2	$k_{21} = \frac{10 \cdot 2.28 \cdot 10^{-12}}{51.91 \cdot 10^{-15}} = 439.22$
2	2	$k_{22} = \frac{10 \cdot 2.28 \cdot 10^{-12}}{100.94 \cdot 10^{-15}} = 225.88$
1	3	$k_{31} = \frac{10 \cdot 2.28 \cdot 10^{-12}}{167.89 \cdot 10^{-15}} = 135.8$
2	3	$k_{32} = \frac{10 \cdot 2.28 \cdot 10^{-12}}{218.12 \cdot 10^{-15}} = 104.53$

Tabella: Fattori di scaling

Le capacità risultanti sono elencate nella seguente tabella.

<b>Capacità [pF]</b>	<b>Stadio 1</b> ( $Q = 0.439$ )	<b>Stadio 2</b> ( $Q = 10.536$ )	<b>Stadio 3</b> ( $Q = 2.139$ )
A	111.396	22.8	22.8
B	528.453	123.488	104.53
C	22.801	46.193	23.141
D	281.888	230.458	173.851
E	0	22.8	61.831
F	111.149	0	0
G	22.801	46.078	22.8
J,L	0	0	0
K	22.8	89.019	39.691

**Tabella:** Valori delle capacità dopo aver effettuato lo scaling statico



I seguenti grafici mostrano l'analisi in frequenza di ogni stadio del filtro reale e del filtro complessivo, dopo aver effettuato lo scaling statico. Si può vedere come anche nel filtro reale sono soddisfatte le specifiche iniziali.

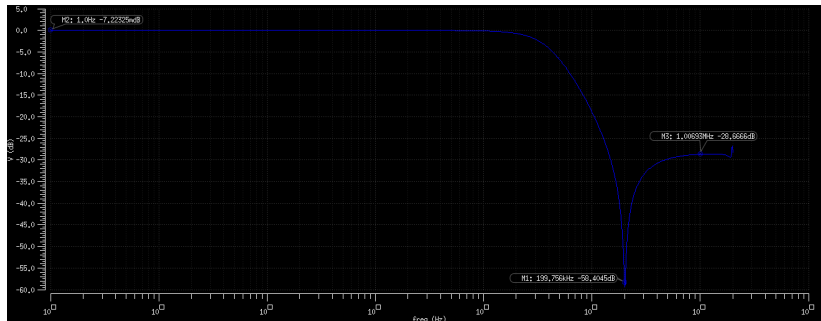


Figura: Analisi in frequenza del primo stadio del filtro reale

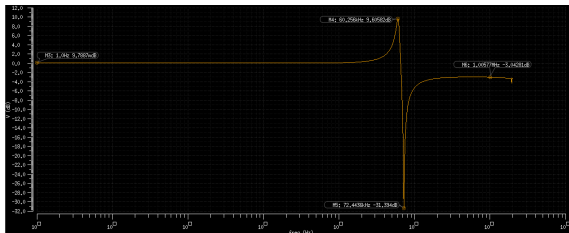


Figura: Analisi in frequenza del secondo stadio del filtro reale

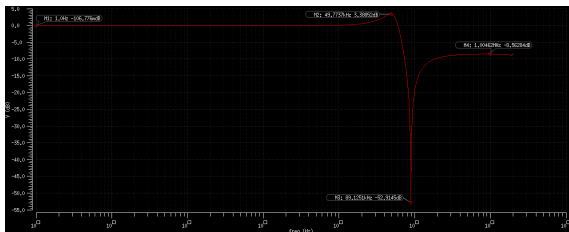
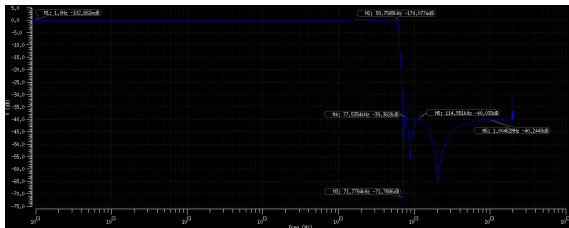
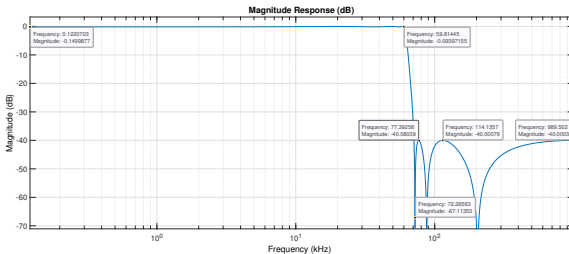


Figura: Analisi in frequenza del terzo stadio del filtro reale



(a) Risposta in frequenza del filtro reale in Cadence



(b) Risposta in frequenza del filtro ideale in Matlab