



Prova Finale (Progetto di Reti logiche)

Prof. Gianluca Palermo

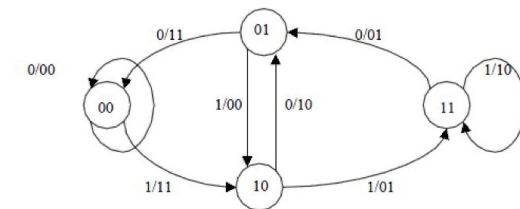
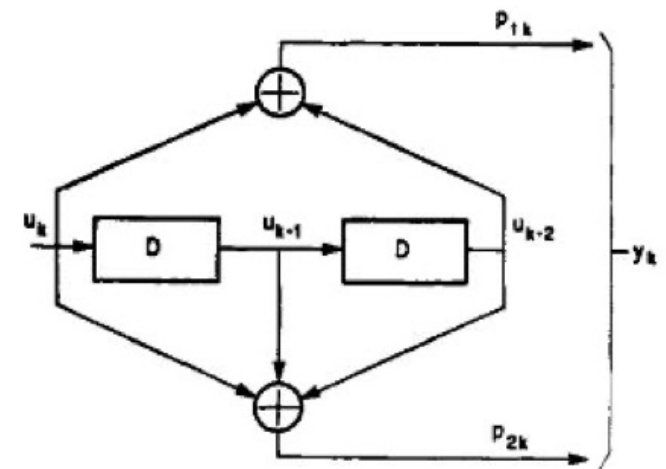
Descrizione generale

- SPECIFICHE E REGOLE del progetto sono disponibili su WEBEEP
 - Nella sezione forum c'è un thread di discussione dedicato alle specifiche e uno dedicato alle regole.
- La specifica della Prova Finale (Progetto di Reti Logiche) 2021-2022 è ispirata alle codifiche convoluzionali
- Le codifiche convoluzionali sono usate nelle telecomunicazioni come codici di correzione di errore e si utilizzano in numerose applicazioni allo scopo di ottenere un trasferimento di dati affidabile
- Nel progetto si vuole sviluppare un codice convoluzionale $1/2$, cioè un codice in cui per ogni bit in ingresso ne vengono generati 2 in uscita.

DETTAGLI IMPLEMENTATIVI

- Il modulo da implementare
 - $P1(t) = U(t) \text{ xor } U(t-2)$
 - $P2(t) = U(t) \text{ xor } U(t-1) \text{ xor } U(t-2)$
 - $Y(t)$ è la concatenazione tra $P1(t)$ e $P2(t)$
- Esempio
 - $U = 10100010$

T	0	1	2	3	4	5	6	7
U_k	1	0	1	0	0	0	1	0
$P1_k$	1	0	0	0	1	0	1	0
$P2_k$	1	1	0	1	1	0	1	1



DATI

- Il modulo da implementare dovrà leggere lo stream da una memoria con indirizzamento al byte dove la sequenza di byte è trasformata nella sequenza di bit **U** da elaborare
- La quantità di parole W da codificare è memorizzata nell'indirizzo 0;
 - *Dimensione massima dello stream 255 byte*
- il primo byte della sequenza W è memorizzato all'indirizzo 1
- Lo stream di **uscita Z** deve essere memorizzato a partire dall'indirizzo 1000 (mille).

Esempio1: (Sequenza lunghezza 2)

W: 10100010 01001011

Z: 11010001 11001101 11110111 11010010

INDIRIZZO MEMORIA	VALORE	COMMENTO
0	2	\\ Byte lunghezza sequenza di ingresso
1	162	\\ primo Byte sequenza da codificare
2	75	
[...]		
1000	209	\\ primo Byte sequenza di uscita
1001	205	
1002	247	
1003	210	

Esempio3: (Sequenza lunghezza 3)

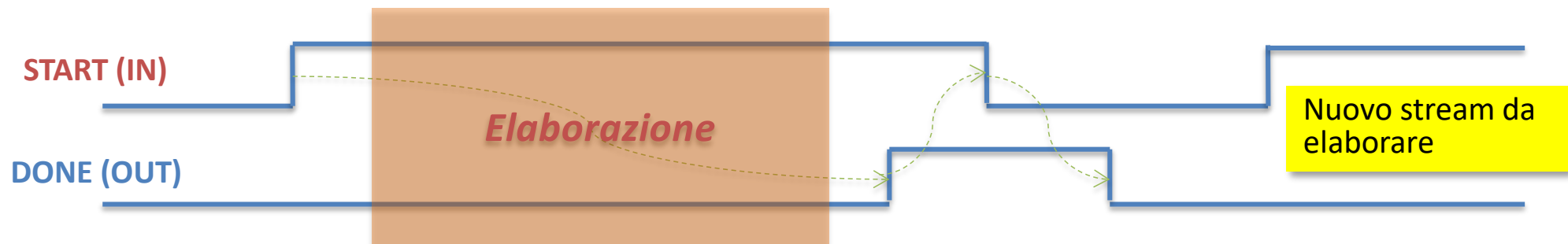
W: 01110000 10100100 00101101

Z: 00111001 10110000 11010001 11110111 00001101 00101000

INDIRIZZO MEMORIA	VALORE	COMMENTO
0	3	\\ Byte lunghezza sequenza di ingresso
1	112	\\ primo Byte sequenza da codificare
2	164	
3	45	
[...]		
1000	57	\\ primo Byte sequenza di uscita
1001	176	
1002	209	
1003	247	
1004	13	
1005	40	

Note ulteriori sulla specifica

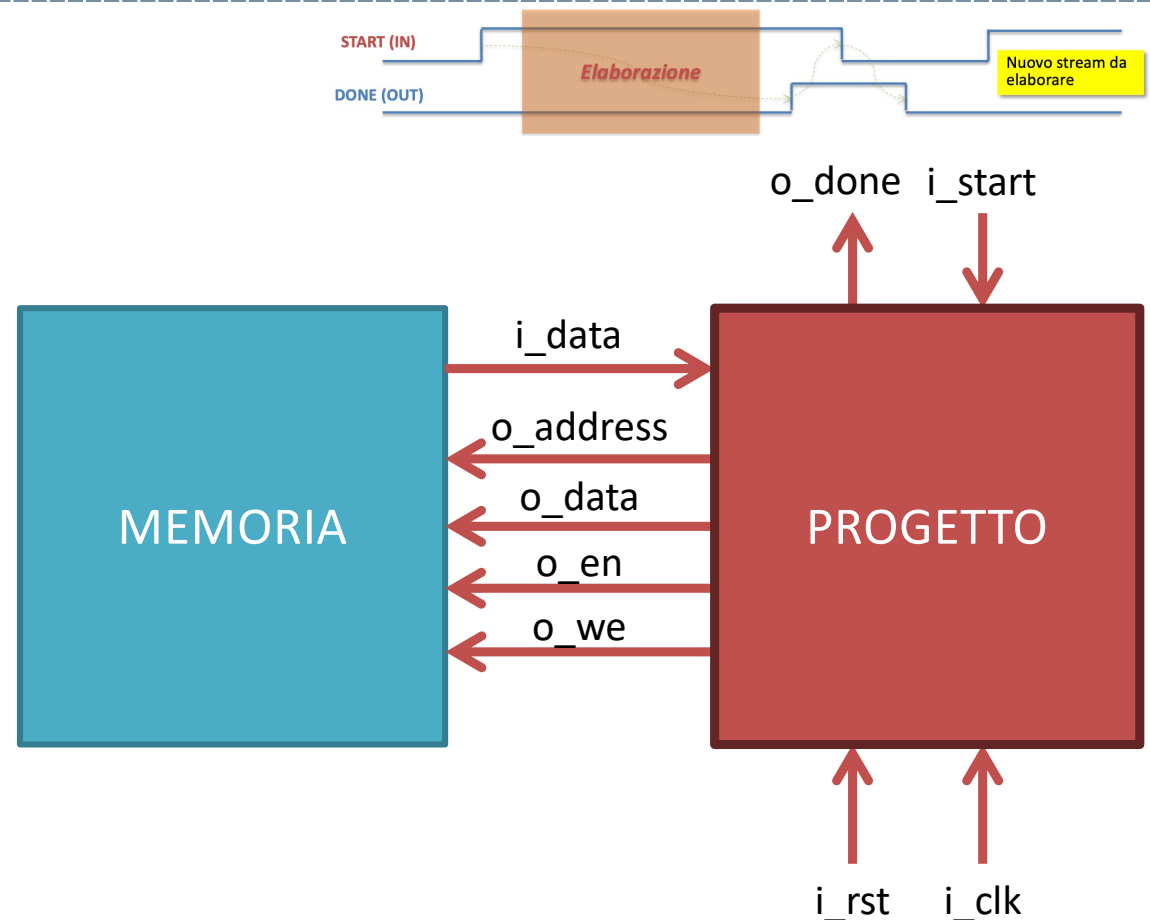
- Il modulo deve essere progettato considerando che prima della prima codifica verrà SEMPRE dato il reset al modulo.
- Il modulo deve essere progettato per poter codificare più sequenze
- Una seconda elaborazione non dovrà attendere il reset del modulo, ma si deve rispettare il seguente protocollo



- L'immagine di ingresso può essere cambiata solo quando il segnale **START** è basso
- Il TB rispetterà SEMPRE questo protocollo

Interfaccia del Componente

```
entity project_reti_logiche is
  port (
    i_clk      : in  std_logic;
    i_start    : in  std_logic;
    i_rst      : in  std_logic;
    i_data      : in  std_logic_vector(7 downto 0);
    o_address   : out std_logic_vector(15 downto 0);
    o_done      : out std_logic;
    o_en        : out std_logic;
    o_we        : out std_logic;
    o_data      : out std_logic_vector (7 downto 0)
  );
end project_reti_logiche;
```



Regole

- Compito dello studente è quello di descrivere in VHDL e sintetizzare il componente HW che implementa la specifica richiesta, interfacciandosi con una memoria dove sono memorizzati i dati e dove andrà scritto il risultato finale.
- Allo studente verrà fornito un Test Bench **di esempio** (che include la memoria) per validare il corretto funzionamento del modulo implementato.
- In particolare:
 - Il progetto può essere svolto in gruppi composti da un **massimo di 2 studenti** che debbono avere il medesimo docente di riferimento.
 - Il progetto è una **attività autonoma** che non coinvolge in nessun modo il corpo docente a meno di chiarimenti sulla specifica di progetto.
 - Nel caso in cui il testo di specifica risulti incompleto, è compito del gruppo di lavoro contattare i docenti motivando accuratamente la ragione della incompletezza.
 - I docenti aggiorneranno la specifica chiarendo i cambiamenti
- Strumento di sintesi da usare è **XILINX VIVADO WEBPACK**
 - consiglio Versione 2016.4 con solo ARTIX-7 come famiglia di dispositivi FPGA (10GB)
- La **FPGA target può essere qualunque** (la specifica non richiede particolari logiche)
- Il progetto deve funzionare con un periodo di **clock di almeno 100 ns**;
- Lo studente deve allegare al progetto anche una relazione

Valutazione

- Un componente descritto e simulabile correttamente in pre-sintesi viene valutato non con la valutazione piena
 - *Indicativamente un massimo di 24 per un progetto fatto in coppia, fino a 27 per un progetto svolto da un singolo studente. Questo fa riferimento al solo progetto VHDL non alla relazione*
- Un componente anche sintetizzabile e correttamente simulabile in post-sintesi può ottenere la valutazione piena
 - *Indicativamente fino 30 per un progetto fatto in coppia, fino a 30L per un progetto svolto da un singolo studente. Questo fa riferimento al solo progetto VHDL non alla relazione*
- Il voto finale, in entrambi i casi, terrà conto dei test superati dal componente, dal codice VHDL e dalla relazione presentata (incluse le scelte progettuali).
- A meno di casi estremi, la valutazione sarà prettamente su aspetti funzionali e sulla qualità e chiarezza della relazione
- **!!ATTENZIONE!!** Non è possibile rifiutare il voto finale.
 - Questo è dovuto alla tipologia del progetto che è considerato, da regolamento didattico, una “PROVA FINALE”.

Criteri di Consegna

- La specifica del progetto resta invariata per tutto l'anno accademico.
- La consegna del progetto **puo essere fatta solo una volta** nel corso dell'anno accademico
 - possibilità di una ed unica risottomissione in caso di insufficienza
 - nel caso che la prima consegna risulti insufficiente ($9 < x < 18$) viene consentita, a parere insindacabile del docente, una successiva consegna;
 - la valutazione, in questo frangente, **non potrà superare in nessun caso 24/30**. Non sono né previste né eccezioni e/o compensazioni.
 - **Ai progetti la cui valutazione è inferiore ai 10/30 non verrà offerta la possibilità di riconsegna.**
- In caso di bocciatura il candidato verrà rimandato all'anno accademico successivo e dovrà sostenere la "PROVA FINALE" con il progetto dell'anno accademico successivo.

Consegna del progetto

- Per la consegna dei progetti verrà predisposta una cartella su WEBEEP per ogni sessione
- Ogni studente o gruppo di studenti dovrà caricare esattamente due file:
 - **un solo file con il codice VHDL** - Il file caricato dovrà essere nominato **codicePersona.vhd** (esempio 10499233.vhd).
 - gli studenti che lavorano in gruppo dovranno caricare un file solo, usando il codice persona di entrambi i due studenti (codicePersona1_codicePersona2.vhd).
 - La descrizione della composizione del gruppo dovrà essere anche esplicitamente menzionata nella documentazione allegata.
 - **un solo file PDF con la documentazione** - Il file caricato dovrà essere nominato **codicePersona.pdf** (esempio 10499233.pdf).
 - gli studenti che lavorano in gruppo dovranno caricare un file solo, codicePersona1_codicePersona2.pdf con lo stesso ordine usato per il file VHDL
 - La descrizione della composizione del gruppo dovrà essere anche esplicitamente menzionata nella documentazione allegata.

Date per la consegna

I consegna entro 1 Febbraio 2021,

– *per potersi laureare a Marzo*

II consegna entro 1 Aprile 2021,

III consegna entro 15 Maggio 2021,

IV consegna entro 15 Giugno 2021

– *per potersi laureare a Luglio*

V consegna entro 15 Luglio 2021,

VI consegna entro 1 Settembre 2021,

– *per potersi laureare a Settembre/Ottobre*

VII consegna 15 Settembre 2022

– ***Data da confermare per mancanza del Calendario Accademico 22/23***

