

ESERCIZI SU ORGANIZZAZIONE DI UN ELABORATORE E MEMORIA

Versione 1.2, ultima modifica 30/03/2021.

Modifiche:

- Aggiunto esercizio 10

1. Little/big endian

Quesito

Un processore di tipo little endian scrive in memoria, a partire dall'indirizzo 0x1000, i seguenti 2 numeri interi da 16 bit: $W1=0x000A$, $W2=0x00B0$; si supponga che alla medesima memoria abbia accesso un processore di tipo big endian. Indicare il numero intero L da 32 bit che quest'ultimo legge all'indirizzo 0x1000, espresso in esadecimale.

Soluzione:

Il processore little endian colloca in memoria ciascuno dei due numeri interi in due byte consecutivi, inserendo nel primo byte gli otto bit meno significativi di ciascuno di essi:

| indirizzo | contenuto |
|-----------|-----------|
| 0x1000 | 0x0A |
| 0x1001 | 0x00 |
| 0x1002 | 0xB0 |
| 0x1003 | 0x00 |

Il processore big endian legge l'intero L da 32 bit all'indirizzo 0x1000, interpretando il primo dei quattro byte (0x0A) come gli otto bit più significativi di L. Il numero letto è quindi: $L=0x0A00B000$

2. Little/big endian

Quesito

La stringa 'Alberto' è caricata a partire dall'indirizzo 0x2000 nella memoria di un elaboratore che adotta l'organizzazione little endian. Riportare in esadecimale il word W (da 32 bit) situato all'indirizzo 0x2002, interpretato come numero.

Soluzione

Dalla tabella dei codici ASCII, abbiamo:

| indirizzo | contenuto |
|-----------|-----------|
| 0x2000 | 0x41 |
| 0x2001 | 0x6C |
| 0x2002 | 0x62 |
| 0x2003 | 0x65 |
| 0x2004 | 0x72 |
| 0x2005 | 0x74 |
| 0x2006 | 0x6F |

I 4 byte che compongono il word W

Nell'ordinamento little endian il primo byte, quello situato all'indirizzo 0x2002, è quello meno significativo di W.

Il risultato è quindi $W[2002] = 0x74726562$

3. Little/big endian

Quesito

Si considerino 2 byte situati ad indirizzi di memoria consecutivi

| | |
|------|----|
| 1000 | 41 |
| 1001 | 2B |

Individuare quale stringa di caratteri ASCII e quale numero intero da 16 bit rappresentano nella organizzazione big endian e in quella little endian

Soluzione

Nel secondo dei due casi (numero a 16 bit) il tipo di organizzazione scelto determina l'ordine di lettura dei due byte. Nella organizzazione *big endian* il byte di indirizzo più basso (1000) costituisce il byte più significativo del word considerato, quello di indirizzo più alto (1001) ne costituisce il byte meno significativo, quindi nel caso in esame il numero rappresentato sarà 412B.

Nell'organizzazione *little endian* è il byte di indirizzo più alto a costituire la parte più significativa del word e quindi il numero rappresentato sarà 2B41.

Nel primo caso in esame (stringa ASCII) la rappresentazione scelta non ha alcuna influenza sull'interpretazione da dare alla sequenza in quanto l'unità selezionata è il byte e quindi l'ordine di lettura dei byte è unico. In entrambe le rappresentazioni la stringa ASCII rappresentata vale "A+"

4. Little/big endian

Quesito

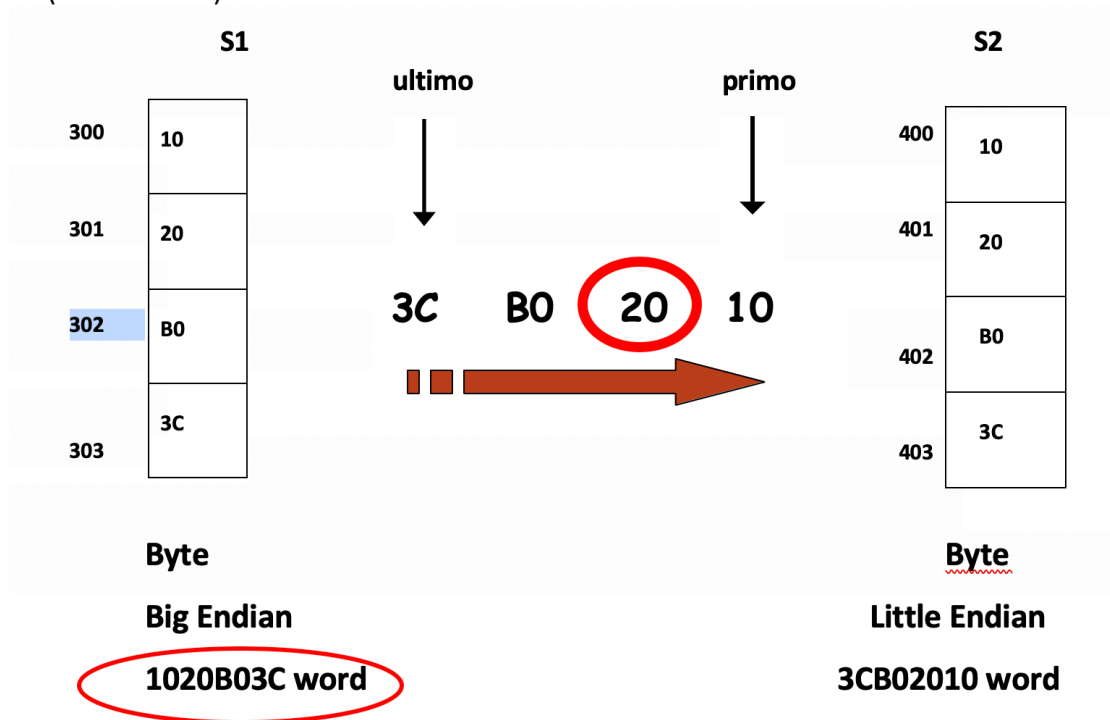
In un sistema S1 che adotta l'organizzazione di memoria 'big endian' vengono letti da un dispositivo che ha un buffer dati da 16 bit i due half-word 1020 e B03C che vengono caricati rispettivamente agli indirizzi 300 e 302. Di seguito, i 4 byte successivi a partire dall'indirizzo 300 vengono spediti nell'ordine, attraverso una linea seriale, ad un sistema S2 che adotta l'organizzazione di memoria 'little endian' e che li carica, nell'ordine in cui arrivano, nelle 4 locazioni successive a partire dall'indirizzo 400.

Di seguito, in S2 il word all'indirizzo 400 viene interpretato come floating point (standard IEEE 754 singola precisione). Rispondere alle seguenti domande:

- Qual è il secondo byte spedito da S1 a S2?
- Qual è il valore esadecimale del word all'indirizzo 300 in S1 dopo la lettura dei due half-word?
- Qual è in notazione esponenziale il valore floating point rappresentato all'indirizzo 400 dopo il caricamento dei 4 byte in S2?

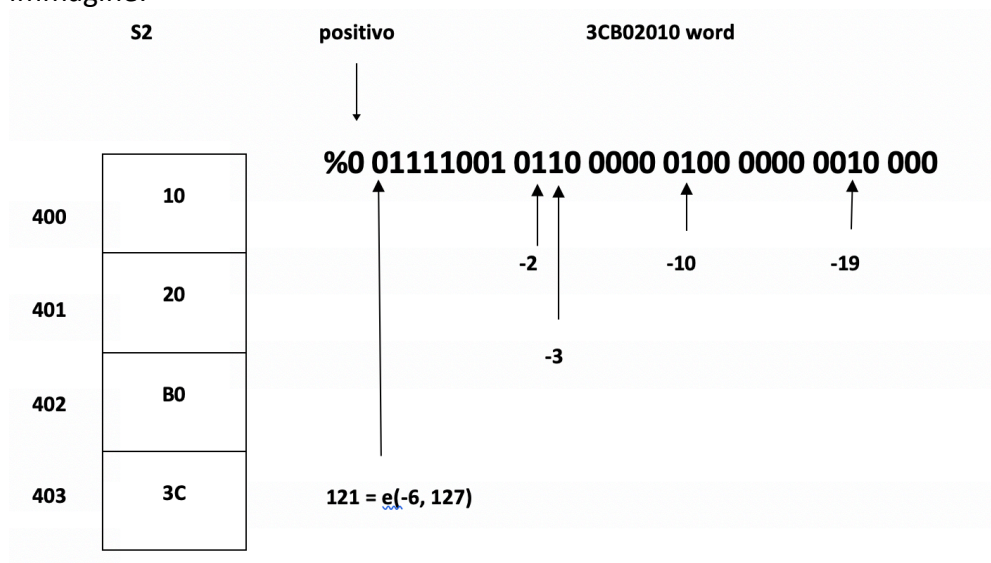
Soluzione

Si consideri la seguente immagine, dove a sinistra è riportato il sistema S1 (big endian) e a sinistra S2 (little endian).



Il secondo byte spedito da S1 è quello nella posizione di memoria 302, ovvero il valore 20. La word all'indirizzo 300 di S1 è 1020B03C; si osservi che in S2, la word all'indirizzo 400 è 3CB02010, nonostante il contenuto dei 4 byte sia lo stesso.

Per calcolare il floating point salvato nei 4 byte a partire dall'indirizzo 400 di S2, si veda la seguente immagine:



Quindi il valore è

$$\text{val} = + (1.0110000001000000001)_2 * 2^{-6} = (1.0 + 2^{-2} + 2^{-3} + 2^{-10} + 2^{-19}) * 2^{-6}$$

$$\approx + 1.376002 * 2^{-6} \approx + 2.15 * 10^{-2}$$

5. Numero di indirizzi

Quesito

Assumendo che una locazione in memoria sia di 1 byte, quanti Mbyte si riescono ad indirizzare con 16 bit? 20 bit? 24 bit? 32 bit? 64 bit?

Soluzione

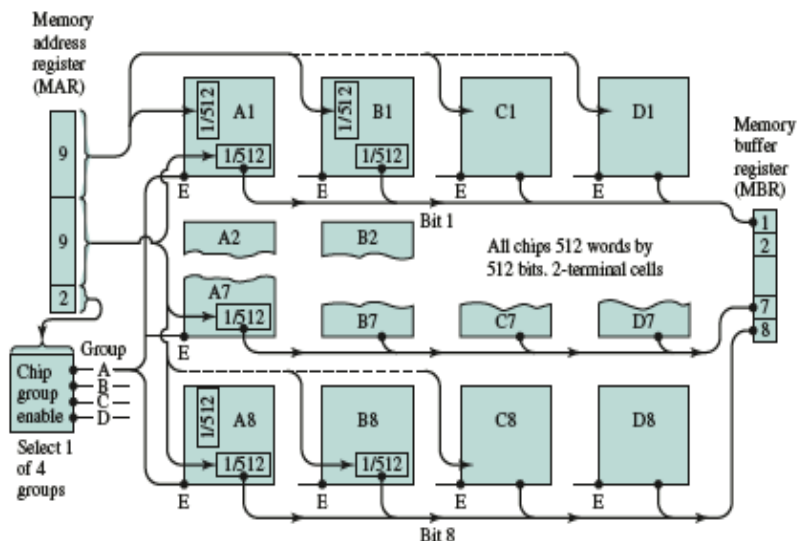
Avendo a disposizione N bit di indirizzo, è possibile indirizzare 2^N locazioni di memoria, e quindi 2^N byte in totale se ogni locazione ha la dimensione di 1 byte. Ora, sapendo che 1KByte di memoria corrisponde a $2^{10} = 1024$ bytes, si ha che 1Mbyte = 1Kbyte X 1Kbyte = $2^{10} \times 2^{10} = 2^{20}$ bytes. Quindi per i casi proposti si hanno le seguenti soluzioni:

- 16 bit -> 2^{16} bytes = $2^{16}/2^{20}$ Mbyte = 1/16 MB = 64 Kbyte
- 20 bit -> 2^{20} bytes = $2^{20}/2^{20}$ Mbyte = 1 Mbyte
- 24 bit -> 2^{24} bytes = $2^{24}/2^{20}$ Mbyte = 2^4 Mbyte = 16 Mbyte
- 32 bit -> 2^{32} bytes = $2^{32}/2^{20}$ Mbyte = 2^{12} Mbyte = 4096 Mbyte = 4 Gbyte
- 64 bit -> 2^{64} bytes = $2^{64}/2^{20}$ Mbyte = 2^{44} Mbyte = 2^{34} Gbyte = 2^{24} Tbyte

6. Organizzazione della memoria

Quesito

Con riferimento al banco di memoria rappresentato nella figura riportata qui sotto, in quale modulo di memoria è situato il byte di indirizzo 0xA01B8 e quali sono il suo indirizzo di riga e di colonna? Esprimere i valori in esadecimale.



Soluzione

Nell'esaminare la figura in oggetto si nota che la selezione del modulo da indirizzare per accedere alla locazione desiderata è affidata ai 2 bit più significativi dell'indirizzo. Esprimendo in binario l'indirizzo si ottiene la sequenza

1010 0000 0001 1011 1000

Il modulo interessato all'operazione sarà quindi quello corrispondente alla configurazione 10, ossia il banco di indice $10_2 = 0x2$.

L'indirizzo di riga e di colonna sono dati dai rimanenti 18 bit: l'indirizzo di riga è dato dai 9 bit meno significativi, ovvero $(110111000)_2 = 0x1B8$; l'indirizzo di colonna è dato dai rimanenti 9 bit, ovvero $(100000000)_2 = 0x100$.

7. Organizzazione della memoria

Quesito

Si voglia realizzare una memoria statica da 128 Kbyte mediante n moduli ciascuno composto da 8 chip di memoria da 4Kx1 bit.

- Quanto deve valere n?
- Quali bit dell'indirizzo selezionano il modulo da attivare?
- Quante linee di indirizzo devono pervenire come indirizzo di selezione del bit a ciascun chip?

Soluzione

Ogni modulo fornisce 4Kbyte di memoria, per cui risulta:

$$n = 128\text{Kbyte} / 4\text{Kbyte} = 2^{17} / 2^{12} = 2^5 = 32$$

Per indirizzare 128Kbyte sono necessarie 17 linee di indirizzo di cui 5 servono per selezionare il modulo e 12 per indirizzare in ciascun chip uno dei 4Kbit in esso presenti.

8. Tempo di refresh

Quesito

Si consideri un chip di memoria dinamica (DRAM) da 1 Mbit con 1024 righe \times 1024 colonne. Il periodo di refresh sia di 5 ms, il tempo di accesso sia di 60 ns. Assumendo che il refresh avvenga per righe, calcolare la percentuale di cicli di memoria impegnati per il refresh.

Soluzione

In una memoria dinamica il refresh viene effettuato mediante una operazione di lettura che interessa una intera riga. Pertanto, detti t_A il tempo di accesso, T_R il periodo di refresh ed N_{righe} il numero di righe della matrice costituente il chip si ha che il tempo t_R disponibile per il refresh di una riga vale:

$$t_R = \frac{T_R}{N_{\text{righe}}}$$

Il rapporto fra il tempo di accesso ed il tempo disponibile per una singola operazione di refresh costituisce la frazione relativa di cicli di memoria impiegati per il refresh. Pertanto la percentuale di cicli impegnati per il refresh vale:

$$Rfsh\% = \frac{t_A}{t_R} \cdot 100 = \frac{t_A}{T_R} \cdot N_{\text{righe}} \cdot 100 = \frac{60 \cdot 10^{-9} \text{ s}}{5 \cdot 10^{-3} \text{ s}} \cdot 1024 \cdot 100 = 1.2288\%$$

9. Tempo di refresh

Quesito

In una memoria dinamica da 64 Kbit x 1, organizzata come una matrice quadrata di bit, la lettura di una cella di memoria richiede $t_a=50$ ns. Calcolare qual è il minimo periodo di refresh t_r di ciascun bit tale per cui l'impegno percentuale degli accessi dedicati al refresh sul totale degli accessi non sia superiore allo 0.5%.

Soluzione

Essendo la matrice di bit quadrata, risulta che $n_{\text{Righe}} = n_{\text{Colonne}} = \sqrt{64K} = 256$.

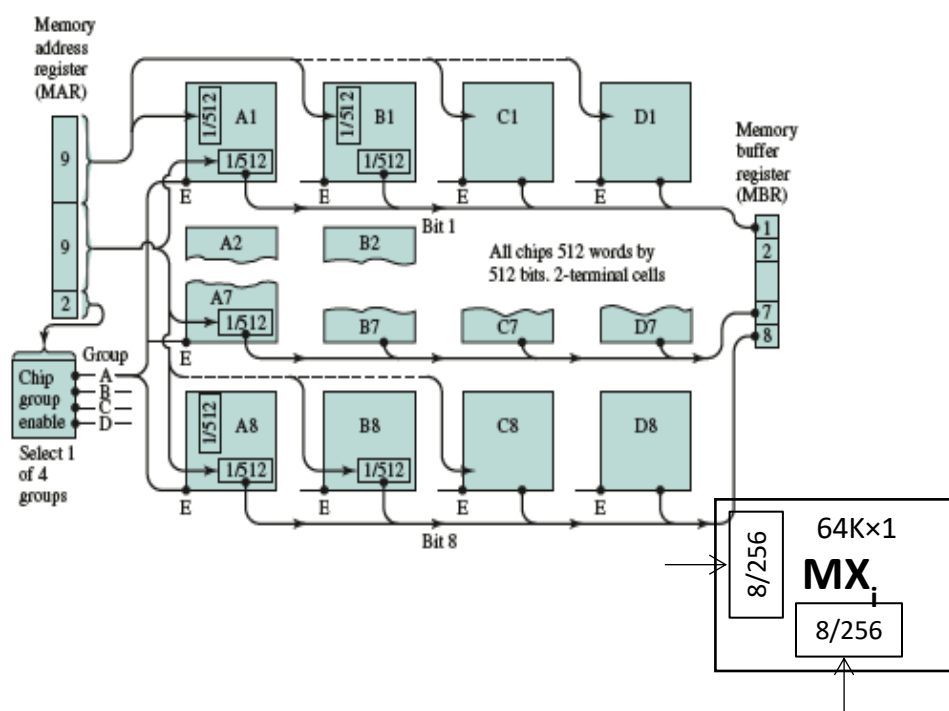
Il problema richiede che l'impegno percentuale degli accessi dedicati al refresh sul totale degli accessi non sia superiore allo 0.5%, quindi $t_a / (t_r / n_{\text{Righe}}) \leq 0.005$. Dobbiamo quindi avere che: $t_r \geq 50 \cdot 10^{-9} \cdot 256 / 0.005 = 2.56$ ms.

10. Tempo di refresh

Quesito

Si faccia riferimento alla qui sotto, supponendo di modificarla in modo che ciascun chip di memoria dinamica abbia una capacità pari a 64Kx1, ogni modulo abbia 8 chip e vi siano 8 moduli, per una memoria complessiva di 512 Kbyte (nella figura vi sono 4 moduli con 8 chip, disegnati in colonna; i moduli, indicati come gruppi A, B, C, D, sono selezionati dai 2 bit più significativi del MAR). Si supponga che alla DRAM sia associato un contatore di refresh, il cui contenuto sostituisca periodicamente l'indirizzo di riga, in modo che ciascuna operazione di refresh agisca, in un unico ciclo di memoria, contemporaneamente su tutti i 256 bit della medesima riga di ciascuno degli 8 chip, in ciascuno degli 8 moduli. Nell'ipotesi che ciascun bit della memoria dinamica necessiti di un refresh ogni 4 ms e che un ciclo di memoria abbia una durata di 100ns, indicare la percentuale p di cicli di memoria impegnati per il refresh sul totale di cicli.

$p = \dots\dots\dots\%$



Soluzione

Ciascun chip è costituito da $256 = 2^8$ righe e $256 = 2^8$ colonne di bit. Il numero totale di bit del chip è $2^8 \times 2^8 = 2^{16} = 64K$ bit. I singoli bit di ciascun byte si trovano ciascuno in uno degli 8 chip del modulo. La logica di refresh deve assicurare che, effettuato il refresh di una riga i -esima, venga effettuato sulle altre 255 righe e ripetuto sulla riga i -esima entro 4 ms. Pertanto viene fatto il refresh di una riga ogni $4 \text{ ms}/256 = 15.625 \text{ } \mu\text{s} = 15625 \text{ ns}$, cioè ogni $15625/100 = 156.25$ cicli di memoria. La frazione di cicli di memoria impegnati per il refresh è $1/156.25$; in percentuale $p = 100/156.25 = 0.64\%$.

11. Pin della memoria

Quesito

Un chip 4Mx4 riceve l'indirizzo in due fasi (prima l'indirizzo di riga e poi quello di colonna). Sapendo che il pin necessita di 4 bit di controllo (RAS, CAS, WE, OE) e 2 di alimentazione (ground e alimentazione), quanti pin contiene il chip?

Soluzione

Il chip richiede 11 pin per l'indirizzo (RAS/CAS), 4 pin per l'output, 4 pin di controllo e 2 pin di alimentazione. In totale sono quindi richiesti 21 pin.