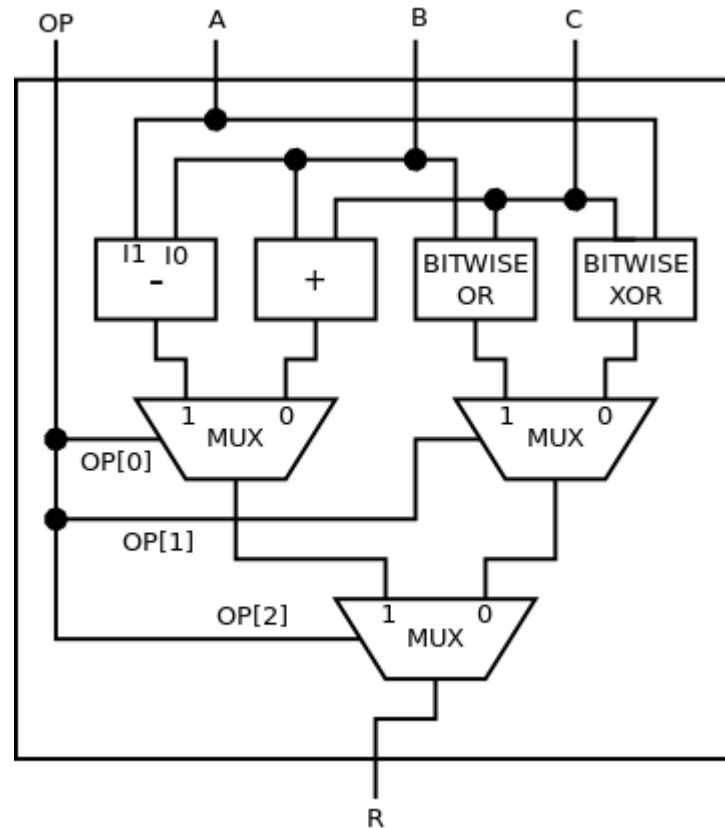


CID Colocviu 1

Figura urmatoare prezinta o structura de unitate aritmetico-logica implementata cu ajutorul mai multor sub-module conectate intre ele, formand un modul numit ALU. Intrarile A, B, si C au cate 3 biti iar intrarea OP are 3 biti. Iesirea R are 3 biti.



Se cer urmatoarele:

- 1) sa se implementeze submodulele aritmetice si multiplexorul, pornind de la fisiere template puse la dispozitie pe Moodle
- 2) sa se implementeze modulul ALU prin instantierea submodulelor aritmetice si a multiplexoarelor si conectarea lor conform schemei din figura
- 3) sa se implementeze un modul de test denumit TB care instantiaza modulul ALU si produce la intrarea sa minim 4 combinatii diferite ale valorilor A, B, C, respectiv OP, astfel incat se poate evalua corectitudinea valorii iesirii R. Se va realiza simularea cu Modelsim si vizualizarea formei de unda.
- 4) Se va sintetiza si programa in placa FPGA modulul ALU, conectand A la switch-urile 2-0, B la switch-urile 5-3, C la switch-urile 8-6, si OP la butoanele 2-0. Iesirea R va fi conectata la led-urile 2-0.
- 5) Folosind placa FPGA, studentul va demonstra utilizarea circuitului implementat, conform cerintelor cadrului didactic.

NOTA:

- studentii care au diferenta la laborator CID dar nu la materia CID vor aborda doar punctele 1, 2, 4, 5
- studentii care au diferenta la materia CID dar nu la laborator CID vor aborda doar punctele 1, 2, 3

Se vor incarca in assignment-ul Moodle urmatoarele, dupa caz:

- toate fisierele sursa reprezentand descrierile submodulelor aritmetico-logice, a multiplexorului, a modulului ALU si a modulului de test
- un print-screen al formeii de unda generata de simularea cu Modelsim
- Proiectul si fisierul de constrangeri Quartus (fisierele .qpf si .qsf din directorul proiectului)