

Запоминающие устройства

Основные сведения.

Система параметров. Классификация

Запоминающие устройства (ЗУ) служат для хранения информации и обмена ею с другими ЦУ. Микросхемы памяти в общем объеме выпуска ИС занимают около 40% и играют важнейшую роль во многих системах различного назначения. Микросхемы и системы памяти постоянно совершенствуются как в области схмотехнологии, так и в области развития новых архитектур. В настоящее время созданы и используются десятки различных типов ЗУ

Важнейшие параметры ЗУ находятся в противоречии. Так, например, большая информационная емкость не сочетается с высоким быстродействием, а быстродействие в свою очередь не сочетается с низкой стоимостью. Поэтому системам памяти свойственна многоступенчатая иерархическая структура, и в зависимости от роли того или иного ЗУ его реализация может быть существенно различной.

В наиболее развитой иерархии памяти ЭВМ можно выделить следующие уровни:

1) регистровые ЗУ, находящиеся в составе процессора или других устройств (т. е. внутренние для этих блоков), благодаря которым уменьшается число обращений к другим уровням памяти, реализованным вне процессора и требующим большего времени для операций обмена информацией;

2) кэш-память, служащая для хранения копий информации, используемой в текущих операциях обмена. Высокое быстродействие кэш-памяти повышает производительность ЭВМ;

3) основная память (оперативная, постоянная, полу постоянная), работающая в режиме непосредственного обмена с процессором и по возможности согласованная с ним по быстродействию. Исполняемый в текущий момент фрагмент программы обязательно находится в основной памяти;

4) специализированные виды памяти, характерные для некоторых специфических архитектур (многопортовые, ассоциативные, видеопамять и др.);

5) внешняя память, хранящая большие объемы информации. Эта память обычно реализуется на основе устройств с подвижным носителем информации (магнитные и оптические диски, магнитные ленты и др.)

Важнейшие параметры ЗУ

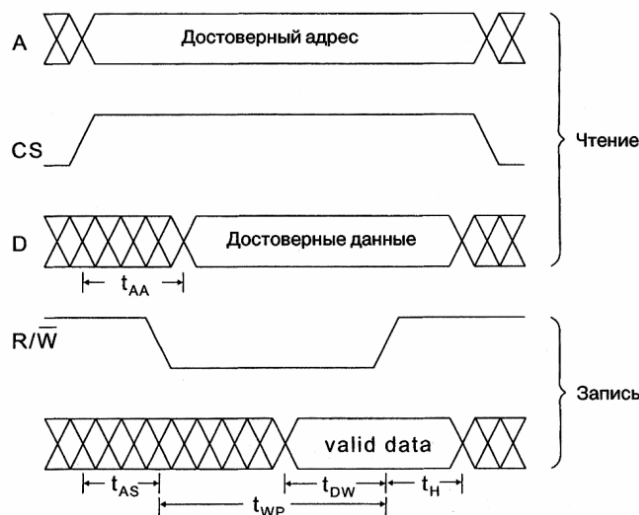
Информационная емкость — максимально возможный объем хранимой информации. Выражается в битах или словах (в частности, в байтах). Бит хранится запоминающим элементом (ЗЭ), а слово — запоминающей ячейкой (ЗЯ). т. е. группой ЗЭ, к которым возможно лишь одновременное обращение. Добавление к единице измерения множителя "К" (кило) означает умножение на $2^{10} = 1024$, а множителя "М" (мега) — умножение на $2^{20} = 1048576$. Организация ЗУ — произведение числа хранимых слов на их разрядность. Видно, что это дает информационную емкость ЗУ, однако при одной и той же информационной емкости организация ЗУ может быть различной, так что организация является самостоятельным важным параметром.

Быстродействие (производительность) ЗУ оценивают временами считывания, записи и длительностями циклов чтения/записи. Время считывания — интервал между моментами появления сигнала чтения и слова на выходе ЗУ. Время записи — интервал после появления сигнала записи, достаточный для установления ЗЯ в состояние, задаваемое входным словом. Минимально допустимый интервал между последовательными чтениями или записями образует соответствующий цикл. Длительности циклов могут превышать времена чтения или записи, т. к. после этих операций может потребоваться время для восстановления необходимого начального состояния ЗУ. Время чтения, записи и длительности циклов — традиционные параметры. Для некоторых современных ЗУ они должны быть дополнены новыми. Причиной является более сложный характер доступа к хранимым данным, когда обращение к первому слову некоторой группы слов (пакета) требует большего времени, чем обращение к последующим. Для таких режимов вводят параметр времени доступа при первом обращении (Latency) и темпа передач для последующих слов пакета (Bandwidth). Темп передач в свою очередь оценивается двумя значениями — предельным (внутри пакета) и усредненным (с

учетом Latency). С уменьшением пакета усредненный темп снижается, все более отличаясь от предельного.

Помимо указанных основных параметров для ЗУ указывают еще целый набор временных интервалов. Перечисленные выше динамические параметры являются эксплуатационными (измеряемыми). Кроме них, существует ряд режимных параметров, обеспечение которых необходимо для нормального функционирования ЗУ, поскольку оно имеет несколько сигналов управления, для которых должно быть обеспечено определенное взаимное расположение во времени. Для этих сигналов задаются длительности и ограничения по взаимному положению во времени.

Один из возможных наборов сигналов ЗУ (рис. 1) включает следующие сигналы:



Диаграммы сигналов при операциях чтения и записи

Рис. 1.

A — адрес, разрядность которого n определяется числом ячеек ЗУ, т. е. максимально возможным числом хранимых в ЗУ слов. Для ЗУ типично число ячеек, выражаемое целой степенью двойки. Адрес является номером ячейки, к которой идет обращение. Очевидно, что разрядность адреса связана с числом хранимых слов N соотношением $n = \log_2 N$ (имеется в виду максимально возможное число хранимых слов). Например, ЗУ с информационной емкостью 64К слов имеет 16-разрядные адреса, выражаемые словами

$$A = A_{15}A_{14}A_{13}...A_0;$$

CS — (Chip Select) или CE (Chip Enable), который разрешает или запрещает работу данной микросхемы;

R/W — (Read/Write) задает выполняемую операцию (при единичном значении — чтение, при нулевом — запись);

D (Data), в случае отдельных шин -DI и DO (Data Input) и (Data Output) — шины входных и выходных данных, разрядность которых m определяется организацией ЗУ (разрядностью его ячеек). В некоторых ЗУ эти линии объединены.

Требования к взаимному временному положению двух сигналов (A и B) задаются временами предустановки, удержания и сохранения.

Время предустановки сигнала A относительно сигнала B $t_{su(A-B)}$ есть интервал между началами обоих сигналов.

Время удержания $t_H(A-B)$ — это интервал между началом сигнала A и окончанием сигнала B.

Время сохранения $t_v(A-B)$ — интервал между окончанием сигнала A и окончанием сигнала B.

Длительности сигналов обозначаются как t_w (индекс от слова Width — ширина).

Для ЗУ характерна такая последовательность сигналов. Прежде всего подается адрес, чтобы последующие операции не коснулись какой-либо другой ячейки, кроме выбранной.

Затем разрешается работа микросхемы сигналом CS (CF) и подается строб чтения Записи R/W (взаимное положение сигналов CS и R/W для разных ЗУ может быть различным). Если задана, например, операция чтения, то после подачи перечисленных сигналов ЗУ готовит данные для чтения, что требует определенного времени. Задний фронт сигнала R/W, положение которого во времени должно обеспечивать установление правильных данных на выходе ЗУ, считывает данные.

Кроме отмеченных параметров для ЗУ используется и ряд других (уровни напряжений, токи, емкости выводов, температурный диапазон и т. д.), которые не требуют специального рассмотрения, т. к. они традиционны для цифровой схемотехники. Исключение составляет свойство энергонезависимости, т.е. способности ЗУ сохранять данные при отключении напряжения питания. Энергонезависимость может быть естественной, т.е. присущей самим ЗЭ, или искусственной, достигаемой введением резервных источников питания, автоматически подключаемых к накопителю ЗУ при снятии основного питания.

Классификация ЗУ

Для классификации ЗУ (рис. 2) важнейшим признаком является способ доступа к данным.

Классификация достаточно условна, т.к. развитие техники постоянно приводит к появлению новых версий и потере актуальности старых. Неизменными остаются только верхние уровни иерархии.

При адресном доступе код на адресном входе указывает ячейку, с которой ведется обмен. Все ячейки адресной памяти в момент обращения равнодоступны. Эти ЗУ наиболее разработаны, и другие виды памяти часто строят на основе адресной с соответствующими модификациями.

Адресные ЗУ делятся на RAM (Random Access Memory) и ROM (Read-Only Memory). Русские синонимы термина RAM: ОЗУ (оперативные ЗУ) или ЗУПВ (ЗУ с произвольной выборкой). Оперативные ЗУ хранят данные, участвующие в обмене при исполнении текущей программы, которые могут быть изменены в произвольный момент времени. Запоминающие элементы ОЗУ, как правило, не обладают энергонезависимостью.

В ROM (русский эквивалент — ПЗУ, т. е. постоянные ЗУ) содержимое либо вообще не изменяется, либо изменяется, но редко и в специальном режиме. Для рабочего режима это "память только для чтения".

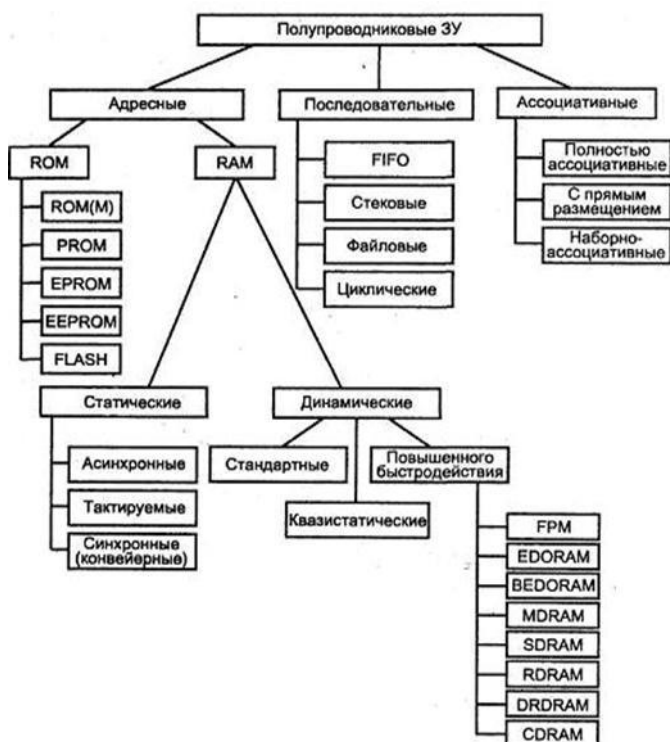


Рис. 2. Классификация ЗУ.

RAM делятся на статические и динамические. В первом варианте запоминающими элементами являются триггеры, сохраняющие свое состояние, пока схема находится пол

питанием и нет новой записи данных (Рис. 3.). Во втором варианте данные хранятся в виде зарядов конденсаторов, образуемых элементами МОП-структур. Саморазряд конденсаторов ведет к разрушению данных, поэтому они должны периодически (каждые несколько миллисекунд) регенерироваться. В то же время плотность упаковки динамических элементов памяти в несколько раз превышает плотность упаковки, достижимую в статических RAM.

Регенерация данных в динамических ЗУ осуществляется с помощью специальных контроллеров. Разработаны также ЗУ с динамическими запоминающими элементами, имеющие внутреннюю встроенную систему регенерации, у которых внешнее поведение относительно управляющих сигналов становится аналогичным поведению статических ЗУ. Такие ЗУ называют квазистатическими.

Статические ЗУ называются SRAM (Static RAM), а динамические — DRAM (Dynamic RAM).

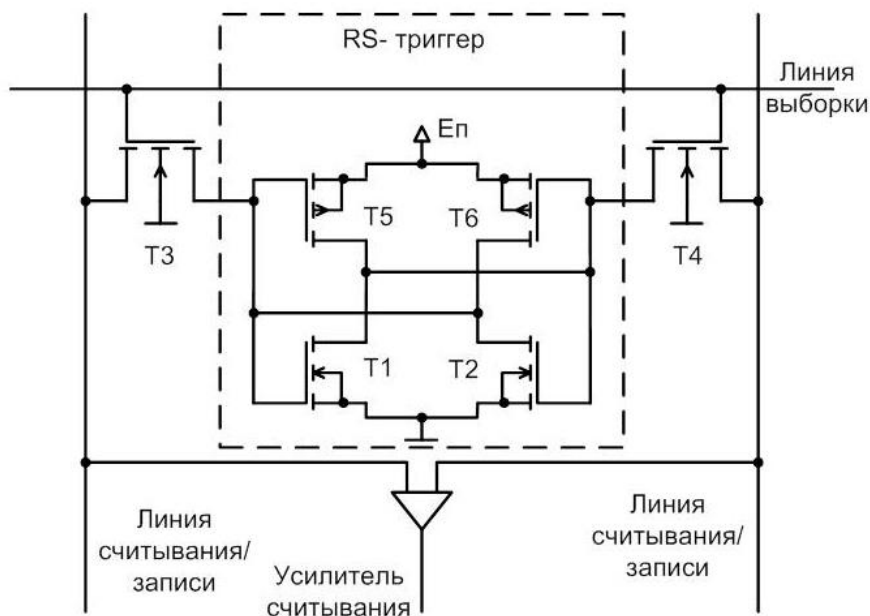


Рис. 3. Структура элементарной ячейки статической памяти.

Статические ОЗУ можно разделить на асинхронные, тактируемые и синхронные (конвейерные). В асинхронных сигналы управления могут задаваться как импульсами, так и уровнями. Например, сигнал разрешения работы CS может оставаться неизменным и разрешающим на протяжении многих циклов обращения к памяти. В тактируемых ЗУ некоторые сигналы обязательно должны быть импульсными, например, сигнал разрешения работы CS и каждом цикле обращения к памяти должен переходить из пассивного состояния в активное (должен формироваться фронт этого сигнала в каждом цикле). Этот тип ЗУ называют часто синхронным. Здесь использован термин "тактируемые", чтобы "освободить" термин "синхронные" для новых типов ЗУ, в которых организован конвейерный тракт передачи данных, синхронизируемый от тактовой системы процессора, что дает повышение темпа передач данных в несколько раз.

Динамические ЗУ характеризуются наибольшей информационной емкостью и невысокой стоимостью, поэтому именно они используются как основная память ЭВМ. Поскольку от этой памяти требуется высокое быстродействие, разработаны многочисленные архитектуры повышенного быстродействия, перечисленные в классификации.

Статические ЗУ в 4...5 раз дороже динамических и приблизительно во столько же раз меньше по информационной емкости. Их достоинством является высокое быстродействие, а типичной областью использования — схемы кэш-памяти.

Постоянная память типа ROM (М) программируется при изготовлении методами интегральной технологии с помощью одной из используемых при этом масок. В русском языке ее можно назвать памятью типа ПЗУМ (ПЗУ масочные). Для потребителя это в полном смысле слова постоянная память, т. к. изменить ее содержимое он не может.

В следующих трех разновидностях ROM в обозначениях присутствует буква Р (от

Programmable). Это программируемая пользователем память (в русской терминологии ППЗУ — программируемые ПЗУ). Ее содержимое записывается либо однократно (в PROM), либо может быть заменено путем стирания старой информации и записи новой (в EPROM и EEPROM). В EPROM стирание выполняется с помощью облучения кристалла ультрафиолетовыми лучами, ее русское название РПЗУ-УФ (репрограммируемое ПЗУ с УФ-стиранием). В EEPROM стирание производится электрическими сигналами, ее русское название РПЗУ-ЭС (репрограммируемое ПЗУ с электрическим стиранием). Английские названия расшифровываются как Electrically Programmable ROM и Electrically Erasable Programmable ROM. Программирование PROM и репрограммирование EPROM и EEPROM производятся в обычных лабораторных условиях с помощью либо специальных программаторов, либо специальных режимов без специальных приборов (для EEPROM).

Память типа Flash по запоминающему элементу подобна памяти типа EEPROM (или иначе E²PROM), но имеет структурные и технологические особенности, позволяющие выделить ее в отдельный вид.

Запись данных и для EPROM и для E²PROM производится электрическими сигналами

В ЗУ с последовательным доступом записываемые данные образуют некоторую очередь. Считывание происходит из очереди слово за словом либо в порядке записи, либо в обратном порядке. Моделью такого ЗУ является последовательная цепочка запоминающих элементов, в которой данные передаются между соседними элементами.

Прямой порядок считывания имеет место в буферах FIFO с дисциплиной "первый пришел - первый вышел" (First in — First Out), а также в файловых и циклических ЗУ.

Разница между памятью FIFO и файловым ЗУ состоит в том, что в FIFO запись в пустой буфер сразу же становится доступной для чтения, т. е. поступает в конец цепочки (модели ЗУ). В файловых ЗУ данные поступают в начало цепочки и появляются на выходе после некоторого числа обращений, равного числу элементов в цепочке. При независимости операций считывания и записи фактическое расположение данных в ЗУ на момент считывания не связано с каким-либо внешним признаком. Поэтому записываемые данные объединяют в блоки, обрамляемые специальными символами конца и начала (файлы). Прием данных из файлового ЗУ начинается после обнаружения приемником символа начала блока.

В циклических ЗУ слова доступны одно за другим с постоянным периодом, определяемым емкостью памяти. К такому типу среди полупроводниковых ЗУ относится видеопамять (VRAM).

Считывание в обратном порядке свойственно стековым ЗУ, для которых реализуется дисциплина "последний пришел — первый вышел". Такие ЗУ называют буферами LIFO (Last In — First Out).

Время доступа к конкретной единице хранимой информации в последовательных ЗУ представляет собою случайную величину. В наихудшем случае для такого доступа может потребоваться просмотр всего объема хранимых данных.

Ассоциативный доступ реализует поиск информации по некоторому признаку, а не по ее расположению в памяти (адресу или месту в очереди) В наиболее полной версии все хранимые в памяти слова одновременно проверяются на соответствие признаку, например, на совпадение определенных полей слов (тегов — от английского слова tag) с признаком, задаваемым входным словом (теговым адресом). На выход выдаются слова, удовлетворяющие признаку. Дисциплина выдачи слов, если тегу удовлетворяют несколько слов, а также дисциплина записи новых данных могут быть разными Основная область применения ассоциативной памяти в современных ЭВМ кэширование данных.

Технико-экономические параметры ЗУ существенно зависят от их схемотехнологической реализации По этому признаку также возможна классификация ЗУ, однако удобнее рассматривать этот вопрос применительно к отдельным типам памяти.

Основные структуры запоминающих устройств

Адресные ЗУ представлены в классификации статическими и динамическими оперативными устройствами и памятью типа ROM. Многочисленные варианты этих ЗУ имеют много общего с точки зрения структурных схем что делает более рациональным не конкретное

рассмотрение каждого ЗУ в полном объеме, а изучение некоторых обобщенных структур с последующим описанием запоминающих элементов для различных ЗУ. Общность структур особенно проявляется для статических ОЗУ и памяти типа ROM. Структуры динамических ОЗУ имеют свою специфику и будут рассмотрены позже. Для статических ОЗУ и памяти типа ROM наиболее характерны структуры 2D, 3D и 2DM. Подробно рассматривать их не будем, пользователю они практически не интересны.



Рис. 4. Структура адресного ЗУ

Применение отдельных дешифраторов для строк и столбцов накопителя (так называемая 3D- структура), позволяет упростить схему управления. Суммарное число выходов обоих дешифраторов составляет $2^{n/2} + 2^{n/2} = 2^{n/2+1}$, что гораздо меньше, чем 2^n при реальных значениях n . Уже для ЗУ небольшой емкости видна эта существенная разница: для структуры 2D при хранении 1К слов потребовался бы дешифратор с 1024 выходами, тогда как для структуры типа 3D нужны два дешифратора с 32 выходами каждый. Недостатком структуры 3D в первую очередь является усложнение элементов памяти, имеющих двухкоординатную выборку.

Память с последовательным доступом

Память с последовательным доступом строится либо с использованием продвижения данных в цепочке элементов (по подобию с регистрами сдвига), либо с хранением данных в адресном ЗУ с необходимым управлением адресом доступа.

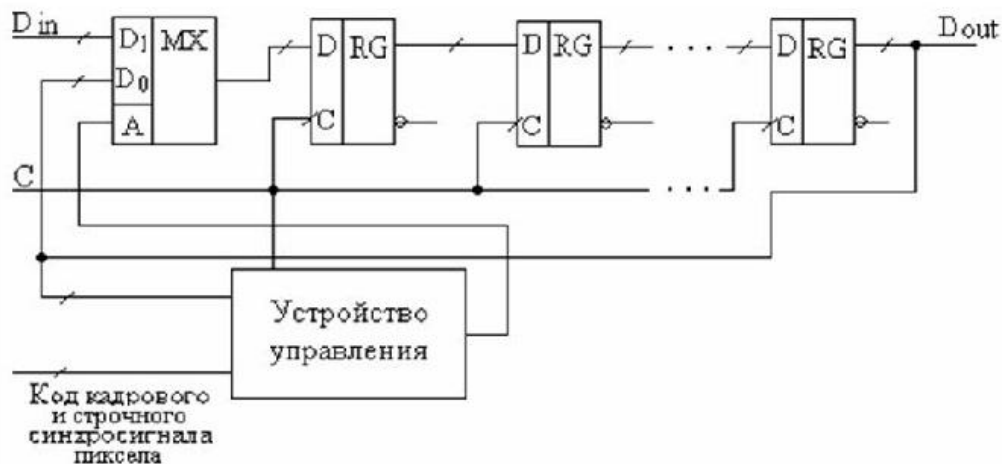


Рис. 5. Память с последовательным доступом на основе регистров сдвига.

Основными представителями этого вида памяти являются видеопамять, буфер FIFO и стек.

Видеопамять

Видеопамять работает циклично, на ее выходе последовательно в порядке сканирования экрана монитора лучом появляются коды, задающие параметры светимости (цвет, яркость) элементарных точек экрана — пикселей. Текущее изображение на мониторе — кадр — представлено последовательностью слов, длина которой равна числу пикселей экрана. Слово, соответствующее одному пикселу, может иметь разрядность от 8 (для черно-белых мониторов) до 24 (для полноцветного режима).

При реализации на основе адресной памяти циклический доступ к данным обеспечивается счетчиком адреса с модулем, равным числу запоминаемых слов. При считывании после каждого обращения адрес увеличивается на единицу, обеспечивая последовательное обращение ко всем ячейкам ЗУ. При переполнении счетчика формируется сигнал начала кадра для управления монитором (для запуска кадровой синхронизации). Запись возможна в пакетном режиме или режиме одиночных записей. В первом случае сигнал переполнения счетчика и его переход на начальный адрес являются сигналом начала передачи блока данных из основной памяти или видеобuffers. Во втором случае адрес изменяемой ячейки (номер пиксела) и данные сохраняются в буфере, а в момент совпадения этого адреса и содержимого счетчика выполняется один цикл записи нового слова. Все остальное время ЗУ работает обычным образом.

Пакетная запись может начинаться после появления запроса передачи в момент прохождения кода кадрового синхросигнала. При этом вырабатывается сигнал разрешения передачи кадра из памяти ЭВМ на вход D1, а мультиплексор переключается на верхний канал. После приема целого кадра счетчик CTR, емкость которого равна хитине кадра, переполняется, и под воздействием сигнала переполнения ЗУ возвращается в режим циклической перезаписи.

При одиночных записях устройство должно иметь дополнительно схему сравнения кода счетчика и входного адресного кода (номера заменяемого кода пиксела). При их совпадении мультиплексор переключается на верхний канал на один такт работы, чем обеспечивается замена всего одного слова.

Буфер FIFO

Буфер FIFO, пример структуры которого приведен на рис. 6, представляет собою ЗУ для хранения очередей данных (списков) с порядком выборки слов, таким же, что и порядок их поступления. Интервалы между словами могут быть совершенно различными, т. к. моменты записи слова в буфер и считывания из него задаются внешними сигналами управления независимо друг от друга.

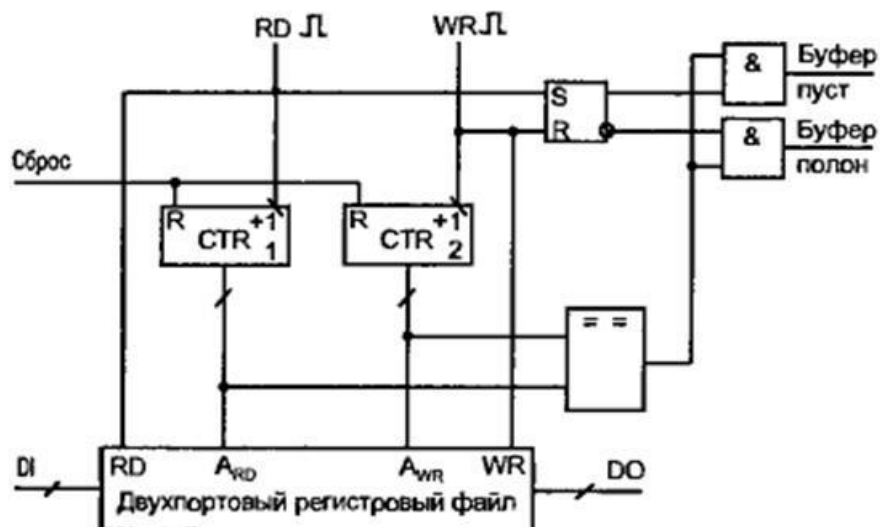


Рис. 6. Структура буфера FIFO.

Возможность иметь разный темп приема и выдачи слов необходима, например, если приемник способен принимать данные, поступающие регулярно с некоторой частотой, а источник информации выдает слова в более быстром темпе и, может быть, к тому же не регулярно. Такие данные поступают в их темпе в буфер FIFO, а из него считываются регулярно

с необходимой для приемника данных частотой. Новое слово ставится в конец очереди, считывание осуществляется с начала очереди.

В схеме (рис. 5) перед началом работы оба счетчика адресов CTR₁ и CTR₂ сбрасываются. При записи адреса увеличиваются на единицу при каждом обращении, т. е. возрастают, начиная с нулевого. То же происходит при чтении слов, так что адрес чтения всегда "гонится" за адресом записи. Если адреса сравниваются при чтении, то буфер пуст. Если адреса сравниваются при записи, то буфер полон (адресами занята вся емкость счетчика) Эти ситуации отмечаются соответствующими сигналами. Если буфер полон, то нужно прекратить прием данных, а если пуст, то нужно прекратить чтение. Очередь удлиняется или укорачивается в зависимости от разности чисел записанных и считанных слов. Переход через нуль осложнений не вызывает.

Задачу построения стека можно решить принципиально аналогичным способом. Эта задача встречается в дальнейшем изложении при рассмотрении структуры микропроцессора.

Кэш-память

Кэш-память запоминает копии информации, передаваемой между устройствами (прежде всего между процессором и основной памятью). Она имеет небольшую емкость в сравнении с основной памятью и более высокое быстродействие (реализуется на триггерных элементах памяти).

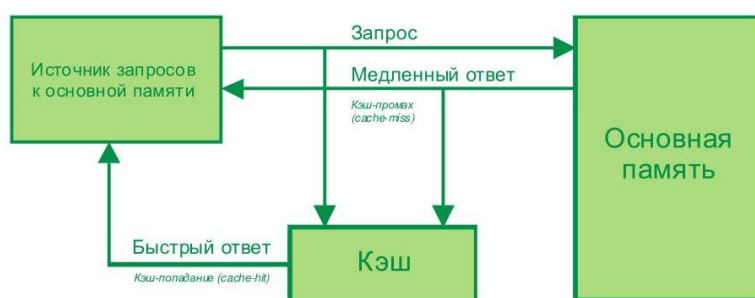


Рис. 7. Принцип действия кэш-памяти.

При чтении данных сначала выполняется обращение к кэш-памяти (рис. 7). Если в кэше имеется копия данных адресованной ячейки основной памяти, то кэш вырабатывает сигнал Hit (попадание) и выдает данные на общую шину данных. В противном случае сигнал Hit не вырабатывается и выполняется чтение из основной памяти и одновременное помещение считанных данных в кэш.

Эффективность кэширования обуславливается тем, что большинство прикладных программ имеют циклический характер и многократно используют одни и те же данные. Поэтому после первого использования данных из относительно медленной основной памяти повторные обращения требуют меньше времени. К тому же при использовании процессором кэш-памяти основная память освобождается, и могут выполняться регенерация данных в динамическом ЗУ или использование памяти другими устройствами.

Объем кэш-памяти много меньше емкости основной памяти и любая единица информации, помещаемая в кэш, должна сопровождаться дополнительными данными (тегом), определяющими, копией содержания какой ячейки основной памяти является эта единица информации.

Микропроцессорные системы обычно имеют несколько уровней кэш-памяти, что позволяет серьезно повысить скорость обмена данными в системе.

Расположение кэш памяти

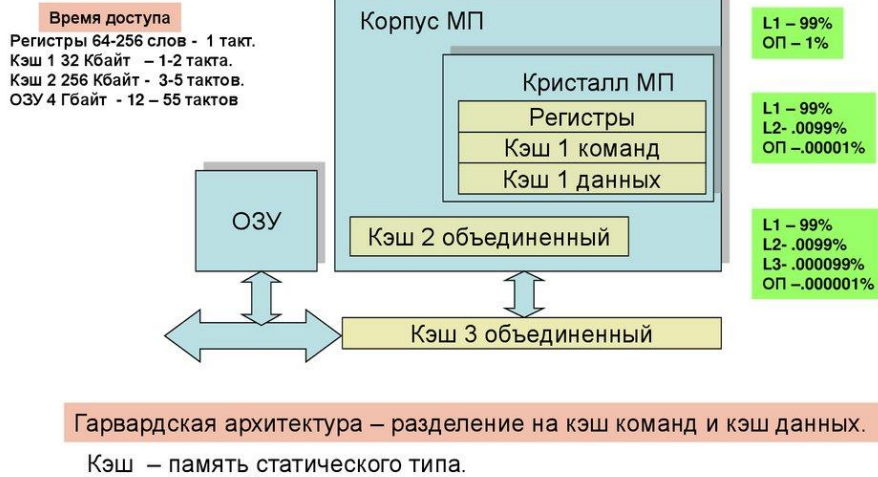


Рис. 8. Пример системы кэш-памяти в ПК.

В.3. Динамическое ОЗУ.

Как уже упоминалось, «кирпичиком» динамического ЗУ является не триггер, как с статическим, а конденсатор. Заряд этого конденсатора (есть, нет – 1,0) и несет информацию. Естественно, дискретные конденсаторы в микросхемах памяти никто не использует, переход, (правильнее сказать – пара слоев полупроводниковой структуры!) – вот и готова емкость.

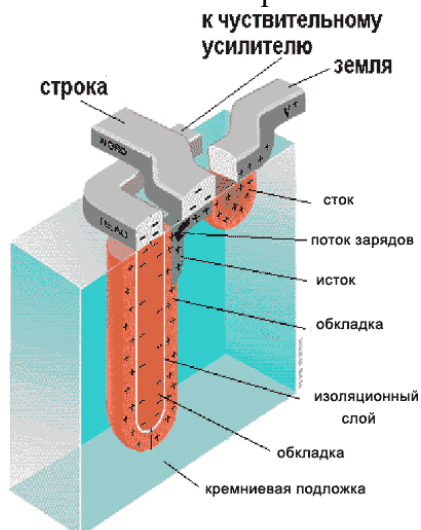


Рис. 9. Структура ячейки динамического ЗУ.

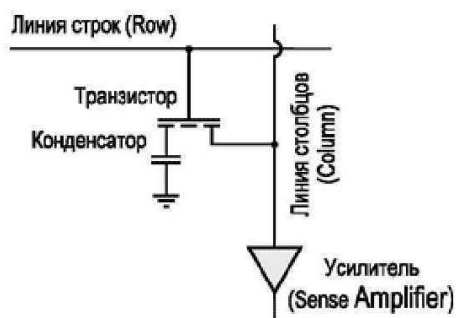


Рис. 10. Схема ячейки динамического ЗУ.

Ама структура запоминающего устройства примет при этом вид, показанный на рис. 11.

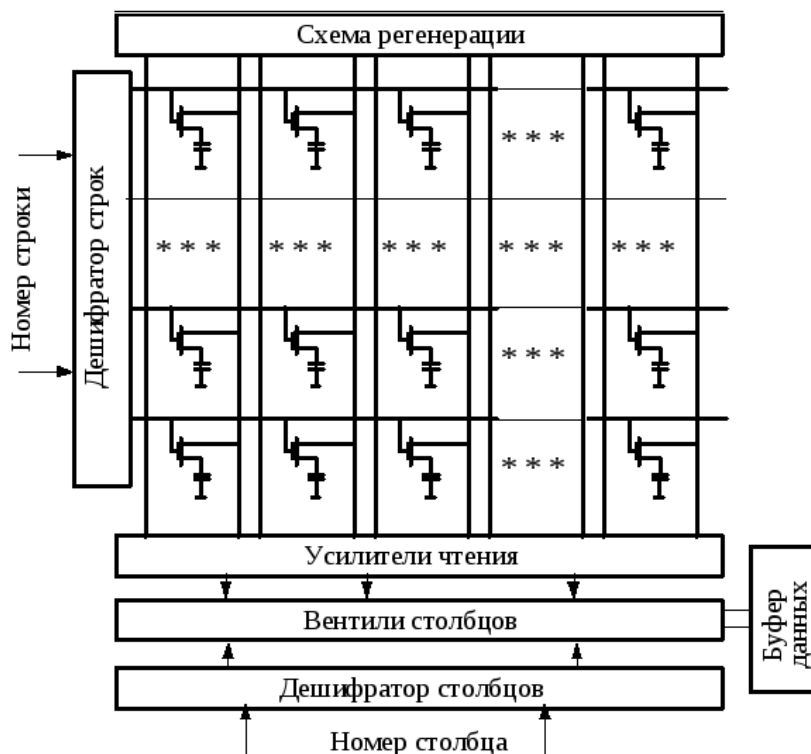


Рис. 11. Структура матрицы динамического ЗУ.

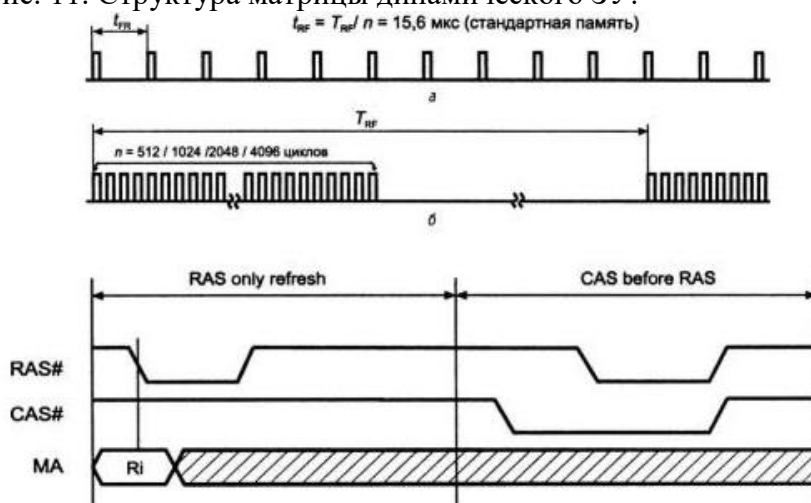


Рис. 12. Процесс регенерации динамического ЗУ.

Очевидно, что количество элементов в ячейке динамического ЗУ меньше, чем в «статике» (скажем так, полтора транзистора вместо шести!). Следовательно, больше плотность упаковки и больше объем ЗУ при том же объеме кристалла. Недостатком «динамики» является тот печальный факт, что любой конденсатор с удовольствием «саморазряжается». Следовательно, динамическому ЗУ нужно не просто обеспечить питание, но и организовать периодическое обновление информации в каждой ячейке. Т.е., нужно перезаряжать конденсаторы ячеек, независимо от того, обращаемся мы к ним, или нет. Этот процесс называется регенерацией.

Конструктивные особенности.

Динамическое ОЗУ со времени своего появления прошло несколько стадий роста, и процесс ее совершенствования не останавливается. За свою десятилетнюю историю DRAM меняла свой вид несколько раз. Вначале микросхемы динамического ОЗУ производились в DIP-корпусах. Затем их сменили модули, состоящие из нескольких микросхем: SIPP, SIMM и, наконец, DIMM и RIMM. Рассмотрим эти разновидности поподробнее.

Устаревшие модификации.

1. DIP.



Рис. 13. *Модуль памяти DIP*

DIP-корпус — это исторически самая древняя реализация DRAM. DIP-корпус соответствует стандарту IC. Обычно это маленький черный корпус из пластмассы, по обеим сторонам которого располагаются металлические контакты (см. рисунок 13.).

Микросхемы (по-другому, чипы) динамического ОЗУ устанавливались так называемыми *банками*.

Следует отметить, что памятью с DIP-корпусами комплектовались персональные компьютеры с микропроцессорами i8086/88, i80286 и, частично, i80386SX/DX. Установка и замена этого вида памяти была нетривиальной задачей. Мало того, что приходилось подбирать чипы для банков памяти одинаковой разрядности и емкости. Приходилось прилагать усилия и смекалку, чтобы чипы правильно устанавливались в разъемы. К тому же необходимо было не разрушить контакты механически, не повредить их инструментом, статическим электричеством, грязью и т.п. Поэтому уже в компьютерах с процессором i80386DX эти микросхемы стали заменять памяти SIPP и SIMM.

2. SIPP (SIP) — модули памяти.

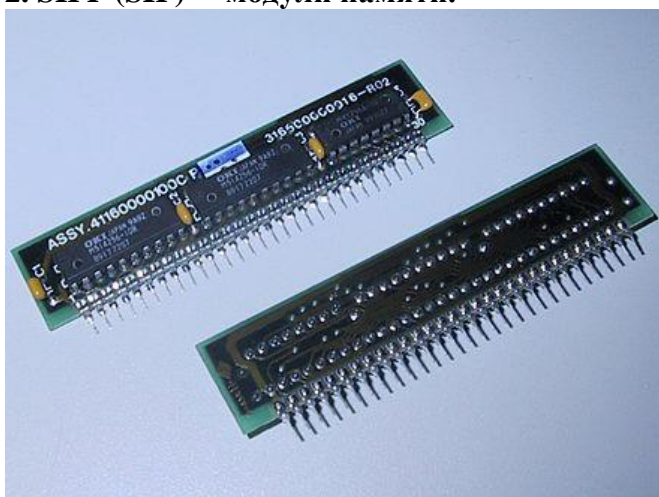


Рис. 14. *Модуль памяти SIPP*

Одной из незаслуженно забытых конструкций модулей памяти являются SIPP-модули. Эти модули представляют собой маленькие платы с несколькими напаянными микросхемами DRAM.

SIPP является сокращением слов Single Inline Package. SIPP-модули соединяются с системной платой с помощью контактных штырьков. Под контактной колодкой находятся 30 маленьких штырьков (смотри рисунок 14.), которые вставляются в соответствующую панель системной платы.

Модули SIPP имели определенные вырезы, которые не позволяли вставить их в разъемы неправильным образом.

2. SIMM-модули.

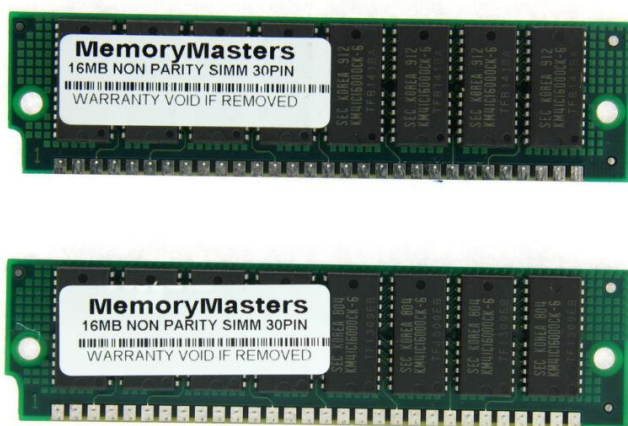


Рис. 15. Модуль памяти SIMM (30pin)

Аббревиатура SIMM расшифровывается как Single Inline Memory Module (Модуль памяти с однорядным расположением выводов.) Он включает в себя все то, что для DIP называлось банком.

Модули SIMM могут иметь объем 256 Кбайт, 1, 2, 4, 8, 16 и 32 Мбайт. Соединение SIMM-модулей с системной платой осуществляется с помощью колодок (см. рисунок 16.)

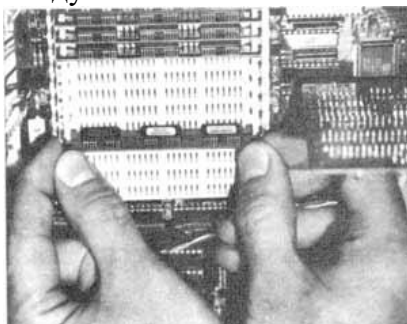


Рис. 16. Установка модуля памяти SIMM

Модуль вставляется в пластмассовую колодку под углом 70 градусов, а потом зажимается пластмассовым держателем. При этом плата встает вертикально. Специальные вырезы на модуле памяти не позволят поставить их неправильным образом.

Модули SIMM для соединения с системной платой имеют не штырьки, а позолоченные полоски (так называемые pin, пины). Ах, как любители с «очумелыми ручками» использовали «симы» вместо «сипов», напаявая ножки на каждую контактную площадку!!!

SIMM-модули в своем развитии прошли два этапа. Первыми представителями SIMM-модулей были 30-пиновые SIMM FPM DRAM. Их максимальная частота работы — 29 МГц. Стандартным же временем доступа к памяти считалось 70 нс. Эти модули уже с трудом работали на компьютерах с микропроцессорами i80486DX2, и были вытеснены сначала 72-пиновыми FPM DRAM, а затем EDO RAM.

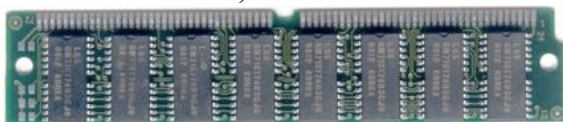


Рис. 17. Модуль памяти SIMM (72pin)

SIMM EDO RAM имеют только 72 пина и могут работать на частоте до 50 МГц. Этими модулями памяти оснащались компьютеры с процессорами Intel 80486DX2/DX4, Intel Pentium, Pentium Pro и Pentium MMX, а также AMD 80586 и K5. Эти модули устанавливались на платах с чипсетом Intel 440TX, 440EX, 440LX, 450NX; VIA Apollo MVP 3/4, Pro/Pro+; ALI Alladin 4/4+/V/PRO II, ALI Alladin TNT2.

Причины повышения скорости работы EDO RAM.

Несмотря на небольшие конструктивные различия, и FPM, и EDO RAM делаются по одной и той же технологии, поэтому скорость работы должна быть одна и та же.

Действительно, и FPM, и EDO RAM имеют одинаковое время считывания первой ячейки — 60—70 нс. Однако в EDO RAM применен метод считывания последовательных ячеек. При обращении к EDO RAM активизируется не только первая, но и последующие ячейки в цепочке. Поэтому, имея то же время при обращении к одной ячейке, EDO RAM обращается к следующим ячейкам в цепочке значительно быстрее. Поскольку обращение к последовательно следующим друг за другом областям памяти происходит чаще, чем к ее различным участкам (если отсутствует *фрагментация* памяти), то выигрыш в суммарной скорости обращения к памяти значителен. Однако даже для EDO RAM существует предел частоты, на которой она может работать. Несмотря ни на какие ухищрения, модули SIMM не могут работать на частоте локальной шины PCI, превышающей 66 МГц. С появлением в 1996 году процессора Intel Pentium II и чипсета Intel 40BX частота локальной шины возросла до 100 МГц, что заставило производителей динамического ОЗУ перейти на другие технологии, прежде всего DIMM SDRAM.

3.DIMM

Аббревиатура DIMM расшифровывается как Dual Inline Memory Module (Модуль памяти с двойным расположением выводов). В модуле DIMM имеется 168 контактов, которые расположены с двух сторон платы и разделены изолятором. Также изменились и разъемы для DIMM-модулей.

Следует отметить, что разъем DIMM имеют много разновидностей DRAM. К тому же долгое время модули DIMM не имели средств самоконфигурирования (в отличие от SIMM-модулей). Поэтому для облегчения выбора нужного модуля пользователям на материнских платах разные типы DIMM имеют от одного до трех вырезов на модуле памяти. Они предотвращают от неправильного выбора и неправильной установки модулей памяти.

В следующих подразделах рассмотрим типы DRAM, имеющие разъем DIMM.

3.1. SDRAM.

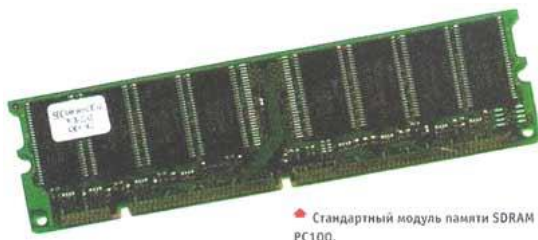


Рис. 18. Модуль памяти SDRAM

Аббревиатура SDRAM расшифровывается как Synchronic DRAM (динамическое ОЗУ с синхронным интерфейсом). Этим они отличаются от FPM и EDO DRAM, работающих по асинхронному интерфейсу.

С асинхронным интерфейсом процессор должен ожидать, пока DRAM закончит выполнение своих внутренних операций. Они обычно занимают 60 нс. В DRAM с синхронным управлением происходит защелкивание информации от процессора под управлением системных часов. Триггеры запоминают адреса, сигналы управления и данных. Это позволяет процессору выполнять другие задачи. После определенного количества циклов данные становятся доступными, и процессор может их считывать. Таким образом, уменьшается время простоя процессора во время регенерации памяти.

Другое преимущество синхронного интерфейса — это то, что системные часы задают временные границы, необходимые DRAM. Это исключает необходимость наличия множества стробирующих импульсов, обязательных для асинхронного интерфейса. Это, во-первых, уменьшает трафик по локальной шине (нет “лишних” сигналов), а во-вторых, позволяет упростить операции ввода-вывода (в операциях пересылки центральный процессор либо контроллер DMA уже не должен выделять полезную информацию среди служебных стробирующих импульсов и битов четности). В-третьих, все операции ввода/вывода на локальной шине стали управляться одними и теми же синхроимпульсами, что само по себе хорошо.

Хотя SDRAM появилась уже давно, использование ее тормозилось высокой (на 33%)

ценой по сравнению с EDO RAM. “Звездный час” SDRAM настал в 1997 году, после появления чипсета 440BX, работающего на частоте 100 МГц. Вследствие этого доля рынка SDRAM за год выросла в два раза (с 25% в 1997 году до 50% в 1998 году.)

Типичными частотами для SDRAM были 100 и 133 МГц. Также разработаны SDRAM на частоты 143 МГц и выше.

3.2. ESDRAM.

Следующим оригинальным решением, увеличившим частоту работы SDRAM, явилось создание кэша SRAM на самом модуле динамического ОЗУ. Так появилась спецификация Enhanced SDRAM

(ESDRAM). Это позволило поднять частоту работы модуля до 200 МГц. Назначение кэша на модуле точно такое же, что и кэш второго уровня процессора — хранение наиболее часто используемых данных.

3.3. SDRAM II (она же DDR DRAM).

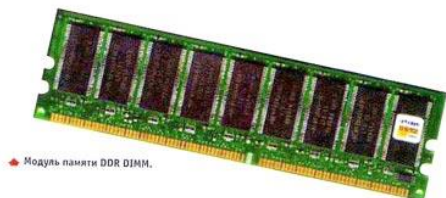


Рис. 19. Модуль памяти DDR DRAM (SDRAM II)

Спецификация SDRAM II (или DDR SDRAM) не имеет полной совместимости с SDRAM. Эта спецификация позволяет увеличить частоту работы SDRAM за счет работы на обеих границах тактового сигнала, то есть на подъеме и спаде. Однако SDRAM II использует тот же 168-ми контактный разъем DIMM.

3.4. SDRAM.

Как и SDRAM II, эта спецификация использует обе границы тактового сигнала и имеет в себе SRAM. Однако благодаря протоколу SynchLink Interface эта память способна работать на частоте до 400 МГц.

3.5. Память от Rambus (RDRAM, RIMM).

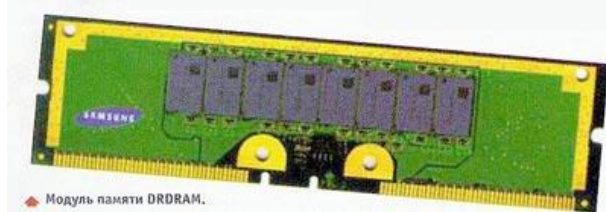


Рис. 20. Модуль памяти RDRAM (RIMM)

RDRAM представляет собой спецификацию, созданную и запатентованную фирмой Rambus, Inc. За счет использования обеих границ сигнала достигается частота работы памяти в 800 МГц.

3.6. DDR2.

Конструктивно новый тип оперативной памяти DDR2 SDRAM был выпущен в 2004 году. В памяти DDR2 SDRAM ширина внутренней шины данных была увеличена еще в два раза и стала превосходить внешнюю шину данных в четыре раза. В результате, при одной и той же тактовой частоте внешней шины памяти у памяти DDR2 SDRAM внутренняя тактовая частота была в два раза меньше, по сравнению с памятью DDR SDRAM.

Это давало огромный потенциал для увеличения производительности памяти и уменьшало энергопотребление.

В результате, очень быстро появилась память с внешней шиной, работающей на тактовой частоте 400 МГц. А позже у топовых моделей памяти DDR2 тактовая частота внешней шины достигла 533 МГц, при тактовой частоте чипа памяти – 266 МГц, и пиковой теоретической пропускной способности – 9.6 Гб/с, что, несмотря на увеличившуюся латентность, значительно превосходило возможности памяти DDR.

Память DDR2 может работать с тактовой частотой шины 200, 266, 333, 337, 400, 533, 575 и 600 МГц. При этом эффективная частота передачи данных соответственно будет 400, 533, 667, 675, 800, 1066, 1150 и 1200 МГц.

3.7. «Эт сетера».

DDR3 гришла на смену памяти типа DDR2 SDRAM, увеличив размер предподкачки с 4 бит до 8 бит.

У DDR3 уменьшено потребление энергии по сравнению с модулями DDR2, что обусловлено пониженным (1,5 В, по сравнению с 1,8 В для DDR2 и 2,5 В для DDR) напряжением питания ячеек памяти. Снижение напряжения питания достигается за счёт использования более тонкого техпроцесса (вначале — 90 нм, в дальнейшем — 65, 50, 40 нм) при производстве микросхем и применения транзисторов с двойным затвором *Dual-gate* (что способствует снижению токов утечки).

Существует вариант памяти **DDR3L** (L означает *Low*) с ещё более низким напряжением питания, 1,35 В, что меньше традиционного для DDR3 на 10 %. Также существует модули памяти **DDR3U** (U означает *Ultra Low Voltage*) с напряжением питания 1,25 В, что ещё на 10 % меньше, чем принятое для DDR3L. Финальная спецификация на все три разновидности (DDR3, DDR3L, DDR3U) была опубликована на сайте JEDEC в декабре 2010 с дополнениями, касающимися стандартов DDR3U-800, DDR3U-1066, DDR3U-1333, а также DDR3U-1600 (в октябре 2011).

Основное отличие DDR4 от предыдущего стандарта (DDR3) заключается в удвоенном до 16 числе банков (в двух группах банков, что позволило увеличить скорость передачи). Пропускная способность памяти DDR4 в перспективе может достигать 25,6 ГБ/с (в случае повышения максимальной эффективной частоты до 3200 МГц). Надёжность работы DDR4 повышена за счёт введения механизма контроля чётности на шинах адреса и команд. Изначально в стандарте DDR4 был определён диапазон частот от 1600 до 2400 МГц с возможностью увеличения до 3200 МГц.

Массовое производство ECC-памяти (память с коррекцией ошибок) DDR4 началось со второго квартала 2014 года, а в следующем квартале начались продажи non-ECC модулей DDR4 вместе с процессорами Intel Haswell-E/Haswell-EP, требующими DDR4.



Рис. 21. Модуль памяти DDR4.

Запоминающие устройства типа ROM, PROM, EPROM, EEPROM

Запоминающие устройства типа ROM (память только для чтения, ПЗУ) хранит информацию, которая либо вообще не изменяется (в ЗУ типов ROM(M) и PROM), либо изменяется редко и не в оперативном режиме (в ЗУ типов EPROM и EEPROM).

В масочные ЗУ типа ROM информация записывается при изготовлении микросхем на промышленных предприятиях с помощью шаблона (маски) на завершающем этапе технологического процесса.

ЗУ типа PROM программируются после изготовления их предприятием электронной промышленности в лабораториях потребителей без использования сложных технологических процессов. Для этого используются несложные устройства (программаторы).

Программирование постоянной памяти заключается в том или ином размещении элементов связи между горизонтальными и вертикальными линиями матрицы запоминающих элементов.

Технологии изготовления постоянных ЗУ разнообразны - ТТЛ(Ш), КМОП, n-МОП и др.

Масочные ЗУ

Элементом связи в масочных ЗУ могут быть диоды, биполярные транзисторы. МОП-транзисторы и т. д.

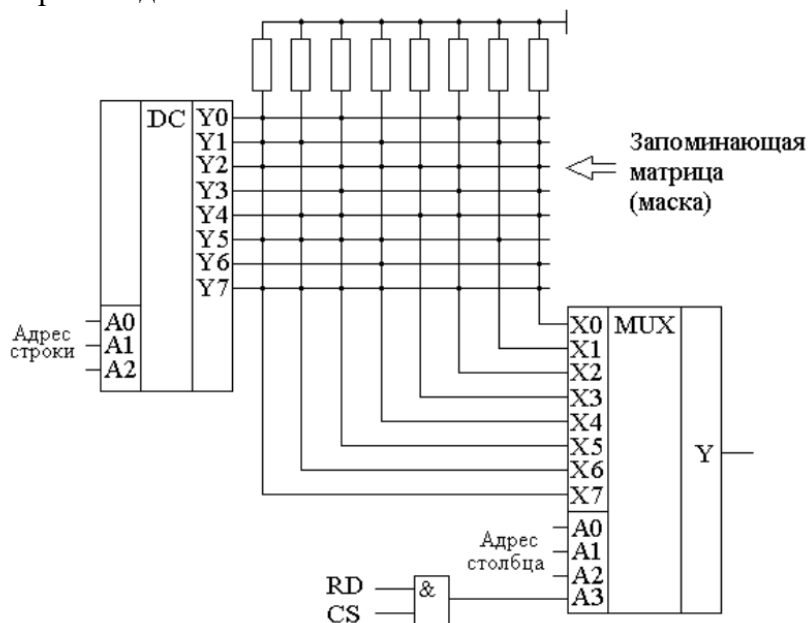


Рис. 22. Масочное ПЗУ (ROM).

В матрице масочного ROM (рис. 22) горизонтальные линии являются линиями выборки слов, а вертикальные — линиями считывания. Считываемое слово определяется тем фактом, соединены ли линии в узлах координатной сетки или нет. При наличии соединения высокий потенциал выбранной горизонтальной линии передается на соответствующую вертикальную линию, и в данном разряде слова появляется сигнал логической единицы.

В качестве элементов, осуществляющих соединение, применяются диоды (рис. 23, полевые (рис. 24) и биполярные транзисторы (рис. 25).

В матрице с диодными элементами в одних узлах матрицы диоды изготавливаются, в других — нет. При этом, чтобы удешевить производство, при изготовлении ЗУ стремятся варьировать только один шаблон, так чтобы одни элементы связи были законченными и работоспособными, а другие - не законченными и как бы отсутствующими.

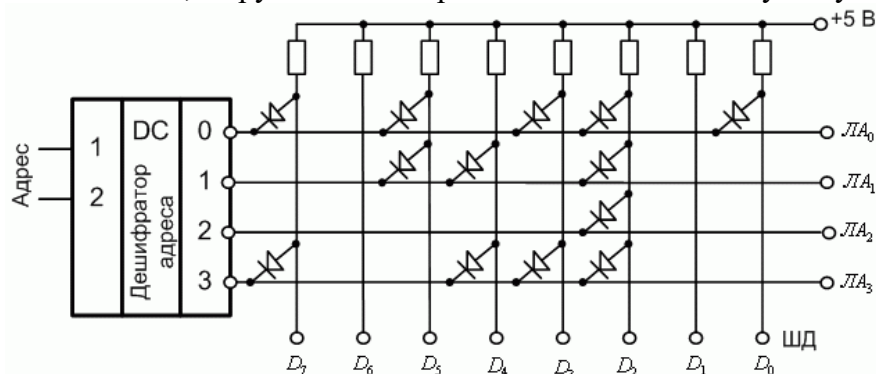


Рис. 23. Диодная маска ПЗУ.

Для матриц с МОП - транзисторами часто в МОП-транзисторах, соответствующих хранению нуля, увеличивают толщину подзатворного окисла, что ведет к увеличению порогового напряжения транзистора. В этом случае рабочие напряжения ЗУ не в состоянии открыть

транзистор. Постоянно закрытое состояние транзистора аналогично его отсутствию.

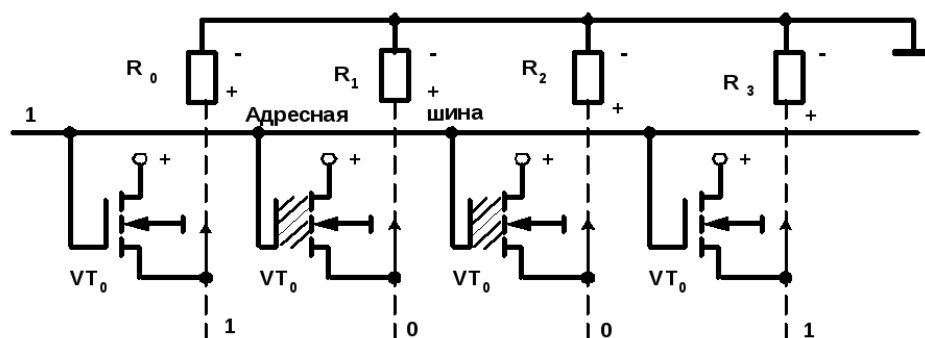


Рис. 24. Устройство ПЗУ с полевыми транзисторами.

Запись информации в ПЗУ с биполярными транзисторами осуществляется металлизацией или неметаллизацией участка между базой и адресной линией. Для выбора строки на линию адреса подается логическая 1. При металлизации она подается на базу транзистора, он открывается вследствие разницы потенциалов между эмиттером (земля) и базой (примерно + 5 В). При этом замыкается цепь: + 5 В; сопротивление R_i ; открытый транзистор, земля на эмиттере транзистора. В точке D_i при этом будет потенциал, соответствующий падению напряжения на открытом транзисторе – порядка 0,4 В, т.е. логический 0. Таким образом, в ЗЭ записан ноль. Если участок между линией адреса и базой транзистора не металлизирован, указанная электрическая цепь не реализована, падения напряжения на сопротивлении R_i нет, поэтому на соответствующей линии данных D_i будет потенциал +5 В, т.е. логическая 1.

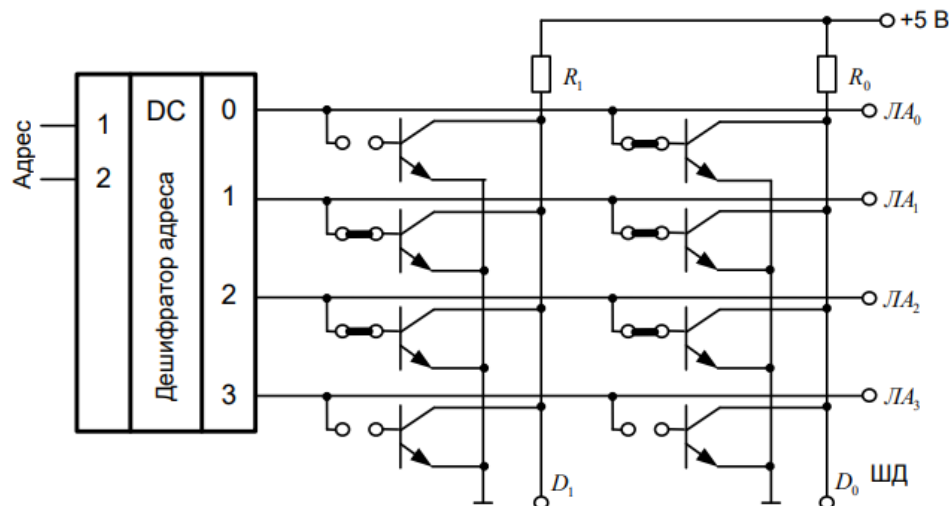


Рис. 25. Устройство ПЗУ с биполярными транзисторами.

ЗУ с масочным программированием отличаются компактностью запоминающих элементов и, следовательно, высоким уровнем интеграции. При больших объемах производства масочное программирование предпочтительно, однако при недостаточной тиражности ЗУ затраты на проектирование и изготовление шаблона для технологического программирования ЗУ окажутся чрезмерно высокими. Отсюда видна и область применения масочных ЗУ — хранение стандартной информации, имеющей широкий круг потребителей. В частности, масочные ЗУ имеют в качестве "прошивки" коды букв алфавитов (русского и латинского), таблицы типовых функций (синуса, квадратичной функции и др.), стандартное программное обеспечение и т. п.

ЗУ типа PROM

В ЗУ типа PROM микросхемы программируются устранением или созданием специальных перемычек. В исходной заготовке имеются (или отсутствуют) все перемычки. После программирования остаются или возникают только необходимые.

Устранение части перемычек свойственно ЗУ с плавкими перемычками (типа fuse —

предохранитель). При этом в исходном состоянии ЗУ имеет все переключки, а при программировании часть их ликвидируется путем расплавления импульсами тока достаточно большой амплитуды и длительности.

В ЗУ с плавкими переключками эти переключки включаются в элем роды диодов или транзисторов. Переключки могут быть металлическими (вначале изготавливались из нихрома, позднее из титановольфрамовых и других сплавов) или поликристаллическими (кремниевыми). В исходном состоянии запоминающий элемент хранит логическую единицу, логический ноль нужно записать, расплавляя переключку.

Создание части переключек соответствует схемам, которые в исходном состоянии имеют непроводящие переключки в виде пары встречно включенных диодов или тонких диэлектрических слоев, пробиваемых при программировании с образованием низкоомных сопротивлений. Схемы с тонкими пробиваемыми диэлектрическими переключками (типа antifuse) наиболее компактны и совершенны. Их применение характерно для программируемых логических СБИС. В номенклатуре продукции стран СНГ ЗУ с переключками типа antifuse отсутствуют.

Второй тип запоминающего элемента PROM — два встречно включенных диода. В исходном состоянии сопротивление такой цепочки настолько велико, что практически равноценно разомкнутой цепи, и запоминающий элемент хранит логический ноль. Для записи единицы к диодам прикладывают повышенное напряжение, пробивающее диод, смещенный в обратном направлении. Диод пробивается с образованием в нем короткого замыкания и играет роль появившейся проводящей переключки.

Запоминающие элементы с плавкими переключками и парами диодов показаны на рис. 26 в исходном состоянии и после программирования.

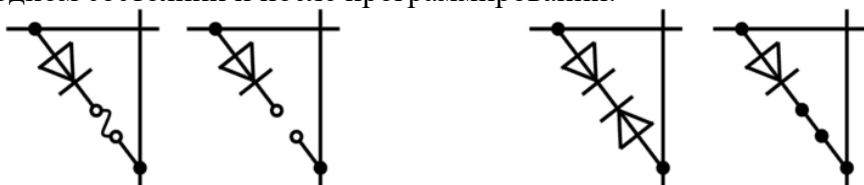


Рис. 26. Элементы ПЗУ с плавкими переключками и парами диодов

Программирование ЗУ с плавкими переключками реализуется простыми аппаратными средствами и может быть доступно схемотехникам даже при отсутствии специального оборудования. На рис. 27 показаны многоэмиттерные транзисторы (МЭТ) с плавкими переключками. Выходы этого запоминающего элемента передаются во внешние цепи через буферные каскады с тремя состояниями, работа которых разрешается сигналом ОЕ. При этом сигнал разрешения работы формирователей импульсов программирования ОЕ отсутствует, и они не влияют на работу схемы. При программировании буферы данных переводятся в третье состояние ($OE = 0$), а работа формирователей F разрешается. Слово, которое нужно записать в данной ячейке, подается на линии данных $D_7...D_0$. Те разряды слова, в которых имеются единицы, будут иметь на выходах формирователей низкий уровень напряжения. Соответствующие эмиттеры МЭТ окажутся под низким напряжением и через них пройдет ток прожигания переключки. При чтении отсутствие переключки даст нулевой сигнал на вход буфера данных. Так как буфер инвертирующий, с его выхода снимется единичный сигнал, т. е. тот, который и записывался. Адресация программируемой ячейки как обычно обеспечивается дешифратором адреса, подающим высокий уровень потенциала на базу адресуемого МЭТ.

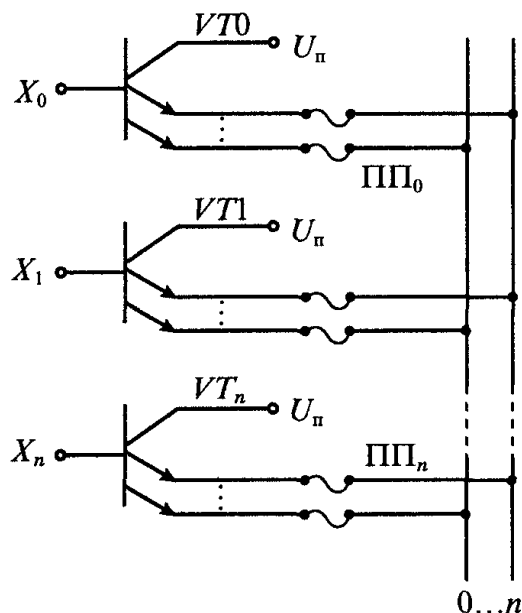


Рис. 27. PROM на основе многоэмиттерных транзисторов.

Для прожигания перемычек на них подают токи в десятки миллиампер в виде серии импульсов (для большей надежности прожигания). Не все перемычки удастся пережечь надлежащим образом, коэффициент программируемости для серии K556, например, составляет 0,5...0,7. В ЗУ с плавкими перемычками возможно восстановление проводимости перемычек через некоторое время из-за миграции в электроматериалах.

Плавкие перемычки занимают на кристалле относительно много места, поэтому уровень интеграции ЗУ с такими перемычками существенно ниже, чем у масочных ЗУ. В то же время простота программирования пользователем и невысокая стоимость в свое время обусловили широкое распространение ЗУ типа PROM. Невысокая стоимость программируемых пользователем ЗУ объясняется тем, что изготовитель выпускает микросхемы без учета конкретного содержимого ЗУ, т. е. освобожден от проектирования по специализированным заказам и, следовательно, связанных с этим затрат.

Среди отечественных PROM примером являются микросхемы серии K556, имеющие информационную емкость 1...64 Кбит и время доступа по адресу 70...90 нс.

ЗУ типов EPROM и EEPROM

В ре программируемых ЗУ типов EPROM и EEPROM (или E²PROM) в можно стирание старой информации и замена ее новой в результате специального процесса, для проведения которого ЗУ выводится из рабочего режима. Рабочий режим (чтение данных) — процесс, выполняемый с относительно высокой скоростью. Замена же содержимого памяти требует выполнения гораздо более длительных операций.

По способу стирания старой информации различают ЗУ со стиранием ультрафиолетовыми лучами (EPROM или в русской терминологии РПЗУ-УФ, т. е. репрограммируемые ПЗУ с ультрафиолетовым стиранием) и электрическим стиранием (E²PROM или РПЗУ-ЭС).

Запоминающими элементами современных РПЗУ являются транзисторы типов МНОП и ЛИЗМОП (добавление ЛИЗ к обозначению МОП происходит от слов Лавинная Инжекция Заряда).

МНОП-транзистор отличается от обычного МОП-транзистора двухслойным подзатворным диэлектриком. На поверхности кристалла расположен тонкий слой двуокиси кремния SiO₂, далее более толстый слой нитрида кремния Si₃N₄ и затем уже затвор (рис. 4.16, о). На границе диэлектрических слоев возникают центры захвата заряда. Благодаря туннельному эффекту, носители заряда могут проходить через тонкую пленку окисла толщиной не более 5 мкм и скапливаться на границе раздела слоев. Этот заряд и является носителем информации, хранимой МНОП-транзистором. Заряд записывают созданием под затвором напряженности электрического поля, достаточной для возникновения туннельного перехода

носителей заряда через тонкий слой SiO_2 . На границе раздела диэлектрических слоев можно создавать заряд любого знака в зависимости от направленности электрического поля в подзатворной области. Наличие заряда влияет на пороговое напряжение транзистора.

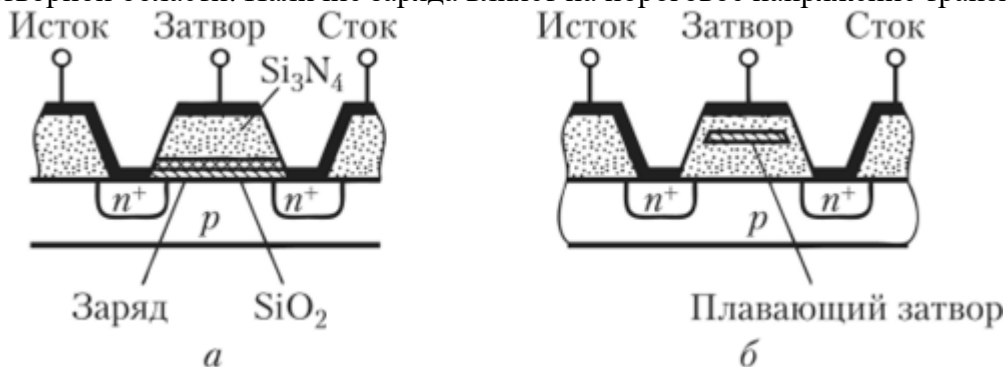


Рис. 28. Технология МНОП (а) и ЛИЗМОП (б).

Для МНОП-транзистора с n -каналом отрицательный заряд на границе раздела слоев повышает пороговое напряжение (экранирует воздействие положительного напряжения на затворе, отпирающего транзистор). При этом пороговое напряжение возрастает настолько, что рабочие напряжения на затворе транзистора не в состоянии его открыть (создать в нем проводящий канал). Транзистор, в котором заряд отсутствует или имеет другой знак, легко открывается рабочим значением напряжения. Так осуществляется хранение бита в МНОП: одно из состояний трактуется как отображение логической единицы, другое — нуля.

При программировании ЗУ используются относительно высокие напряжения, около 20 В. После снятия высоких напряжений туннельное прохождение носителей заряда через диэлектрик прекращается и заданное транзистору пороговое напряжение остается неизменным.

После $10^4 \dots 10^6$ перезаписей МНОП-транзистор перестает устойчиво хранить заряд. РПЗУ на МНОП-транзисторах энергонезависимы и могут хранить информацию месяцами, годами и десятками лет.

Перед новой записью старая информация стирается записью нулей во все запоминающие элементы. Тип ЗУ — РПЗУ-ЭС.

Транзисторы типа ЛИЗМОП всегда имеют так называемый плавающий затвор, который может быть единственным или вторым, дополнительным к обычному (управляющему) затвору. Транзисторы с одним плавающим затвором используются в ЗУ типа РПЗУ-УФ, а транзисторы с двойным затвором пригодны для применения как в РПЗУ-УФ, так и в РПЗУ-ЭС. Рассмотрим более современный тип — ЛИЗМОП-транзистор с двойным затвором (рис. 28, б).

Принцип работы ЛИЗМОП с двойным затвором близок к принципу работы МНОП-транзистора — здесь также между управляющим затвором и областью канала помещается область, в которую при программировании можно вводить заряд, влияющий на величину порогового напряжения транзистора. Только область введения заряда представляет собою не границу раздела слоев диэлектрика, а окруженную со всех сторон диэлектриком проводящую область (обычно из поликристаллического кремния), в которую, как в ловушку, можно ввести заряд, способный сохраняться в ней в течение очень длительного времени. Эта область и называется плавающим затвором.

При подаче на управляющий затвор, исток и сток импульса положительного напряжения относительно большой амплитуды 20...25 В в обратном смещенных p - n переходах возникает лавинный пробой, область которого насыщается электронами. Часть электронов, имеющих энергию, достаточную для преодоления потенциального барьера диэлектрической области, проникает в плавающий затвор. Снятие высокого программирующего напряжения восстанавливает обычное состояние областей транзистора и запирает электроны в плавающем затворе, где они могут находиться длительное время (в высококачественных приборах многие годы).

Заряженный электронами плавающий затвор увеличивает пороговое напряжение транзистора настолько, что в диапазоне рабочих напряжений проводящий канал в транзисторе не создается.

При отсутствии заряда в плавающем затворе транзистор работает в обычном ключевом режиме.

Стирание информации может производиться двумя способами — ультрафиолетовым облучением или электрическими сигналами. В первом случае корпус ИС имеет специальное прозрачное окошко для облучения кристалла. Двуокись кремния и поликремний прозрачны для ультрафиолетовых лучей. Эти лучи вызывают в областях транзистора фототоки и тепловые токи, что делает области прибора проводящими и позволяет заряду покинуть плавающий затвор. Операция стирания информации этим способом занимает десятки минут, информация стирается сразу во всем кристалле. В схемах с УФ-стиранием число циклов перепрограммирования существенно ограничено, т. к. под действием ультрафиолетовых лучей свойства материалов постепенно изменяются. Число циклов перезаписи у отечественных ИС равно 10...100.



Рис. 29. PROM с ультрафиолетовым стиранием (ППЗ-УФ, EPROM, EPROM-UV)

Электрическое стирание информации осуществляется подачей на управляющие затворы низкого (нулевого) напряжения, а на стоки — высокого напряжения программирования. Электрическое стирание имеет преимущества: можно стирать информацию не со всего кристалла, а выборочно (индивидуально для каждого адреса). Длительность процесса "стирание-запись" значительно меньше, сильно ослабляются ограничения на число циклов перепрограммирования (допускается 10^4 ... 10^6 таких циклов). Кроме того, перепрограммировать ЗУ можно, не извлекая микросхему из устройства, в котором она работает. В то же время схемы с электрическим стиранием занимают больше места на кристалле, в связи с чем уровень их интеграции меньше, а стоимость выше.



Рис. 30. EEPROM (ЭСППЗУ)

Среди отечественных РПЗУ-УФ (в маркировке они имеют буквы РФ) наиболее известна серия К573 с широким набором типономиналов, а среди РПЗУ-ЭС (в маркировке имеют буквы РР) имеются серии КР558 (на основе п-МНОП), К1609, К1624, К1626 на ЛИЗМОП с двумя затворами.

Импульсное питание ROM

Энергонезависимость всех ROM, сохраняющих информацию при отключении питания, открывает возможности экономии питания при их эксплуатации и соответственно, улучшения их теплового режима, что повышает надежность схем. Питание можно подавать только на ИС, к которой в данный момент происходит обращение. На рис. 31 показан обычный вариант построения модуля памяти, состоящего из нескольких ИС, и вариант с импульсным питанием. В обычном варианте напряжение U_{cc} подключается ко всем ИС постоянно, а выбор адресуемой ИС осуществляется сигналом CS. В варианте с импульсным питанием работа всех ИС по входам CS постоянно разрешена, но питание подключается только к выбранной микросхеме с помощью ключа, управляемого от выходов адресного дешифратора, декодирующего старшие разряды адреса.

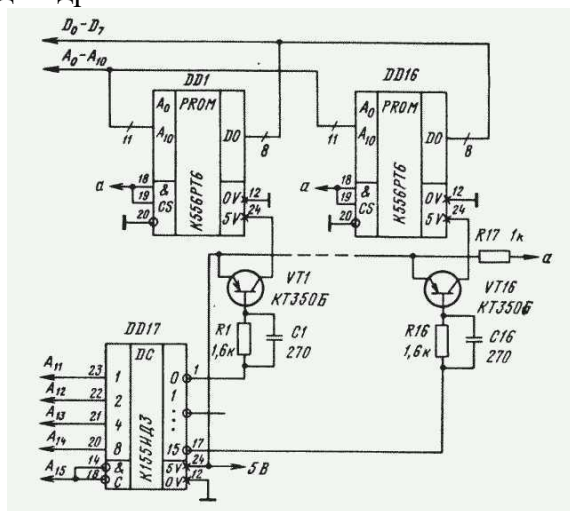


Рис. 31. Схема импульсного питания ПЗУ.

Режим импульсного питания может многократно уменьшить потребляемую модулем мощность, но, одновременно, увеличивает время обращения к ЗУ при одиночных произвольных обращениях, т. к. после включения питания необходимо время для установления режима ИС.

При чтении данных, расположенных по близким адресам, когда старшие разряды адреса остаются неизменными, потерь времени не возникает.

Флэш-память

Флэш-память (Flash-Memory) по типу запоминающих элементов и основным принципам работы подобна памяти типа EEPROM, однако ряд архитектурных и структурных особенностей позволяют выделить ее в отдельный класс. Разработка Флэш-памяти считается кульминацией десятилетнего развития схемотехники памяти с электрическим стиранием информации.

В схемах Флэш-памяти не предусмотрено стирание отдельных слов, стирание информации осуществляется либо для всей памяти одновременно, либо для достаточно больших блоков. Понятно, что это позволяет упростить схемы ЗУ, т. е. способствует достижению высокого уровня интеграции и быстродействия при снижении стоимости. Технологически схемы Флэш-памяти выполняются с высоким качеством и обладают очень хорошими параметрами.

Термин Flash по одной из версий связан с характерной особенностью этого вида памяти — возможностью одновременного стирания всего ее объема. Согласно этой версии ещё до появления Флэш-памяти при хранении секретных данных использовались устройства, которые при попытках несанкционированного доступа к ним автоматически стирали хранимую информацию и назывались устройствами типа Flash (вспышка, мгновение). Это название перешло и к памяти, обладавшей свойством быстрого стирания всего массива данных одним сигналом.

Одновременное стирание всей информации ЗУ реализуется наиболее просто, но имеет тот недостаток, что даже замена одного слова в ЗУ требует стирания и новой записи для всего ЗУ в целом. Для многих применений это неудобно. Поэтому наряду со схемами с одновременным

стиранием всего содержимого имеются схемы с блочной структурой, в которых весь массив памяти делится на блоки, стираемые независимо друг от друга. Объем таких блоков сильно различается: от 256 байт до 128 Кбайт.

Число циклов репрограммирования для Флэш-памяти хотя и велико, но ограничено, т. е. ячейки при перезаписи "изнашиваются". Чтобы увеличить долговечность памяти, в ее работе используются специальные алгоритмы, способствующие "разравниванию" числа перезаписей по всем блокам микросхемы.

Соответственно областям применения Флэш-память имеет архитектурные и схемотехнические разновидности. Двумя основными направлениями эффективного использования Флэш-памяти являются хранение не очень часто изменяемых данных (обновляемых программ, в частности) и замена памяти на магнитных дисках.

Для первого направления в связи с редким обновлением содержимого параметры циклов стирания и записи не столь существенны как информационная емкость и скорость считывания информации. Стирание в этих схемах может быть как одновременным для всей памяти, так и блочным. Среди устройств с блочным стиранием выделяют схемы со специализированными блоками (несимметричные блочные структуры). По имени так называемых Boot-блоков, в которых информация надежно защищена аппаратными средствами от случайного стирания, эти ЗУ называют Boot Block Flash Memory. Boot-блоки хранят программы инициализации системы, позволяющие ввести ее в рабочее состояние после включения питания.

Микросхемы для замены жестких магнитных дисков {Flash-File Memory) содержат более развитые средства перезаписи информации и имеют идентичные блоки (симметричные блочные структуры).

Одним из элементов структуры Флэш-памяти является накопитель (матрица запоминающих элементов). В схемотехнике накопителей развиваются два направления: на основе ячеек типа ИЛИ-НЕ (NOR) и на основе ячеек типа И-НЕ (NAND).

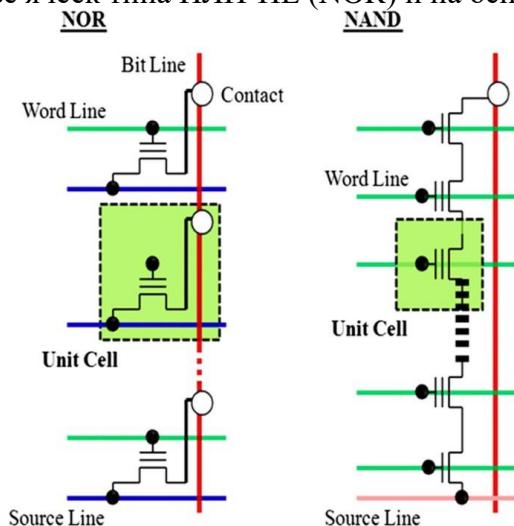


Рис. 32. Структура NOR и NAND Flash

Накопители на основе ячеек ИЛИ-НЕ (с параллельным включением ЛИЗ-МОП-транзисторов с двойным затвором) обеспечивают быстрый доступ при произвольной выборке. Они приемлемы для разных применений, но наиболее бесспорным считается их применение в памяти для хранения редко обновляемых данных. При этом возникает полезная преемственность с применявшимися ранее ROM и EPROM, сохраняются типичные сигналы управления, обеспечивающие чтение с произвольной выборкой, структура матрицы накопителя показана на рис. 32. Каждый столбец представляет собою совокупность параллельно соединенных транзисторов. Разрядные линии выборки находятся под высоким потенциалом. Все транзисторы невыбранных строк заперты. В выбранной строке открываются и передают высокий уровень напряжения на разрядные линии считывания те транзисторы, в плавающих затворах которых отсутствует заряд электронов. и, следовательно, пороговое напряжение транзистора имеет нормальное (не повышенное) значение.

Такая организация несколько лучше для построения накопителей большой емкости —

площадь микросхемы можно значительно уменьшить за счет размеров ячеек. Недостатки (куда уж без них) заключаются в более низкой по сравнению с NOR скорости работы в операциях побайтового произвольного доступа.

Имея преемственность с 3У типов EEPROM и EPROM, разработанными ранее, схемы Флэш-памяти предпочтительнее EEPROM по информационной емкости и стоимости в применениях, где не требуется индивидуальное стирание слов, а в сравнении с EPROM обладают тем преимуществом, что не требуют специальных условий и аппаратуры для стирания данных, которое к тому же происходит гораздо быстрее.