

## Лекция 5. Счетчики

### Классификация счетчиков

**Счетчиком импульсов** называется устройство, осуществляющее счет числа его входных импульсов, реализованных обычно в двоичном коде.

Счетчики представляют более высокий, чем регистры, уровень сложности цифровых микросхем, имеющих внутреннюю память. Хотя в основе любого счетчика лежат те же самые триггеры, которые образуют и регистры, но в счетчиках триггеры соединены более сложными связями, в результате чего их функции сложнее, и на их основе можно строить более сложные устройства, чем на регистрах. Точно так же, как и в случае регистров, внутренняя память счетчиков — оперативная, то есть ее содержимое сохраняется только до тех пор, пока включено питание схемы. С выключением питания память стирается, а при новом включении питания схемы содержимое памяти будет произвольным, случайным, зависящим только от конкретной микросхемы, то есть выходные сигналы счетчиков будут произвольными.

Счетчик характеризуется модулем счета  $M_{сч}$ , т. е. числом входных импульсов, при котором счетчик возвращается в исходное состояние.

Счетчиком, осуществляющим счет с модулем, равным двум, может служить обычный Т-триггер.

Как следует из самого названия, счетчики предназначены для счета входных импульсов. То есть с приходом каждого нового входного импульса двоичный код на выходе счетчика увеличивается (или уменьшается) на единицу (рис. 5.1). Срабатывать счетчик может по отрицательному фронту входного (тактового) сигнала (как на рисунке) или по положительному фронту входного сигнала. Режим счета обеспечивается использованием внутренних триггеров, работающих в счетном режиме. Выходы счетчика представляют собой как раз выходы этих триггеров. Каждый выход счетчика представляет собой разряд двоичного кода, причем разряд, переключающийся чаще других (по каждому входному импульсу), будет младшим, а разряд, переключающийся реже других — старшим.

Счетчик может работать на увеличение выходного кода по каждому входному импульсу, это основной режим, имеющийся во всех счетчиках, он называется режимом прямого счета. Счетчик может также работать на уменьшение выходного кода по каждому входному импульсу, это режим обратного или инверсного счета, предусмотренный в счетчиках, называемых реверсивными. Инверсный счет бывает довольно удобен в схемах, где необходимо отсчитывать заданное количество входных импульсов.

Большинство счетчиков работают в обычном двоичном коде, то есть считают от 0 до  $(2^N - 1)$ , где  $N$  — число разрядов выходного кода счетчика. Например, 4-разрядный счетчик в режиме прямого счета будет считать от 0 (код 0000) до 15 (код 1111), а 8-разрядный — от 0 (код 0000 0000) до 255 (код 1111 1111). После максимального значения кода счетчик по следующему входному импульсу переключается опять в 0, то есть работает по кругу. Если же счет инверсный, то счетчик считает до нуля, а дальше переходит к максимальному коду  $111...1$ .

Имеются также двоично-десятичные счетчики, предельный код на выходе которых не превышает максимального двоично-десятичного числа, возможного при данном количестве разрядов. Например, 4-разрядный двоично-десятичный счетчик в режиме прямого счета будет считать от 0 (код 0000) до 9 (код 1001), а затем снова от 0 до 9. А 8-разрядный двоично-десятичный счетчик будет считать от 0 (код 0000 0000) до 99 (код 1001 1001). При инверсном счете двоично-десятичные счетчики считают до нуля, а со следующим входным импульсом переходят к максимально возможному двоично-десятичному числу (то есть 9 для 4-разрядного счетчика, 99 для 8-разрядного счетчика). Двоично-десятичные счетчики удобны, например, при организации десятичной индикации их выходного кода. Применяются они гораздо реже обычных двоичных счетчиков.

По быстрдействию все счетчики делятся на три большие группы:

- асинхронные (или последовательные) счетчики;
- синхронные счетчики с асинхронным переносом (или параллельные счетчики с последовательным переносом);
- синхронные (или параллельные) счетчики.

Принципиальные различия между этими группами проявляются только на втором уровне представления, на уровне модели с временными задержками. Причем больше всего различия эти проявляются при каскадировании счетчиков. Наибольшим быстродействием обладают синхронные счетчики, наименьшим — асинхронные счетчики, наиболее просто управляемые среди других.

По коэффициенту счета:

– двоичные  $K_{сч} = 2^n$ ;

– недвоичные  $K_{сч} \neq 2^n$ .

По порядку смены состояний:

– с естественным порядком смены (каждое последующее состояние отличается на 1 от предыдущего);

– с произвольным порядком смены.

По изменению значения кода на выходах (код всегда определяется на прямых выходах триггера):

– суммирующие (каждое последующее значение больше, чем предыдущее);

– вычитающие (каждое последующее значение меньше, чем предыдущее);

– реверсивные (можно изменять направление счета).

### Асинхронные счетчики

Асинхронные счетчики строятся из простой цепочки JK-триггеров, каждый из которых работает в счетном режиме (Т-триггер). Выходной сигнал каждого триггера служит входным сигналом для следующего триггера. Очевидно, при объединении Т-триггеров в последовательную цепочку получим схему счетчика с модулем счета  $M_{сч} = 2^n$ , где  $n$  — число Т-триггеров в цепочке. Такие счетчики называются *двоичными*. Функциональная схема трехразрядного счетчика на Т-триггерах, осуществляющего сложение и счет входных импульсов с коэффициентом пересчета  $M_{сч} = 2^3 = 8$ , приведена на рис. 1. Все разряды (выходы) асинхронного счетчика переключаются последовательно (отсюда название — последовательные счетчики), один за другим, начиная с младшего и кончая старшим. Каждый следующий разряд переключается с задержкой относительно предыдущего (рис. 2), то есть, вообще говоря, асинхронно, не одновременно с входным сигналом и с другими разрядами.

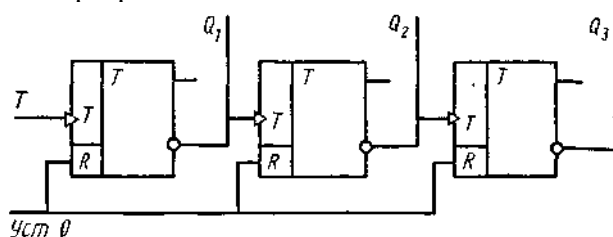


Рисунок 1 – Асинхронный счетчик на Т-триггерах

Слева располагаются триггеры старших разрядов.

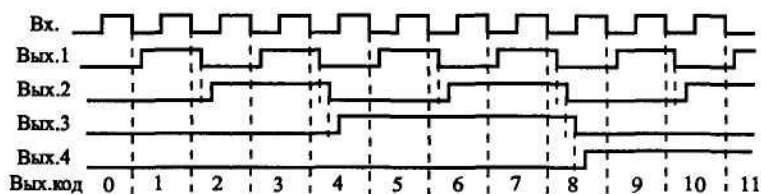


Рисунок 2 – Временные диаграммы работы асинхронного счетчика

Можно реализовать счетчик и на D-триггерах, включенных в счетном режиме (рис. 3)

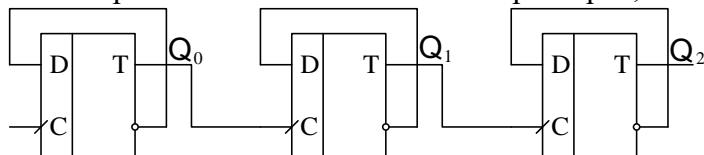


Рисунок 3 – Счетчик на D-триггерах

Чем больше разрядов имеет счетчик, тем большее время ему требуется на полное переключение всех разрядов. Задержка переключения каждого разряда примерно равна задержке триггера, а полная задержка установления кода на выходе счетчика равна задержке одного разряда, умноженной на число разрядов счетчика. Легко заметить, что при периоде входного сигнала, меньшем полной задержки установления кода счетчика, правильный код на выходе счетчика просто не успеет установиться, поэтому такая ситуация не имеет смысла. Это накладывает жесткие ограничения на период (частоту) входного сигнала, причем увеличение, к примеру, вдвое количества разрядов счетчика автоматически уменьшает вдвое предельно допустимую частоту входного сигнала.

Таким образом, если нам нужен выходной код асинхронного счетчика, то есть все его выходные сигналы (разряды) одновременно, то должно выполняться следующее неравенство:

$$T > Nt_3,$$

где  $T$  — период входного сигнала,  $N$  — число разрядов счетчика,  $t_3$  — время задержки одного разряда.

Надо еще учесть, что за период входного сигнала должно успеть сработать устройство (узел), на которое поступает выходной код счетчика, иначе счетчик просто не нужен, поэтому ограничение на частоту входного сигнала обычно бывает еще жестче.

Перед началом счета все триггеры должны быть в исходном состоянии ( $Q_1 = Q_2 = Q_3 = 0$ ). Для этого в схемах Т-триггеров предусмотрены установочные входы  $R$ , имеющие общую шину «Установка в 0», на которую поступает импульс сброса. Работу счетчика (рис. 1) можно проанализировать с помощью таблицы переходов, где  $m$  — номер входного импульса по порядку с начала счета:

Табл. 1.

$m$	$Q_3$	$Q_2$	$Q_1$
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0

Из таблицы 1 видно, что количеству поступивших на вход счетчика импульсов от 0 до 7 соответствует двоичное число, определяемое состояниями триггеров. Например, при поступлении пятого импульса состояния триггеров (разрядов)  $Q_3 = 1$ ,  $Q_2 = 0$ ,  $Q_1 = 1$  соответствуют двоичному числу 101. Восьмым импульсом счетчик обнуляется, и начинается новый счет. Такой счетчик называется *суммирующим*.

Если в счетчике с приходом первого импульса записывается максимальное двоичное число (в трехразрядном счетчике  $Q_1=Q_2=Q_3=0$ ), которое затем уменьшается с приходом каждого нового импульса до нуля (в трехразрядном  $Q_1 = Q_2 = Q_3 = 0$ ), то такой счетчик называется *вычитающим*.

Схему трехразрядного вычитающего счетчика также можно реализовать на основе последовательной цепочки трех Т-триггеров, в которой счетный вход каждого последующего триггера подключен не к инверсному (как в схеме рис. 1), а к прямому выходу предыдущего триггера при управлении фронтом импульса. Если же триггеры управляются срезом входного импульса (перепадом 1/0), то при построении суммирующего счетчика вход последующего Т-триггера объединяют с прямым выходом предыдущего, а при построении вычитающего счетчика — с инверсным.

Таблица состояний вычитающего счетчика (табл. 2) имеет вид:

Табл. 2

$m$	$Q_3$	$Q_2$	$Q_1$
0	1	1	1
1	1	1	0
2	1	0	1
3	1	0	0
4	0	1	1
5	0	1	0
6	0	0	1
7	0	0	0

0	1	i	i
1	1	i	0
2	1	0	1
3	1	0	0
4	0	1	1
5	0	1	0
6	0	0	1
7	0	0	0
8	1	1	1

В составе стандартных серий цифровых микросхем асинхронных счетчиков немного. В качестве примера на рис. 4. приведены три из них: четырехразрядный двоично-десятичный счетчик ИЕ2, четырехразрядный двоичный счетчик ИЕ5 и восьмиразрядный двоичный счетчик ИЕ19 (он же сдвоенный четырехразрядный счетчик).

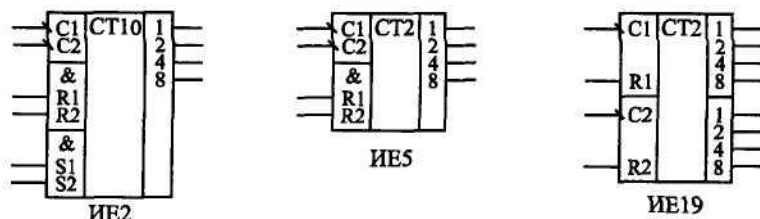


Рис. 4. Асинхронные счетчики стандартных серий.

У всех этих счетчиков управление работой очень простое: имеются лишь входы сброса в нуль или входы установки в 9 (только у ИЕ2). Все асинхронные счетчики работают по отрицательному фронту входного сигнала С (или, что то же самое, по заднему фронту положительного входного сигнала). У всех трех счетчиков выделены две независимые части, что увеличивает возможности их применения. При объединении этих двух частей получается счетчик максимальной разрядности. Выходы счетчиков обозначают на схемах 0, 1, 2, 3, ... (как номера разрядов выходного двоичного кода) или 1, 2, 4, 8, ... (как веса каждого разряда двоичного кода).

Счетчик ИЕ2 имеет две части: один триггер (вход С1, выход 1) и три триггера (вход С2 и выходы 2, 4, 8). Таким образом, он состоит из одноразрядного счетчика и трехразрядного счетчика. Одиночный триггер работает в обычном счетном режиме, изменяя свое состояние по каждому отрицательному фронту сигнала С1, то есть делит частоту входного сигнала на 2. Три оставшихся триггера включены таким образом, чтобы считать до 5, то есть делить входную частоту сигнала С2 на 5. После достижения кода 4 (то есть 100) на выходах 2, 4 и 8 этот трехразрядный счетчик по следующему отрицательному фронту сигнала С2 сбрасывается в нуль. В результате при объединении выхода 1 микросхемы со входом С2 мы получаем 4-разрядный двоично-десятичный счетчик, делящий частоту входного сигнала С1 на 10, сбрасывающийся в нуль после достижения на выходах 1, 2, 4, 8 кода 9 (то есть 1001) по отрицательному фронту сигнала С1.

Счетчик ИЕ2 имеет два входа асинхронного сброса в нуль R1 и R2, объединенных по функции И, а также два входа установки в 9 — S1 и S2, также объединенных по функции И, причем установка в 9 блокирует установку в нуль. Наличие этих входов сброса и установки позволяет строить на базе счетчика ИЕ2 делители частоты с разными коэффициентами деления. Правда, этот счетчик используется довольно редко, значительно реже, чем другие асинхронные счетчики ИЕ5 и ИЕ19.

Таблица истинности асинхронного счетчика ИЕ2 при соединенном выходе 1 и входе С2 (при 4-разрядном выходном коде) приведена ниже (табл. 3).

Счетчик ИЕ5 точно так же, как и ИЕ2, имеет две части: один триггер (одноразрядный счетчик) со входом С1 и выходом 1 и три триггера (трехразрядный счетчик) со входом С2 и выходами 2, 4, 8. Оба счетчика двоичные, то есть первый считает до двух, а второй — до 8. При объединении входа С2 с выходом 1 получается 4-разрядный двоичный счетчик, считающий до 16. Счет производится по отрицательному фронту входных сигналов С1 и С2. Предусмотрена возможность сброса счетчика в нуль по сигналам R1 и R2, объединенным по функции И.

Таблица истинности счетчика ИЕ5 при соединении входа С2 и входа 1 (при 4-разрядном выходном коде) приведена ниже (табл. 4).

Таблица 3. Таблица истинности счетчика ИЕ2

Входы					Выходы			
C1	R1	R2	S1	S2	8	4	2	1
X	1	1	0	X	0	0	0	0
X	1	1	X	0	0	0	0	0
X	X	X	1	1	1	0	0	1
1→0	X	0	X	0	Счет			
1→0	0	X	0	X	Счет			
1→0	0	X	X	0	Счет			
1→0	X	0	0	X	Счет			

Табл. 4. Таблица истинности счетчика ИЕ5

Входы			Выходы			
C1	R1	R2	8	4	2	1
X	1	1	0	0	0	0
1→0	0	X	Счет			
1→0	X	0	Счет			

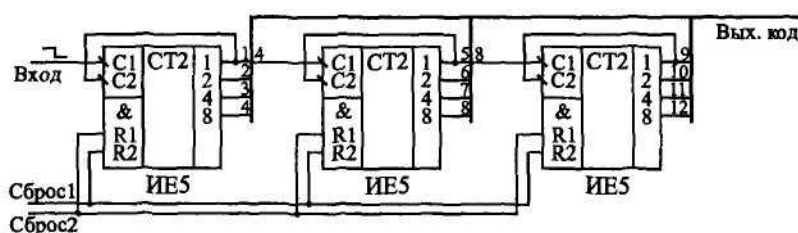


Рис 5. Объединение трех счетчиков ИЕ5 для увеличения разрядности.

Объединять счетчики ИЕ5 для увеличения разрядности (каскадировать) очень просто: выход 8 предыдущего счетчика (выдающего более младшие разряды) нужно соединить со входом С1 следующего счетчика (выдающего более старшие разряды). На рис. 5 показано соединение трех счетчиков ИЕ5 для получения 12-разрядного асинхронного счетчика со сбросом в нуль. Точно так же можно объединять и счетчики ИЕ2, добавляя при этом входы общей установки счетчика в код 99...9. Однако при объединении надо помнить, что добавление каждого нового разряда увеличивает общую задержку переключения полученного счетчика. Многоразрядный асинхронный счетчик может получиться неприемлемо медленным.

Счетчик ИЕ19 можно считать удвоенным вариантом счетчика ИЕ5. Он включает в себя два идентичных независимых друг от друга 4-разрядных асинхронных счетчика, каждый из которых имеет свой счетный вход С и свой вход сброса R. Считают оба счетчика, входящие в микросхему, по отрицательному фронту на своих входах С1 и С2. Сбрасываются они единичными сигналами на своих входах сброса R1 и R2.

Счетчики, входящие в микросхему ИЕ19, можно использовать самостоятельно, но можно и объединить их для получения 8-разрядного асинхронного счетчика с выходами 1, 2, 4, 8, 16, 32, 64, 128. Для такого объединения достаточно соединить выход 8 первого счетчика со счетным входом С2 второго счетчика. Если соединить два счетчика ИЕ19 (рис. 6), то получится уже 16-разрядный асинхронный двоичный счетчик. При этом выход 8 второго счетчика соединяется со счетным входом С1 первого счетчика. Однако и в данном случае каждый следующий разряд переключается с задержкой после переключения предыдущего.

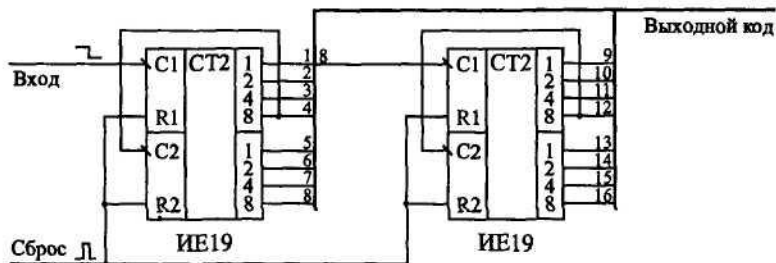


Рис. 6. Объединение двух счетчиков ИЕ19 для увеличения разрядности.

### Реверсивный асинхронный счетчик

Часто используют реверсивные счетчики, которые имеют два счетных входа  $T(+)$  и  $T(-)$ . При поступлении последовательности импульсов на вход  $T(+)$  счетчик работает как суммирующий, при подаче импульсов на вход  $T(-)$  схема выполняет функции вычитающего счетчика. На рис. 7 приведено условное обозначение ИМС четырехразрядного реверсивного счетчика с установочными входами  $R$  и  $S$  для всех разрядов.

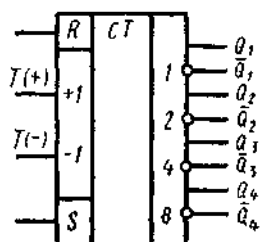


Рис. 7. Двоичный реверсивный счетчик

Построить такой счетчик можно двумя путями:

- входы синхронизации второго и последующего триггеров в режиме суммирования подключаем к инверсным выходам предыдущих триггеров, а в режиме вычитания – к прямым выходам;
- к выходам счетчика в режиме суммирования подключаются прямые выходы триггеров, а в режиме вычитания – инверсные, при этом входы синхронизации второго и последующего триггеров подключены к инверсным выходам предыдущих триггеров.

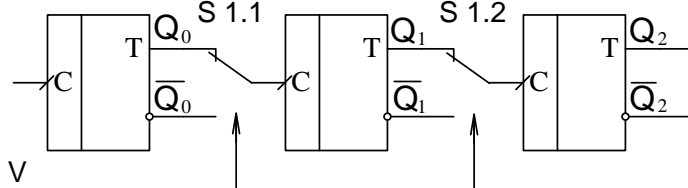


Рисунок 8. – Схема суммирующего и вычитающего (реверсивного) счетчика

$V=0$  переключатели  $S1$  в верхнем положении – счетчик вычитающий.

$V=1$  – счетчик суммирующий.

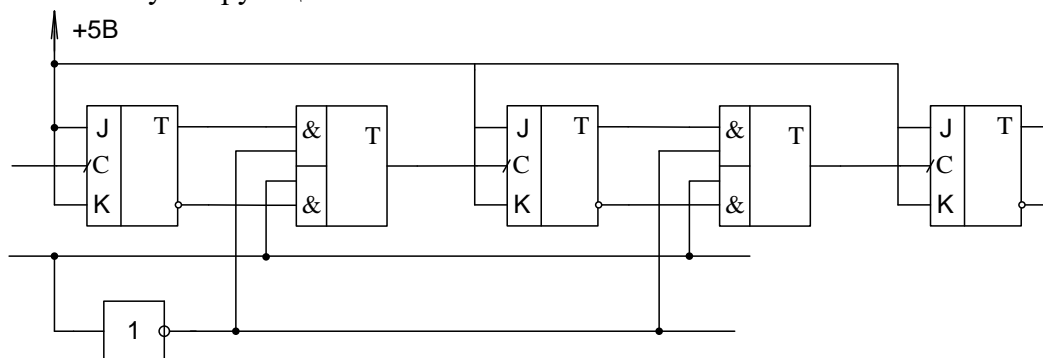


Рисунок 9 – Реверсивный счетчик на JK-триггерах

### Синхронные счетчики с асинхронным переносом

Синхронные (или параллельные) счетчики характеризуются тем, что все их разряды в пределах одной микросхемы переключаются одновременно, параллельно. Это достигается существенным

усложнением внутренней структуры микросхемы по сравнению с простыми асинхронными счетчиками. В результате полная задержка переключения синхронного счетчика примерно равна задержке одного триггера, то есть синхронные счетчики гораздо быстрее асинхронных, причем их быстродействие не падает с ростом количества разрядов выходного кода (конечно, до определенных пределов).

Управление работой синхронного счетчика гораздо сложнее, чем в случае асинхронного счетчика, а количество разрядов синхронных счетчиков обычно не превышает четырех. Поэтому синхронные счетчики не всегда могут успешно конкурировать с асинхронными счетчиками, особенно при невысоких требованиях к быстродействию. Зато и возможностей у синхронных счетчиков, как правило, гораздо больше, чем у асинхронных, например, они обеспечивают параллельную запись информации в счетчик и инверсный режим счета.

Для объединения нескольких синхронных счетчиков с целью увеличения числа их разрядов (для каскадирования) используется специальный выходной сигнал переноса. В зависимости от принципов формирования этого сигнала переноса и от принципов его использования синхронные (параллельные) счетчики делятся на счетчики с асинхронным (последовательным) переносом и счетчики с синхронным (параллельным) переносом (или полностью синхронные счетчики).

Синхронные счетчики с асинхронным переносом занимают промежуточное положение по быстродействию между асинхронными счетчиками и полностью синхронными счетчиками. Управление их работой проще, чем у синхронных счетчиков, но сложнее, чем у асинхронных. Работают данные счетчики по положительному фронту входного сигнала (или, что то же самое, по заднему фронту отрицательного сигнала). Основная суть их работы сводится к следующему: все разряды одного счетчика переключаются одновременно, но при каскадировании счетчиков каждый следующий счетчик (дающий более старшие разряды) переключается с задержкой относительно предыдущего счетчика (дающего более младшие разряды). То есть задержка переключения многоразрядного счетчика увеличивается в данном случае не с каждым новым разрядом (как у асинхронных счетчиков), а с каждой новой (например, 4-разрядной) микросхемой.

Сигнал переноса у этих счетчиков при прямом счете вырабатывается тогда, когда все разряды равны единице (достигнут максимальный код) и когда приходит входной сигнал. Поэтому сигнал переноса, повторяющий входной сигнал, будет задержан относительно входного сигнала. И именно этот сигнал переноса используется в качестве входного для следующего счетчика при каскадировании. То есть входной сигнал второго счетчика задержан относительно входного сигнала первого счетчика, входной сигнал третьего счетчика задержан относительно входного сигнала второго счетчика и т. д.

Временная диаграмма 4-разрядного синхронного счетчика с асинхронным переносом показана на рис. 10. Из рисунка видно, что разряды переключаются одновременно по положительному фронту входного сигнала (с некоторой задержкой), а отрицательный сигнал переноса также задержан относительно входного отрицательного импульса. Понятно, что переключение разрядов счетчика, работающего с этим сигналом переноса в качестве входного, будет происходить с дополнительной задержкой относительно переключения разрядов данного счетчика.

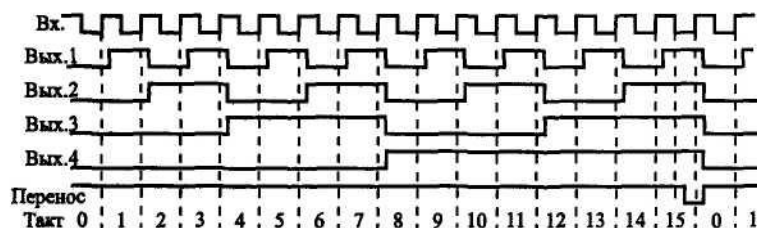


Рис. 10. Временная диаграмма работы синхронного счетчика с асинхронным переносом.

Примерами синхронных счетчиков с асинхронным переносом могут служить двоично-десятичный счетчик ИЕ6 и двоичный счетчик ИЕ7 (рис. 11). Они полностью идентичны по своим возможностям и назначениям входов и выходов, но только счетчик ИЕ6 считает от 0 до 9, а счетчик ИЕ7 — от 0 до 15. Оба счетчика реверсивные, обеспечивают как прямой счет (по положительному фронту на входе +1), так и обратный счет (по положительному фронту на входе -1). При прямом счете отрицательный сигнал переноса вырабатывается на выходе >15 (ИЕ7) или >9

(ИЕ6). При обратном (инверсном) счете отрицательный сигнал переноса вырабатывается на выходе <0 после достижения выходным кодом значения 0000. Имеется возможность сброса счетчика в нуль положительным сигналом на входе R, а также возможность параллельной записи в счетчик кода со входов D1, D2, D4, D8 по отрицательному сигналу на входе -WR. При параллельной записи информации счетчики ведут себя как регистры-защелки, то есть выходной код счетчика повторяет входной код, пока на входе -WR присутствует сигнал нулевого уровня.

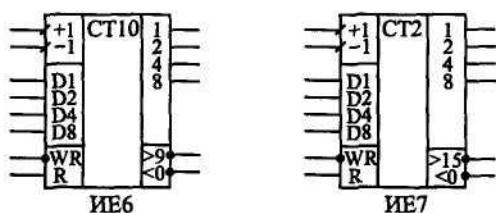


Рис. 11. Синхронные счетчики с асинхронным переносом.

Вход параллельной записи обозначается иногда на схемах также -L, -C, а выходы переноса обозначаются также -CR и -BR.

Режимы работы счетчиков ИЕ6 и ИЕ7 представлены в табл. 5.

После сброса счетчик начинает счет по положительным фронтам на счетных входах от нулевого кода. После параллельной записи счет начинается от числа, записанного в счетчик. После переполнения счетчика ИЕ7 (достижения кода 1111) при прямом счете вырабатывается отрицательный сигнал переноса >15, повторяющий входной отрицательный импульс на входе +1 с задержкой. После достижения кода 0000 при обратном счете вырабатывается отрицательный сигнал переноса <0, повторяющий входной отрицательный импульс на входе -1 с задержкой. Точно так же работает и счетчик ИЕ6, но у него переполнение будет возникать в режиме прямого счета при достижении кода 1001.

Таблица 5. Таблица режимов работы счетчиков ИЕ6 и ИЕ7

Входы				Режим работы
R	-WR	+1	-1	
1	X	X	X	Сброс в нуль
0	0	X	X	Параллельная запись
0	1	1	1	Хранение
0	1	0	0	Хранение
0	1	0→1	1	Прямой счет
0	1	1	0→1	Обратный счет

Входные сигналы счета, записи и сброса не должны быть слишком короткими. Не должен быть слишком малым временной сдвиг между сигналами на входах D1 — D8 и сигналом записи как в начале импульса записи, так и в его конце (сигнал записи -WR должен начинаться после установления входного кода, а заканчиваться — до снятия входного кода).

Объединение счетчиков ИЕ7 и ИЕ6 для увеличения разрядности (каскадирование) осуществляется очень просто: нужно выходы переноса младших счетчиков (дающих младшие разряды выходного кода) соединить со счетными входами старших счетчиков (дающих старшие разряды выходного кода). На рис. 12 показана организация 12-разрядного счетчика на трех микросхемах ИЕ7. Этот счетчик может считать как на увеличение (прямой счет), так и на уменьшение (обратный счет). Возможны также сброс и параллельная запись в счетчики входного кода. Разряды каждого следующего счетчика будут переключаться одновременно, но с задержкой относительно переключения разрядов предыдущего счетчика. Точно так же объединяются и счетчики ИЕ6.

Если необходимо использовать все выходные разряды многоразрядного счетчика одновременно (как единый код), то необходимо выполнение следующего условия:

$$T > (N-1)t_{3n} + t_{3c}$$

где T — период входного сигнала, N — число объединенных микросхем счетчиков,  $t_{3n}$  — время задержки переноса одного счетчика,  $t_{3c}$  — время задержки счета (переключения выходного кода) одного счетчика.



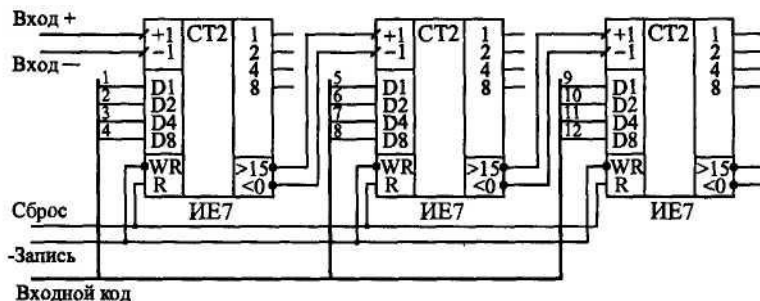


Рис. 12. Объединение счетчиков IE7 для увеличения разрядности.

### Синхронные счетчики

Синхронные (или параллельные) счетчики представляют собой наиболее быстродействующую разновидность счетчиков. Нарастивание их разрядности при соблюдении определенных условий не приводит к увеличению полной задержки срабатывания. То есть можно считать, что именно синхронные счетчики работают как идеальные счетчики, все разряды которых срабатывают одновременно, параллельно. Задержка срабатывания счетчика в этом случае примерно равна задержке срабатывания одного триггера. Достигается такое быстродействие существенным усложнением внутренней структуры микросхемы.

Вместе с тем недостатком синхронных счетчиков является более сложное управление их работой по сравнению с асинхронными счетчиками и с синхронными счетчиками с асинхронным переносом. Поэтому синхронные счетчики целесообразно применять только в тех случаях, когда действительно требуется очень высокое быстродействие, очень высокая скорость переключения разрядов. Иначе усложнение схемы управления может быть не оправдано.

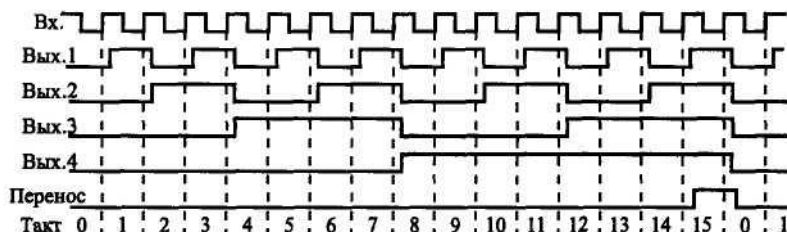


Рис. 13. Временная диаграмма работы синхронных двоичных счетчиков.

Временная диаграмма работы синхронного счетчика (рис. 13) отличается от временной диаграммы синхронного счетчика с асинхронным переносом способом формирования сигнала переноса, используемого при каскадировании счетчиков для увеличения разрядности. Сигнал переноса CR (от английского Carry) вырабатывается в данном случае тогда, когда все выходы счетчика устанавливаются в единицу (при прямом счете) или в нуль (при обратном, инверсном счете). Входной тактовый сигнал в образовании сигнала переноса при этом не участвует.

При каскадировании (совместном включении для увеличения разрядности), например, двух счетчиков тактовые входы С обоих счетчиков объединяются, а сигнал переноса первого счетчика подается на вход разрешения счета (ECT) второго счетчика. В результате второй счетчик будет считать каждый шестнадцатый входной тактовый импульс (так как он будет срабатывать только при переносе от первого счетчика). Выходные сигналы второго счетчика будут переключаться по фронту общего тактового сигнала одновременно с выходными сигналами первого счетчика. Условием правильной работы будет в данном случае следующее: за период тактового сигнала должен успеть выработаться сигнал переноса первого счетчика.

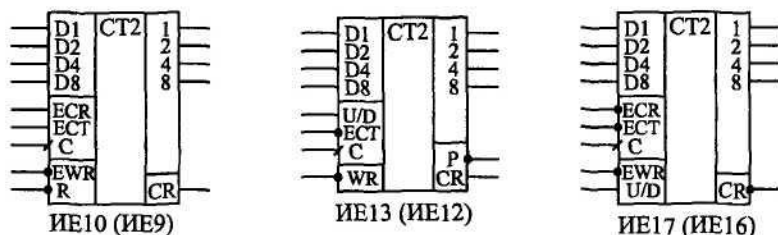


Рис. 14. Синхронные счетчики стандартных серий.

В стандартные серии микросхем входят несколько разновидностей синхронных (параллельных) счетчиков (рис. 14). Различаются они способом счета (двоичные или двоично-

десятичные, реверсивные или не реверсивные), управляющими сигналами (наличием или отсутствием сигнала сброса). Все счетчики считают по положительному фронту тактового сигнала, все имеют выход переноса CR и входы расширения для каскадирования. Все счетчики имеют возможность параллельной записи информации.

Счетчики ИЕ9 и ИЕ10 отличаются друг от друга только тем, что ИЕ9 — двоично-десятичный, а ИЕ10 — двоичный. Микросхемы имеют вход асинхронного сброса -R, по нулевому уровню на котором все выходы счетчика сбрасываются в нуль. Счет (только прямой) производится по положительному фронту на тактовом входе С. Параллельная запись осуществляется синхронно, по положительному фронту на тактовом входе С при установленном в нуль сигнале разрешения записи -EWR. Сигналы ECR (Enable Carry — разрешение переноса) и ECT (Enable Count — разрешение счета) используются при каскадировании микросхем. Разница между этими сигналами в том, что сигнал ECR не только запрещает счет, как сигнал ECT, но еще и запрещает выработку сигнала переноса CR. Счет идет при единичных сигналах на обоих входах ECT и ECT и при единичном сигнале на входе -EWR. Положительный сигнал переноса CR вырабатывается при максимально возможном коде на выходах счетчика (15 для ИЕ10 и 9 для ИЕ9) и при положительном сигнале на входе ECR. Режимы работы счетчиков ИЕ9 и ИЕ10 представлены в табл. 6.

Таблица 6. Режимы работы счетчиков ИЕ9 и ИЕ10

Входы					Режим
-R	-EWR	ECR	ECT	С	
0	X	X	X	X	Сброс
1	0	X	X	0→1	Параллельная запись
1	1	0	X	X	Хранение
1	1	X	0	X	Хранение
1	1	1	1	0→1	Прямой счет

Счетчики ИЕ12 (двоично-десятичный) и ИЕ13 (двоичный) отличаются от ИЕ9 и ИЕ10 тем, что они реверсивные, то есть допускают как прямой, так и обратный счет. Кроме того, у них несколько другое управление. Считают они также по положительному фронту тактового сигнала С при нулевом уровне на входе разрешения счета ECT. Прямой счет осуществляется при нулевом уровне на входе управления U/D, обратный — при единичном уровне на входе U/D. Переключение уровней на входах U/D и ECT допускается только при положительном сигнале на тактовом входе С. Сброс счетчиков ИЕ12 и ИЕ13 в нуль не предусмотрен, зато имеется возможность асинхронной параллельной записи информации по нулевому уровню сигнала параллельной записи -WR.

Положительный сигнал на выходе параллельного переноса CR появляется при достижении максимального кода (15 для ИЕ13 и 9 для ИЕ12) при прямом счете или при достижении нулевого кода при обратном (инверсном) счете. Имеется также выход последовательного переноса P, отрицательный импульс на котором вырабатывается при положительном сигнале CR и повторяет отрицательный импульс на тактовом входе С (аналогично рассмотренным ранее счетчикам ИЕ6 и ИЕ7).

Режимы работы счетчиков ИЕ12 и ИЕ13 представлены в табл. 10.7.

Таблица 7. Режимы работы счетчиков ИЕ12 и ИЕ13

Входы				Режим
-WR	U/D	-ECR	С	
0	X	X	X	Параллельная запись
1	X	1	X	Хранение
1	0	0	0→1	Прямой счет
1	1	0	0→1	Обратный счет

Микросхемы ИЕ16 (двоично-десятичный счетчик) и ИЕ17 (двоичный счетчик) отличаются от рассмотренных синхронной параллельной записью по фронту тактового сигнала С, возможностью прямого и обратного счета и отсутствием сигнала сброса в нуль.

Срабатывают счетчики ИЕ16 и ИЕ17 по положительному фронту тактового сигнала С. При нулевом уровне на входе разрешения записи -EWR по фронту сигнала С в счетчик записывается информация со входов данных D1, D2, D4, D8. При единичном уровне на входе -EWR по положительному фронту сигнала С происходит счет. Направление счета определяется входом U/D: при единице на этом входе счет прямой, при нуле — обратный. Имеются два входа расширения: вход разрешения счета -ECT и вход разрешения переноса -ECR. Различаются эти два входа тем, что сигнал -ECR не только запрещает счет, как сигнал -ECT, но еще и запрещает выработку сигнала переноса. Переключение уровней на входах U/D, -ECT и -ECR надо производить только при единичном уровне на тактовом входе С.

Отрицательный сигнал переноса -CR (синхронный) вырабатывается при достижении на выходах счетчика максимального кода (15 для ИЕ7 или 9 для ИЕ16) при прямом счете или нулевого кода при обратном счете.

Режимы работы счетчиков ИЕ16 и ИЕ17 приведены в табл. 8.

Таблица 8. Режимы работы счетчиков ИЕ16 и ИЕ17

Входы					Режим
-EWR	U/D	-ECT	-ECR	С	
0	X	X	X	0→1	Параллельная запись
1	1	0	0	0→1	Прямой счет
1	0	0	0	0→1	Обратный счет
1	X	1	X	X	Хранение
1	X	X	1	X	Хранение

Возможности применения синхронных (параллельных) счетчиков очень широки. Достаточно сказать, что они без всяких проблем могут заменить во всех схемах как асинхронные (последовательные) счетчики, так и синхронные счетчики с асинхронным (последовательным) переносом. При необходимости достижения максимального быстродействия они имеют большие преимущества по сравнению со всеми другими счетчиками. Их выходной код устанавливается одновременно при любом количестве разрядов без применения дополнительных выходных регистров (которые требовались в случае асинхронных счетчиков и синхронных счетчиков с асинхронным переносом).

Мы рассмотрим здесь всего несколько схем, иллюстрирующих характерные особенности именно синхронных счетчиков.

Сначала остановимся на методах каскадирования счетчиков. В отличие от других типов счетчиков синхронные счетчики можно соединять различными способами, причем способ соединения различен для разного количества микросхем. В качестве примера возьмем микросхемы ИЕ17.

При объединении двух счетчиков (рис. 15) никаких проблем не возникает: выход переноса -CR младшего счетчика соединяется со входом разрешения счета старшего счетчика -ECT. На входы -ECR обоих счетчиков подается нулевой уровень. Условие правильной работы будет простым и легко выполнимым: период тактового сигнала С не должен быть меньше, чем задержка выработки сигнала переноса CR.

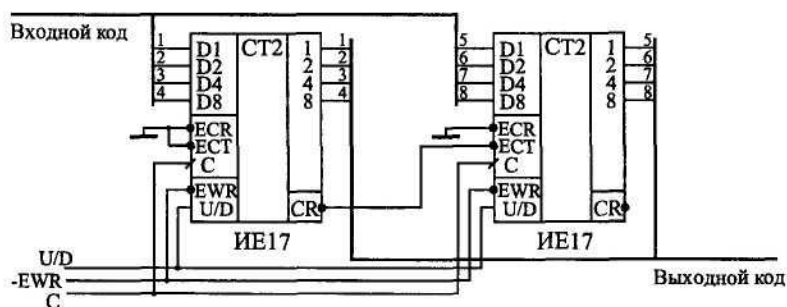


Рис. 15. Объединение двух счетчиков ИЕ17.

При объединении трех счетчиков ситуация несколько усложняется (рис. 16). Сигнал с выхода переноса первого счетчика подается на входы -ECT второго и третьего счетчиков. Сигнал с выход

переноса второго счетчика подается на вход -ECR третьего счетчика. В результате третий счетчик будет считать только тогда, когда имеется перенос как у первого счетчика, так и у второго счетчика. На рисунке для простоты не показано подключение входных и выходных сигналов, не участвующих в каскадировании.

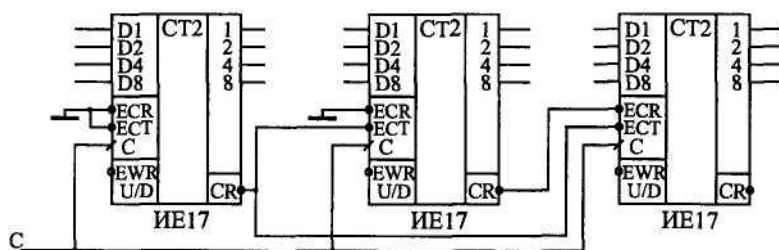


Рис. 16. Объединение трех счетчиков ИЕ17.

Условие правильной работы схемы остается тем же, что и в случае двух счетчиков: период тактового сигнала С не должен быть меньше задержки выработки сигнала переноса CR.

При объединении четырех (и более) счетчиков уже возникает проблема, так как у старших счетчиков не остается свободных управляющих входов для собирания всех сигналов переноса более младших счетчиков. Поэтому в данном случае используется способность входного сигнала - ECR запрещать выходной сигнал переноса -CR (рис. 17). На четвертый и последующие счетчики подаются уже не сигналы переноса со всех предыдущих счетчиков, а только с первого и с предыдущего. На рисунке для простоты не показано подключение входов и выходов, не участвующих непосредственно в каскадировании.

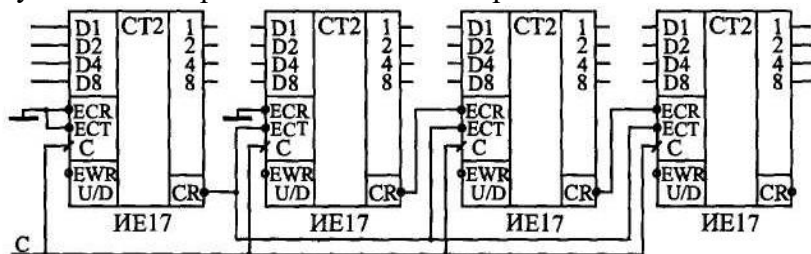


Рис. 17. Объединение четырех счетчиков ИЕ17.

При таком включении происходит уже накопление задержек сигналов переноса. Максимальной задержка будет для сигнала переноса второго счетчика. Условие правильной работы всех счетчиков будет следующее: период тактового сигнала С не должен быть меньше, чем максимальная суммарная задержка сигналов переноса до входа последнего счетчика. При объединении четырех счетчиков в эту максимальную задержку входят задержка сигнала переноса -CR микросхемы относительно фронта сигнала С и задержка сигнала переноса -CR относительно сигнала -ECR. При объединении пяти счетчиков добавится еще одна задержка сигнала переноса -CR относительно сигнала -ECR и т. д. Поэтому с увеличением количества объединяемых счетчиков будет снижаться допустимая тактовая частота.

При необходимости объединения большого количества счетчиков (большего четырех) можно избежать накопления суммарной задержки переноса, включив на входах старших счетчиков -ECT логические элементы ИЛИ с нужным числом входов. Эти элементы должны собирать все сигналы переноса с более младших счетчиков, то есть на их выходах должен быть нуль тогда, когда сигналы -CR всех предыдущих счетчиков нулевые. При этом, правда, в суммарную задержку переноса, которая не должна превышать периода тактового сигнала С, войдут задержки этих самых элементов ИЛИ.

В любом случае при выполнении условия правильной работы счетчиков схема будет работать как идеальный счетчик, то есть все разряды многокаскадного счетчика будут переключаться одновременно.

### Недвоичные счетчики

Счетчики с произвольным модулем счета  $M_{сч} < 2^n - 1$  (недвоичные) реализуются на основе двоичных путем исключения их избыточных состояний.

Например, для создания счетчика с модулем 3 необходимо использовать схему двухразрядного двоичного счетчика ( $M_{сч} = 2^2 = 4$ ), в которой требуется исключить одно

избыточное состояние ( $M_{сч} = 2^2 - 1 = 3$ ), соответствующее двоичному числу 11 (обнуление триггеров должно осуществляться с приходом третьего, а не четвертого импульса). Для этого при построении схемы счетчика на JK-триггерах следует инверсный выход второго триггера соединить со входом J первого (рис. 18).

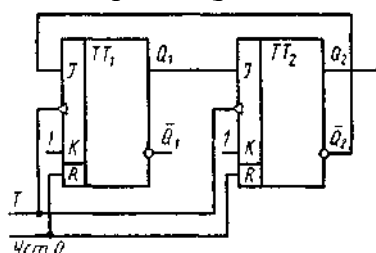


Рисунок 18 – Недвоичный счетчик

Среди недвоичных счетчиков широко применяются десятичные счетчики с модулем счета, равным 10. На выходе десятичного счетчика число поступающих на его вход импульсов уменьшается в 10 раз, т.е. представляется в привычном для нас десятичном коде.

Десятичные счётчики строят на основе четырёхразрядных двоичных. Для понижения коэффициента пересчёта четырёхразрядного счётчика с 16 до 10 вводят различные логические связи. В зависимости от вида логической связи одним и тем же десятичным числом в различных счётчиках могут соответствовать различные четырёхразрядные двоичные коды. В этом случае говорят, что счётчики работают в различных двоично-десятичных кодах.

Чаще других употребляется двоично-десятичный код 8-4-2-1. Здесь и далее цифры 8, 4, 2, 1 обозначают веса разрядов двоично-десятичного кода. Преимущество кода в его однозначности. Другие же коды неоднозначны. Например, в коде 4-2-2-1 десятичное число 4 можно представить как 1000 или 0110, поэтому существуют таблицы, однозначно закрепляющие за каждым кодом соответствующее десятичное число.

В таблице приводятся наиболее употребительные двоично-десятичные коды. Код с избытком 3 является самодополняющимся. Для этих кодов характерно то, что при их поразрядном инвертировании получается код числа, дополняющее данное до девяти. Это свойство кода удобно при построении цифровых приборов, измеряющих знакопеременные величины.

Табл. 9. Двоично-десятичные коды

Q,QiQiQi	код 8-4-2-1	Невзвешенный код	Код с избытком 3
0 0 0 0	0	0	-
0 0 0 1	1	1	-
0 0 1 0	2	2	-
0 0 1 1	3	3	0
0 1 0 0	4	-	1
0 1 0 1	5	-	2
0 1 1 0	6	4	3
0 1 1 1	7	5	4
1 0 0 0	8	-	5
1 0 0 1	9	-	6
1 0 1 0	-	-	7
1 0 1 1	-	-	8
1 1 0 0	-	8	9
1 1 0 1	-	9	-
1 1 1 0	-	6	-
1 1 1 1	-	7	-

Промышленность выпускает ряд двоично-десятичных счетчиков (как синхронных, так и асинхронных). Микросхемы двоично-десятичных счетчиков рассмотрены выше в соответствующих разделах.

Способы построения счетчиков с произвольным  $K_{сч}$  :

1. Введение обратных связей в счетчик с помощью дополнительных логических элементов.

2. Использование программируемых счетчиков.

3. Использование дешифратора и мультиплексора для формирования нужного  $K_{сч}$ .

### Программируемые счетчики

Программируемые счетчики – это счетчики, до начала работы в которых можно записать начальные значения, а потом проводить досчет до конечного значения. Приведем пример двоичного программированного счетчика (рис. 19)

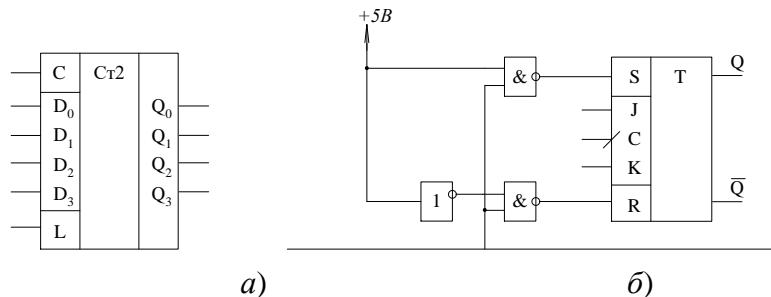


Рисунок 19 – Схематическое изображение программируемого счетчика (а) и его функциональная схема (б)

На рис. 19 а показано схематическое изображение программируемого счетчика. На нем вход L – это разрешение записи кода.

Из функциональных возможностей интегральных схем программируемых счетчиков можно выделить, что, как правило, интегральные схемы программируемых счетчиков представляются рекурсивными счетчиками, в которых направление счета определяется либо подачей “0”, либо “1” на специальный вход управлением направлением счета. Так же программируемый счетчик может работать, как суммирующий счетчик (когда коэффициент счета идет на увеличение) или в качестве вычитающего (когда счет идет на уменьшение).

### Практическое применение счетчиков

Основное применение асинхронных счетчиков состоит в построении всевозможных делителей частоты, то есть устройств, выдающих выходной сигнал с частотой, в несколько раз меньшей, чем частота входного сигнала. В данном случае нас интересует не выходной код счетчика, то есть не все его разряды одновременно, а только один разряд, поэтому взаимные задержки отдельных разрядов не играют роли, полная задержка переключения счетчика не имеет значения. Простейший пример делителя частоты на два — это триггер в счетном режиме или счетчик, выходным сигналом которого является выход первого, младшего разряда.

При построении делителей частоты иногда важна не только частота выходного сигнала, но и его форма, его скважность, то есть отношение периода следования импульсов к длительности этих импульсов. В таких случаях чаще всего требуется *меандр*, то есть цифровой сигнал со скважностью, равной двум (длительность импульсов равна длительности паузы между ними). Получить меандр из любого сигнала довольно просто: надо использовать дополнительный делитель частоты на 2, правда при этом частота выходного сигнала уменьшится еще вдвое.

Простейший пример такого делителя частоты на десять приведен на рис. 20. В делителе использован счетчик ИЕ2, у которого одноразрядный внутренний счетчик включен после трехразрядного внутреннего счетчика. Трехразрядный счетчик делит частоту входного сигнала на 5, но выходные импульсы имеют скважность, не равную двум (она равна 5). Одноразрядный счетчик делит частоту еще вдвое и одновременно формирует меандр. Задержки переключения разрядов счетчика относительно друг друга на рисунке не показаны (применяем первый уровень представления, логическую модель).

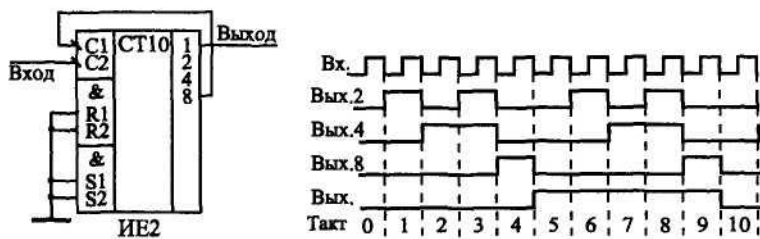


Рис. 20. Делитель частоты на 10, выдающий меандр.

Иногда возникает задача деления частоты входного сигнала в произвольное число раз (не в 10 и не в  $2^n$ , что легко обеспечивается самой структурой стандартных счетчиков). В этом случае можно организовать сброс счетчика при достижении им требуемого кода путем введения обратных связей.

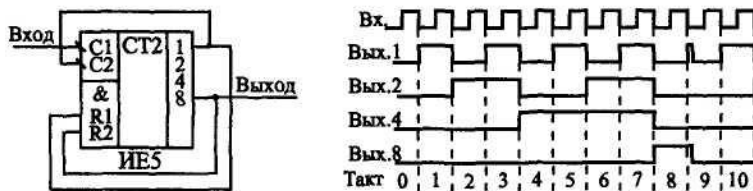


Рис. 21. Делитель частоты на 9 с обратными связями.

Например, на рис. 21 показан простейший делитель частоты на 9 на основе счетчика IE5. При достижении его выходным кодом значения 9 (то есть 1001) счетчик автоматически сбрасывается в нуль по входам R1 и R2, и счет начинается снова. В результате частота выходного сигнала в 9 раз меньше частоты входного сигнала. При этом скважность выходного сигнала не равна двум. Временная диаграмма показана на рисунке для первого уровня представления (без учета временных задержек).

Если в числе, на которое надо делить частоту больше двух единиц (например, 15, то есть 1111, или 13, то есть 1101), то для формирования сигнала сброса надо использовать элементы 2И, 3И или 4И для объединения всех выходов, равных единице. В результате можно построить делитель входной частоты в любое число раз от 2 до  $2^N$ , где  $N$  — число разрядов используемого счетчика. Правда, при организации обратных связей надо учитывать ограничение на быстродействие счетчика. Все разряды, используемые для обратной связи, должны успеть переключиться за один период входного сигнала. Скважность выходного сигнала может принимать в данном случае самые разные значения, например, выходной сигнал может представлять собой очень короткие импульсы.

На асинхронных счетчиках можно строить также управляемые делители частоты, то есть такие делители, выходная частота которых определяется управляющим кодом. На рис. 22 показан делитель на  $2^n$ , где  $n$  — целое. Восьмиразрядный счетчик IE19 работает по входному сигналу с тактовой частотой  $f_T$ , а выходной 8-входовой мультиплексор КП7 передает на выход схемы один из 7 разрядов счетчика или же входной сигнал. Выбор номера канала производится входным управляющим 3-разрядным кодом. Например, при тактовой частоте  $f_T = 10$  МГц, то есть при периоде входного сигнала 100 нс период выходного сигнала может составлять 100 нс, 200 нс, 400 нс, 800 нс, 1,6 мкс, 3,2 мкс, 6,4 мкс, 12,8 мкс.

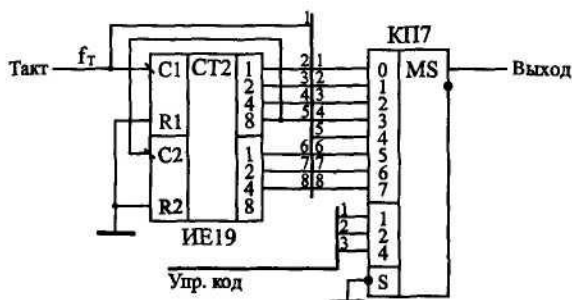


Рис. 22. Управляемый делитель частоты на асинхронном счетчике.

В момент переключения управляющего кода на выходе схемы могут появиться нежелательные короткие импульсы, так как никакой синхронизации управляющего кода не предусмотрено. Поэтому схема должна работать так: сначала задается входной управляющий код, а уже потом разрешается работа той схемы, на которую поступает сформированный нашей схемой выходной сигнал. В этом случае никаких проблем не будет. Не играют роли в данном случае и задержки переключения разрядов счетчика, так как всегда используется только один его разряд. Главное, чтобы с частотой  $f_T$  переключался первый разряд счетчика.

Конечно, применение асинхронных счетчиков не ограничивается только делителями частоты. В случаях, когда высокого быстродействия не требуется, когда переходные процессы на выходах счетчика не имеют значения (при правильной синхронизации), асинхронные счетчики вполне могут заменить более быстрые синхронные счетчики. Доля таких задач составляет около 20% от общего числа.

Если же включить на выходе асинхронного счетчика выходной параллельный регистр (рис. 23), то можно обеспечить одновременное переключение всех выходных разрядов счетчика.

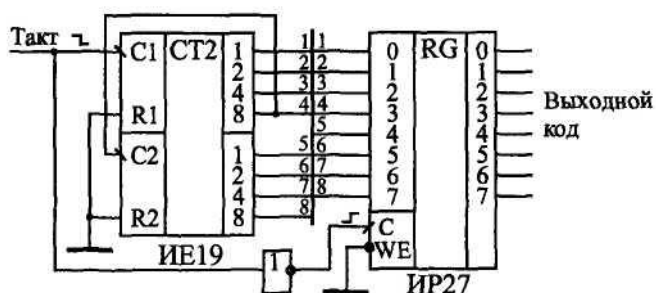


Рис. 23. Включение выходного регистра для одновременного переключения разрядов выходного кода.

Данная схема будет работать правильно, если период следования входных тактовых импульсов будет больше, чем время установления всех разрядов счетчика (в нашем случае — 8-разрядного счетчика ИЕ19). Инвертор необходим, так как счетчик срабатывает по отрицательному фронту входного сигнала, а регистр — по положительному фронту. Хотя данное решение устраняет главный недостаток асинхронного счетчика — неодновременность установления его выходных разрядов, однако второй недостаток — большая задержка установления выходного кода — сохраняется. Его устранить невозможно, можно только перейти на другие, более быстрые счетчики.

В заключение данного раздела надо отметить, что асинхронные счетчики, как и другие цифровые схемы, предъявляют требования к длительности входных сигналов. Например, не должны быть слишком короткими сигналы на тактовых входах и на входах сброса и установки. Не должны быть слишком затянутыми фронты входных сигналов. Тактовые сигналы и сигналы сброса не должны приходить со слишком малыми задержками друг относительно друга.

Применение синхронных счетчиков с асинхронным переносом очень многообразно. Например, они могут делить частоту входного сигнала, считать входные импульсы, формировать пачки импульсов, измерять длительность временного интервала, формировать сигналы заданной длительности, измерять частоту входных импульсов, последовательно переключать входные и выходные каналы, формировать сложные последовательности сигналов, перебирать адреса памяти и многое другое. Мы рассмотрим лишь несколько наиболее типичных примеров.

В качестве делителя частоты входного сигнала синхронные счетчики с асинхронным переносом очень удобны, так как в них сочетается сравнительно высокая скорость работы с довольно простым управлением. Удобно также и то, что у них имеется режим обратного счета. На этих счетчиках можно строить делители частоты с произвольно изменяемым с помощью входного кода коэффициентом деления. Такие делители находят, например, широкое применение в аналого-цифровых системах, работающих с аналоговыми сигналами разной частоты.

Простейший пример 8-разрядного делителя частоты на счетчиках ИЕ7 показан на рис. 24.

На вход счетчиков подается 12-разрядный управляющий код, определяющий коэффициент деления входной частоты. Этот код записывается в счетчики по сигналу переноса  $<0$  старшего счетчика. С этого кода начинается затем счет на уменьшение. Когда счетчики отсчитают



количество входных импульсов, равное входному коду, снова выработается сигнал переноса старшего счетчика и снова запишет входной код в счетчики. Коэффициент деления будет равен  $(N+1)$  при входном коде  $N$ . Отрицательный выходной сигнал будет по форме повторять входной, но с полной задержкой переноса, а его частота будет меньше частоты входного сигнала в  $(N+1)$  раз. При 12-разрядном входном коде максимальный коэффициент деления составит 4096, а минимальный — 1.

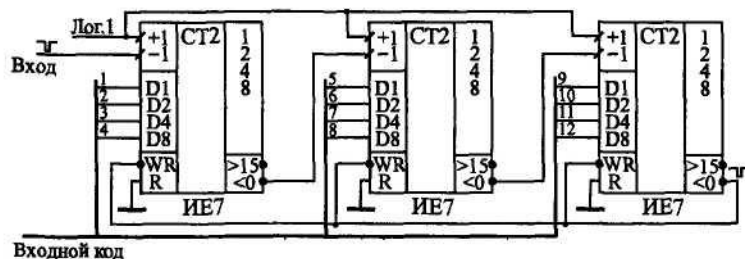


Рис. 24. Делитель частоты с коэффициентом деления, задаваемым входным кодом.

Чтобы сформулировать условия правильной работы данного делителя частоты, надо прежде всего отметить, что запись входного кода в счетчики производится отрицательным уровнем сигнала  $-WR$ , то есть передним фронтом входного отрицательного импульса, а счет производится положительным фронтом сигнала  $-1$ , то есть задним фронтом входного отрицательного импульса. Отсюда следует, что входной импульс должен быть достаточно коротким. Если он записывает код в счетчики своим передним фронтом, он уже не должен своим задним фронтом переключать счетчики по входу  $-1$ . Поэтому длительность входного отрицательного импульса не должна превышать полного времени переключения счетчиков и записи в них входного кода. В нашем случае это три задержки переноса и задержка записи в счетчик.

Если частота входного сигнала большая (например, больше 10 МГц), то нормальная длительность входного сигнала получается сама собой. Но частота входного сигнала не может быть и слишком большой. Иначе в процессе записи счетчик пропустит один из входных импульсов или даже несколько. То есть от переднего фронта входного отрицательного сигнала до заднего фронта следующего входного отрицательного сигнала должны успеть сработать все счетчики и должна произойти запись в счетчики (суммарное время задержки опять же включает в себя сумму задержек переноса всех счетчиков и задержку записи). То есть ограничения на входную частоту будут тем жестче, чем больше счетчиков мы объединяем для увеличения количества разрядов. В данном случае важно именно количество примененных микросхем, а не количество используемых разрядов, как у асинхронных счетчиков.

Для решения часто встречающейся на практике задачи подсчета количества пришедших входных импульсов необходимо всего лишь объединить несколько микросхем счетчиков с целью получения требуемого числа разрядов. Например, если количество входных импульсов не превышает 255, то достаточно двух 4-разрядных счетчиков, если оно не больше 65535, то надо объединить уже четыре 4-разрядных счетчика. Так как в этом случае нас интересуют все выходные разряды одновременно, необходимо обеспечить, чтобы за период входных импульсов переключались все микросхемы счетчиков.

Обеспечить одновременность переключения всех выходных разрядов счетчика при счете входных импульсов можно, как и в случае асинхронных счетчиков, за счет включения выходного параллельного регистра, срабатывающего по фронту (рис. 25). Данное решение довольно универсально, оно может использоваться в самых разных ситуациях, когда необходим весь выходной код счетчика целиком. Код на выходе регистра будет удерживаться в течение всего периода входных импульсов. Правда, быстродействие счетчика от этого не повышается.

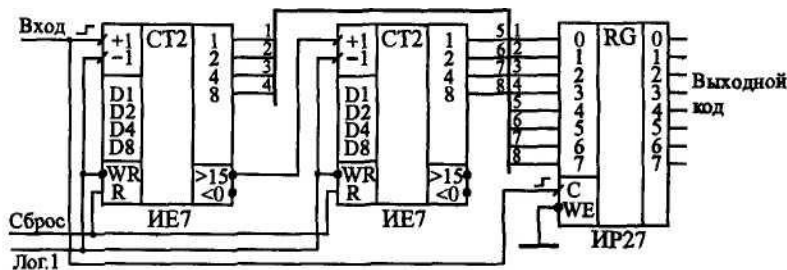


Рис. 25. Включение выходного регистра для одновременного переключения разрядов выходного кода.

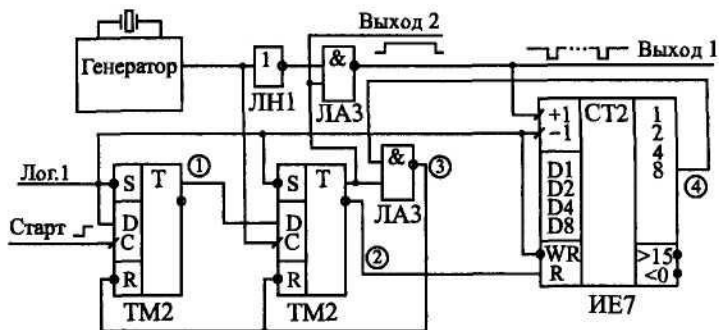


Рис. 26. Формирователь пачки из восьми импульсов.

Формирование пачки (группы) входных импульсов с заданным количеством импульсов — довольно распространенная задача. Например, такое формирование необходимо при организации обмена информацией в последовательном коде. Если в качестве преобразователя параллельного кода в последовательный используется 8-разрядный регистр сдвига, то ему в качестве синхросигнала необходима пачка из восьми импульсов. Схема формирователя такой пачки импульсов показана на рис. 10.26, а временная диаграмма ее работы — на рис. 10.27.

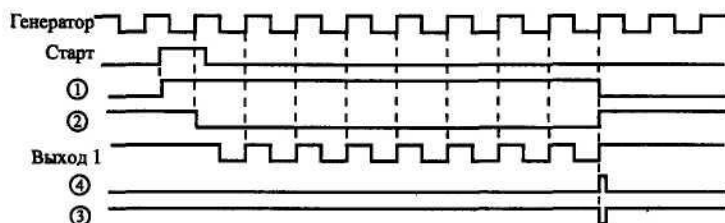


Рис. 27. Временная диаграмма работы формирователя пачки импульсов.

По сигналу Старт (положительный фронт) переключается первый триггер, использующийся для синхронизации. По первому положительному фронту тактового сигнала с генератора переключается второй триггер, разрешающий прохождение импульсов с генератора на выход через элемент 2И-НЕ, а также разрешающий работу счетчика ИЕ7.

После того как на Выход 1 схемы пройдут восемь отрицательных импульсов, на выходе 8 счетчика выработается единица, что приведет к сбросу в исходное нулевое состояние обоих триггеров (коротким отрицательным импульсом на выходе нижнего по рисунку элемента 2И-НЕ) и к запрету прохождения импульсов на выход. Работа формирователя возобновится после следующего сигнала Старт.

На основе счетчиков довольно просто строить формирователи временных интервалов с длительностью, задаваемой внешним кодом. Такие формирователи находят широкое применение, например, в различных измерительных устройствах. Так как формирователь временных интервалов обычно работает с кварцевым тактовым генератором, возможны два подхода к его построению.

При первом подходе входной стартовый импульс синхронизируется с тактовым сигналом, в результате чего выходной импульс заданной длительности может начаться не сразу после стартового импульса, а через какое-то время, меньшее периода тактового сигнала. Длительность формируемого временного интервала будет в этом случае абсолютно точно известна и будет равна целому числу периодов тактового генератора. Именно так было сделано в предыдущей

рассмотренной нами схеме (сигнал Выход 2 на рис. 5.15 как раз и будет формируемым сигналом с заданной длительностью).

При втором подходе выходной импульс заданной длительности начинается сразу после входного сигнала, но длительность его может отличаться от заданной на какое-то время, меньшее периода тактового сигнала. Иногда это более приемлемое решение, особенно при больших длительностях выходного сигнала, значительно больших, чем период тактового сигнала. Схема формирователя временного интервала, построенного в соответствии с этим вторым подходом, показана на рис. 28.

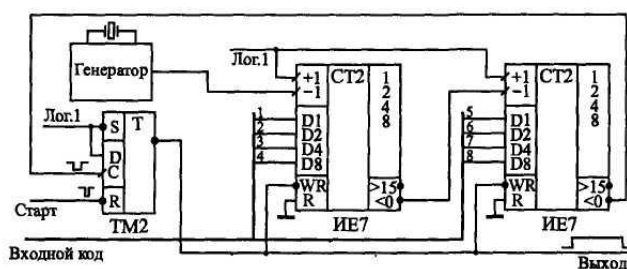


Рис. 28. Формирователь временного интервала.

Работа схемы начинается с подачи короткого отрицательного импульса -Старт. Он перебрасывает триггер, который разрешает работу счетчиков снятием сигнала параллельной записи -WR. По отрицательному фронту входного сигнала начинается положительный выходной сигнал заданной длительности. Счетчики начинают считать на уменьшение кода по положительным фронтам тактового сигнала с генератора. Когда они досчитают до нуля, вырабатывается сигнал переноса, перебрасывающий триггер в исходное состояние. Работа схемы возобновится после следующего сигнала -Старт.

Если входной код равен 1, то длительность выходного сигнала составит от  $T$  до  $2T$ , где  $T$  — период тактового сигнала. Если входной код равен  $N$  (до 255), то длительность выходного сигнала составит от  $NT$  до  $(N+1)T$  в зависимости от момента прихода входного сигнала по отношению к тактовому сигналу. Абсолютная погрешность выдержки длительности выходного сигнала в любом случае не превышает периода тактового сигнала  $T$ .

Эту же самую схему вполне можно использовать в тех случаях, когда необходимо получить убывающий код от заданного числа до нуля. При этом сигнал с выхода триггера будет только внутренним сигналом схемы, а выходными сигналами схемы будут выходные разряды счетчиков.

Иногда бывает необходимо сформировать импульс требуемой длительности, но одновременно иметь не убывающий, а возрастающий код (от нуля до заданного значения). В таком случае схема получится несколько сложнее. Пример возможного решения формирователя импульса заданной длительности показан на рис. 29.

По сигналу Старт (положительный фронт) перебрасывается левый по рисунку триггер, который начинает формировать выходной сигнал и разрешает работу счетчика (снимая сигнал сброса R). Счетчик считает на увеличение по положительным фронтам тактового сигнала от нуля. Когда выходной код счетчика достигает величины входного кода, срабатывает правый по рисунку триггер, завершающий процесс формирования выходного сигнала. Счетчик сбрасывается в нуль, правый триггер по следующему фронту попадает в исходное состояние. Новый цикл начнется с приходом следующего сигнала Старт.

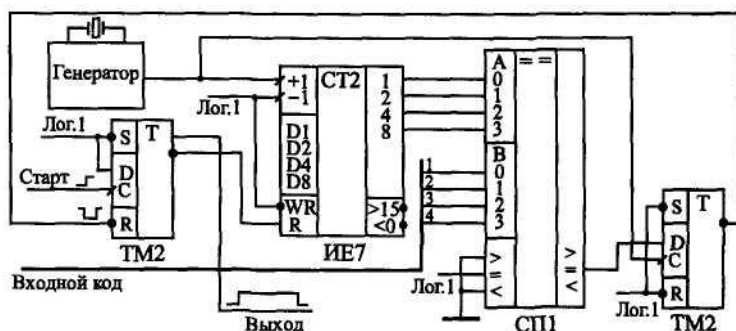


Рис. 29. Формирователь импульса заданной длительности (вариант с нарастающим кодом).

Если входной код равен 1, то длительность выходного сигнала составит от  $T$  до  $2T$ , где  $T$  — период тактового сигнала генератора. Если входной код равен  $N$ , то длительность выходного сигнала будет равна от  $NT$  до  $(N+1)T$  в зависимости от временного сдвига между сигналом Старт и тактовым сигналом. В любом случае абсолютная погрешность времени выдержки выходного сигнала не превысит периода тактового сигнала  $T$ .

Счетчики также широко применяются в различных измерителях длительности входных сигналов. Для этого они отсчитывают импульсы тактового кварцевого генератора в течение длительности входного сигнала. После окончания входного сигнала в счетчике остается код, пропорциональный длительности этого сигнала. Пример практической схемы такого измерителя показан на рис. 30.

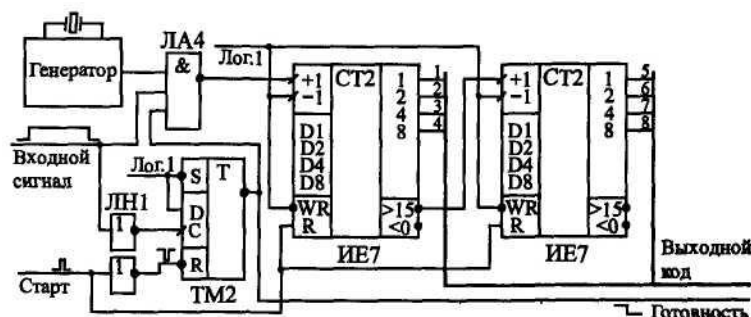


Рис. 30. Измеритель длительности входного сигнала.

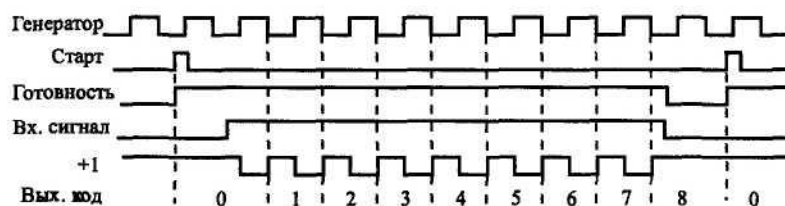


Рис. 31. Временная диаграмма работы измерителя длительности входного сигнала.

Работа схемы начинается по короткому управляющему импульсу Старт, который сбрасывает счетчик в нуль и переводит всю схему в режим счета, разрешая прохождение сигнала с тактового генератора на вход  $+1$  счетчика при положительном входном сигнале. С началом входного сигнала импульсы с генератора поступают на вход счетчика, и счетчик их считает. После окончания входного сигнала поступление импульсов на вход счетчика прекращается, триггер перебрасывается в исходное состояние и сообщает отрицательным фронтом на своем инверсном выходе о готовности выходного кода (сигнал Готовность). Работа схемы возобновится по следующему импульсу Старт. Временная диаграмма работы измерителя длительности входного сигнала приведена на рис. 31.

Выходной код  $N$  измерителя связан с длительностью входного сигнала  $t$  простым соотношением:

$$t = NT,$$

где  $T$  — период тактового сигнала. Абсолютная погрешность измерения не превышает величины  $\pm T$ . Поэтому для уменьшения относительной погрешности измерения необходимо увеличивать частоту тактового генератора и увеличивать разрядность счетчика.

Счетчики также применяются и для измерения частоты входного цифрового сигнала.

Частоту входного сигнала можно измерить двумя путями: косвенным, то есть измерением периода входного сигнала (по принципу, рассмотренному только что) и вычислением затем частоты (по формуле:  $f_{ВХ} = 1/T_{ВХ}$ ) или же прямым измерением частоты. Первый метод требует вычислений с помощью компьютера или микроконтроллера, второй не требует никаких дополнительных вычислений. Поэтому мы рассмотрим здесь реализацию метода прямого измерения частоты.

В соответствии с этим методом необходимо сформировать временное окно с заданной длительностью  $t_0$ , в течение которого надо сосчитать количество  $N$  периодов входного сигнала  $T$  (рис. 10.32). В этом случае будет выполняться соотношение:

$$t_0 = NT \text{ или } f = N/t_0,$$

где  $f$  — это частота входного сигнала, равная  $1/T$ . То есть частота входного сигнала пропорциональна коду  $N$ , а коэффициент пропорциональности равен  $1/t_0$ . Если, например, выбрать  $t_0 = 1$  с, то код  $N$  будет равен частоте входного сигнала в герцах, а при  $t_0 = 1$  мс код  $N$  будет равен частоте входного сигнала в килогерцах.

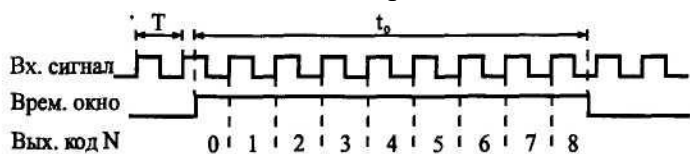


Рис. 32. Измерение частоты входного сигнала прямым методом.

Если длительность временного окна — строго постоянная величина, то погрешность измерения частоты будет определяться только погрешностью подсчета кода  $N$ . Абсолютная погрешность подсчета кода  $N$  не превысит единицы, а относительная погрешность не будет более  $1/N$ . Понятно, что для увеличения точности измерения частоты надо увеличивать  $N$ , то есть необходимо увеличивать длительность временного окна  $t_0$ . Однако при этом автоматически увеличивается время измерения.

Схема измерителя частоты (рис. 33) практически не отличается от схемы измерителя длительности входного сигнала (рис. 30). Только в данном случае в качестве измеряемого сигнала будет использоваться сигнал временного окна, а в качестве тактового сигнала — входной сигнал. Для формирования сигнала временного окна можно применить схему рис. 10.26 (сигнал Выход 2), которая обеспечивает постоянную длительность выходного сигнала.

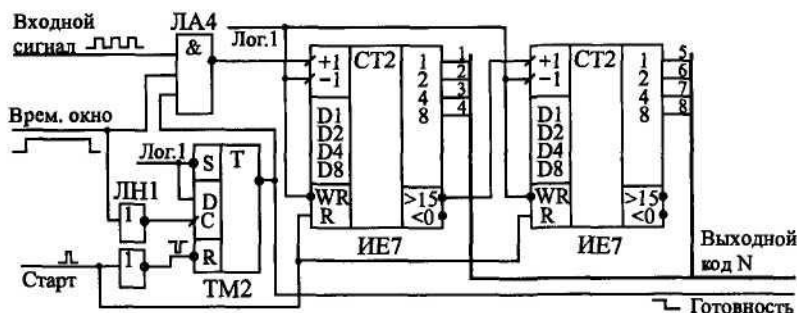


Рис. 33. Измеритель частоты входного сигнала прямым методом.

Еще одно широко распространенное применение счетчиков — последовательное переключение (сканирование) нескольких устройств, узлов, индикаторов, каналов передачи и т. д. Имеется, например, группа устройств, которые должны по тем или иным причинам работать не одновременно, а по очереди, так, что в каждый момент активным является только одно устройство, причем очередь эта замкнута в кольцо, и после последнего устройства начинает работать первое. Или же имеется несколько каналов связи (входных или выходных линий), которые надо так же по очереди подключать к одному выходу (при выходных каналах) или к одному входу (при входных каналах).

Во всех подобных случаях опрос, переключение, сканирование может производить счетчик с нужным числом разрядов. Счетчик с числом разрядов  $n$  может обслуживать  $2^n$  устройств (или каналов).

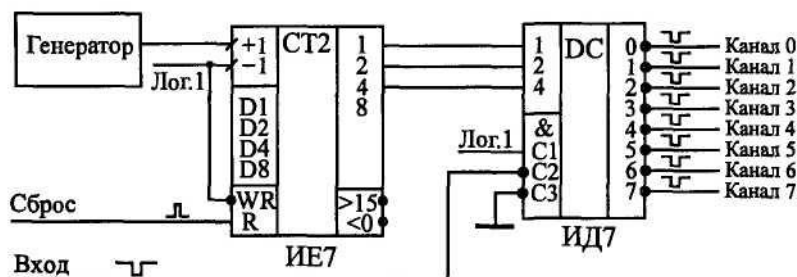


Рис. 34. Схема последовательного переключения выходных каналов.

В качестве первого примера рассмотрим схему переключения выходных каналов (рис. 34). Она последовательно, по очереди, циклически коммутирует один входной сигнал на восемь выходов, для чего используются счетчик, тактируемый сигналом задающего генератора, и дешифратор,

работающий в качестве демультиплексора. Каждый из выходных каналов активен (то есть подключен) в течение одного периода тактового сигнала, а затем пассивен (то есть отключен) в течение семи периодов тактового сигнала. Предусмотрена возможность начального сброса схемы с помощью сигнала Сброс.

Используя данную схему, надо учитывать, что в момент переключения каналов может искажаться (обрезаться) выходной сигнал. Поэтому лучше всего обеспечить, чтобы входной сигнал приходил только тогда, когда переключения каналов не производится. Или на время передачи вообще останавливать процесс перебора каналов путем запрета прохождения импульсов с генератора на вход счетчика, а после окончания передачи снова разрешать последовательный перебор каналов.

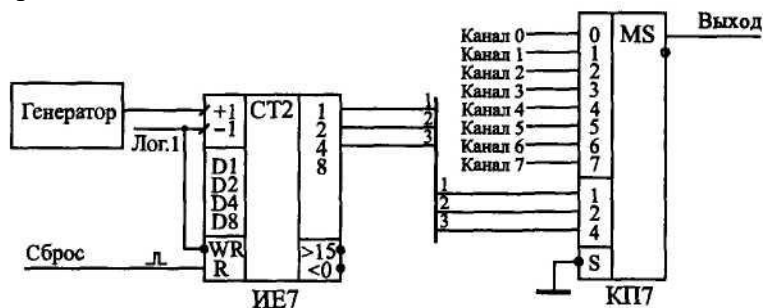


Рис. 35. Схема последовательного переключения входных каналов.

Второй пример, который мы рассмотрим, это схема, решающая обратную задачу — переключение входных каналов (рис. 35). Данная схема последовательно, циклически передает один из восьми входных сигналов на выход. Как и в предыдущем случае, перебор каналов осуществляется счетчиком, тактируемым сигналом с генератора. Непосредственно коммутация сигналов производится мультиплексором, на адресные входы которого подаются три разряда счетчика. Предусмотрена возможность начального сброса схемы с помощью сигнала Сброс.

В момент переключения каналов здесь также возможно искажение (обрезание) коммутируемых сигналов. Поэтому желательно обеспечить передачу сигналов в момент, когда переключения каналов нет. Или же надо останавливать процесс перебора каналов на время приема сигнала из выбранного канала путем запрета прохождения тактовых импульсов на вход счетчика, а затем снова запускать перебор каналов.

Еще одно применение счетчиков из этой же области состоит в организации так называемой динамической индикации.

Суть динамической индикации состоит в следующем. Если используется табло из нескольких индикаторов (одиночных светодиодов, светодиодных семисегментных индикаторов, светодиодных матричных индикаторов и т. д.), то совсем не обязательно, чтобы все эти индикаторы горели постоянно, одновременно. Можно зажигать их по очереди, что существенно сократит потребляемый всей схемой ток питания. Например, если в каждый момент времени горит только один индикатор из имеющихся восьми, то ток потребления индикаторов сократится в восемь раз. Учитывая, что каждый светящийся светодиод требует тока порядка 1—5 мА, такой подход может дать большой выигрыш, особенно в случае матричных индикаторов, содержащих несколько десятков светодиодов. А инерционность человеческого глаза приводит к тому, что вспышки света с частотой больше 20 Гц воспринимаются как непрерывное свечение. Так что при достаточной частоте перебора индикаторов глазу не будет заметно последовательное их включение.

На рис. 36 приведен пример схемы динамической индикации на восьми индикаторах. Для последовательного перебора индикаторов применяется счетчик, соединенный с дешифратором. Выходные сигналы дешифратора используются в качестве сигналов разрешения свечения для индикаторов. Частота сигнала тактового генератора, с которым работает счетчик, должна составлять не менее 160 Гц, чтобы каждый индикатор загорался не реже, чем с частотой 20 Гц. При этом нельзя также выбирать слишком большую частоту тактового генератора, так как в моменты переключения ток потребления микросхем сильно возрастает из-за паразитных емкостей, и при большой частоте весь эффект снижения потребления может сойти на нет.

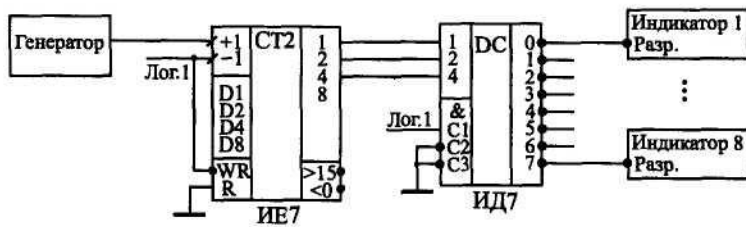


Рис. 36. Схема динамической индикации на восьми индикаторах.

Счетчики часто используют также для организации всевозможных таймеров, часов, то есть схем счета времени, выходной код которых необходимо время от времени читать. Для этого на вход счетчика подается сигнал образцовой частоты с кварцевого генератора. При этом возникает следующая проблема. Если чтение происходит в тот момент, когда счетчики переключаются, то с выходов счетчиков может быть считан случайный код, который не соответствует ни предыдущему установившемуся значению, ни последующему установившемуся значению. Можно, конечно, на время чтения кода остановить счет, но тогда ход часов собьется.

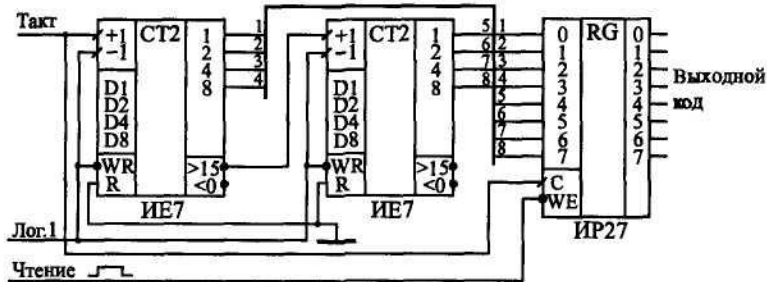


Рис. 37. Схема таймера с чтением выходного кода.

Пример решения данной проблемы приведен на рис. 37. Здесь выходной код счетчика на каждом такте записывается в выходной регистр с разрешением записи ИР27. А в момент чтения кода (при положительном сигнале Чтение) запись в регистр запрещается. В результате в течение всей длительности сигнала Чтение выходной код схемы будет неизменным, хотя счетчик будет продолжать считать без всяких помех, и ход часов не собьется.

Интересная особенность счетчиков ИЕ6 и ИЕ7 состоит в том, что они могут работать не только в режиме счета, но и в режиме повторителя входных сигналов данных. В режиме параллельной записи в счетчик при нулевом сигнале на входе -WR выходные сигналы счетчика будут повторять любые изменения входных сигналов данных, то есть счетчик работает по сути как регистр, срабатывающий по уровню стробирующего сигнала. В ряде случаев такая особенность очень удобна, так как она позволяет существенно упростить аппаратуру.

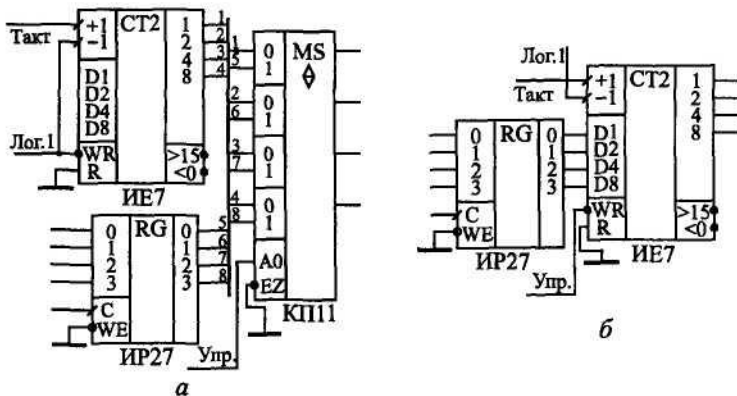


Рис. 38. Варианты мультиплексирования выходного кода счетчика с применением мультиплексора (а) и без него (б).

Пусть, например, необходимо выдавать на вход схемы один из двух входных кодов: код со счетчика, или код с регистра (то есть требуется мультиплексирование двух кодов). Эту задачу можно решить, применяя двухканальный мультиплексор (рис. 38,а), а можно решить проще — подавая код с регистра на входы данных счетчика и переводя в нужный момент счетчик в режим параллельной записи (рис. 38,б). В обоих случаях переключение кодов, подаваемых на выход

схемы, производится сигналом Упр. Правда, во втором случае счетчик возобновляет свой счет (после снятия сигнала записи -WR) с кода, записанного в регистр. Если это неприемлемо, то можно воспользоваться входом сброса счетчика в нуль R.

И в заключение данного раздела мы рассмотрим две более сложные схемы на основе счетчиков. Это генератор прямоугольных импульсов с изменяемой частотой и длительностью импульса и быстродействующий высокоточный измеритель частоты входного сигнала с большим диапазоном измеряемых частот.

Генерация прямоугольных импульсов — это довольно часто встречающаяся задача, в частности при разработке, отладке, тестировании электронной аппаратуры. От генератора прямоугольных импульсов требуется выдача импульсов заданной длительности при заданной паузе между импульсами (или, что то же самое, формирование импульсов заданной длительности и частоты следования). Желательно, чтобы диапазон изменения длительности импульсов и пауз между ними был как можно шире. Желательно также, чтобы был предусмотрен режим разового запуска (то есть остановка генерации после окончания одного выходного импульса) и автоматического запуска (то есть генерация периодической последовательности импульсов до прихода внешней команды остановки).

Предлагаемая здесь схема генератора не претендует, конечно, на рекордные характеристики, но она вполне может стать реальным удобным инструментом для разработчика цифровой аппаратуры, особенно если управление генератором поручить компьютеру с установленной на нем развитой сервисной управляющей программой. Благодаря своей простоте и наглядности схема эта может служить образцом для разработки более сложных генераторов импульсов, например, имеющих более высокое быстродействие, больший диапазон изменения длительности импульсов и их частоты, обеспечивающих генерацию импульсов с разной амплитудой и полярностью.

В основе генератора (рис. 39) — два 16-разрядных счетчика, выполненных на основе микросхем ИЕ7. Один из этих счетчиков (нижний на схеме) отсчитывает длительность выходного импульса, другой (верхний на схеме) — отсчитывает длительность паузы. Коды длительности импульса и паузы подаются соответственно на входы данных верхнего и нижнего счетчиков (эти коды могут храниться, например, в регистрах, не показанных на схеме). Счетчики импульса и паузы работают по очереди, что определяется управляющими сигналами на их входах параллельной записи -WR, которые также запрещают прохождение на входы -I тактовых импульсов с помощью элементов 2И-НЕ. Эти управляющие сигналы поступают с прямого и инверсного выходов триггера ТМ2, на входы -R и -S которого подаются сигналы переноса с выходов <0> обоих счетчиков.

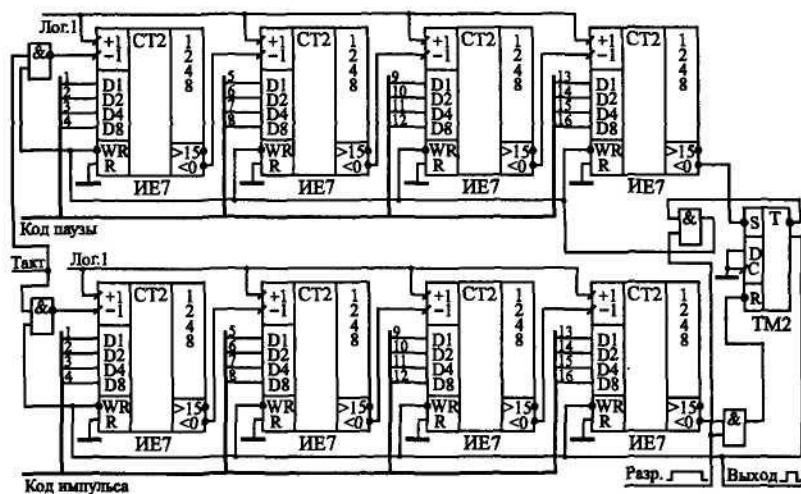


Рис.39. Счетчики длительности импульса и паузы для генератора прямоугольных импульсов.

В результате, когда один счетчик считает, другой находится в режиме параллельной записи и не считает. После того как считающий счетчик досчитает до нуля, он перебросит выходной триггер, который переведет этот счетчик в состояние параллельной записи, запретит поступление на его вход тактовых импульсов и разрешит считать другому счетчику. Описанная последовательность действий повторится уже для другого счетчика. И этот процесс будет повторяться до тех пор, пока разрешена генерация.



В данном случае смело можно одновременно использовать как вход -R, так и вход -S триггера, так как сигналы, приходящие на них, гарантированно разнесены во времени. Сигнал с прямого выхода триггера служит выходным сигналом всего генератора в целом. Разрешается генерация положительным сигналом Разр. Когда генерация запрещена (нулевой сигнал Разр.) триггер сброшен в нуль по входу -R, и оба счетчика находятся в состоянии параллельной записи. Поэтому генератор всегда начинает работу с отработки паузы заданной длительности, а потом отрабатывает выходной импульс заданной длительности.

Сформулируем условия правильной работы данной схемы.

Во-первых, как и в случае управляемого делителя частоты, перевод счетчиков из режима счета в режим параллельной записи осуществляется передним (отрицательным) фронтом тактового отрицательного импульса, а счет производится задним (положительным) фронтом отрицательного тактового импульса. Поэтому отрицательный тактовый импульс должен быть достаточно коротким. Один и тот же тактовый импульс не должен своим передним фронтом менять режим счетчиков, а задним фронтом переключать счетчики по входу -1. Длительность тактового отрицательного импульса не должна превышать полного времени переключения режимов счетчиков, включающего в себя четыре задержки переноса счетчиков, задержку переключения выходного триггера и задержку элементов 2И и 2И-НЕ.

Во-вторых, частота тактового сигнала не должна быть слишком большой, чтобы за время переключения режимов на вход -1 не пришел еще один положительный фронт тактового сигнала. Иначе этот фронт будет потерян. То есть от момента отрицательного фронта тактового импульса до момента положительного фронта следующего тактового импульса схема должна успеть полностью закончить переключение режимов счетчиков.

Пусть, например, мы хотим выбрать максимальную тактовую частоту 10 МГц (период  $T_t = 100$  нс). Посмотрим, можно ли использовать микросхемы счетчиков серии КР1533. Для счетчиков КР1533ИЕ7 задержка сигнала переноса составляет не более 18 нс. Для четырех микросхем задержка переноса составит 72 нс. Тогда на сумму задержек триггера, элемента 2И и элемента 2И-НЕ остается не более 28 нс. Следовательно, если мы возьмем эти элементы из более быстрых серий (например, КР531 или КР1531), мы легко удовлетворим это требование.

При величине кода импульса N длительность импульса  $T_i$  составит  $(N+1) \cdot T_t$ . При величине кода паузы M длительность паузы  $T_p$  составит  $(M+1) \cdot T_t$ . Период выходных импульсов  $T_{вых}$  будет равен  $(M+N+2) \cdot T_t$ . Коды M и N могут принимать значения от 0 до 65535. То есть минимальная длительность импульса и паузы равна  $T_t$ , максимальная длительность импульса и паузы равна 65536  $T_t$ , минимальная длительность периода выходного сигнала равна  $2T_t$ , а максимальная — 131072  $T_t$ . Например, при тактовой частоте 10 МГц максимальный период выходного сигнала будет равен 13,1072 мс, а минимальный — 200 нс.

Для расширения диапазона изменения периода выходного сигнала можно применить управляемый делитель тактовой частоты. Другой возможный путь — наращивание разрядности счетчиков — приводит к снижению максимально допустимой тактовой частоты, так как обязательно вызывает увеличение задержек переключения счетчиков. К тому же, как правило, нет необходимости задавать длительность периода выходного сигнала, скажем, в 1 секунду с абсолютной погрешностью 100 нс (относительная погрешность —  $10^{-7}$ ). Гораздо важнее обеспечить стабильность частоты и периода выходного сигнала. Поэтому применение управляемого делителя частоты тактового сигнала не ухудшает характеристик генератора. Схема управления генератором прямоугольных импульсов с делителем частоты показана на рис. 40.

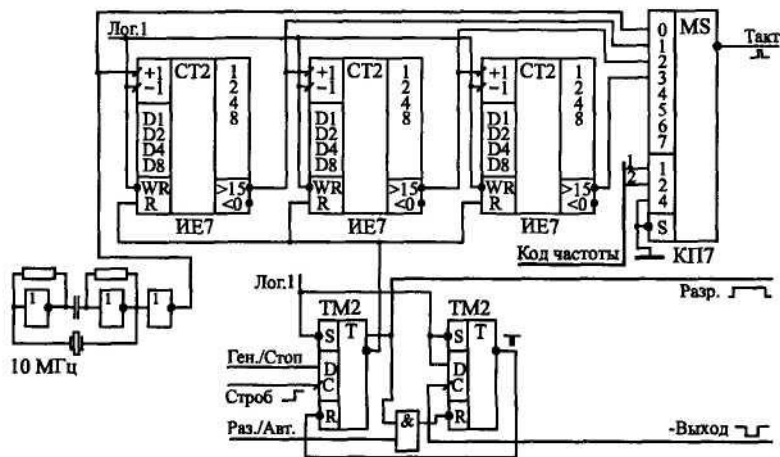


Рис. 40. Схема управления и делитель частоты для генератора прямоугольных импульсов.

Делитель частоты работает с кварцевым генератором с частотой 10 МГц и включает в себя три делителя на 16 на счетчиках ИЕ7. На выход мультиплексора (сигнал Такт) проходит один из сигналов с периодом 100 нс, 1,6 мкс, 25,6 мкс, 409,6 мкс. Длительность сигнала Такт не превышает половины периода сигнала с частотой 10 МГц, то есть 50 нс, что обеспечивает правильную работу счетчиков импульса и паузы (см. рис. 5.28). Выбор тактовой частоты осуществляется 2-разрядным кодом частоты. При запрете генерации все счетчики сбрасываются в нуль, это увеличивает точность привязки момента начала генерации к моменту подачи команды на начало генерации.

Схема управления генератором прямоугольных импульсов, также показанная на рис. 10.40, включает в себя два триггера ТМ2 и логический элемент 2И (ЛИ1).

Левый по рисунку триггер вырабатывает сигнал разрешения генерации Разр. В этот триггер необходимо записать единицу для разрешения генерации или нуль для остановки генерации. Запись в триггер входного сигнала Ген./Стоп производится передним фронтом сигнала Строб.

Правый по рисунку триггер служит для организации разового запуска генератора. Переключение режима разового или автоматического запуска производится управляющим сигналом Раз./-Авт. При автоматическом запуске (нуль на входе Раз./-Авт.) данный триггер не работает, он всегда находится в нулевом состоянии и дает уровень логической единицы на своем инверсном выходе. При разовом запуске (единица на входе Раз./-Авт.) правый триггер переходит в рабочий режим сразу после начала генерации (положительный сигнал Разр.). После окончания генерации первого выходного импульса на инверсном выходе генератора (инверсный выход триггера на рис.39) появляется положительный перепад, который перебрасывает правый триггер на рис. 40. В результате он своим выходным сигналом сбрасывает левый триггер, что приводит к остановке генерации (так как сигнал Разр. становится нулевым). После этого схема снова готова к разовому запуску генерации. Временные диаграммы работы схемы в режимах автоматического и разового запуска показаны на рис. 10.41.

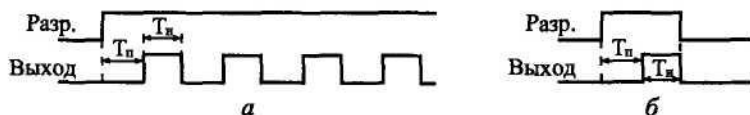


Рис. 41. Режимы работы генератора импульсов: автоматический (а) и разовый (б).

Асинхронность (независимость) момента прихода команды на начало передачи и сигнала задающего кварцевого генератора приводит к тому, что длительность первой паузы может оказаться на 100 нс меньше, чем она задана кодом паузы. Но это не слишком существенно, так как гораздо важнее длительность выходного импульса. Все последующие импульсы и паузы выдерживаются точно.

Абсолютная погрешность установки длительностей импульса  $T_i$  и паузы  $T_p$  составляет половину периода тактового сигнала  $T_t$ . Относительная погрешность установки этих величин составляет соответственно  $0,5/N$  и  $0,5/M$ . Понятно, что при малых величинах  $N$  и  $M$  погрешность будет большой (в пределе — даже 50%). Но при больших величинах длительностей импульса и паузы относительная погрешность не превышает  $0,5/4096$ , то есть 0,012%.

Таким образом, рассмотренный генератор может формировать импульсы длительностью от 100 нс с паузой между импульсами от 100 нс. Максимально возможная длительность импульса составляет  $2^{16} \cdot 2^{12} \cdot 100 \text{ нс} = 26,84 \text{ с}$ . Такой же может быть и пауза. Правда отношение длительности импульса к длительности паузы (или длительности паузы к длительности импульса) не может превышать 65536. Величина периода выходного сигнала генератора может достигать 53,69 с.

Теперь рассмотрим вторую схему.

Задача измерения частоты следования входных прямоугольных импульсов также часто встречается как в чисто цифровых системах, так и в аналого-цифровых системах. Как уже упоминалось, существует два традиционных метода измерения частоты (рис. 10.42): один метод предполагает измерение периода  $T_{вх}$  путем подсчета тактовых импульсов с периодом  $T_t$  в течение  $T_{вх}$  и дальнейшее вычисление частоты по формуле:  $f_{вх} = 1/T_{вх}$  (а), а другой метод прямо измеряет частоту  $f_{вх}$  путем подсчета входных импульсов в течение временного окна  $t_o$  (б).

Относительная погрешность и того и другого метода не превышает величины  $1/N$ , где  $N$  — полученный в результате подсчета код. Понятно, что первый метод дает хорошую точность только для низких частот  $f_{вх}$  (то есть для больших  $T_{вх}$  и соответственно больших  $N$ ). Второй метод дает хорошую точность только для больших частот  $f_{вх}$  или в случае большого временного окна  $t_o$  (то есть для больших  $N$ ). В первом случае для увеличения точности необходимо увеличивать тактовую частоту, во втором случае — увеличивать длительность временного окна.

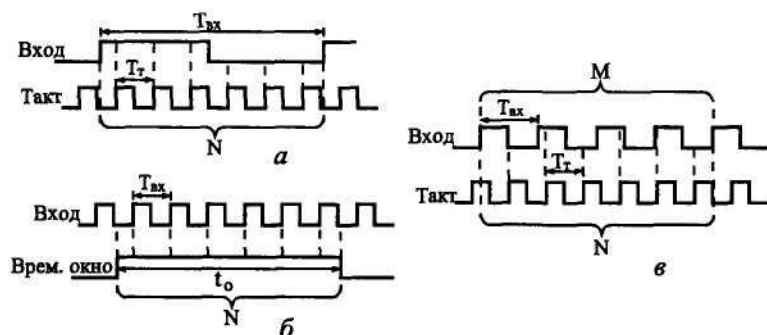


Рис. 42. Методы измерения частоты: через период (а), прямой (б) и комбинированный (в).

Время измерения частоты по первому методу составляет  $T_{вх}$ . Для второго метода оно постоянно и равно длительности временного окна  $t_o$ .

Поэтому желательно было бы соединить достоинства обоих методов, чтобы частота  $f_{вх}$  измерялась бы достаточно быстро и с заданной точностью (с погрешностью, не меньшей заданной). Это возможно при использовании комбинированного метода (рис. 42, в). При данном методе импульсы тактовой частоты с периодом  $T_t$  подсчитываются в течение  $M$  полных периодов входного сигнала. При этом количество сосчитанных импульсов  $N$  определяет точность измерения (относительная погрешность не превышает  $1/N$ ). Значит, необходимо обеспечить, чтобы  $N$  было достаточно большим, например, при  $N > 100$  относительная погрешность не превысит 1%, а при  $N > 1000$  она будет меньше 0,1%. Обеспечить достаточную величину  $N$  можно простым выбором числа  $M$ .

Недостаток данного комбинированного метода состоит в том, что измеренное значение частоты необходимо вычислять. Так как при этом методе выполняется равенство:  $MT_{вх} = NT_t$ , следовательно,  $f_{вх} = M/(NT_t)$ . Однако при использовании компьютера или микроконтроллера такое вычисление не представляет особого труда. Зато данный комбинированный метод позволяет измерять частоту входного сигнала в широком диапазоне быстро и с заданной точностью. Поэтому мы подробно рассмотрим практическую реализацию именно этого метода.

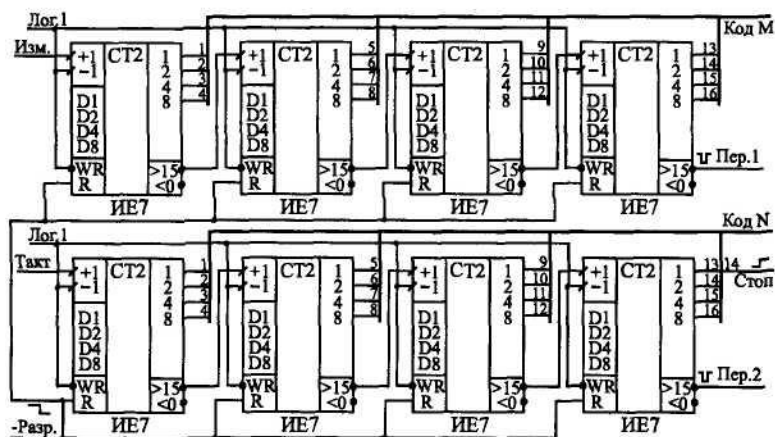


Рис. 43. Счетчики измерителя частоты входного сигнала.

В основе схемы измерителя частоты по комбинированному методу (рис. 43) — два 16-разрядных счетчика на основе микросхем ИЕ7, одновременно работающих в режиме прямого счета. На тактовый вход одного счетчика (верхнего на схеме) подается измеряемый сигнал Изм., на тактовый вход второго (нижнего на схеме) счетчика — тактовый сигнал образцовой частоты Такт. Выходные коды обоих счетчиков (соответственно М и N) используются после окончания измерения для вычисления значения частоты входного сигнала.

Работа счетчиков разрешается отрицательным сигналом -Разр. по фронту (например, положительному) входного сигнала. После окончания измерения по такому же фронту входного сигнала поступление сигналов Изм. и Такт. запрещается. То есть счет производится в течение целого числа периодов входного сигнала.

Выход Стоп (положительный фронт) говорит о том, что код N достиг достаточной величины (в нашем случае — 8192), и, следовательно, можно останавливать измерение (но только по ближайшему фронту входного сигнала). То есть код N в конце измерения будет не менее 8192, и поэтому погрешность измерения частоты входного сигнала не превысит  $1/8192$  или 0,012%.

Для правильной работы схемы частота входного сигнала должна быть не более тактовой частоты  $f_t = 1/T_t$  и не менее  $f_t/65536$ . Если она будет слишком малой, то наступит переполнение нижнего счетчика (выработается сигнал переноса -Пер.2).

Если же она будет слишком большой, то наступит переполнение верхнего счетчика (выработается сигнал переноса -Пер.1). Например, при тактовой частоте 10 МГц измеряемая частота входного сигнала может находиться в пределах от 152,6 Гц до 10 МГц.

Полное время измерения будет изменяться в пределах от  $8192T_t$  до  $(8192T_t + 2T_{вх})$ . Один период  $T_{вх}$  может прибавляться к времени измерения из-за того, что после разрешения измерения счет начинается не сразу, а только с приходом фронта входного сигнала. Второй период  $T_{вх}$  может прибавляться за счет того, что счет заканчивается не сразу после достижения кодом N величины 8192, а только с приходом нужного (положительного) фронта входного сигнала. Максимальное время измерения в любом случае не превышает  $65536T_t$  для всех измеряемых частот.

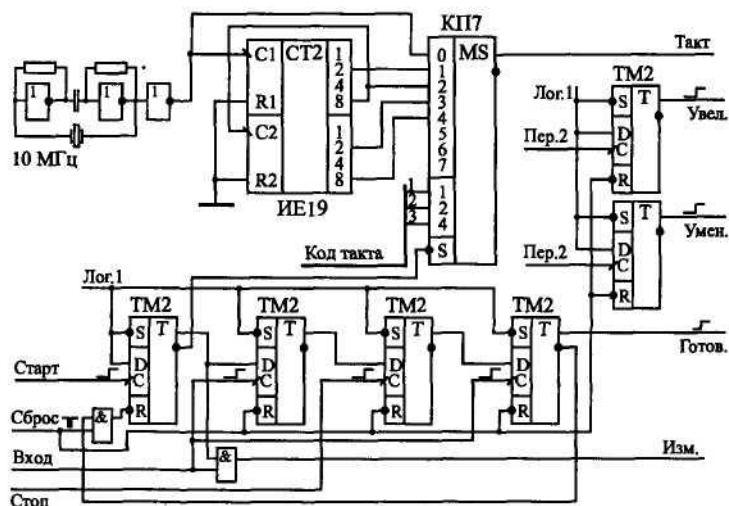


Рис. 44. Делитель частоты и схема управления для измерителя частоты входного сигнала.

Для увеличения диапазона измеряемых частот можно применить предварительный управляемый делитель частоты (рис. 44). Он обеспечивает выбор период тактового сигнала из ряда: 100 нс, 400 нс, 1,6 мкс, 6,4 мкс и 25,6 мкс с помощью кода такта. В результате применения этого делителя при минимальной тактовой частоте возможно измерение частоты входного сигнала до 0,6 Гц. Естественно, переход на каждый следующий диапазон измеряемых частот может увеличить время измерения в 4 раза, но точность измерения в любом случае останется прежней.

Схема управления измерителем частоты, также показанная на рис. 5.33, включает в себя цепочку из четырех последовательно срабатывающих триггеров (ТМ2). Перед началом измерения все эти триггеры сбрасываются в нуль сигналом -Сброс.

Первый триггер перебрасывается в единицу по сигналу начала измерения Старт (положительный фронт). При этом разрешается прохождение подсчитываемых импульсов Изм. и Такт на вход счетчиков рис. 43. Одновременно разрешается работа второго триггера.

Второй триггер перебрасывается в единицу по положительному фронту входного сигнала. Тем самым он с помощью сигнала со своего инверсного выхода разрешает работу счетчиков (сигнал - Разр.). Одновременно разрешается работа третьего триггера.

Третий триггер перебрасывается в единицу по сигналу Стоп (то есть при достижении кодом N числа 8192). Он разрешает работу четвертого триггера.

Наконец, четвертый триггер перебрасывается по положительному фронту входного сигнала и сигналом со своего инверсного выхода сбрасывает первый триггер. Поступление сигналов Изм. и Такт прекращается. Выходной сигнал четвертого триггера служит флагом готовности выходных кодов N и M, которые необходимо прочитать для дальнейшего вычисления частоты. Перед новым измерением надо подать сигнал Сброс.

Кроме четырех управляющих триггеров в схему управления введены еще два триггера (справа на рисунке), выходные сигналы которых служат флагами переполнения и показывают после окончания измерения, правильно ли сработал измеритель частоты. Перед началом измерения оба эти триггера сбрасываются по сигналу Сброс. Если частота входного сигнала в нужных пределах, то оба триггера останутся в нуле. Если частота входного сигнала очень большая, то сработает верхний по рисунку триггер по входному сигналу переноса Пер.1 (см. рис. 43) и выдаст сигнал Увел., говорящий о том, что надо поднять частоту тактового сигнала (если это возможно). Если же частота входного сигнала слишком мала, то сработает нижний по рисунку триггер по входному сигналу переноса Пер.2 (см. рис. 43) и выдаст сигнал Умен., говорящий о том, что надо уменьшить частоту тактового сигнала (если возможно).

#### Применение синхронных счетчиков.

Управляемый делитель частоты с коэффициентом пересчета, задаваемым входным кодом, реализуется на синхронных счетчиках довольно просто (рис. 45). Сигнал переноса -CR старшего счетчика подается на вход разрешения записи -EWR. Счетчики работают в режиме обратного счета (на вход U/D подан сигнал логического нуля).

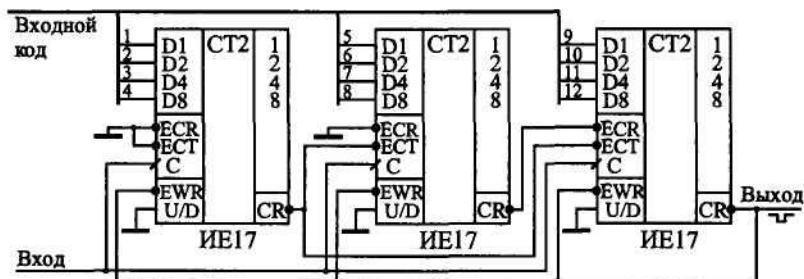


Рис. 45. Управляемый делитель частоты.

При достижении всеми счетчиками нулевого кода вырабатывается сигнал переноса -CR, переводящий счетчики в режим параллельной записи входного управляющего кода. Следующим положительным фронтом тактового сигнала С входной код записывается в счетчики. Это приводит к новому циклу счета от входного кода до нуля.

Коэффициент пересчета делителя частоты равен  $(N+1)$ , где  $N$  — входной код, который может принимать значения от 1 до  $(2^n - 1)$ , где  $n$  — количество разрядов кода. Условие правильной работы делителя частоты следующее: период тактового сигнала не должен быть меньше полной задержки переноса. Длительность выходного сигнала делителя частоты равна периоду тактовой частоты.

Следующая схема — формирователь временного интервала заданной длительности (рис. 10.46) демонстрирует, как надо использовать выходной сигнал переноса синхронных счетчиков при необходимости организации разового (не периодического) цикла работы.

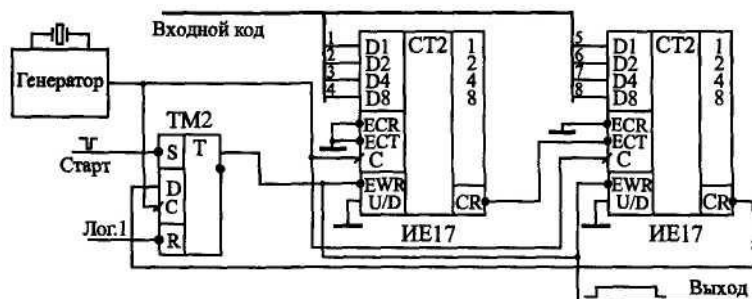


Рис.46. Формирователь интервала заданной длительности.

Работа формирователя начинается по короткому отрицательному импульсу -Старт, перебрасывающему управляющий триггер в единицу и начинающему выходной сигнал. Положительный сигнал с выхода триггера переводит 8-разрядный синхронный счетчик из режима параллельной записи входного кода в режим счета (по входу -EWR). Счет на уменьшение идет по положительным фронтам тактового сигнала с генератора. Когда счетчик досчитает до нуля, следующим положительным фронтом тактового сигнала нулевой сигнал переноса -CR будет записан в триггер. Тем самым будет завершен выходной сигнал, а счетчик будет переведен в режим параллельной записи. Следующий цикл работы формирователя начнется по сигналу -Старт.

В данном случае триггер, обрабатывающий сигнал переноса работает синхронно со счетчиками, так как тактируется тем же (положительным) фронтом единого тактового сигнала. Длительность выходного сигнала будет находиться в интервале от  $NT$  до  $(N+1)T$ , где  $T$  — период тактового сигнала с генератора, а  $N$  — входной код от 0 до 255.

Посмотрим, как на синхронных счетчиках можно построить генератор прямоугольных импульсов с регулируемой длительностью импульса и длительностью паузы, который был рассмотрен в предыдущем разделе (см. рис. 10.39 и 10.40). Будем ориентироваться на достижение максимального быстродействия, то есть на максимально возможную тактовую частоту.

Схема управления будет мало отличаться от схемы рис. 10.40, поэтому мы остановимся только на схеме счетчиков импульса и паузы. Выберем разрядность обоих этих счетчиков равной 16. Тогда схема счетчиков импульса и паузы (рис. 10.47) будет включать в себя восемь микросхем счетчиков IE17 и выходной триггер, а также логические элементы 4ИЛИ-НЕ для уменьшения задержек переноса. В данном случае очень удобно брать JK-триггер, так как он имеет два информационных входа и тактовый вход.

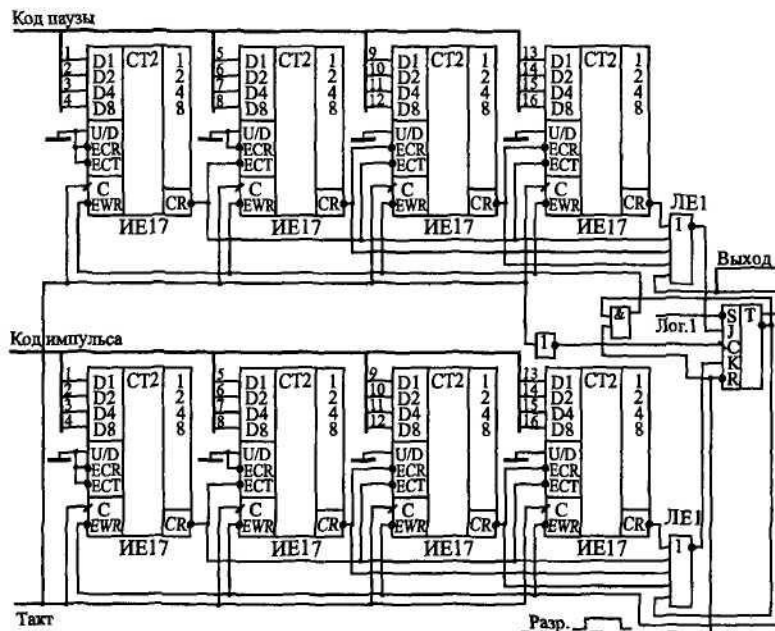


Рис. 47. Синхронные счетчики импульса и паузы для генератора прямоугольных импульсов.

Триггер тактируется отрицательным фронтом сигнала С, а счетчики — положительным фронтом, поэтому для обеспечения синхронной работы всей схемы по одному фронту тактового сигнала сигнал на вход С триггера подается через инвертор.

Суть работы схемы остается прежней: 16-разрядные счетчики импульса и паузы работают по очереди, что определяется управляющими сигналами с выходов триггера (прямого и инверсного). Счетчики считают на уменьшение (в режиме инверсного счета) от кода, параллельно записанного в них, до нуля.

До начала работы (сигнал Разр. нулевой) оба счетчика находятся в состоянии параллельной записи и записывают в себя код импульса и паузы. После прихода положительного сигнала разрешения генерации Разр. начинает счет верхний на схеме счетчик (счетчик паузы).

Когда счетчик паузы досчитывает до нуля, его сигнал переноса записывается в триггер по входу J и перебрасывает выход триггера в единицу, что переводит счетчик паузы из состояния счета в состояние параллельной записи и запрещает поступления сигнала на вход J. Одновременно переходит в состояние счета нижний на схеме счетчик (счетчик импульса), который, в свою очередь досчитав до нуля, перебрасывает триггер в нуль по входу К. Этот процесс периодически повторяется, пока разрешена генерация (то есть сигнал Разр. положительный).

Сформулируем условия правильной работы схемы.

Во-первых, за период тактового сигнала должен успеть полностью сработать 16-разрядный счетчик, выполненный на четырех микросхемах синхронных счетчиков. То есть сигнал на входы - ECR и -ECT последнего счетчика должны успеть прийти до следующего фронта тактового сигнала.

Во-вторых, за период тактового сигнала должна успеть сработать цепочка из инвертора (ЛН1), триггера (ТВ11) и элемента 2И (ЛИ1). Это более мягкое требование, чем предыдущее, если, конечно, взять перечисленные элементы из быстродействующих серий КР531 или КР1531.

Рассмотренный переход на синхронные счетчики позволяет повысить максимальную частоту тактового сигнала генератора прямоугольных импульсов по меньшей мере вдвое (до 20 МГц) по сравнению со схемой на синхронных счетчиках с асинхронным переносом.

Наконец, последнее применение синхронных счетчиков, которое мы рассмотрим, связано с их возможностью параллельной записи по фронту тактового сигнала. То есть в режиме параллельной записи счетчик представляет собой регистр, срабатывающий по фронту тактового сигнала. Благодаря этой особенности, при объединении нескольких счетчиков их выходные коды можно последовательно считывать с выходов последнего в цепочке, старшего счетчика (рис. 10.48). Счетчики в данном случае образуют своеобразный многоразрядный сдвиговый регистр.

Режим работы схемы определяется управляющим сигналом Счет/Сдвиг. При высоком уровне этого сигнала счетчики находятся в режиме прямого счета по фронту сигнала Такт. При низком

уровне сигнала счетчики переходят в режим последовательного счета 12-разрядного счетчика через четыре разряда правого на схеме счетчика. Первым читается состояние старшего счетчика, последним — младшего. Сдвиг выходного кода происходит по положительному фронту тактового сигнала. После трех импульсов тактового сигнала во все три счетчика оказывается записанным нулевой код, то есть схема готова к режиму прямого счета.

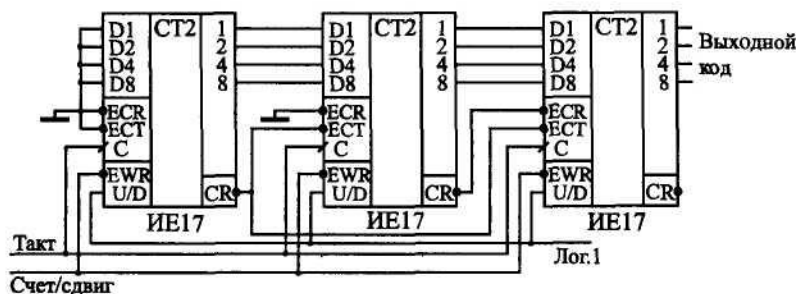


Рис. 48. Последовательное чтение выходного кода многокаскадного счетчика.

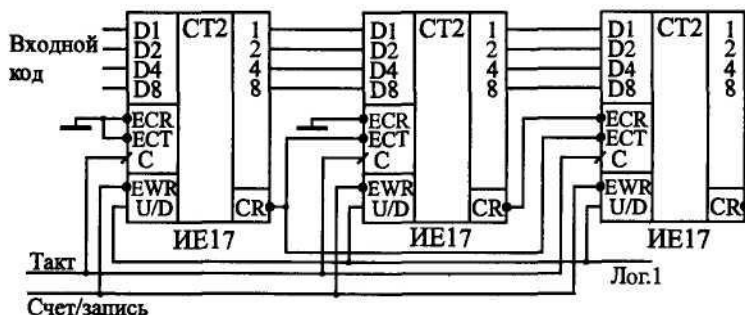


Рис. 49. Последовательная запись в счетчики исходного состояния.

И точно такая же последовательная перезапись информации из счетчика в счетчик позволяет с помощью 4-разрядных входных кодов записать исходное состояние нескольких последовательно соединенных счетчиков (рис. 49).

Перед началом работы схема переводится в состояние параллельной записи нулевым уровнем сигнала Счет/запись. При этом 4-разрядные коды, которые надо записать во все счетчики, по очереди подаются на вход первого (младшего) счетчика и сдвигаются по направлению к старшему счетчику по положительному фронту тактового сигнала С. Для записи всех трех счетчиков необходимо подать три тактовых импульса подряд. Причем первым надо записывать код, предназначенный для старшего (правого на схеме) счетчика, а последним — код, предназначенный для младшего (левого на схеме) счетчика.

#### Распределители импульсов.

На основе счетчиков строятся распределители импульсов, которые последовательно формируют импульс на одном из  $n$  выходов устройства с приходом очередного входного импульса.

Функциональная схема шестиканального распределителя приведена на рис. 10.50 и состоит из трехразрядного счетчика и дешифратора. На три информационных входа дешифратора поступают со счетчика разряды двоичного кода с весами 4, 2, 1.

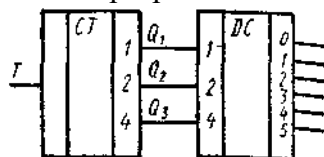


Рис. 50. Распределитель импульсов трехразрядный (8 каналов)



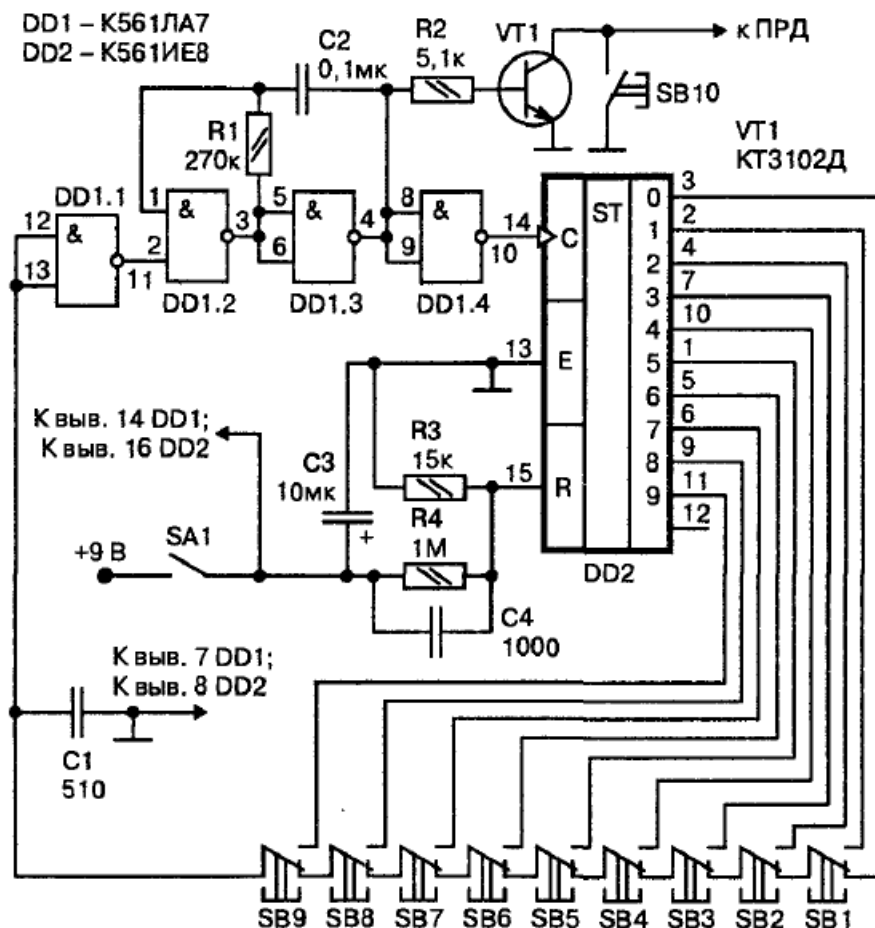


Рис. 51. Шифратор команд дистанционного управления.

Особенность схемы, показанной на рис. 51, - использование микросхемы счетчика-дешифратора К561ИЕ8. Это двоично-десятичный счетчик, который выдает свое состояние в виде кода «один из».

Схема работает следующим образом. При включении напряжения питания выключателем SA1 короткий положительный импульс с выхода дифференцирующей цепочки C4R3 поступает на вход сброса «R» счетчика DD2, обнуляя его. На выходе «0» счетчика устанавливается уровень логической единицы, на остальных выходах — логические нули (рис. 52, г—ж, интервал времени 0— $t_1$  на графиках). Если ни одна из кнопок не нажата, то этот единичный уровень (через нормальнозамкнутые контакты всех кнопок) поступает на вход инвертора DD1.1. На выходе (вывод 11) последнего устанавливается логический ноль, запрещающий работу тактового генератора (рис. 52, а). Электронный ключ VT1 разомкнут, команды не передаются.

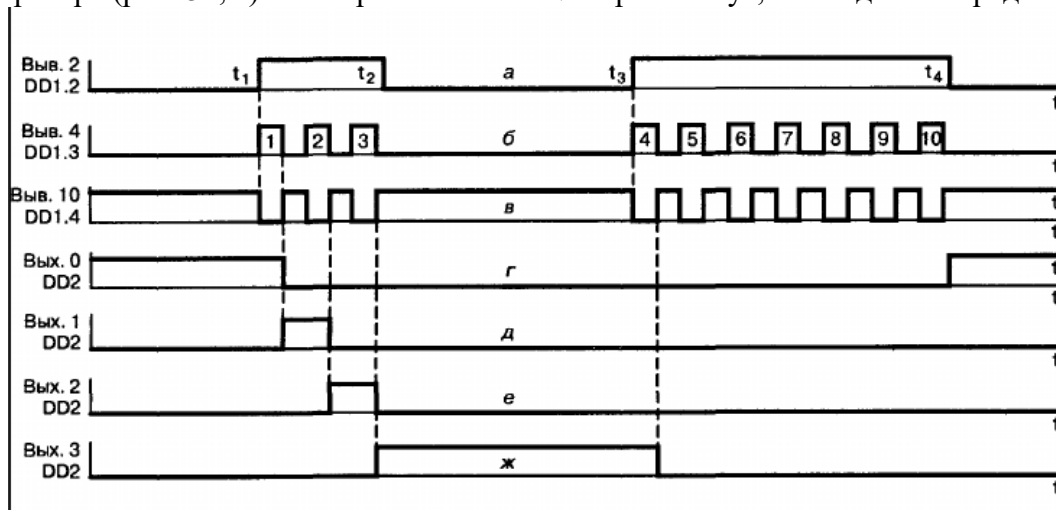


Рис. 52. Временные диаграммы работы шифратора.

При нажатии любой кнопки, например SB3, на вход инвертора DD1.1 подается уровень логического нуля с выхода 3 DD2. На выходе инвертора устанавливается единичный уровень, разрешая работу тактового генератора (момент t1. на рис. 52, а). Положительные импульсы с его выхода начинают поступать на базу электронного ключа, приводя в действие передатчик команд (рис. 52, б). Через инвертор DD1.4 импульсы поступают и на вход счетчика (рис. 52, в). Счет ведется по положительным перепадам этих импульсов, поэтому положительный перепад на выходе 3 DD2 появляется по окончании формирования третьего импульса (рис. 52, ж).

Количество генерируемых импульсов после отпускания командной кнопки всегда будет дополнять количество командных импульсов до 10. Это необходимо для сброса переданной команды (обнуления аналогичного счетчика) в дешифраторе модели. Начиная с момента и шифратор готов к передаче очередной команды. Период следования импульсов тактового генератора примерно равен 40 мс. Следовательно, время передачи самой длинной команды из девяти импульсов не будет превышать 0,4 с. В дешифраторе предусмотрена выдержка в 0,5 с, препятствующая прохождению информации с выхода дешифратора в процессе работы счетчика. По истечении этого времени работа счетчика будет гарантированно закончена, и не возникнет неоднозначности в приеме команды.

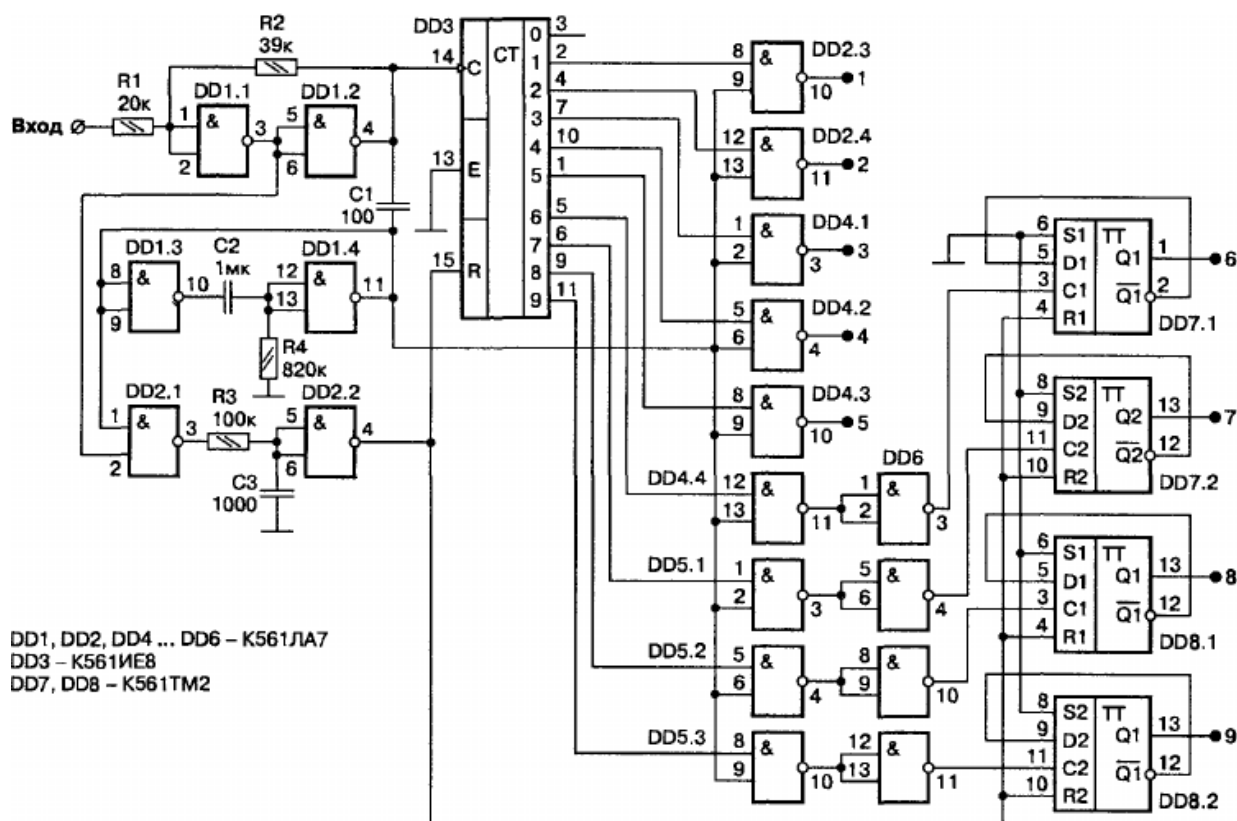


Рис. 53. Дешифратор импульсных команд.

качественную форму импульсов команды. Триггер с гистерезисом позволяет убрать «дребезг» фронтов и их «размывание» помехами. Счетчик считает количество импульсов, входящих в команду и передает полученный код команды (одна из 9 возможных) на исполнительную часть схемы (DD2.3, DD2.4, DD4 ... DD8). Чтобы исключить ложные команды из-за перебора сигналов на выходах счетчика во время приема входных импульсов, все входные элементы исполнительной части блокируются на время 0,5 с (что немного больше времени счета) при приходе первого входного импульса команды. Блокировку организует одновибратор DD1.3, DD1.4.

Схема на элементах DD2.1 и DD2.2 организует сброс счетчика и триггеров исполнительной части при поступлении сигнала общего сброса, длительностью 0,6 с).

Наличие триггеров в исполнительной части обеспечивает возможность организации «команд с памятью», т.е команды с номерами 6-9 не прекращаются с отпусканием командной кнопки, а продолжают действовать до поступления следующей команды.