

## ТРИГГЕРЫ



Триггерами (английское — Trigger или Flip-Flop) называют устройства, имеющие два устойчивых состояния, у которых переход из одного состояния в другое происходит вследствие регенеративного процесса.

Под регенеративным процессом обычно понимают переходный процесс в электрической цепи охваченной положительной ОС с петлевым усилением  $K_u > 1$  в широком диапазоне частот, который характеризуется резкими изменениями токов и падений напряжений на элементах цепи.

Переход триггера из одного устойчивого состояния в другое происходит при воздействии управляющего сигнала и сопровождается скачкообразным изменением токов и напряжений.

В одном из устойчивых состояний триггер может находиться как угодно долго до момента, пока не поступит сигнал от источника внешнего управляющего напряжения.

При выполнении триггерных схем на основе стандартных логических элементов процесс их проектирования сводится к разработке схем соединения логических элементов и организации цепи управления. Большое число комбинаций возможных внешних соединений привело к появлению значительного количества триггерных устройств, свойства которых существенно различаются. Их обычно классифицируют по способу записи информации и функциональному признаку.

Классификация по способу записи информации характеризует временную диаграмму работы. По этому признаку триггеры подразделяют на несинхронизируемые (асинхронные) и синхронизируемые (синхронные или тактируемые).

У асинхронного триггера изменение его состояния происходит непосредственно с приходом управляющего сигнала. В синхронизируемых кроме информационных входов, на которые подаются управляющие сигналы, имеются входы синхронизации или, что то же самое, тактовые входы. Изменение состояния триггера при наличии на входах информационных сигналов может произойти только в моменты подачи на входы синхронизации соответствующих разрешающих сигналов, причем управление может осуществляться либо потенциалом импульса, либо его фронтом.

Основой классификации триггеров по функциональному признаку является вид логического управления, характеризующего состояние входов и выходов триггера в момент времени до  $t_n$  и после его срабатывания  $t_n + 1$ . По этому признаку триггеры подразделяют на RS-; D-; T-; JK-типы и т. д. Название триггера отражает особенности организации его управления и характеризует вид логического уравнения, описывающего его функционирование при подаче электрических сигналов. Один из выходов триггера называют прямым и обозначают буквой Q, другой —

инверсным и обозначают —  $Q$  со значком инверсии. Состояние триггера отождествляют с сигналом на прямом выходе. Триггер находится в единичном состоянии при  $Q=1$  и нулевом — при  $Q = 0$ .

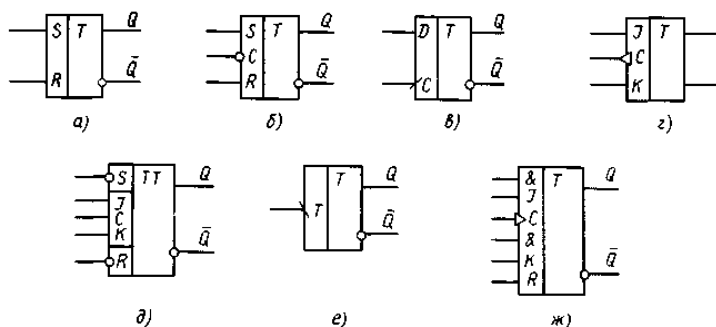


Рис.1. Разновидности триггеров.

Обозначения входов проводят исходя из состояний, в которые устанавливается триггер при подаче на них управляющих сигналов. При этом используют следующие метки:  $S$ —вход для раздельной установки триггера в состояние 1 ( $S$ -вход);  $R$  — вход для раздельной установки триггера в состояние 0 ( $R$ -вход);  $J$ —вход для установки состояния 1 в универсальном триггере ( $J$ -вход);  $K$ —вход для установки состояния 0 в универсальном триггере ( $K$ -вход);  $T$ —счетный вход ( $T$ -вход);  $D$  — информационный вход для установки триггера в состояния 1 или 0 ( $D$ -вход);  $E$ —дополнительный управляющий вход для разрешения приема информации;  $C$ —управляющий вход разрешения приема информации (вход синхронизации,  $C$  — вход или тактовый). Триггер обозначают в виде прямоугольника, имеющего основное и дополнительные поля. Внутри *основного* поля пишется буква  $T$  или буквы  $TT$ , если триггер двухступенчатый; внутри *дополнительных* полей записываются буквы, характеризующие входы и выходы триггера. Причем если триггер управляется инверсным сигналом (логическим 0), то у соответствующего входа имеется метка в виде кружка. При наличии нескольких входов одного назначения допускается добавлять к буквам цифры, например: 1, 2,  $C1$ ,  $C2$ ; 1, 2, 3 и т. д. Если переключение триггера осуществляется только в момент действия фронта или среза импульса (динамическое управление), то соответствующие входы обозначают дополнительным маленьким треугольником или косой линией. Треугольник повернут вершиной внутрь триггера, а косая линия имеет наклон  $45^\circ$ , если тот срабатывает по перепаду 0,1. Если переключение происходит по перепаду 1,0, то направление вершины треугольника изменяется на противоположное, а косая линия проводится под углом  $135^\circ$ . Выходы триггера показывают с правой стороны прямоугольника, причем инверсный выход также обозначают кружком. Примеры условного обозначения триггера приведены на рис.2, а—ж. Следует обратить внимание на то, что хотя входы двухступенчатого триггера часто показываются не как динамические, его переключение осуществляется в момент перепада сигнала на входах. Это следует из принципа действия триггера этого типа. Поэтому двухступенчатый триггер иногда показывают как одноступенчатый, имеющий динамические входы.

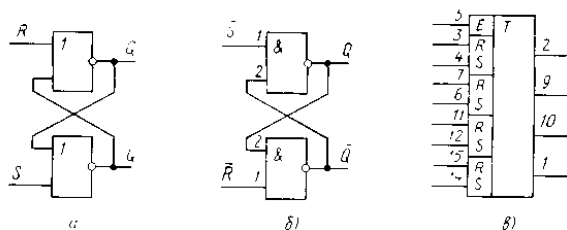


Рис.2. Асинхронный RS-триггер.

Триггер *RS-типа* (рис. 2, а) представляет собой устройство, имеющее два информационных входа:  $R$  и  $S$ . В нем возможны два устойчивых состояния.

При  $R = 0$  и  $S=1$  триггер принимает состояние 1 ( $Q=1$ ), а при  $R=1$ ,  $S=0$  — состояние 0 ( $Q = 0$ ). Иногда вход  $S$  называют единичным, а  $R$  — нулевым. Для триггера *RS-типа*. комбинация  $S=1$ ;  $R=1$  является запрещенной, так как после такой комбинации состояние триггера будет неопределенным ( $X$ ) и он может оказаться или в нуле, или в единице. Поэтому необходимо

предусматривать исключение этой комбинации. Состояния *RC-триггера* в зависимости от входных сигналов иллюстрирует табл.1.

Табл. 1.

Входы		Выходы	
-R	-S	Q	-Q
0	1	0	1
1	0	1	0
1	1	Без изменения	
0	0	Не определено	

Как видно из рис. 2 а, б, соединения логических элементов таковы, что если на выходе одного из них установится потенциал, соответствующий коду 0, то на выходе другого будет потенциал логической единицы.

В схеме, показанной на рис. 2.б, триггер устанавливается в состояние 1 сигналом  $S = 0$ , а в состояние 0 ( $Q = 0$ ) — сигналом  $R = 0$ . Запрещенной является комбинация  $S=R = 0$ . Установка данного триггера по *S*- и *R*-входам производится сигналами, уровень которых соответствует логическому нулю. Такой *RS*-триггер можно назвать триггером с *инверсным* управлением.

Нетрудно убедиться, что при любом начальном состоянии триггера  $Q_n$  подача на вход *S* кода 0 приводит к появлению 1 на выходе ( $Q=1$ ), а подача потенциала логического нуля на вход *R* вызывает появление на выходе сигнала  $Q = 0$ . Для примера рассмотрим ход рассуждений в этом случае. Пусть на входы *S* и *R* подана логическая 1. В этом случае в зависимости от предыдущих сигналов возможны два состояния выхода:  $Q_n = 0$ ;  $Q_n = 1$  и  $Q_n = 0$ . Напряжения кодов на входах и выходах логических элементов, верхний из которых обозначим а, а нижний — б, можно охарактеризовать с помощью табл. 2.

Табл. 2.

Вариант 1							Вариант 2						
$t_1$	а			б			$t$	а			б		
	ВЫХОД 1 ( <i>S</i> )	ВХОД 2	$Q_n$	ВХОД 1 ( <i>R</i> )	ВХОД 2	$\bar{Q}_n$		ВЫХОД 1 ( <i>S</i> )	ВХОД 2	$Q_n$	ВХОД 1 ( <i>R</i> )	ВХОД 2	$\bar{Q}_n$
$t_n$	1	1	0	1	0	1	$t_n$	1	0	1	1	1	0
$t_{n+1}$	0	0	1	1	1	0	$t_{n+1}$	0	0	1	1	1	0
$t'_{n+1}$	1	1	0	0	0	1	$t'_{n+1}$	1	1	0	0	0	1

Из таблицы видно, что, в каком бы исходном состоянии ни был триггер в момент времени  $t_n$ , подача кода 0 на вход *S* в момент времени  $t_{n+1}$  переводит триггер в положение 1. Аналогично, подача на вход *R* нуля в момент  $t_{n+1}$  обеспечивает установку триггера в положение 0. В триггерах, показанных на рис. 2,а, в, установка в определенное их состояние осуществляется кодом логической 1 (положительная логика).

Для нормальной работы триггера необходимо, чтобы длительность сигналов, действующих на его входах, была больше задержки переключения обоих плеч триггера.

Асинхронные *RS* -триггеры находят ограниченное применение в качестве самостоятельных устройств. Однако они часто входят составной частью в схемы более сложных триггеров. В ряде случаев *RS* -триггеры выпускают в виде самостоятельных микросхем. Так, например, в корпусе ИС типа 564ТР2 имеется четыре *RS* -триггера, имеющие свои информационные выходы  $Q1 — Q4$  (1,2,9,10 рис. 2,в). Кроме того, имеется один вход *E* разрешения приема информации. Если на нем имеется логическая 1, то все триггеры работают независимо друг от друга. При логическом 0 на входе *E* никакие сигналы на остальных входах триггеров не могут изменить их состояния.

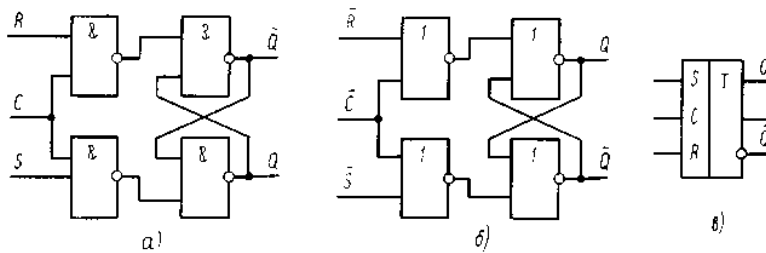


Рис.3. Синхронизируемый RS-триггер.

Синхронизируемые (тактируемые) RS -триггеры имеют на входе каждого плеча схемы совпадения, первые входы которых объединены и являются входами синхронизирующих (тактирующих) импульсов. На вторые входы подают информационные сигналы. Такое включение обеспечивает поступление на входы R и S триггера информационных сигналов только во время действия потенциала импульсов синхронизации. Некоторые варианты синхронизируемых RS - триггеров показаны на рис. 3 а, б.

Для примера рассмотрим работу триггера (рис. 3 а). Пусть триггер находится в положении  $Q = 1$ . На вход R подан сигнал логической 1. В этом случае при подаче тактирующего импульса на вход C верхняя схема И-НЕ сформирует на своем выходе сигнал нуля. Он вызовет появление выходного сигнала Q равного единице, как и в асинхронном RS -триггере.

Этот сигнал подается на второй вход нижней схемы И самого триггера и фиксирует, таким образом, ее состояние. Следовательно, по окончании тактового импульса, хотя левая верхняя схема совпадений и закроется, состояние триггера не изменится.

Аналогично, при комбинации  $S=1$  и  $C=1$  триггер установится в состояние  $Q=1$ . Комбинация  $R = S=C=1$  является запрещенной, так как ведет к неопределенности, как и в асинхронном триггере.

Иногда используют двухтактные RS -триггеры, у которых первый импульс обеспечивает запись информации по входу S, а второй — по входу R. Возможны варианты с одним тактируемым и одним асинхронным входами.

Условное графическое обозначение синхронного триггера приведено на рис.3, в.

Триггеры D-типа иногда называют триггерами задержки. У них имеется один информационный вход D и возможны два устойчивых состояния.

$$Q^{n+1} = D^n.$$

Логическое уравнение, описывающее работы D -триггера, имеет вид

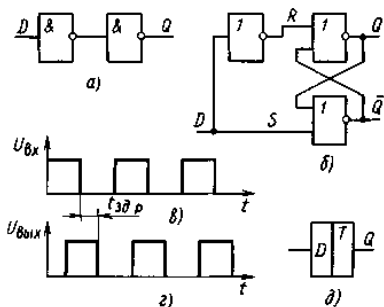


Рис.4. D-триггер (асинхронный)

Оно показывает, что состояние D -триггера в момент времени  $t_n + 1$  совпадает с кодом входного сигнала, действующего в момент времени  $t_n$ .

Роль простейшего асинхронного D -триггера может выполнять схема, состоящая из двух или нескольких последовательно включенных логических элементов (рис.4,а), в которой входной сигнал из-за задержки распространения в каждом логическом элементе сдвинут во времени относительно входного сигнала.

В состав D -триггеров, применяемых на практике, обычно входят RS -триггеры, управление которыми организовано соответствующим образом. Возможная структура такого D -триггера показана на рис.4,б. В нем вследствие задержки распространения в логических элементах сигнал на выходе Q появляется также с определенной задержкой времени.

Действительно, если на вход  $D$  был подан сигнал 1, то на выходе триггера  $Q = 1$ . При подаче на вход  $D$  кода 0 на входе  $S$   $RS$ -триггера, входящего в  $D$ -триггер, появится код 0, а на входе  $R$  из-за задержки распространения в логическом элементе останется код 0. Состояние триггера не изменится. Через промежуток времени, равный  $t_{здр}$ , на входе  $R$  появится код 1, который изменит состояние выхода  $Q$  на 0, а инверсного выхода — на 1. Другими словами, выходной сигнал повторит входной сигнал с задержкой  $t_{здр}$  (рис. 4 в,г). Если теперь сигнал входа  $D$  примет значение 1, то на выходе  $Q$  должен появиться сигнал 0. Но так как на входе  $R$  на время  $t_{здр}$  останется код 1, состояние триггера измениться не успеет. Через промежуток времени  $t_{здр}$  на выходе  $R$  появится 0, а на выходе  $Q$  установится код 1. Сигнал на выходе триггера опять повторит входной сигнал с задержкой  $t_{здр}$ . Данный  $D$ -триггер работоспособен в том случае, когда задержка в элементах  $RS$ -триггера больше времени задержки дополнительно введенного элемента ИЛИ-НЕ, так что информация не теряется при возникающих неопределенных состояниях. Состояние триггера в различные моменты времени можно определить из табл..

Варианты практической реализации синхронизируемых одноктактных триггеров  $D$ -типа, выполненные на элементах И-НЕ или ИЛИ-НЕ, показаны на рис.5, причем схема рис.5, а тактируется сигналами логической 1, а схема рис. 5,б—сигналами логического 0. На рис.5.в показано условное обозначение синхронизируемого  $D$ -триггера.

Табл..

$t$						$t$					
$t_{n+1} < t + t_{здр}$	1	0	1	1	0	$t_{n+4} > t_{n+3} + t_{здр}$	1	1	1	0	1
$t_{n+2} > t_n + t_{здр}$	0	0	0	1	0		1	0	1	1	0
	0	1	0	0	1						

В отсутствие сигнала на входе  $C$  логические элементы  $DD1$  и  $DD2$  закрыты (они выполняют роль вентилях). Информационный сигнал на входе  $D$  не меняет состояние триггера. Если подается тактовый импульс  $C=1$  и при этом  $D=1$  (рис. 5,а), то на выходе  $DD1$  формируется потенциал логического 0. Этот сигнал, поступая на вход элемента, устанавливает триггер в состояние  $Q=1$  и одновременно блокирует включение  $DD2$ . При  $D=0$  и  $C=1$   $DD1$  останется закрытым, а на выходе его будет логическая 1. На выходе  $DD2$ , который в этом случае открыт, появится сигнал логического нуля и триггер установится в положение  $Q=0$ .

Таким образом, в триггере записывается та информация, которая была на входе  $D$  до прихода импульса синхронизации. Для четкой работы триггера (без сбоев) необходимо, чтобы к приходу следующего импульса синхронизации потенциалы выходов логических элементов приняли значения, исключающие ложные срабатывания. Поэтому минимальный интервал между импульсами синхронизации у триггеров с подобной структурой  $t_{\min} = 4t_{здрср}$ , а максимальная частота включения  $f_{\max} = 1/t_{\min} = 0,25t_{здрср}$ , где  $t_{здрср}$  — среднее время задержки распространения сигнала одним ЛЭ.

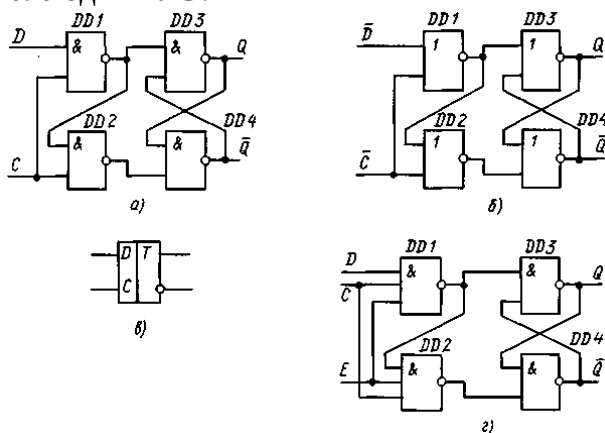


Рис.5. Реализация синхронных  $D$ -триггеров

Структура триггера не меняется, если в нем логические элементы И-НЕ будут заменены на ИЛИ-НЕ. При этом могут меняться местами выходы, а прямые входы могут меняться на инверсные.

При динамической синхронизации запись информации в  $D$ -триггер осуществляется в момент действия фронта или среза импульса синхронизации (при перепаде напряжения входа  $C$  0,1 или 1,0).

У ряда  $D$ -триггеров также имеется дополнительный вход  $E$  ( $V$ ) разрешения приема информации ( $DV$ -триггеры). При  $V=1$  такие триггеры функционируют как обычные  $D$ -триггеры, а при  $V=0$  сохраняют исходное состояние независимо от информации на входе  $D$ . Реализовать такой триггер можно путем введения в  $D$ -триггер дополнительного элемента И, включенного так, как показано на рис. 5, з. Наличие дополнительного входа  $E$  позволяет расширить функциональные возможности триггера и сохранять записанную информацию при непрерывном изменении сигналов на входах  $D$  и  $C$ . Запись информации возможна только в том случае, если на входе  $V$  будет логическая 1.

Промышленностью выпускаются микросхемы синхронизируемых  $D$ -триггеров с разными функциональными возможностями. Так, в ИС типа 155ТМ7 (рис. 6, а) в одном корпусе имеется четыре синхронизируемых  $D$ -триггера, причем каждая пара триггеров может синхронизироваться своим потенциалом входа синхронизации. У ИС типа 564ТМ2 (рис. 6, б) в одном корпусе имеется два триггера. Использована динамическая синхронизация перепадом сигнала 0,1. Каждый триггер имеет входы независимой установки в состояние 0 ( $R1$  и  $R2$ ) и состояние 1 ( $S1$  и  $S2$ ). ИС типа 155ТМ8 (рис. 6, в) содержит четыре  $D$ -триггера с динамической синхронизацией фронтом 0,1 и инверсным входом  $R$  установки в нулевое состояние.

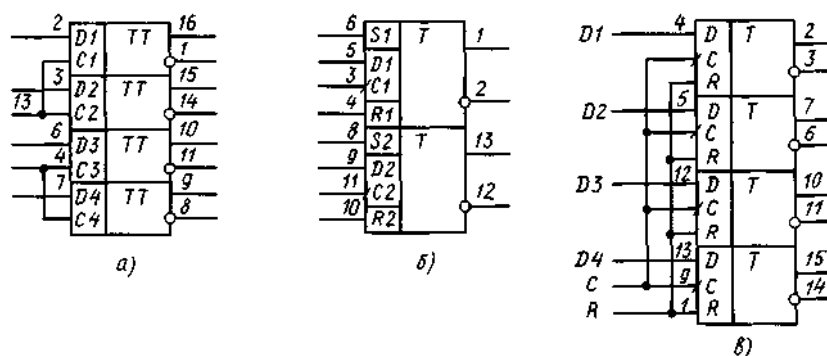


Рис. 6. Интегральные микросхемы  $D$ -триггеров.

Триггер  $T$ -типа — это логическая схема с двумя устойчивыми состояниями и одним информационным входом  $T$ , изменяющая свое состояние на противоположное всякий раз, когда на вход  $T$  поступает управляющий сигнал. Его часто называют триггером со счетным входом. Основным способом построения счетных триггеров является введение соответствующих обратных связей в тактируемые  $RS$ -и  $D$ -триггеры.

Рассмотрим реализацию  $T$ -триггера на основе схемы  $D$ -триггера с динамической синхронизацией. Для этого инверсный выход  $Q$  соединим с входом  $D$ , а информационный сигнал подадим на вход  $C$  (рис. 7 а). Пусть исходное состояние триггера будет таким, что сигнал на выходе  $Q = 0$ , а на выходе  $Q = 1$ . Следовательно, и сигнал на выходе  $D$  равен логической единице. При первом же перепаде напряжений 0,1 на входе синхронизации  $C$  триггер примет единичное состояние ( $Q=1$ ), так как на его входе будет потенциал логической 1. При этом потенциалы на выходе  $Q$  и на входе  $D$  соответствуют логическому нулю.

Так как переключение триггера происходит в течение очень короткого времени, то изменение сигнала на входе  $D$ , происходящее с небольшой задержкой относительно момента срабатывания триггера, не может изменить его состояния. Таким образом, первый импульс синхронизации установит триггер в состояние 1. На его входе  $D$  будет потенциал логического 0. Поэтому следующий перепад напряжения 0,1 на входе  $C$  установит триггер в состояние 0. Потенциал на входе  $D$  станет равным логической 1. Таким образом, состояние триггера меняется на противоположное при каждом перепаде импульса напряжения на входе синхронизации и триггер как бы считает проходящие импульсы.

Подобный  $D$ -триггер нормально функционирует в том случае, если сигнал на входе  $D$  не успевает измениться за время переключения триггера. В противном случае начнется «состязание» или «гонки». В результате их триггер может переключиться два раза или более вследствие

быстрого изменения сигнала на входе  $D$ , которое он успевает отработать. Для исключения этого выход соединяют с входом  $D$  через линию задержки, в качестве которой можно использовать один или два логических элемента (рис. 7, б). Их задержка распространения сигнала обычно бывает достаточной для четкой работы Т-триггеров, выполненных на микросхемах любых типов.

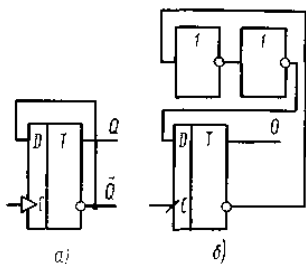


Рис.7. Т-триггер

У Т-триггеров также может иметься дополнительный вход  $E$  ( $V$ ) разрешения приема информации. Действие его аналогично действию  $E$ -входа RS- и D-триггеров. Промышленность не выпускает самостоятельных ИС Т-триггеров. Их обычно получают путем соответствующих включений D- и RS-триггеров.

Триггер *JK-типа* часто называют универсальным. Это устройства, имеющие входы  $J$  и  $K$ , у которых нет неопределенного состояния. Если на входы  $J$  и  $K$  подаются сигналы логической единицы, то состояние JK-триггера меняется на противоположное при каждом новом приходящем импульсе. Другими словами, если входы  $J$  и  $K$  объединены между собой, то JK-триггер работает как Т-триггер. В остальных случаях он функционирует как триггер *RS-типа*. При этом вход  $J$  эквивалентен входу  $S$ , а  $K$ —входу  $R$ . На рис. а показана структурная схема простейшего JK-триггера. При одновременной подаче на входы  $J$  и  $K$  сигнала логической единицы триггер с помощью соответствующих схем совпадений устанавливается в положение 1 или 0 в зависимости от его начального состояния (т. е. ведет себя как триггер Т-типа). Если сигнал подается на вход  $J$  или  $K$ , то триггер, аналогично RS-триггеру, устанавливается соответственно в состояние 1 или 0. Линии задержки необходимы для устранения «состязаний» сигналов. Так, если при объединенных входах  $J$  и  $K$  за время действия входного сигнала произойдет изменение потенциала на входе одного из входных ЛЭ, то триггер переключится дополнительно. Для устранения подобных сбоев длительность входного сигнала должна быть меньше времени задержки распространения сбоев, вносимых линиями задержки  $DL$ .

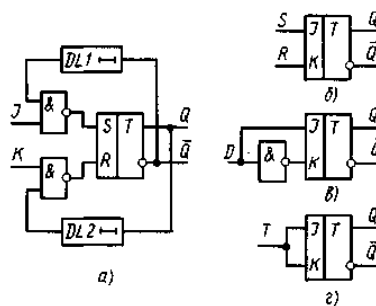


Рис.8. Универсальный JK-триггер.

Триггер JK-типа *универсальным* называют потому, что на его основе с помощью несложных коммутационных изменений можно получить RS- и Т-триггеры (рис.8, б, в, г).

В интегральной схемотехнике JK-триггеры обычно выполняются синхронными и двухступенчатыми. В них имеется основной триггер (первая ступень), в который записывается проходящая информация, и вспомогательный (вторая ступень), в который переписывается информация из основного триггера.

Построение двухступенчатого триггера разберем на примере схемы рис.9, а. Он состоит из основного триггера на логических элементах  $DD3$ ,  $DD4$  с вентилями  $DD1$  и  $DD2$  и дополнительного триггера на логических элементах  $DD7$ ,  $DD8$  с вентилями  $DD5$  и  $DD6$ . Дополнительный триггер также является тактируемым, причем в отличие от основного он синхронизируется потенциалом логического 0. Для этой цели в схему введен инвертор  $DD9$  на логическом элементе ИЛИ-НЕ.

Рассмотрим работу триггера при разных комбинациях входного сигнала. Пусть в исходном положении триггер находится в нулевом состоянии ( $Q = 0$ ). Тогда на одном из входов вентилях  $DD1$  и  $DD2$  будут соответственно логическая 1 ( $Q = 1$ ) и логический 0 ( $Q = 0$ ). При отсутствии тактового импульса на выходе  $C$  вентили  $DD1$  и  $DD2$  закрыты независимо от того, какие сигналы на остальных входах  $DD1$  и  $DD2$ .

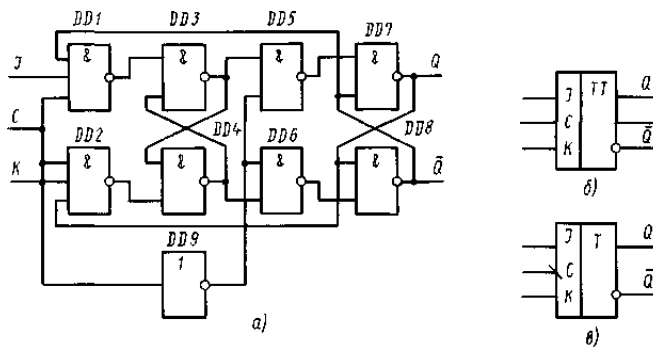


Рис.9. Двухступенчатый синхронный JK-триггер.

Пусть на вход  $J$  подан сигнал логической 1. Тогда с приходом импульса синхронизации  $C$  вентиль  $DD1$  откроется, а вентиль  $DD2$  останется закрытым. Одновременно закроются оба вентиля  $DD5$  и  $DD6$  сигналом логического 0, снимаемого с выхода инвертора  $DD9$ . Сигнал логического нуля, снимаемого с открытого вентиля  $DD1$ , записывает в основной триггер информацию, устанавливая его в состояние 1. Тогда на одном из входов вентиля  $DD5$  будет сигнал логической 1, а на входе вентиля  $DD6$  — сигнал логического 0. Однако эти сигналы никак не меняют состояние вспомогательного триггера, так как эти вентили во время действия импульса синхронизации  $C=1$  закрыты. По его окончании на вторых входах вентилях  $DD5$  и  $DD6$  появится логическая 1, а вентили  $DD1$  и  $DD2$  закроются. Так как основной триггер находится в положении 1, то откроется вентиль  $DD5$  и информация запишется во вспомогательный триггер, который установится в положении 1 ( $Q = 1$ ).

Совершенно аналогично сигнал, поданный на вход  $K$  ( $K=1$ ), установит триггер в состояние логического нуля:  $Q = 0$ .

Таким образом, в триггере данного типа изменение выходного сигнала происходит только в моменты, когда потенциал  $C$  переходит из 1 в 0. Поэтому говорят, что эти триггеры тактируются фронтом или срезом в отличие от триггеров, тактируемых потенциалом.

Если соединить вместе входы  $J$  и  $K$ , то триггер станет счетным и превратится в триггер Т-типа. Действительно, если триггер находится в положении 1 ( $Q=1$ ), то при одновременной подаче  $K=J=1$  и  $C=1$  вентиль  $DD1$  будет закрыт сигналом 0 ( $Q = 0$ ), снимаемого с выхода триггера. Так как открывается только вентиль  $DD2$ , триггер установится в нулевое состояние  $Q = 0$ . При этом выходной потенциал  $Q = 0$  блокирует вентиль  $DD2$ . Поэтому следующая комбинация  $J=K=C=1$  переводит триггер в состояние  $Q=1$  и т. д. Если входы  $J$ ,  $K$ ,  $C$  объединить между собой, то синхронный  $JK$ -триггер будет работать как синхронный Т-триггер. Тот же результат получается в случае, если на входы  $J$  и  $K$  подать логическую 1, а счетные импульсы — на вход  $C$ .

Двухступенчатый триггер ведет себя подобно триггеру с инверсной динамической синхронизацией, хотя и основной, и вспомогательный триггеры имеют статическое управление.

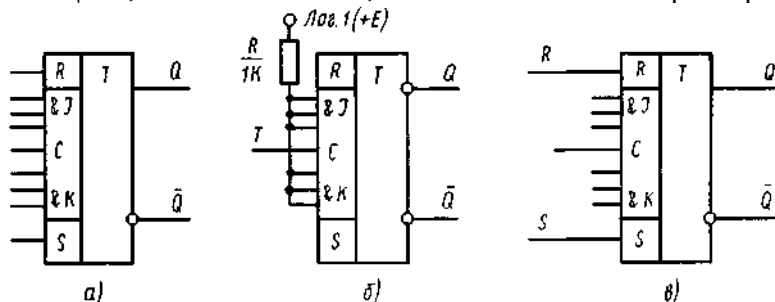


Рис.10. Интегральный JK-триггер К155ТВ1.

Промышленностью выпускаются JK-триггеры, имеющие разные функциональные возможности. Так, в ИС типа 155ТВ1 (рис.10, а) на входах  $J$  и  $K$  установлены трехходовые логические элементы И и имеются входы раздельной установки в состояние 0 ( $R$ ) и состояние 1 ( $S$ ). Использование этой микросхемы в качестве Т-триггера показано на рис.10, б, а синхронизируемого RS-триггера — на рис.10, в. Наличие логического элемента И на входах  $J$  и  $K$  расширяет функциональные возможности микросхемы. Так, при введении дополнительных логических элементов и использовании логики, имеющейся во входных цепях триггеров, удастся



реализовать устройства с видоизмененными уравнениями функционирования. В ряде случаев они имеют свои названия, например триггеры типа  $S$  (при  $S = R=1$  устанавливаются в единичное состояние), типа  $R$  (при  $S = R=1$  устанавливаются в нулевое состояние), типа  $E$  (при  $S=R=1$  не меняют своего состояния).

Переходные процессы в триггерах, выполненных на основе интегральных логических элементов, протекают достаточно быстро.

При ориентировочной оценке можно считать, что для каждой пары логических элементов, соединенных так, что образуется петля положительной ОС, длительность фронта и среза равна времени задержки распространения сигнала в этих логических элементах.

Из рассмотренного следует, что триггеры осуществляют запоминание информации и остаются в заданном состоянии после прекращения действия переключающих сигналов. Поэтому они относятся к классу устройств, которые носят название конечных автоматов — устройств, имеющих память об их предыдущем состоянии.

Триггеры широко используют при цифровой обработке информации в устройствах измерительной техники, автоматики и вычислительной техники.

Остановимся на работе D-триггера чуть подробнее, так как он наиболее часто используется. При этом многие замечания, высказываемые здесь относительно D-триггера, будут верны и для других типов триггеров.

Прежде всего отметим, что все приведенные временные диаграммы относятся к первому уровню представления, к уровню логической модели. Конечно же, в реальности все триггеры имеют временные задержки установки выходных сигналов, а также предъявляют определенные временные требования к входным сигналам, при нарушении которых любой триггер будет работать неустойчиво или же не будет работать вообще. Это учитывается на втором уровне представления (в модели с временными задержками).

Например, как уже отмечалось, входные сигналы  $R$  и  $S$  не должны приходить одновременно, иначе состояние триггера будет неопределенным. Длительность сигналов  $R$  и  $S$  также не должна быть слишком малой, иначе триггер может на них не среагировать. Сигнал  $R$  должен начинаться с определенной задержкой после окончания сигнала  $S$  и наоборот. В первом приближении можно считать, что минимально допустимые временные интервалы между входными сигналами должны равняться 1—2 задержкам логического элемента соответствующей серии.

Точно так же не должна быть слишком малой длительность тактового сигнала  $C$  (как положительного импульса, так и отрицательного импульса), иначе триггер может переключаться неустойчиво. Это требование универсально для всех микросхем, срабатывающих по фронту входного сигнала. Принципиально важна и величина временного сдвига (задержки) между установлением сигнала  $D$  и рабочим (положительным) фронтом сигнала  $C$ . Этот сдвиг также не должен быть слишком малым. Не должен быть чрезмерно малым и сдвиг между окончанием сигналов  $R$  и  $S$  и рабочим фронтом сигнала  $C$ . Повышенные требования предъявляются также к длительности фронта тактового сигнала  $C$ , которая не должна быть слишком большой. Это требование также универсально для всех микросхем, срабатывающих по фронту входного сигнала.

Одним словом, чем сложнее микросхема, тем важнее для нее становятся ограничения второго уровня представления, тем выше требования к разработчику по учету временных задержек и длительностей сигналов. Правда, требования эти не слишком разнообразны и не слишком жестки, поэтому, раз и навсегда усвоив их, можно проектировать любые схемы без грубых ошибок. Самое главное, что надо запомнить, состоит в следующем: цифровые схемы не любят слишком коротких входных сигналов и слишком малых задержек между входными сигналами, функционально связанными между собой. Ориентир здесь очень простой — величина задержки логического элемента данной серии. Поэтому для более быстрых серий ограничения будут менее жесткими, а для более медленных серий — более жесткими.

Несколько слов о величинах задержек микросхем триггеров.

Несмотря на свою достаточно сложную внутреннюю структуру микросхемы триггеров являются одними из самых быстрых. Задержка срабатывания триггера обычно не превышает 1,5-2 задержек логического элемента. Причем задержки по входам  $R$  и  $S$  чуть меньше, чем по тактовому входу  $C$ . В некоторых сериях JK-триггеры несколько быстрее, чем D-триггеры, в других —

наоборот. Важный параметр триггера — максимальная частота тактового сигнала  $C$ . Для ее приблизительной оценки можно придерживаться следующего простого правила: период тактового сигнала  $C$  не должен быть меньше величины задержки переключения триггера по входу  $C$ .

## НЕСИММЕТРИЧНЫЕ ТРИГГЕРЫ

Несимметричные триггеры часто называют триггерами Шмитта. По своим свойствам они существенно отличаются от симметричных триггеров, так как у них нет памяти о предыдущем состоянии. Несимметричный триггер — это регенеративное устройство, имеющее гистерезисную передаточную характеристику, у которой выходной сигнал может принимать два значения. Переход от одного уровня выходного напряжения к другому происходит скачкообразно при определенном значении входного сигнала — напряжении срабатывания. Возвращение в исходное состояние происходит при другом уровне входного сигнала — напряжении отпускания. По модулю оно всегда меньше напряжения срабатывания на величину  $\Delta U$ , характеризующую ширину петли гистерезиса.

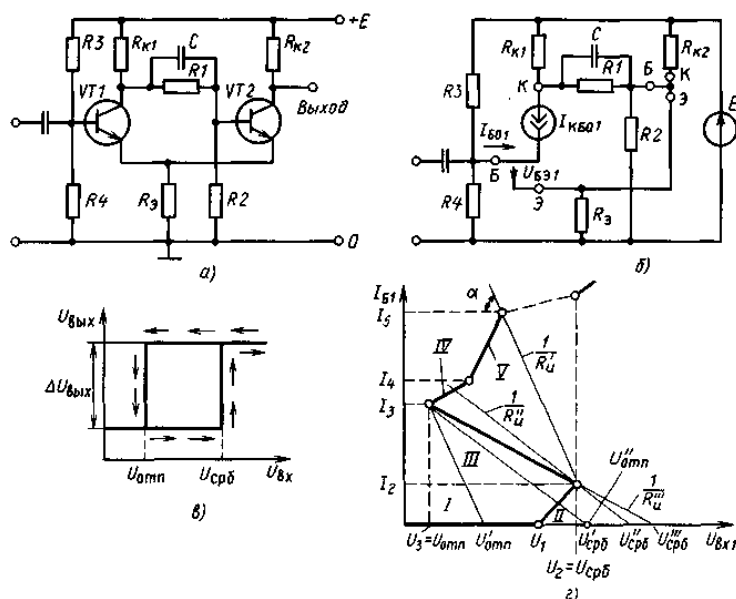


Рис. 11. Триггер Шмитта.

Подобные регенеративные устройства обычно используются для формирования резких перепадов напряжения из сравнительно медленно меняющихся входных сигналов.

Рассмотрим работу триггера Шмитта (рис. 11, а). Пусть транзистор  $VT2$  открыт и насыщен, а транзистор  $VT1$  закрыт. В режиме насыщения падение напряжения на транзисторе  $VT2$  близко к нулю. Это позволяет показать его в виде точки («стянуть» в точку) на эквивалентной схеме рис. 11, б. Такой прием широко применяется при анализе устройств с насыщенными ключами.

Через транзистор  $VT2$  (рис. 11, б) протекает ток, создающий на резисторе  $R_3$  падение напряжения. Параметры резисторов  $R_3$ ,  $R_4$ ,  $R_5$  выбраны так, что напряжение  $U_{БЭ}$  транзистора  $VT1$  меньше порогового и он находится в области глубокой или неглубокой отсечки. Для определенности будем считать, что падение напряжения на резисторе  $R_3$  таково, что транзистор  $VT1$  находится в области глубокой отсечки и ток его базы  $I_{Б01}$  равен  $I_{Б01} = -I_{КБ01}$  (рис. 8.12, б).

При подаче входного напряжения  $U_{ВХ}$  транзистор  $VT1$  откроется в тот момент, когда напряжение  $U_{БЭ}$  транзистора  $VT1$  станет равным пороговому. Отпирание транзистора  $VT1$  приводит к увеличению тока через резистор  $R_{К1}$  и повышению падения напряжения на нем. Соответственно потенциалы коллектора транзистора  $VT1$  и базы транзистора  $VT2$  понижаются. Это приводит к уменьшению тока базы транзистора  $VT2$  и выходу его из состояния насыщения в активную область. Возникает регенерация. Уменьшение тока транзистора  $VT2$  приводит к снижению падения напряжения на резисторе  $R_5$ . При этом повышается напряжение  $U_{БЭ1}$  и уменьшаются потенциал его коллектора, токи базы и коллектора транзистора  $VT2$  и дополнительно снижается падение напряжения на резисторе  $R_5$ . Последнее приводит к

дальнейшему увеличению тока базы транзистора  $VT1$  и снижению потенциала его коллектора. Процесс идет лавинообразно. В результате его транзистор  $VT2$  попадает в область отсечки, а транзистор  $VT1$  насыщается или находится на границе области насыщения. Напряжение, при котором происходит переброс триггера, называется напряжением срабатывания  $U_{срб}$  (рис. 11, в). Дальнейшее увеличение входного напряжения увеличивает только глубину насыщения транзистора  $VT1$ , так как ток  $I_{к1}$  уменьшается из-за увеличения тока  $I_{э1}$  и соответствующего увеличения падения напряжения на сопротивлении  $R_3$ .

Если теперь уменьшать входное напряжение, то обратное опрокидывание триггера происходит не в точке  $U_{срб}$ , а при несколько меньшем напряжении  $U_{отп}$ . Напряжение, при котором происходит возврат триггера в исходное состояние, называется напряжением отпущения  $U_{отп}$ .

Параметры элементов схемы выбирают так, чтобы ток транзистора  $VT2$ , находящегося в режиме насыщения  $I_{кнас2} \approx E/(R_{к2} + R_3)$ , был больше тока насыщения транзистора  $VT1$  [ $I_{кнас1} \approx E/(R_{к1} + R_3)$ ].

Соответственно падение напряжения  $U_3$  на резисторе  $R_3$  при насыщенном транзисторе  $VT2$  больше, чем при открытом транзисторе  $VT1$ . Этим и обусловлено то, что модуль напряжения  $|U_{отп}|$  всегда меньше  $|U_{срб}|$ . Действительно, при напряжении  $U_{срб}$  из-за меньшего падения напряжения на резисторе  $R_3$  напряжение ( $U_{бэ}$  транзистора  $VT1$  таково, что он находится в области насыщения.

Потенциал базы транзистора  $VT2$  составляет часть потенциала коллектора транзистора  $VT1$ . Следовательно, транзистор  $VT2$  находится в области глубокой отсечки. Он может открыться только после того, как транзистор  $VT1$  выйдет из насыщения и коллекторный ток  $I_{к1}$  достаточно уменьшится. Только тогда потенциал  $U_{к1}$ , пониженный делителем  $R1, R_2$ , станет равным пороговому напряжению, что требуется для отпирания транзистора  $VT2$ .

В соответствии со сказанным передаточная пусковая характеристика триггера Шмита имеет вид, показанный на рис. 11, в. Она соответствует режиму идеального источника напряжения на входе триггера ( $R_u = 0$ ).

При реальном источнике входного сигнала напряжения отпирания и закрывания оказываются больше соответствующих величин  $U_{срб}$  и  $U_{отп}$ , а при достаточно большом сопротивлении источника триггер вообще может перестать переключаться. Это обусловлено тем, что высокоомный источник приближается к генератору тока. Тогда ток во входной цепи мало зависит от падения напряжения на резисторе  $R_3$ . Следовательно, регенерация будет отсутствовать и триггер потеряет свои основные свойства.

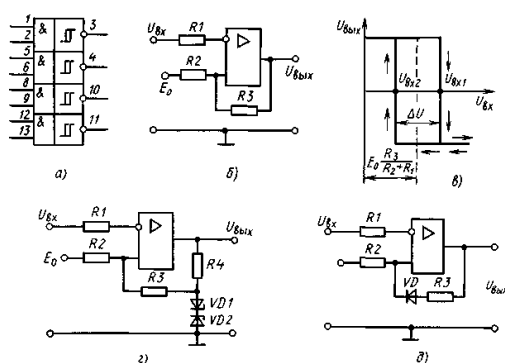


Рис. 12. Исполнение триггера Шмита на интегральных микросхемах.

Таким образом, различие в уровнях срабатывания и отпущения является необходимым условием работы цепи в триггерном режиме.

Следует обратить внимание на некоторую возможную нестабильность уровней срабатывания и отпущения. Их разброс и дрейф обусловлены разбросом параметров и старением элементов цепи, а также влиянием внешних условий, особенно температуры. Эти возможные нестабильности уровней необходимо учитывать при использовании триггеров Шмитта на транзисторах в качестве различных сравнивающих устройств.

Триггеры Шмитта выпускаются в виде самостоятельных микросхем в составе отдельных серий, например типа К155ТЛ1, К155ТЛ2, К155ТЛ3, 564ТЛ1 и др. В их входную цепь часто включен логический элемент И, расширяющий функциональные возможности интегральной схемы. Так, в микросхеме 564ТЛ1 (рис. 12, а) в одном корпусе выполнены четыре триггера

Шмита. На входе триггеров установлен двухвходовой элемент И, а на каждом выходе — инвертор сигнала, уменьшающий влияние сопротивления нагрузки на значение и форму выходного сигнала. Напряжение срабатывания у триггеров на биполярных транзисторах (серии 155, 133) около 1,5 В. Напряжение отпускания около 1 В. У триггеров серий КМОП (564, 176) напряжения срабатывания и отпускания зависят от напряжения источника питания. Так, у 564ТЛ1  $U_{срб}$  равны 2,9, 5,2, 7,3 В при напряжениях питания 5, 10 и 15 В. Соответственно напряжения отпускания равны 0,7, 1,0, 1,3 В.

Интегральные триггеры Шмитта устанавливаются перед логическими элементами в тех случаях, когда им приходится работать с входными сигналами, имеющими значительную длительность фронтов. В этих случаях триггеры Шмитта повышают крутизну нарастания сигналов, «предохраняют» ЛЭ от длительного нахождения в активном режиме, в котором те могут самовозбудиться, и подвергаются повышенному действию помех.

При необходимости получить повышенную стабильность напряжений срабатывания и отпускания триггеры Шмитта выполняют на операционных усилителях, например так, как показано на рис. 12, б. Уровень входного сигнала его срабатывания определяется значением напряжения  $E_0$ . Его можно легко регулировать в широких пределах.

Рассматриваемый триггер Шмитта представляет собой ОУ, охваченный положительной ОС с помощью резисторов  $R_2, R_3$ . Коэффициент ОС  $\gamma = R_2/(R_2 + R_3)$ .

Из теории обратной связи известно, что усилитель, охваченный положительной ОС, переходит в автогенераторный режим или становится регенеративным устройством при выполнении условия  $K\gamma \geq 1$ . Следовательно, если  $R_2/(R_2 + R_3) > 1/K$ , то данное устройство будет обладать регенеративными свойствами и выходная характеристика будет релейной.

Пусть на инвертирующий вход подано входное напряжение, существенно меньшее  $E_0$ . Тогда ОУ находится в состоянии, в котором  $U_{вых} = U_{вых\max}^+$ . Значение этого напряжения определяется типом ОУ и напряжениями питания

$$U_{н1} = E_0 + \frac{(U_{вых\max}^+ - E_0)R_2}{R_2 + R_3} = \frac{U_{вых\max}^+ R_2 + E_0 R_3}{R_2 + R_3}.$$

Если пренебречь влиянием синфазного сигнала, то можно считать, что выходной сигнал ОУ начнет изменяться в том случае, если между его входами будет разность напряжений, меньшая

$$\Delta U_1 = U_{вых\max}^+ / K_{yu},$$

где  $K_{yu}$  — коэффициент усиления ОУ.

Таким образом, если входное напряжение  $U_{вх}$  будет меняться, то в тот момент, когда разность напряжений между входами станет меньше  $\Delta U_1$ , напряжение на выходе ОУ изменится. ОУ выйдет из состояния насыщения и вследствие действия цепи положительной ОС начнет регенеративный процесс. Так как на неинвертирующем входе напряжение равно  $U_{н1}$ , то регенерация начнется в момент времени, когда

$$U_{вх1} = U_{вых\max}^+ \frac{R_2}{R_2 + R_3} + E_0 \frac{R_3}{R_2 + R_3} - \Delta U_1$$

$$U_{вх1} = U_{вых\max}^+ \left( \frac{R_2}{R_2 + R_3} - \frac{1}{K} \right) + E_0 \frac{R_3}{R_2 + R_3}.$$

В результате процесса регенерации ОУ окажется снова в состоянии насыщения, но выходное напряжение будет уже противоположного знака и равно  $U_{вых\max}^-$ . Процесс регенерации протекает следующим образом: как только входное напряжение стало равным  $U_{вх1}$  усилитель выходит из насыщения. Выходное напряжение начинает уменьшаться, снижая напряжение на неинвертирующем входе. Это приводит к уменьшению разности потенциалов между входами и дальнейшему снижению выходного напряжения. После того как выходное напряжение перейдет нулевое значение, разность потенциалов между входами начнет возрастать по модулю, но полярность меняется на противоположную. Процесс протекает лавинообразно, и в итоге усилитель «попадает» в насыщение по другой полярности. На входе ОУ, который не инвертирует входной сигнал, установится напряжение

$$U_{н 2} = E_0 - \frac{(|U_{вых max}^-| + E_0)R_2}{R_2 + R_3} = -|U_{вых max}^-| \frac{R_2}{R_2 + R_3} + E_0 \left( \frac{R_3}{R_2 + R_3} \right).$$

Это состояние будет устойчивым при всех значениях входного напряжения, больших  $U_{вх 1}$ .

Если теперь уменьшить входное напряжение, то выходное напряжение не изменит своего значения до момента, пока ОУ не выйдет из насыщения, что имеет место при дифференциальном сигнале ОУ:

$$\Delta U_2 = \frac{U_{вых max}^-}{K_y u}.$$

Процесс регенерации, обусловленный выходом ОУ в активную область, начнется при

$$U_{вх 2} = -|U_{вых max}^-| \frac{R_2}{R_2 + R_3} + E_0 \frac{R_3}{R_2 + R_3} + \Delta U_2.$$

Отсюда получим

$$U_{вх 2} = -|U_{вых max}^-| \left( \frac{R_2}{R_2 + R_3} - \frac{1}{K} \right) + E_0 \frac{R_3}{R_2 + R_3}.$$

Разные входные напряжения, при которых формирователь срабатывает, говорит о наличии гистерезиса, аналогичного гистерезису у триггера Шмитта. Ширина петли гистерезиса определится разностью входных напряжений  $U_{вх 1}$  и  $U_{вх 2}$ .

$$\Delta U = U_{вх 1} - U_{вх 2} = (U_{вых max}^+ + |U_{вых max}^-|) \left( \frac{R_2}{R_2 + R_3} - \frac{1}{K} \right).$$

Как видно из выражения (8.23), ширина петли гистерезиса зависит от напряжений  $U_{вых max}^+$  и  $U_{вых max}^-$  а также от коэффициента обратной связи. Если  $\gamma = 1/K$ , то гистерезис отсутствует совсем, так как выражение, стоящее во вторых скобках, обращается в нуль. Если  $\gamma > 1/K$ , то последнее выражение можно упростить и записать в виде

$$\Delta U = (U_{вых max}^+ + |U_{вых max}^-|) \frac{R_2}{R_2 + R_3}.$$

Таким образом, передаточная характеристика формирователя имеет вид, показанный на рис. 12, в.

Напряжение  $E_0$  смещает середину петли гистерезиса, практически не меняя ее ширины, зависящей от коэффициента обратной связи  $\gamma$  и уровней ограничения ОУ. Следует обратить внимание на то, что при очень малом  $\gamma$  коэффициент усиления ОУ влияет на ширину петли гистерезиса.

Нестабильность напряжений  $U_{вых max}^+$  и  $U_{вых max}^-$  приводит к изменению ширины петли гистерезиса и изменениям уровней срабатывания и отпускания. Этого недостатка лишен формирователь, схема которого показана на рис. 12, д. В нем напряжение ОС стабилизировано по обоим полярностям с помощью стабилитронов  $VD1$  и  $VD2$ . При этом все полученные выше уравнения остаются справедливыми, только в них вместо  $U_{вых max}^+$  и  $U_{вых max}^-$  необходимо подставить напряжение стабилизации соответствующего стабилитрона, добавляя к нему падение напряжения на стабилитроне, который при данной полярности выходного напряжения выполняет функции открытого диода.

Возможны и другие схемы выполнения формирователей с характеристиками типа триггера Шмита, например такие, как показано на рис. 8.13, д.

У формирователя (рис. 8.13, д) в цепь обратной связи включен диод  $VD$ . Введение его приводит к тому, что один уровень срабатывания для уменьшающегося  $U_{вх}$  приблизительно равен  $E_0$ . Другой уровень, для увеличивающегося  $U_{вх}$ , определяется из выражения

$$U_{вх} \approx E_0 \frac{R_3}{R_2 + R_3} + U_{вых max}^+ \frac{R_2}{R_2 + R_3}.$$

Если значения входного напряжения меньше второго уровня срабатывания, то цепь работает как «защелка». Действительно, стоит только раз входному напряжению уменьшиться до значения ниже  $E_0$ , как формирователь сработает и останется в этом положении до тех пор, пока не будет подан входной сигнал, больший второго уровня срабатывания формирователя.

## ПРАКТИЧЕСКОЕ ИСПОЛЬЗОВАНИЕ ТРИГГЕРОВ

Говоря об областях применения триггеров, мы будем рассматривать исключительно D-триггеры, так как в большинстве случаев RS- и Ж-триггеры могут быть заменены D-триггерами без ухудшения каких бы то ни было параметров схемы. Примеры такой замены показаны на рис. 13.

RS-триггер получается из D-триггера, если в D-триггере не использовать входы С и D, например, соединить их с общим проводом (а).

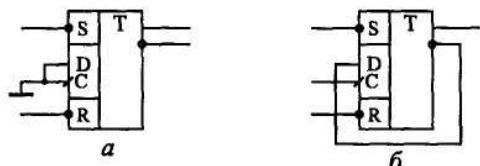


Рис. 13. Включение D-триггера для замены RS-триггера (а) и JK-триггера в счетном режиме (б).

Сложнее обстоит дело с заменой JK-триггера, в котором предусмотрено больше возможностей, чем в D-триггере. Однако обычно два информационных входа JK-триггера не так уж и нужны. А что касается счетного режима, в котором, пожалуй, наиболее часто работают JK-триггеры, то он легко реализуется на D-триггере в результате объединения информационного входа D с инверсным выходом (б). При этом по каждому положительному фронту сигнала С триггер будет менять свое состояние на противоположное: нуль на прямом выходе будет сменяться единицей и наоборот. То есть частота входного сигнала триггера будет меньше частоты входного тактового сигнала С в два раза.

Особенности триггеров обуславливают наиболее широкий диапазон схем их включения для решения самых разных задач.

Например, с помощью триггера (любого типа) очень просто и эффективно решается задача устранения влияния дребезга контактов механических переключателей (рис. 14). Правда в данном случае необходим тумблер (или кнопка) с тремя выводами, один из которых попеременно подключается к двум другим. При этом первый же отрицательный импульс на входе -R перебрасывает триггер в состояние нуля, а первый же отрицательный импульс на входе -S — в состояние единицы. Последующие же импульсы на обоих этих входах, вызванные дребезгом контактов, уже никак не влияют на триггер. Нижнее (по рисунку) положение выключателя соответствует нулю на выходе триггера, а верхнее — единице.

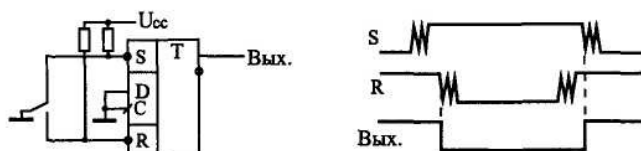


Рис. 14. Подавление дребезга контактов выключателя с помощью триггера.

Основное применение триггеры находят в тех случаях, когда надо сформировать сигнал, длительность которого соответствует длительности какой-то выполняемой операции, какого-то продолжительного процесса в схеме. Выходной сигнал триггера при этом может разрешать этот самый процесс, а может информировать остальные узлы устройства о том, что процесс идет (или, как говорят, служить *флагом* процесса). Например, в схеме на рис. 15 в начале процесса (операции) по сигналу Старт триггер перебрасывается в единицу, а в конце процесса (операции) по сигналу Стоп триггер перебрасывается обратно в нуль.

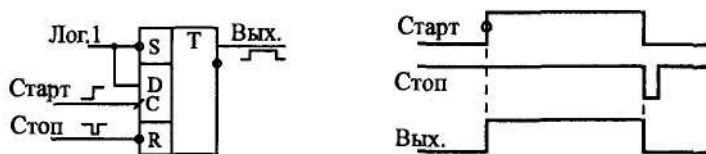


Рис.15. Использование триггера в качестве флага процесса.

Для сигналов Старт и Стоп можно, конечно, использовать входы триггера -R и -S. Однако более правильным и универсальным решением будет выбор пары входов С и -R или С и -S, что предотвратит неоднозначность поведения триггера при одновременном приходе сигналов Старт и

Стоп. Если используются входы С и -R, то на вход D надо подать единицу, а если применяются входы С и -S, то на вход D надо подать нуль. Такое решение удобно еще и тем, что в качестве одного из сигналов Старт и Стоп может выступать не уровень, а фронт. Именно этот фронт (в нужной полярности) и надо подать в этом случае на тактовый вход триггера С.

Вторая важная область применения триггеров — это синхронизация сигналов.

Например, триггер позволяет наиболее просто избавиться от паразитных коротких импульсов на выходах комбинационных схем, возникающих при почти одновременном изменении нескольких входных сигналов (рис. 16). Для синхронизации в данном случае необходимо иметь синхросигнал (синхропереход), сопровождающий входные информационные сигналы (входной код) и задержанный относительно момента изменения этих сигналов на время  $t_3$ , большее задержки комбинационной схемы. При подаче этого синхроимпульса на вход С триггера, а выходного сигнала комбинационной микросхемы (Вых.1) на вход D триггера на выходе триггера получаем сигнал (Вых.2), полностью свободный от паразитных импульсов.



Рис. 16. Синхронизация с помощью триггера.

Более того, в случае, когда входной код комбинационной схемы изменяется регулярно, периодически, фронт синхросигнала может даже совпадать с моментом изменения входного кода (рис. 17).



Рис. 17. Синхронизация с помощью триггера при периодическом изменении входного кода.

При этом за счет конечной величины задержки комбинационной схемы сигнал на вход С триггера будет поступать раньше, чем начнет изменяться сигнал на его входе D. Поэтому паразитные импульсы в триггер не запишутся. Правда, в данном случае сигнал на выходе триггера (Вых.2) будет задержан на период следования входных кодов Т (или, что то же самое, на период синхросигнала) относительно выходного сигнала комбинационной схемы (Вых.1).

При проектировании цифровых схем, работающих по тактам единого тактового генератора, часто возникает необходимость синхронизовать с работой схемы какой-то внешний сигнал. То есть требуется обеспечить, чтобы этот сигнал (асинхронный по отношению ко всей остальной схеме) изменялся по тактам тактового генератора, как и все остальные сигналы схемы (стал бы синхронным всей остальной схеме). В этом тоже может помочь триггер.

Рассмотрим самый простой пример. Пусть необходимо с помощью внешнего сигнала разрешать и запрещать прохождение сигнала непрерывно работающего тактового генератора. В случае обычного RC-генератора эта задача иногда может быть решена довольно просто путем запуска и остановки генератора. Однако далеко не всегда допускается останавливать работу тактового генератора, от которого работает вся схема. В случае же кварцевого генератора его остановка и запуск вообще никогда не используются, так как такой генератор начинает работать после разрешения с задержкой, равной нескольким периодам тактовой частоты, причем количество этих периодов не постоянно. Поэтому будем считать, что тактовый генератор работает постоянно, а по внешнему управляющему сигналу мы будем разрешать или запрещать прохождение его выходных импульсов (рис. 18).

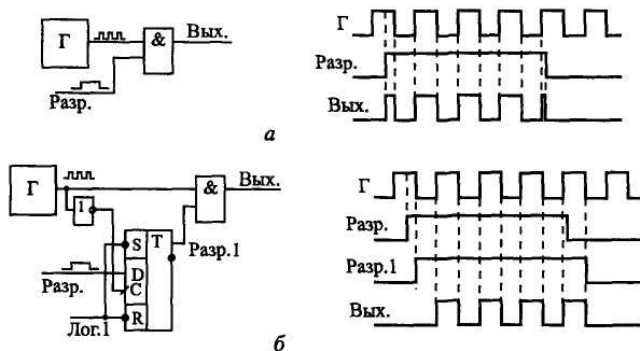


Рис. 18. Синхронизация сигнала разрешения.

В простейшем случае (а) для пропуска и запрещения импульсов тактового генератора  $\Gamma$  используется логический элемент 2И. При этом вполне возможна ситуация прохождения на выход схемы импульсов неполной длительности или даже предельно коротких, нестабильно появляющихся импульсов, которые могут вносить неопределенность в работу остальной схемы.

Применение синхронизирующего триггера (б) обеспечивает прохождение на выход пропускающего элемента 2И только импульсов полной длительности. Разрешающий сигнал, проходя через триггер, который тактируется разрешаемым сигналом, становится синхронным с тактовым сигналом и гарантирует прохождение на выход обязательно целого количества тактовых импульсов, целого количества периодов тактового генератора.

Триггеры позволяют также строить линии задержки цифровых сигналов, для чего несколько триггеров соединяется в последовательную цепочку, причем все они тактируются единым тактовым сигналом  $C$ . Такое включение позволяет, например, одновременно обрабатывать комбинационными схемами несколько последовательных во времени состояний какого-то одного сигнала.

В качестве примера на рис. 19 приведена схема, которая выделяет во входном сигнале трехтактовую последовательность 010. Цепочка из трех триггеров  $T1$ ,  $T2$  и  $T3$ , тактируемых единым синхросигналом, запоминает три последовательных состояния входного сигнала. Например, если на выходе триггера  $T2$  будет зафиксировано состояние входного сигнала в  $N$ -м такте, то на выходе триггера  $T1$  будет состояние входного сигнала в такте  $(N+1)$ , а на выходе триггера  $T3$  — в такте  $(N-1)$ . Из-за конечной величины задержки переключения триггеров в каждый следующий триггер входной сигнал будет переписываться еще до того, как он изменит свое значение вследствие переключения предыдущего триггера.

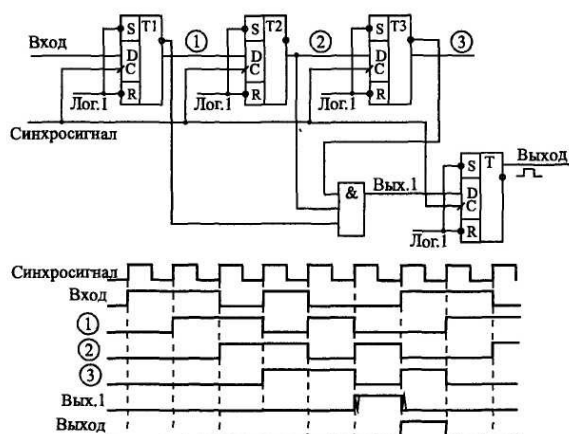


Рис. 19. Выделение 3-тактовой последовательности тактов во входном сигнале.

Подавая выходные сигналы триггеров (прямые или инверсные в зависимости от нужных уровней) на элемент И с нужным числом входов, можно зафиксировать любую трехтактовую последовательность во входном сигнале. Для предотвращения появления паразитных импульсов в выходном сигнале (они возможны, так как входные сигналы элемента И изменяются почти одновременно) применяется выходной триггер  $T$ , тактируемый тем же самым общим синхросигналом. На выходе триггера  $T$  получаем единичный сигнал, соответствующий



последовательности 010 во входном сигнале. Правда, этот выходной сигнал будет задержан относительно конца выделяемой последовательности 010 на два такта.

Конечно, применение триггеров не ограничивается рассмотренными примерами, все области их применения трудно даже перечислить. Мы же рассмотрим здесь еще несколько примеров использования триггеров.

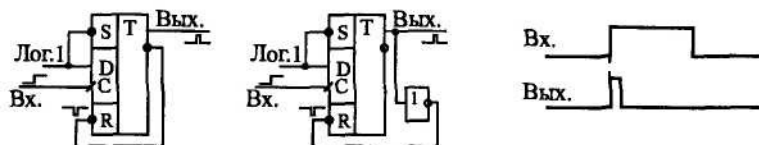


Рис. 20. Формирователь короткого импульса по фронту входного сигнала.

D-триггер позволяет довольно просто формировать выходной короткий импульс по фронту входного сигнала. Для этого даже не нужно никаких времязадающих RC-цепочек. Длительность выходного импульса определяется задержкой срабатывания триггера. Формирователь короткого импульса по положительному фронту входного сигнала (рис. 20) образуется путем подачи выходного сигнала триггера на вход сброса.

По положительному фронту на входе С триггер перебрасывается в единицу, но выходной сигнал триггера по цепи обратной связи тут же сбрасывает его обратно в нуль. Преимуществом данной схемы является то, что триггер имеет как прямой, так и инверсный выходы, поэтому мы получаем как положительный короткий импульс, так и отрицательный. В некоторых случаях в цепь этой обратной связи надо включать дополнительный инвертор для устойчивой работы схемы. Например, триггеры серии К155 не требуют инвертора, а триггеры серии КР1533 — требуют.

Применение триггеров совместно с другими микросхемами часто позволяет избежать появления паразитных коротких импульсов, обеспечить надежную и уверенную работу схемы. Например, на рис. 21 представлена схема, различающая короткие и длинные импульсы, приходящие на ее вход. Такая схема позволяет применять одну линию связи для передачи двух сигналов разного назначения, что бывает очень удобно при связи устройств, находящихся на большом расстоянии.

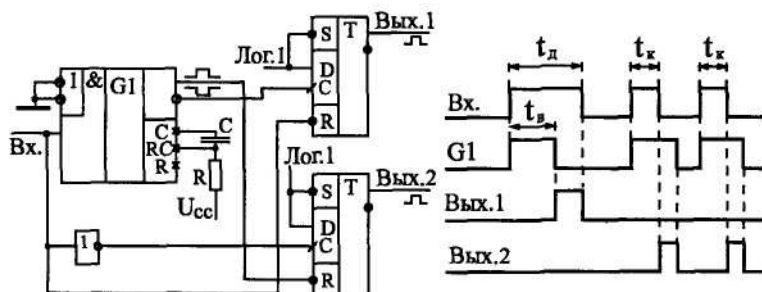


Рис.21. Схема разделения коротких и длинных входных импульсов.

На вход схемы поступают короткие импульсы (длительностью  $t_k$ ) и длинные импульсы (длительностью  $t_d$ ). Конечно, на передающем конце надо обеспечить, чтобы эти импульсы формировались по очереди и с не слишком малой задержкой друг относительно друга. На выходе схемы формируются два сигнала, один из которых соответствует приходу короткого входного импульса, а другой — приходу длинного входного импульса.

Для различения входных импульсов используется одновибратор АГ1 с временем выдержки  $t_b$ , большим  $t_k$ , но меньшим  $t_d$ . Применение одновибратора в данном случае оправдано, так как требуемая точность времени выдержки невысока (считаем, что длительности импульсов различаются существенно). Выходные сигналы схемы формируются с помощью двух триггеров, а не простых двухвходовых логических элементов, что полностью исключает появление паразитных импульсов на фронтах.

Принцип работы схемы ясен из приведенной временной диаграммы. Одновибратор запускается по переднему фронту входного сигнала. Выходной сигнал Вых.1, соответствующий приходу длинного импульса, начинается по заднему фронту импульса одновибратора, а заканчивается по окончанию длинного входного импульса. Выходной сигнал Вых.2, соответствующий приходу

входного короткого импульса, начинается по заднему фронту входного импульса, а заканчивается с окончанием импульса одновибратора.

Триггеры можно также использовать для обработки периодических последовательностей входных сигналов. При этом триггер, тактируемый кварцевым генератором, может очень точно различать частоты следования входных импульсов, то есть выполнять функцию простейшего цифрового фильтра. Такие схемы выгодно отличаются от схем с одновибраторами и времязадающими RC-цепочками возможностью полностью интегрального исполнения и отсутствием какой бы то ни было настройки.

Простейший пример подобной обработки состоит в формировании огибающей входного сигнала. То есть при приходе входного сигнала заданной частоты выходной сигнал должен быть равен единице, а при отсутствии входного сигнала — нулю. Эта задача может быть решена с помощью одновибратора с перезапуском (типа АГЗ). Однако применение триггеров значительно увеличивает точность срабатывания и позволяет работать с частотами, близкими к предельным для данного типа триггеров. Схема формирования огибающей состоит всего лишь из двух триггеров, тактируемых внешним синхросигналом (рис. 22). В данном случае предполагается, что частоты входного сигнала и тактового сигнала равны между собой.

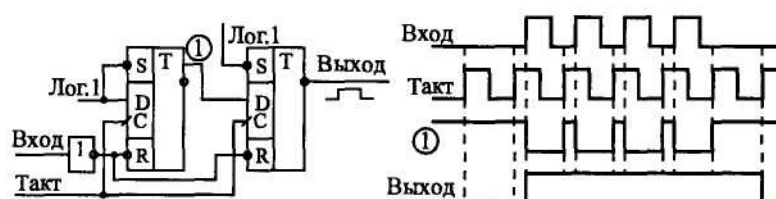


Рис. 22. Формирователь сигнала огибающей входного сигнала на триггерах.

Триггеры включены как двухтактная линия задержки с общим тактовым сигналом С и со сбросом входными сигналами. Самый первый входной импульс последовательности инициирует начало действия выходного сигнала, то есть переключение выхода в состояние логической 1, а заканчивается действие выходного сигнала, то есть возврат выхода в состояние логического 0, через 1-2 периода тактового сигнала после окончания входной последовательности (в зависимости от временного сдвига входного сигнала относительно тактового сигнала). Схема работает с входным сигналом любой частоты, большей половины частоты тактового сигнала (например, при тактовой частоте 10 МГц входной сигнал должен иметь частоту, большую 5 МГц). То есть за половину периода входной частоты не должно приходить больше одного положительного фронта тактового сигнала.

Этот же формирователь огибающей можно использовать в более сложных схемах. Примером может служить фильтр, который позволяет разделить две частоты входного сигнала, пропустить более высокочастотный сигнал и отсечь более низкочастотный (рис. 23).

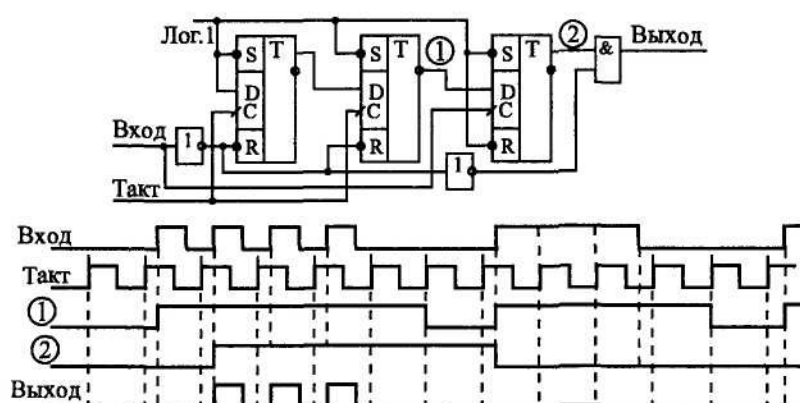


Рис. 23. Фильтр для пропуска высокочастотных сигналов на триггерах.

Фильтр состоит из трех триггеров и элемента 2И, работающего в режиме пропуска положительных входных импульсов. Два триггера (левые на схеме) образуют формирователь огибающей. Третий (правый на схеме) триггер выдает сигнал пропуска в случае, когда сигнал огибающей непрерывен, то есть когда частота входного сигнала составляет больше половины

тактовой частоты. Если в момент прихода положительного фронта входного сигнала сигнал огибающей на выходе второго триггера нулевой, то пропускающий сигнал на выходе третьего триггера также нулевой, и импульсы не проходят на выход. При этом первый входной импульс пропускаемого сигнала на выход не проходит. Цепочка из двух инверторов компенсирует задержку срабатывания третьего триггера, она задерживает входной сигнал перед подачей его на вход выходного пропускающего элемента 2И.

Таким образом, фильтр надежно пропускает входные сигналы с частотой, большей половины тактовой частоты, и надежно задерживает сигналы с частотой, меньшей четверти тактовой частоты. Например, при тактовой частоте 10 МГц фильтр будет пропускать сигналы с частотой выше 5 МГц, и задерживать сигналы с частотой ниже 2,5 МГц. С частотами входного сигнала от 2,5 до 5 МГц работа фильтра не будет стабильной, она будет зависеть от временного сдвига между входным сигналом и тактовым сигналом.

Наконец, последняя схема на триггерах, которую мы рассмотрим, предназначена для кодирования входного сигнала в манчестерский код (или код Манчестер-П). Этот код широко используется при передаче сигналов на большие расстояния, в частности в локальных сетях.

Суть манчестерского кодирования иллюстрируется рис. 24. Входной сигнал представляет собой последовательность битов равной длительности. В каждом такте передается один бит информации. Манчестерский код заменяет единичный информационный бит на отрицательный переход в центре битового интервала, а нулевой информационный бит — на положительный переход в центре битового интервала. Таким образом, в центре каждого битового интервала сигнала в манчестерском коде обязательно имеется фронт (положительный или отрицательный), который может быть использован приемником этого сигнала для синхронизации приема каждого информационного бита. Поэтому манчестерский код называется самосинхронизирующимся кодом.

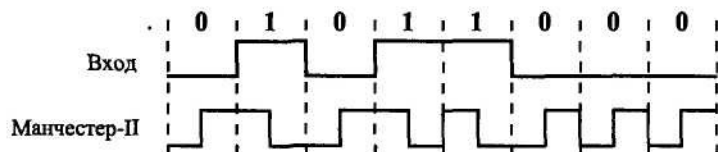


Рис. 24. Манчестерское кодирование.

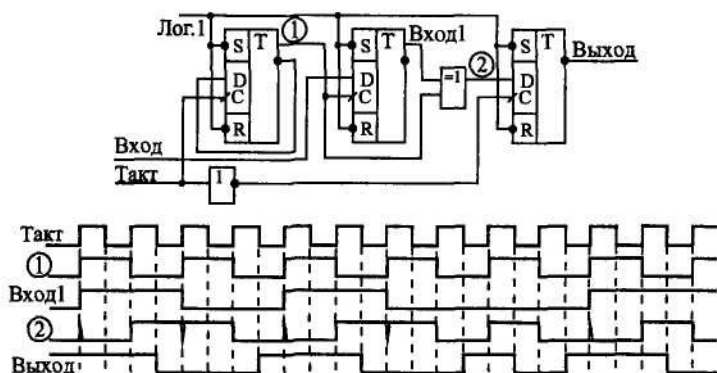


Рис. 25. Кодировщик манчестерского кода на триггерах.

Кодировщик (он же шифратор) манчестерского кода (рис. 25) включает в себя элемент Иключающее ИЛИ, который, собственно, и производит кодирование, а также три триггера для синхронизации. Один триггер (левый на схеме) работает в счетном режиме, деля частоту тактового сигнала в два раза. Один триггер (центральный) синхронизирует входной информационный сигнал с тактовым сигналом половинной частоты. Наконец, последний, третий триггер (правый) синхронизирует выходной сигнал для устранения в нем паразитных коротких импульсов в моменты изменения входного сигнала. Он фиксирует выходной сигнал элемента Иключающее ИЛИ (уже готовый манчестерский код) через четверть периода после изменения входного сигнала Вход 1 (по отрицательному фронту исходного тактового сигнала).

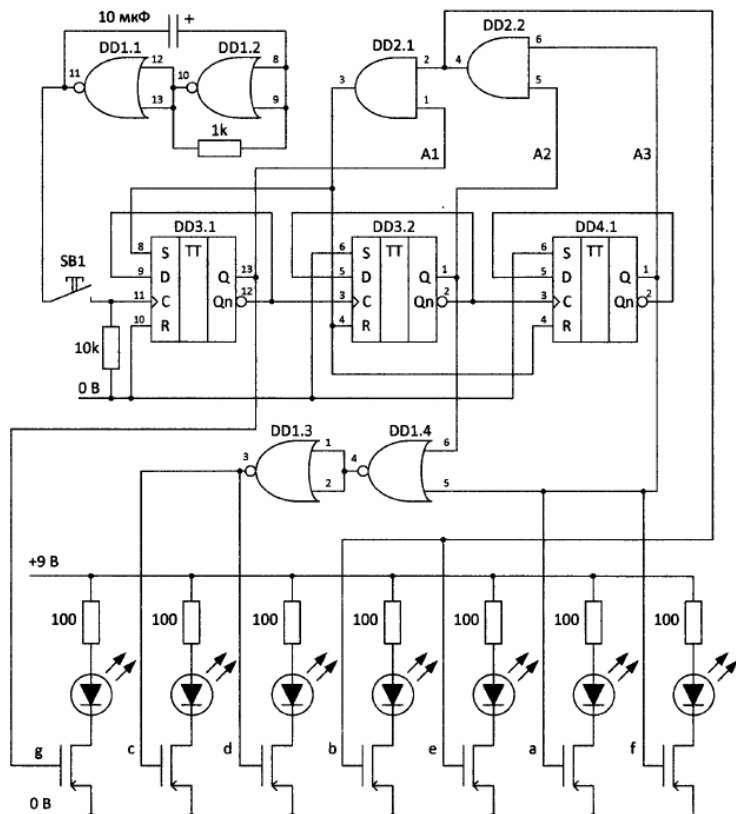


Рис. 26 Электронный игральный кубик на триггерах.

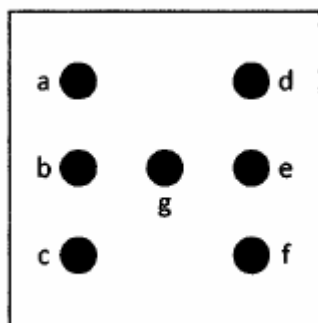


Рис. 27. Обозначения светодиодов кубика

Схема, показанная на рис. 26 является электронным имитатором игрового кубика.

На логических элементах DD1.1 и DD1.2 собран генератор прямоугольных импульсов, или мультивибратор. Три триггера образуют счетчик импульсов, поступающих с выхода генератора. Но простой счет импульсов нам не интересен. Нужно, чтобы счетчик выдавал одно состояние из шести. Причем состояние счетчика должно быть случайным (а не меняться «подряд»), к тому же счет должен останавливаться на время, достаточное для фиксации состояния кубика.

Для этого, во-первых, нужно увеличить частоту следования счетных импульсов так, чтобы на индикаторе нельзя было успевать различить цифры. Здесь подойдет конденсатор с номиналом не более 10 мкФ. Но при отладке схемы лучше оставить конденсатор большой емкости, чтобы видеть, правильно ли она функционирует, а замену на 10 мкФ произвести уже после того, как вы убедитесь, что все в порядке. Во-вторых, требуется разорвать кнопкой провод, идущий от генератора импульсов ко входу счетчика. Тогда нажатие кнопки будет запускать счет, а ее отпускание — останавливать его. Так как цифры при малой емкости времязадающего конденсатора мелькают слишком быстро, то угадать, какая именно из них будет на индикаторе в момент размыкания цепи, просто невозможно. Логические элементы DD2.1 и DD2.2 позволяют ограничить состояние счетчика на триггерах «разрешенными» для обычного игрального кубика цифрами от 1 до 6. Появление комбинации 111В (десятичная 7) приводит к мгновенному сбросу нашего счетчика. Причем триггер DD3.1 при этом устанавливается в единичное состояние, а

триггеры DD3.2 и DD4.1 – в нулевое. Таким образом, минимальное число на выходе нашего счетчика – 001В (десятичная 1). К сожалению, именно необходимость установки младшего разряда счетчика в 1 не позволяет нам «сэкономить на корпусах», используя, рассмотренный нами ранее счетверенный счетчик (11 ТМ 8, рис. 6, в), т.к. в нем нет входов S (из-за нехватки контактов корпуса). В будущем, изучив счетчики, мы сможем упростить схему, заменив два триггера и микросхему И одним корпусом счетчика, но пока «мы этого не проходили». Для индикации состояния кубика потребуется 7 светодиодов, расположенных, как показано на рис. 27. Светодиоды для определенности обозначим латинскими буквами от а до г, как и в семисегментном индикаторе. Формируемый ими двоичный код числа должен зажигать или гасить необходимые светодиоды. Для «семиточечного» индикатора высокий уровень сигнала включает светодиод, а низкий выключает. Для управления светодиодами нужен, в принципе, дешифратор, но тут как раз можно и сэкономить. Имея некоторые навыки с реализацией логических функций, достаточно легко можно реализовать наш «дешифратор» из оставшихся двух элементов ИЛИ-НЕ (логические элементы DD1.3 и DD1.4, оставшиеся «лишними» при реализации мультивибратора). Вследствие этого, специальная микросхема дешифратора нам не понадобится. Тем более, что микросхем дешифраторов для «семиточечных» индикаторов в природе и не существует!

Осталось дополнить нашу светлую голову «умелыми ручками», и мы можем изготовить устройство, вполне пригодное для семейных игр! Да здравствует настольная версия для «Цивилизации»!!! Применять эти кубики для организации казино, я бы не советовал... Игроки все равно не поверят, что нажимая на кнопку, крупье ведет «честную игру». А дома... Сам нажал кнопку, сам отпустил – не на кого жаловаться, что у тебя 1, а у соперника – 6...

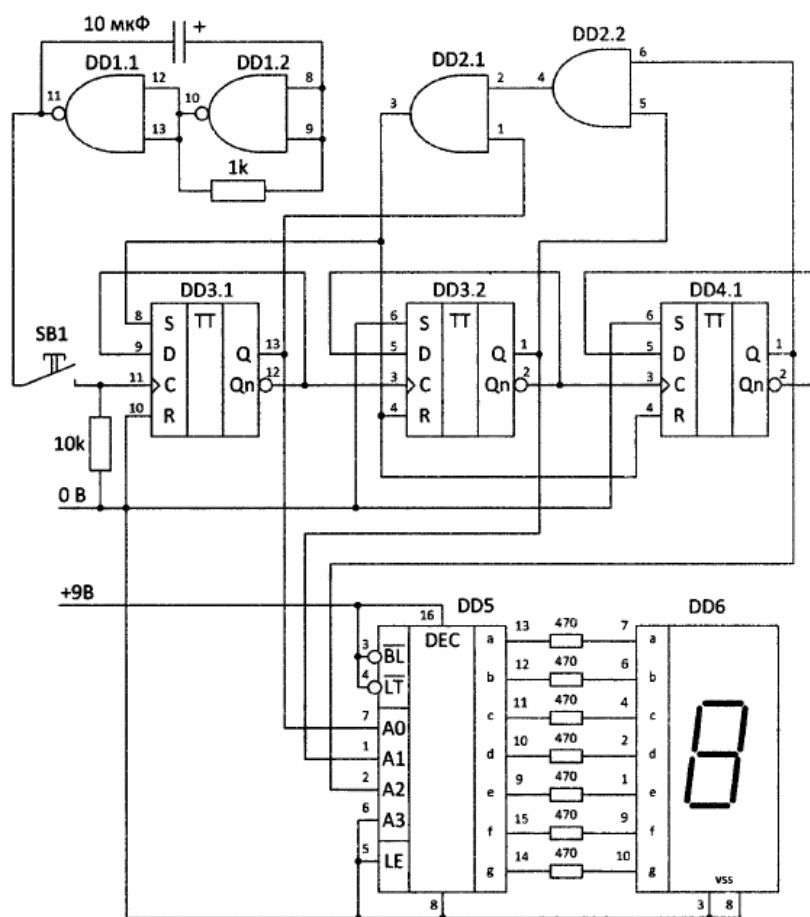


Рис. 28. Иммитатор игрового кубика с цифровой индикацией

Данная схема не является комбинационной в полном смысле. Это – генератор случайных чисел. Точнее – «псевдослучайных», т.к. реально генератор (мультивибратор на логических элементах DD1.1 и DD1.2) осуществляет последовательный перебор, а счетчик по модулю 6 (триггеры DD3.1, DD3.2 и DD4.1

и логические элементы И DD2.2 и DD2.2) ограничивает перебор 6 возможными комбинациями, соответствующим граням игрального кубика. Сами триггеры «организуют» трехразрядный двоичный счетчик, т.е. могут считать от 0 до 7, но при появлении на выходах триггеров комбинации 7 (111В), комбинационная схема на элементах И выдает сигнал сброса на триггеры. При этом первый триггер устанавливается в 1, а два последующих – в 0. В итоге, разрешенными состояниями счетчика являются коды от 001В до 110В, т.е. от 1 до 6, как и «полагается приличному кубiku». Дешифратор DD5 преобразует двоичный код счетчика в код управления семисегментным светодиодным индикатором DD6, который и отображает привычные нам цифры.

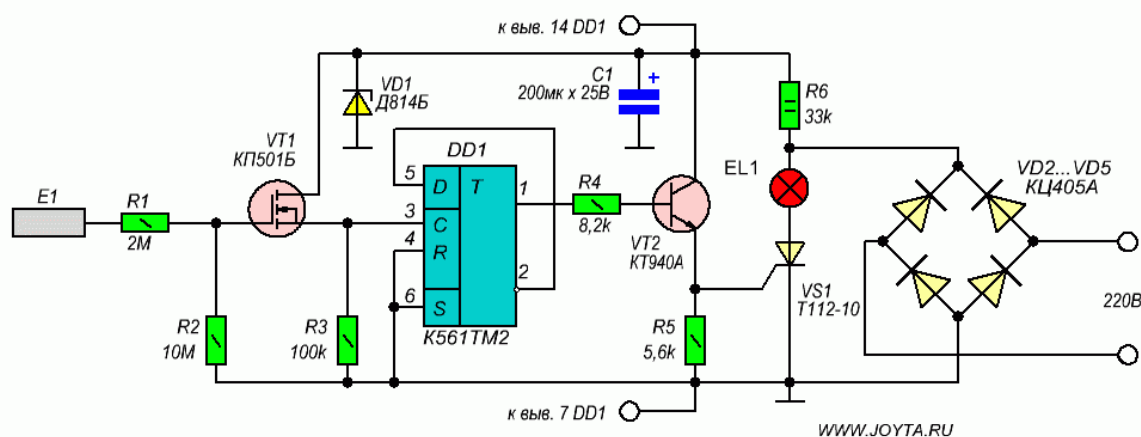


Рис. 298. Сенсорный выключатель света.

Механические выключатели являются слабым звеном систем освещения. Выход из строя механических контактов, поломки элементов конструкции (дешевый пластик, защелки, пружинки... чего же Вы хотели?!), разряды в окисленных контактах с выходом из строя всего, вплоть до выгорания проводки....

А ведь можно включать свет, просто коснувшись контактной пластинки без всякой «механики». А то и вообще – поднеся руку сенсорному устройству!

На рис. 29 показана достаточно простая схема сенсорного выключателя. При касании пальцем пластинки E1, в ней наводится электрический сигнал, который усиливается транзистором VT1 и подается на вход синхронизации триггера DD1. На каждое касание пластинки сенсора, триггер будет менять свое состояние. «Единица» на выходе триггера, через транзистор VT2, открывает тиристор VS1, включая свет. «Нолик» - выключает свет.

Схема, по своей сути, является «примитивом», который можно легко переделать для различных целей. Можно заменить сенсор фотодатчиком, организовав систему «с оптическим управлением». Например, свет будет включаться, когда стемнеет. Можно несколько переделать электронную часть системы управления, и сделать систему управления, не только включающую источник света, но и изменяющую его яркость. Ну, а вариантах исполнительной части и говорить не приходится. Можно управлять замком, двигателем, сделать систему охраны и контроля присутствия...



Рис. 30. Датчик присутствия.

На схеме рис. 30 – вариант датчика присутствия.

Основой схемы емкостного сенсорного датчика присутствия является задающий генератор прямоугольных импульсов, выполненный по классической схеме на двух логических элементах микросхемы D1.1 и D1.2. Частота генератора определяется номиналами элементов R1 и C1 и выбрана около 50 кГц. Значение частоты на работу емкостного датчика практически не влияет.

С 4 вывода микросхемы D1.2 сигнал прямоугольной формы через резистор R2 поступает на входы 8, 9 микросхемы D1.3 и через переменный резистор R3 на входы 12,13 D1.4. На вход микросхемы D1.3 сигнал поступает с небольшим изменением наклона фронта импульсов из-за установленного датчика, представляющего собой кусок провода или металлическую пластину. На входе D1.4, из-за конденсатора C2, фронт изменяется на время, необходимое для его перезаряда. Благодаря наличию подстроечного резистора R3, есть возможность фронты импульса на входе D1.4, выставить равным фронту импульса на входе D1.3.

Если приблизить к антенне (сенсорному датчику) руку или металлический предмет, то емкость на входе микросхемы DD1.3 увеличится и фронт поступающего импульса задержится во времени, относительно фронта импульса, поступающего на вход DD1.4. чтобы «уловить» эту задержку про инвертированные импульсы подаются на микросхему DD2.1, представляющую собой D триггер, работающий следующим образом. По положительному фронту импульса, поступающего на вход микросхемы C, на выход триггера передается сигнал, который в тот момент был на входе D. Следовательно, если сигнал на входе D не изменяется, поступающие импульсы на счетный вход C не оказывают влияния на уровень выходного сигнала. Это свойство D триггера и позволило сделать простой емкостной сенсорный датчик.

Когда емкость антенны, из-за приближения к ней тела человека, на входе DD1.3 увеличивается, импульс задерживается и это фиксирует D триггер, изменяя свое выходное состояние. Светодиод HL1 служит для индикации наличия питающего напряжения, а HL2 для индикации приближения к сенсорному датчику.