

Одним из направлений развития электроники является уменьшение размеров разрабатываемых устройств. С помощью логических элементов можно реализовать (теоретически) комбинационную (и не только) схему любой сложности. К сожалению, «любой сложности» справедливо и в конструктивном смысле... Это естественно, чем сложнее функция, тем больше элементов требуется для ее реализации. Это – габариты устройства! Применение ПЛИС позволяет легко решить эту задачу.

Создание приложений при помощи этих микросхем позволяет отказаться от применения большого количества логических микросхем. Всю схему, таким образом, можно собрать в корпусе одной ПЛИС. При необходимости доработки в таком случае не придется изменять схемотехнику, а можно будет ограничиться изменением внутренних соединений в самой ПЛИС.

Что же такое – «ПЛИС», или «программируемая логическая интегральная схема»?

Микросхемы программируемой логики являются одним из наиболее мощных и гибких инструментов для построения цифровых схем. Удобные и доступные системы проектирования позволяют разработчику создавать свои собственные микросхемы при минимальных затратах времени и средств – от простой логической функции до многопроцессорной системы.

Использование ПЛИС оптимально для применения как в единичном, так и в серийном производстве. Основные области применения:

- периферийные модули;
- цифровая обработка сигнала;
- высокоскоростная передача данных;
- нейрочипы для интеллектуальных систем управления;
- микропроцессорные системы.

Следует сразу сказать, что ПЛИС не является безальтернативным средством для построения сложных цифровых систем. Поэтому, прежде, чем «плотно» ими заняться, вспомним слова персонажа из одного легендарного фильма: «Огласите весь список, пжлст!».

1. Уже рассмотренные нами ранее варианты автоматов без памяти, с использованием логических микросхем, мультиплексоров, дешифраторов, и т.д. Плюсы: могут все, на что хватает таланта разработчика. Минусы: габариты, потребляемая мощность, дороговизна, уникальность разработки под единственную функцию.

2. Базовые матричные кристаллы (БМК). На английском – Gate Array. Uncommitted Logic Array, ULA. Английское название дает весьма понятное понятие (шутка!) о устройстве. БМК – большая интегральная схема (БИС), внутри которой размещены, но не соединены элементарные схемы и логические элементы. Разработчик разрабатывает схему в виде так называемой маски, описывающей соединения отдельных элементов БИС. Эта маска накладывается в виде последнего слоя при изготовлении БИС и заказчик получает готовое устройство, которое выполняет нужные ему функции, а стоит при этом ненамного дороже, нежели сам БМК. Метод неновый, еще при изготовлении отечественных клонов (тоже легендарного) ПК «ZX Spectrum» БИС Т34ВГ1 (KA1515XM1-216) использовалась в качестве контроллера внешних устройств. В паре с Т34ВМ1, отечественным аналогом процессора Z80. В оригинальных компьютерах Синклера также использовалась ULA. 3200 вентиляей, корпус с 64 ножками, но дело свое делала. Со временем БМК «подросли», 1592XM1 содержит уже 1000 вентиляей (производитель Ангстрем, 132 ноги, 50 МГц тактовой частоты, 1,2 нС задержки на вентилю). Но используются они в настоящий момент достаточно редко – для большинства разработчиков матрица соединений (маска) – слишком сложно, а окупаться технология может лишь в крупной серии. Например, по прайсу 2001 года от Ангстрема, цена одной БИС - 1750 рублей, а вот стоимость проекта и партии – 350 тыс. Так что простая арифметика показывает объем партии в 200 БИС.

3. Заказные БИС. По-английски – «application-specific integrated circuit», ASIC. Очень похоже на предыдущий пункт, только в состав этих БИС и СБИС часто входят процессоры (вплоть до многоядерных 64-разрядных), блоки ОЗУ и ПЗУ и т.д. Разработка тоже сводится уже не к описанию соединений, а описанию функционала схемы. Для этого применяются специальные языки описания аппаратных устройств (например, Verilog, VHDL). Возможности – самые широкие! Раз, и готов новый сотовый... Только вот разработка системы может стоить порядка 1 млн. долларов! Как с грустью было написано в одной статье по этому направлению: «невозможно спорить с Интелом или ТИ в выпуске процессоров или микросхем, бессмысленно соревноваться с китайцами в производстве массовой электроники»...

4. Специализированные компьютеры, процессоры (например, цифровые сигнальные процессоры), микроконтроллеры. Тут все понятно. Плюсы: берем стандартные комплектующие, пишем программу – все готово! Недостатки – скорость. Даже миллиарды операций умножения в секунду – не так уж и быстро, если говорить о связи или передаче информации на скоростях «за 100 Мбит в секунду). Короче, дешево и сердито, но не для всех задач!

5. Ну и в финале – те самые ПЛИС, о которых мы ведем речь! Тоже – решение не из дешевых. Современные ПЛИС с большими возможностями (могут содержать до 1000 умножителей, высокоскоростные приемо-передатчики, встроенную память, работают на частотах до ГГц) могут стоить 15-20 тыс. долларов. Явно «не для ширпотреба». Цена «чего попроще» – 300-2000 долларов. Есть, конечно, совершенно «бюджетные» варианты – микросхема от Алтера всего за 250-300 рублей (если Вам для Вашего гениального проекта такти хватит 1250 вентиляей. Но подобрать «корпус» под задачу здесь можно...

Программируемая интегральная схема (ПЛИС, англ. Programmable logic device, PLD) – электронный компонент, используемый для создания цифровых интегральных схем, логика работы которого не определяется при изготовлении, а задается посредством программирования (проектирования).

Для программирования используются программатор и IDE (среда разработки), позволяющие задать желаемую структуру цифрового устройства в виде принципиальной электрической схемы или набора модулей на специальных языках описания аппаратуры: Verilog, VHDL, и др.

Как для любой «живой» области, для ПЛИС трудно дать однозначную классификацию. Во многих источниках, как сетевых, так и литературных, встречаются различные, часто даже противоречивые понятия, определения и описания. Попробуем привести нечто «среднее».

Основные типы ПЛИС:

- Programmable logic array (PLA) В отечественных источниках определяется как ПЛМ (программируемая логическая матрица).

- Programmable array logic (PAL). В отечественных источниках определяется как ПМЛ (программируемая матрица логики)

- Gate array logic (GAL). Развитие PAL, где возможно перепрограммирование устройства.

- Complex programmable logic device (CPLD). В отечественных источниках называются (обычно) либо просто ПЛИС, либо как-то типа «ПЛИС в диапазоне между PAL и FPGA».

- Field-programmable gate array (FPGA). В отечественных источниках встречается термин ППВМ (программируемая пользователем вентиляционная матрица).

Классификация во многом – историческая и достаточно условна. Встречаются и другие обозначения, ряд источников «выделяют» и другие «пункты классификации»...

В приведенной нами классификации наиболее часто в настоящее время используются два последних типа устройств. Более ранние типы, в основном, уже сняты с

производства и в разработках почти не используются (хотя и есть в продаже). Рассмотрим последние два типа отдельно.

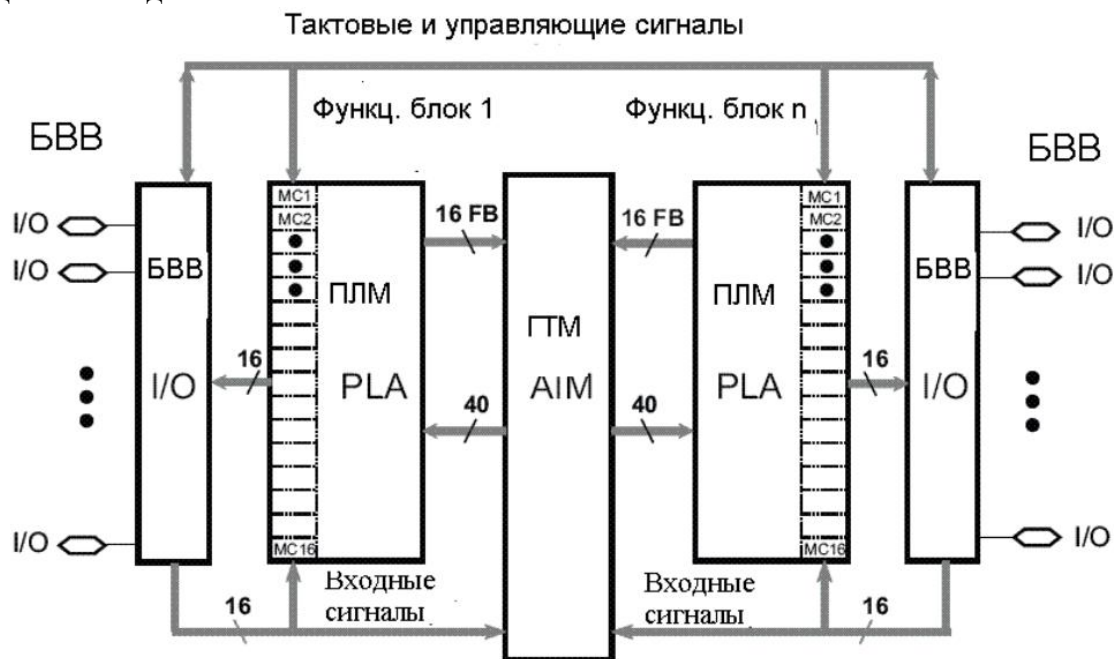


Рис.1. Структура микросхемы CPLD.

CPLD (Complex Programmable Device) – ПЛИС с относительно небольшим числом элементов (сотни или тысячи) функциональных блоков (ФБ– FB), состоящих из многоходовой ПЛМ (или ПМЛ) и триггера, и, как правило, с энергонезависимой конфигурационной (FLASH) памятью, программирование которой реализует настройку блоков и их связей. В упрощенном виде (рис.) CPLD можно представить как набор из множества ФБ, коммутируемых друг с другом через так называемую главную коммутационную матрицу (ГТМ или AIM–Advanced Interconnection Matrix)).

Такие ПЛИС дешевле, проще в применении, требуют минимальной обвязки, быстро запускаются. Могут использоваться там, где не требуется сложная логика работы, но не хватает скорости или ног у обычного микроконтроллера. Например, для обработки сигналов, к примеру, как контроллер USB или PCI-шины.

На периферии расположены блоки ввода–вывода (БВВ или I/O).

ФБ в свою очередь, состоят из так называемых макроячеек (МЯ). Каждая макроячейка (рис.2) помимо комбинационной схемы – одновыходовой ПЛМ, имеет триггер, который может быть запрограммирован как D–триггер или как триггер-защелка. На него, кроме выходного сигнала от ПЛМ(D/T), приходят сигналы разрешения(CE), установки/сброса(S,R)и синхросигнал(C).

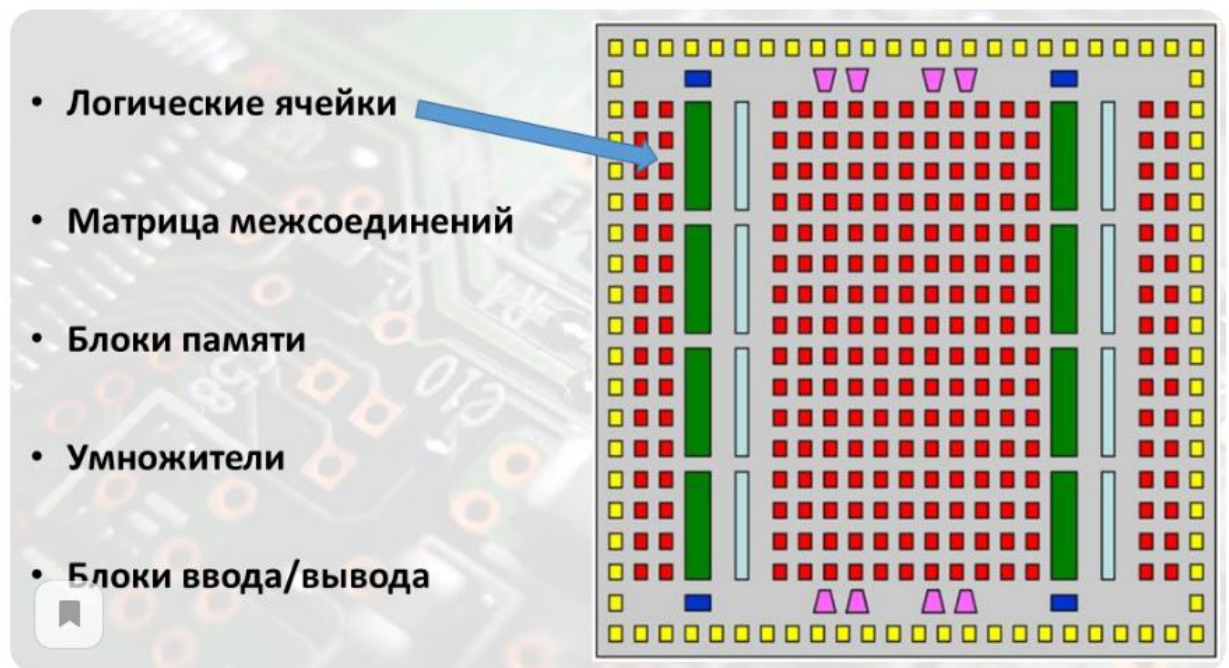


Рис. 3. Структура ПЛИС типа FPGA.

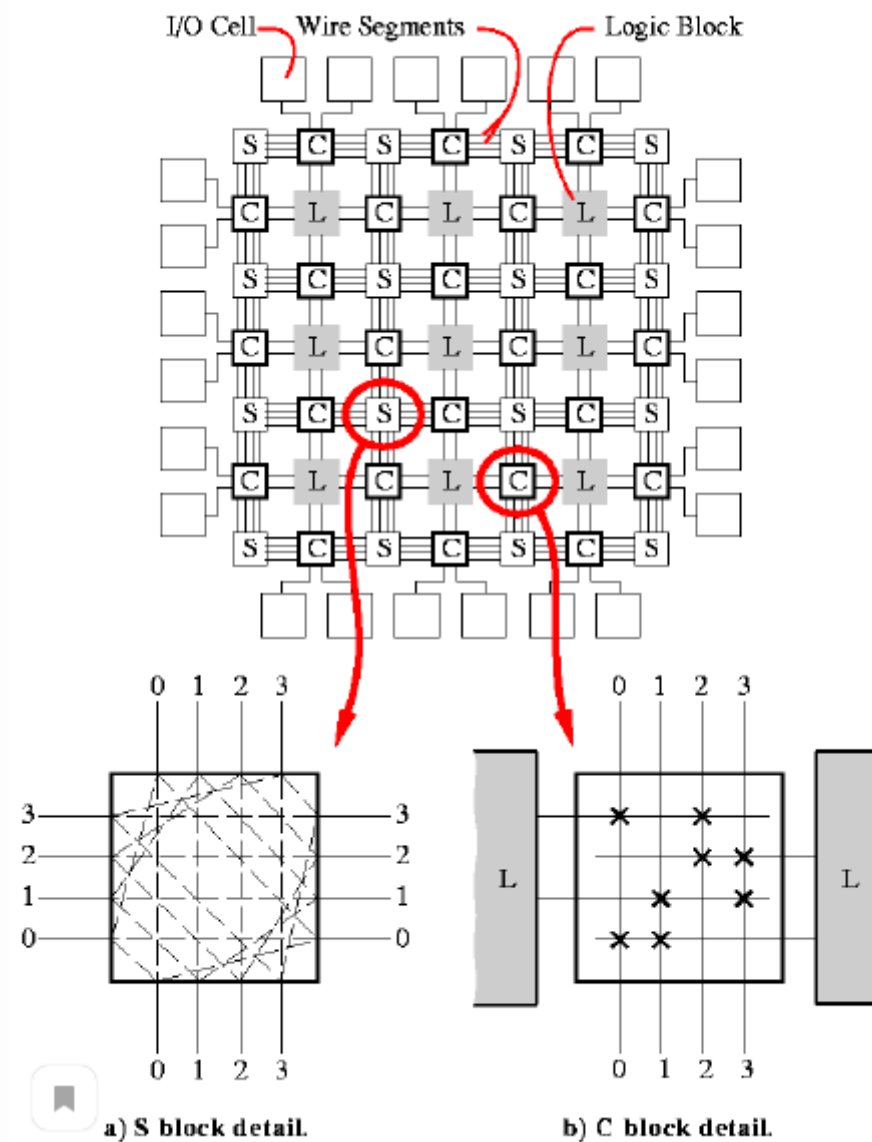


Рис. 4. Упрощенная структура ПЛИС и ее блоков.

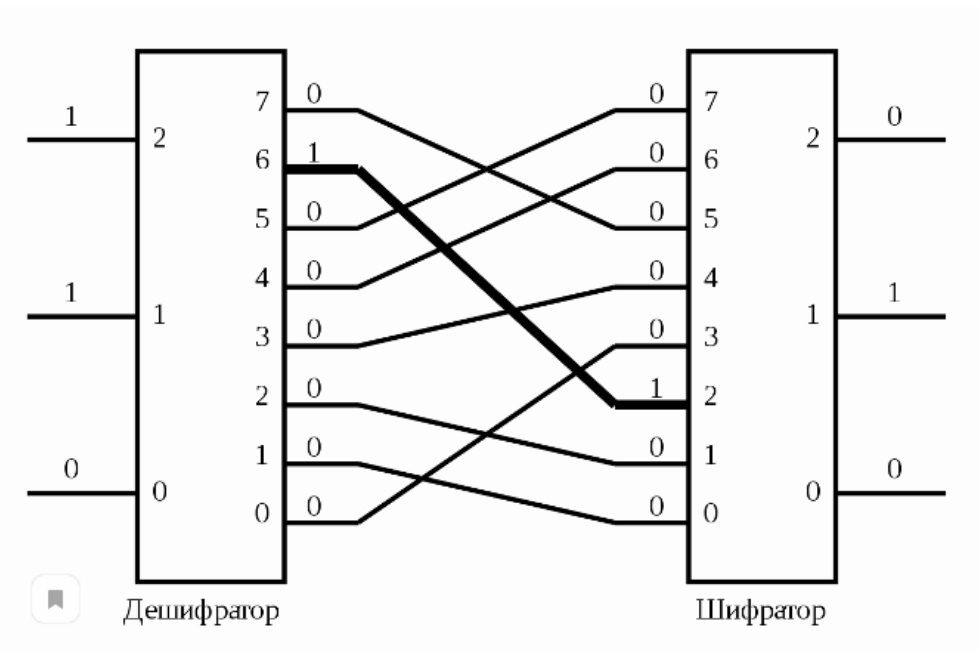


Рис. 5 Пример блока подстановок ПЛИС.

Матрица межсоединений обозначена заливкой серым цветом всего кристалла ПЛИС (рис. 3). В соответствии со своим названием межсоединения обеспечивают связь всех частей программируемой логической интегральной схемы между собой.

Разделяют ПЛИС с островной и иерархической структурой. В островной структуре логические блоки представляют собой подобие островов, окруженные «морем» блоков, осуществляющих коммутацию логических блоков (рис. 6).

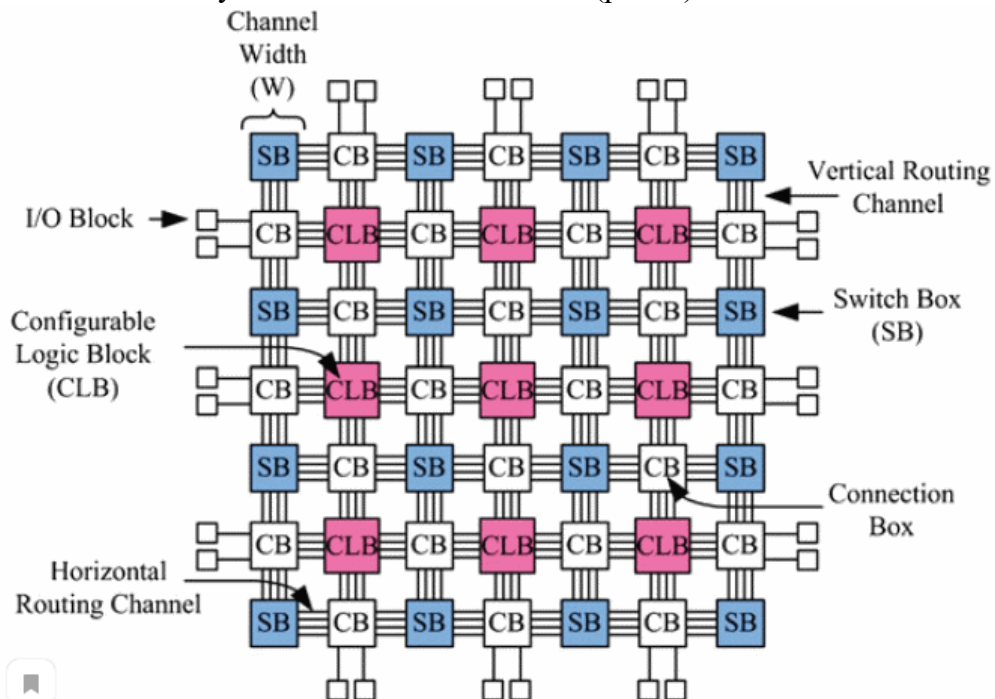


Рис. 6. Структура островной ПЛИС.

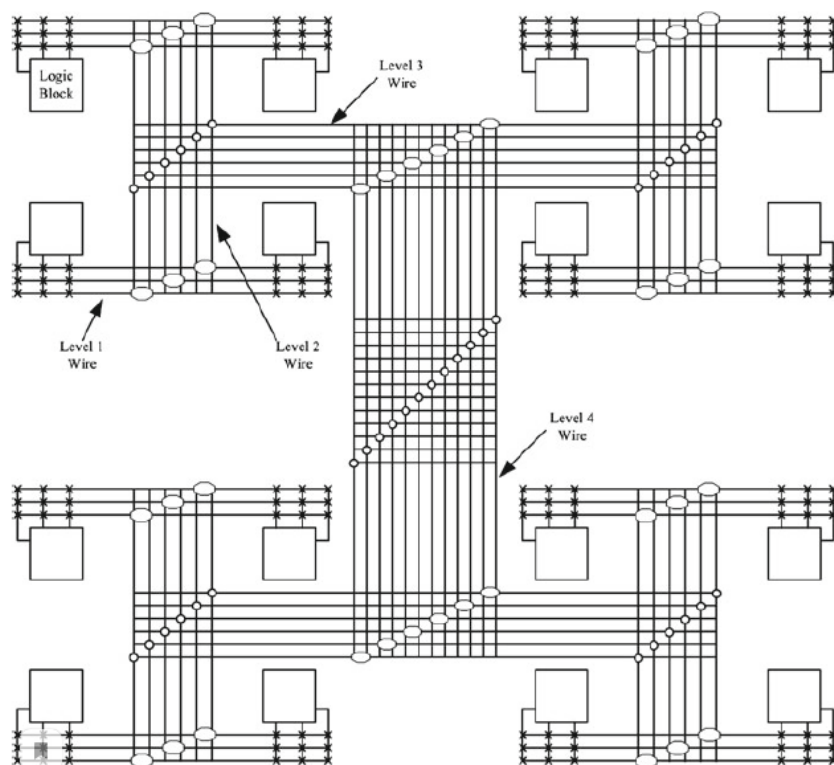


Рис. 7. Структура иерархической ПЛИС.

В иерархических ПЛИС (рис. 7) существуют как-бы «подсистемы» логических блоков. В такие подсистемы объединяются блоки, наиболее часто работающие совместно. Полученные связи просты и «быстры». Подсистемы объединяются в более сложные структуры.

Блоки памяти (зеленые блоки на рис. 3) представляют собой структуры памяти со произвольным доступом (ОЗУ по отечественной классификации). Эти блоки могут подключаться как к входам/выходам, так и к другим внутренним блокам ПЛИС.

Умножители (синий цвет на рис. 3) выполняют целочисленной умножение двух входных множителей (в простейшей терминологии). В состав современных ПЛИС могут входить весьма сложные подсистемы. В качестве примера приведем узел DSP48. Узел DSP48 – это сложная законченная ячейка, которая реализует математические и логические функции. Основные операции: умножение, сложение, вычитание, накопление, счетчик, логические операции (XOR, NAND, AND, OR, NOR), возведение в квадрат, сравнение чисел, сдвиг и т.д. На рис. 8 представлена ячейка DSP48E2 для семейства ПЛИС Xilinx Ultrascale+.

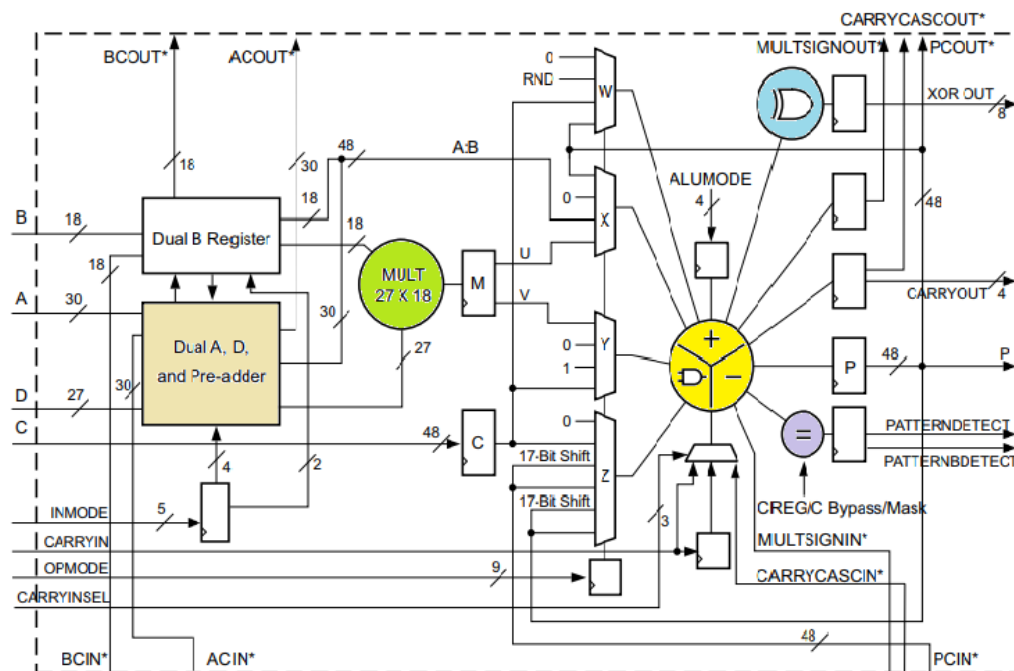
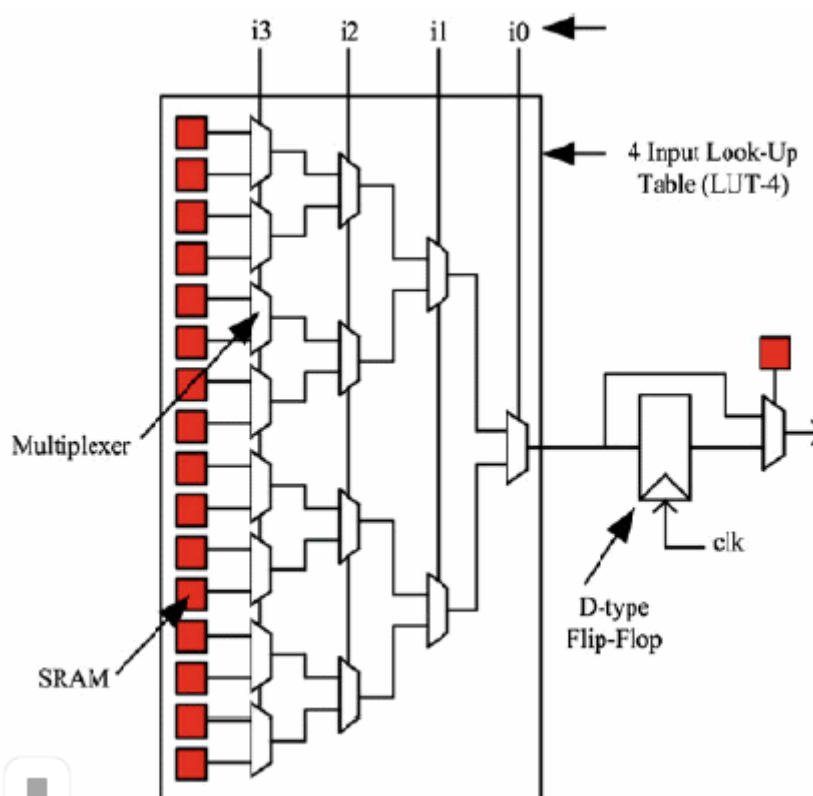


Рис. 8. Узел DSP48.

Последним основным элементом ПЛИС являются блоки ввода вывода. На схеме они показаны желтым цветом. На их функциях останавливаться не будем, они вполне очевидны. Естественно, блоки ввода вывода могут организовать связь «с внешним миром» любому внутреннему узлу ПЛИС.

Вернемся к логическим блокам и рассмотрим их устройство. Как уже говорилось выше, логическая ячейка ПЛИС не является комбинационной схемой, т.е. «логической ячейкой» в полном смысле этого слова.

Логическая ячейка является базовым логическим элементом ПЛИС типа PGA(рис.9).Она состоит из 4–6-ти входовой (в зависимости от типа FPGA) схемы, выполняющей логическую функцию, реализуемую с помощью постоянного запоминающего устройства (ПЗУ), D–триггера (DFF– D-Flip Flop), дополнительной управляющей логики и схемы ускорения переноса, используемой при построении



сумматоров.

Рис. 9. Упрощенная структурная схема 4-входовой логической ячейки.

LUT – это Look-Up Table, таблица преобразования. Например, на Рис.9 показан четырехбитный LUT в составе базового логического блока (также часто встречаемый термин, аналогичный понятию логическая ячейка). Здесь четырехбитному числу на входе логической функции ставится в соответствие однобитный результат. Красные квадратики на рис. 9 обозначают программируемый элемент, регистр – это та память, где хранится прошивка для ПЛИС. Видно, что для конфигурации 4-х битного LUT требуется 16 конфигурационных регистров. Содержимое этих регистров определяют логическую функцию, реализованную внутри логической ячейки.

Еще один конфигурационный регистр (на рис. 9 это одиночный красный квадратик справа) определяет нужно ли на выход базового логического элемента выдавать прямо значение с LUT или нужно выдать зафиксированное в D-триггере значение с LUT. Фиксация и хранение данных в цифровых схемах нужна практически в любом проекте.

При таком подходе можно достаточно точно спрогнозировать время прохождения сигнала и оно не будет зависеть от реализуемой логической функции. Эта важная особенность делает возможным временной анализ схемы. Т.е. любая из 16 возможных логических функций будет реализовываться логической ячейкой за одно и то же время. В случае применения «жесткой логики» время выполнения меняется для разных функций.

Для реализации функций с несколькими выходными переменными производится объединение нескольких логических ячеек.

Естественно, мы приводим пример «примитива» логической ячейки. Эти узлы в современных ПЛИС различаются и частенько выглядят гораздо сложнее. Но общие принципы верны в любом случае.

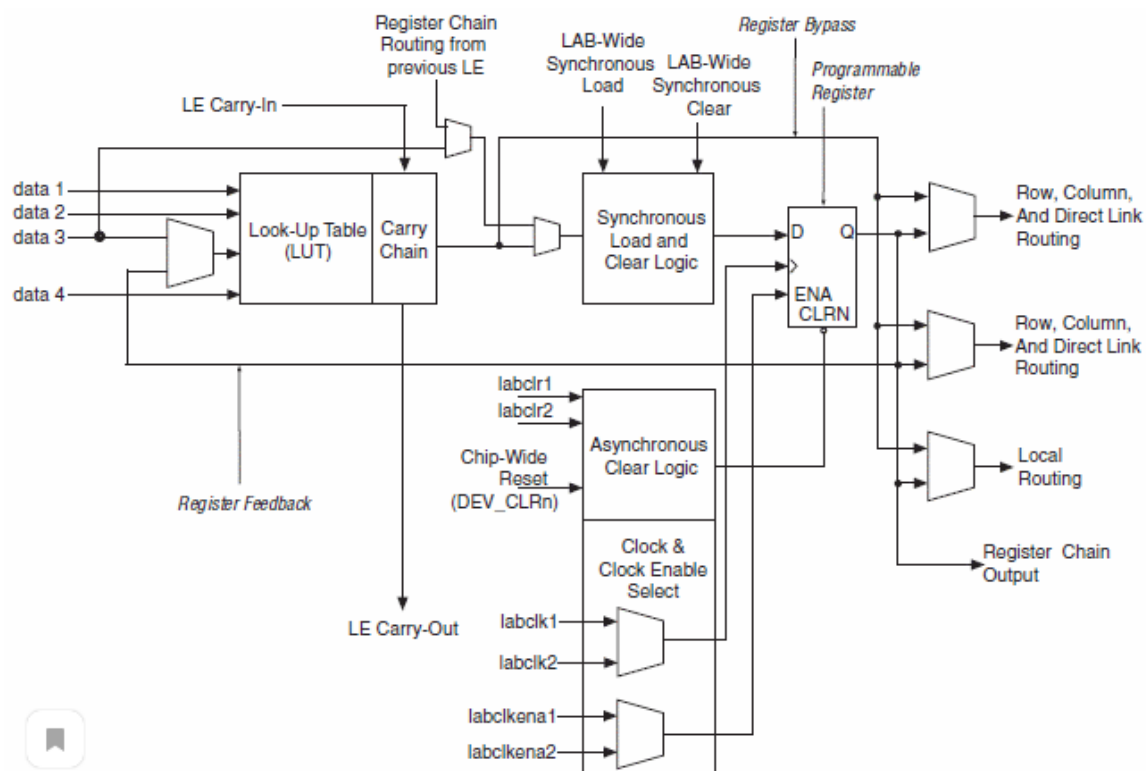


Рис. 10. Структура логической ячейки ПЛИС Cyclone III фирмы Altera.

Для работы с ПЛИС чаще всего используются как специальные аппаратные средства, так и специализированное программное обеспечение. «Рукопашная» работа с ПЛИС возможна, но в подавляющем большинстве случаев неэффективна.

Два основных «игрока» на рынке ПЛИС в настоящее время – фирмы Altera (в 2015 году эту фирму скупила Intel) и Xilinx. Обе фирмы выпускают широкий набор ПЛИС с разными техническими данными (и, как следствие, разных ценовых диапазонов).

Как структуры, так и ПО для различных серий ПЛИС серьезно различаются, в области разработки аппаратуры на ПЛИС не действует широко известный принцип «хочу знать все!», часто справедливый в «смежных» областях. Например, знает инженер-электроник принципы работы основных логических узлов, следовательно, он способен разработать любой логический автомат без памяти. Ли, знает программист, ну, Бэйсик. Ну и может писать на нем программы для ЛЮБОГО компьютера и почти любой операционной системы. А вот для ПЛИС... Часто на рынке ищут специалистов, умеющих работать С КОНКРЕТНОЙ ПЛИС! Слишком они разные, задачи решаемые на одной, могут не решаться и использованием другого «железа или софта»...

Не углубляясь в «разделение рынка» и не пытаюсь показать «самое-самое», приведем просто пару примеров того, «что надо», чтобы работать с ПЛИС.

Фирма Xilinx. ПЛИС типа FPGA серии Spartan. Конкретно: Spartan 6 LX45.

Таблица 1. Основные параметры ПЛИС семейства Spartan-6 LX

Тип ресурсов ПЛИС		Тип кристалла							
		XC6SLX4	XC6SLX9	XC6SLX16	XC6SLX25	XC6SLX45	XC6SLX75	XC6SLX100	XC6SLX150
Логические ресурсы	Количество секций Slices	600	1430	2278	3750	6822	11 662	15 822	23 038
	Общее число триггеров CLB	4800	11 440	18 224	30 064	54 576	93 296	126576	184304
	Число	3840	9152	14 579	24 051	43 661	74 637	101 261	147 443

	логических ячеек Logic Cells								
Ресурсы памяти	Объем распределенн ой памяти (1K = 1024 бит)	75 K	90 K	136 K	229 K	401 K	692 K	976 K	1355 K
	Количество модулей блочной памяти Block RAM емкостью 18 кбит	12	32	32	52	116	172	268	268
	Объем блочной памяти (1K = 1024 бит) Block RAM	216 K	576 K	576 K	936 K	2088 K	3096 K	4824 K	4824 K
Модули синхронизации	Количество блоков управления синхронизаци ей Clock Management Tiles (CMT)	2	2	2	2	4	6	6	6
	Число цифровых модулей управления синхронизаци ей Digital Clock Manager (DCM)	4	4	4	4	8	12	12	12
	Число аналоговых модулей фазовой автоподстрой ки частоты Phase-Locked- Loop (PLL)	2	2	2	2	4	6	6	6
Встроенны специализиров анные аппаратные модули	Число аппаратных секций DSP48A1	8	16	32	38	58	132	180	180
	Число аппаратных контроллеров интерфейса памяти Memory Controller Blocks (MCB)	0	2	2	2	2	4	4	4
Ресурсы ввода / вывода	Количество банков ввода/вывода	4	4	4	4	4	6	6	6
	Максимально	120	200	232	266	358	400	480	570

	е число пользовательс ких выводов								
	Максимально е число дифференциа льных пар выводов	60	100	116	133	179	200	240	285
Варианты быстродействи я ПЛИС	Варианты быстродействи я для коммерческог о исполнения	-2, -3	-2, -3	-2, -3	-2, -3	-2, -3	-2, -3	-2, -3	-2, -3
	Варианты быстродействи я для промышленно го исполнения	-L1, -2	-L1, -2	-L1, -2	-L1, -2	-L1, -2	-L1, -2	-L1, -2	-L1, -2
Конфигурацио нная память	Объем конфигурацио нной памяти, Мбит	2,7	2,7	3,7	6,4	11,8	19,6	26,5	33,7

Таблица 2. Типы корпусного исполнения ПЛИС семейства Spartan-6 LX

Тип корпуса ПЛИС	CPG196	TQG144	CSG225	FT256, FTG256	CSG324	FG484, FGG484	CSG484	FG676 , FGG6 76	FG900 , FGG9 00
Габариты, мм	8×8	20×20	13×13	17×17	15×15	23×23	19×19	27×27	31×31
Высота, мм	0,5	0,5	0,8	1	0,8	1	0,8	1	1
Тип кристалла	XC6SL X4	XC6SL X9	XC6SLX 16	XC6SLX 25	XC6VLX 45	XC6VLX 75	XC6VLX1 00	XC6VLX150	
Число пользовательс ких выводов	100	100	100	—	—	—	—	—	
	100	102	—	—	—	—	—	—	
	120	160	160	—	—	—	—	—	
	—	186	186	186	—	—	—	—	
	—	200	232	226	218	—	—	—	
	—	—	—	266	316	274	326	338	
	—	—	—	—	310	310	320	330	
	—	—	—	—	358	400	480	498	
	—	—	—	—	—	—	—	570	

Микросхема FPGA Spartan-6 LX45 оптимизирована для реализации устройств высокопроизводительной логики и включает в себя:

- 6.822 ячейки, каждая из которых содержит четыре 6-ти выводные таблицы преобразования (LUT), и 8 триггеров;
- быстродействующие блоки RAM с общим объемом 2,1 Mbit;
- четыре блока управления синхронизацией (восемь DCM и четыре PLL);
- шесть систем фазовой автоподстройки частоты;
- 58 DSP ячейки;
- тактовая частота порядка 500 МГц.

Для работы с этой ПЛИС предлагается отладочная плата (приводим один из множества вариантов).

KEY FEATURES

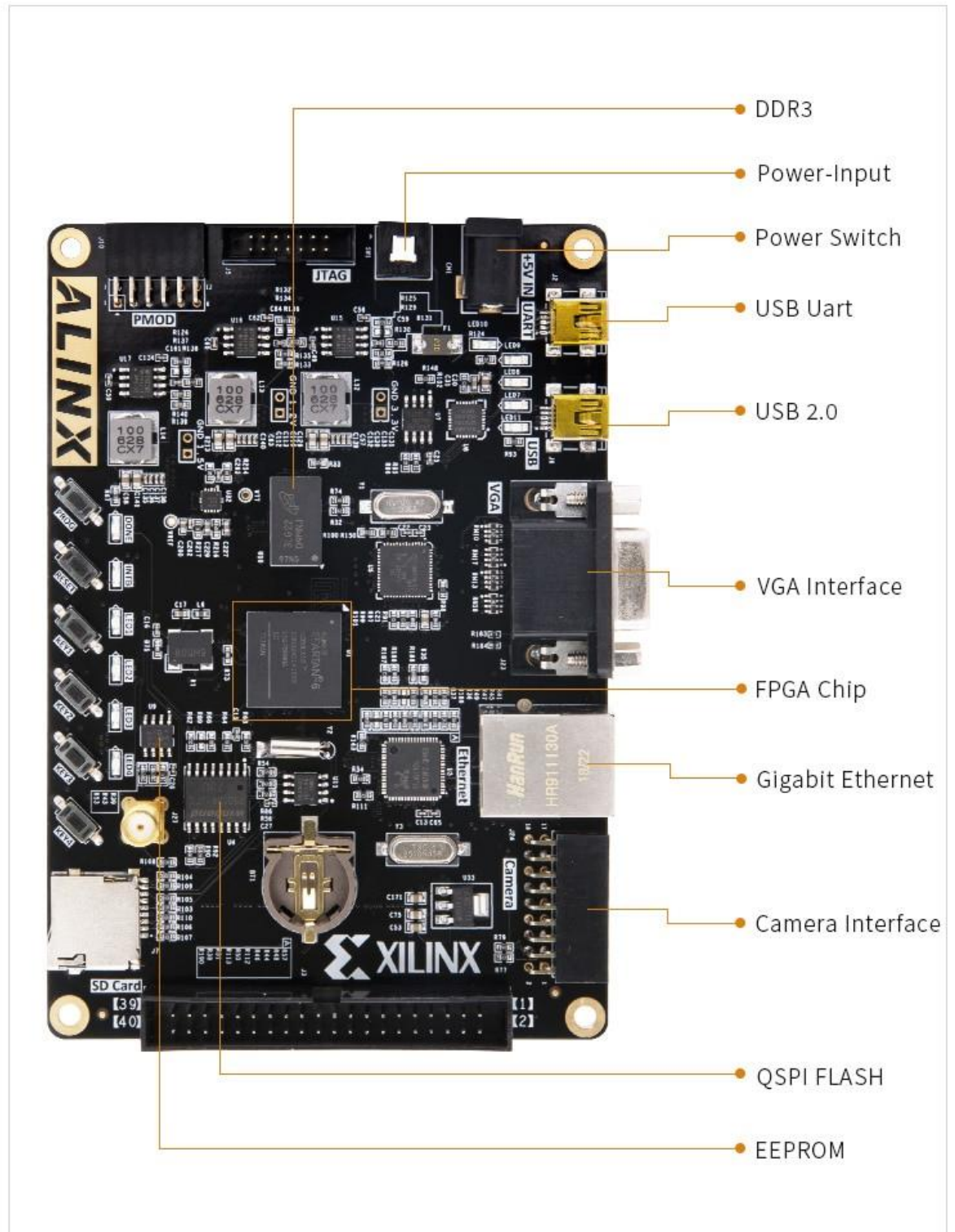


Рис. 11. Отладочная плата.

Стоимость самой ПЛИС – 78 Евро (6800 руб. на дату отсечки). Плата – естественно дороже – 18-34 тыс. рублей на ту же дату, но плата дает нам возможность решать широкий набор задач по разработке аппаратуры на ПЛИС.

Простейший вариант ПО «начального уровня» - бесплатная среда разработки Xilinx ISE WebPACK (очевидно, от той же фирмы).

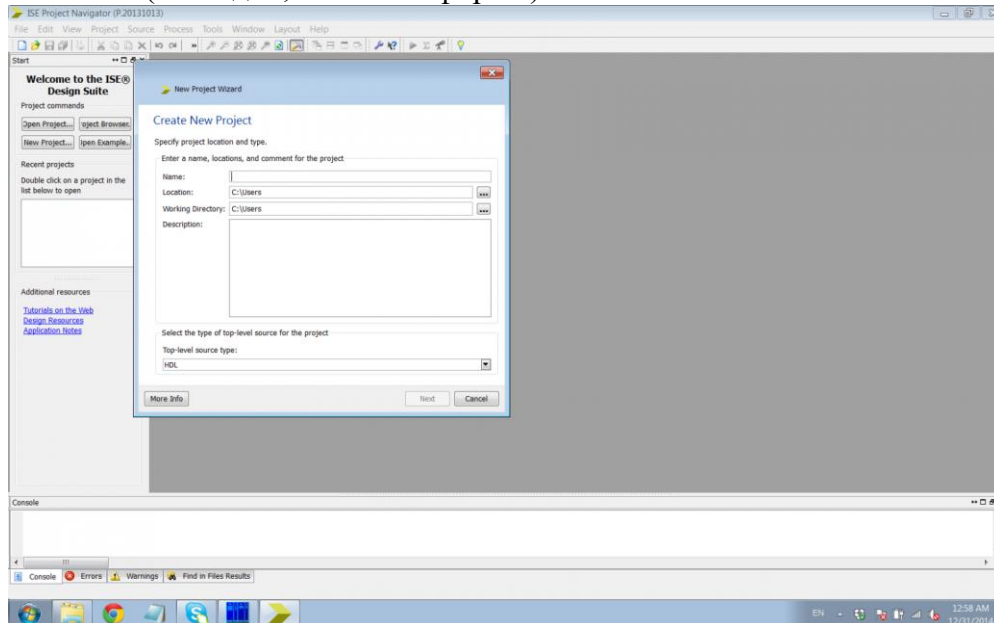


Рис. 12. Начало работы (открыт новый проект) с Xilinx ISE WebPACK.

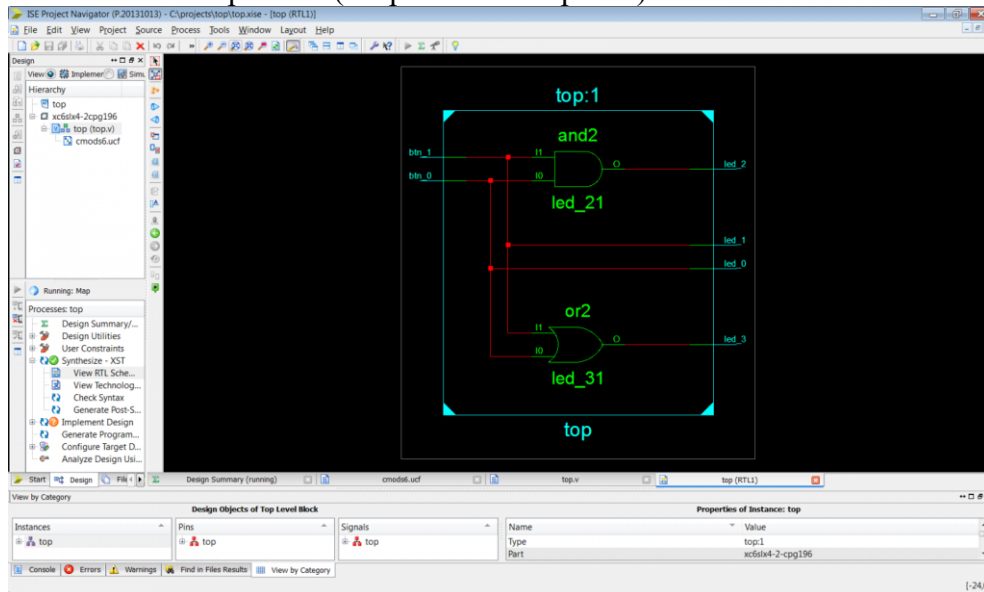


Рис. 13. Разработка «очень сложного устройства».

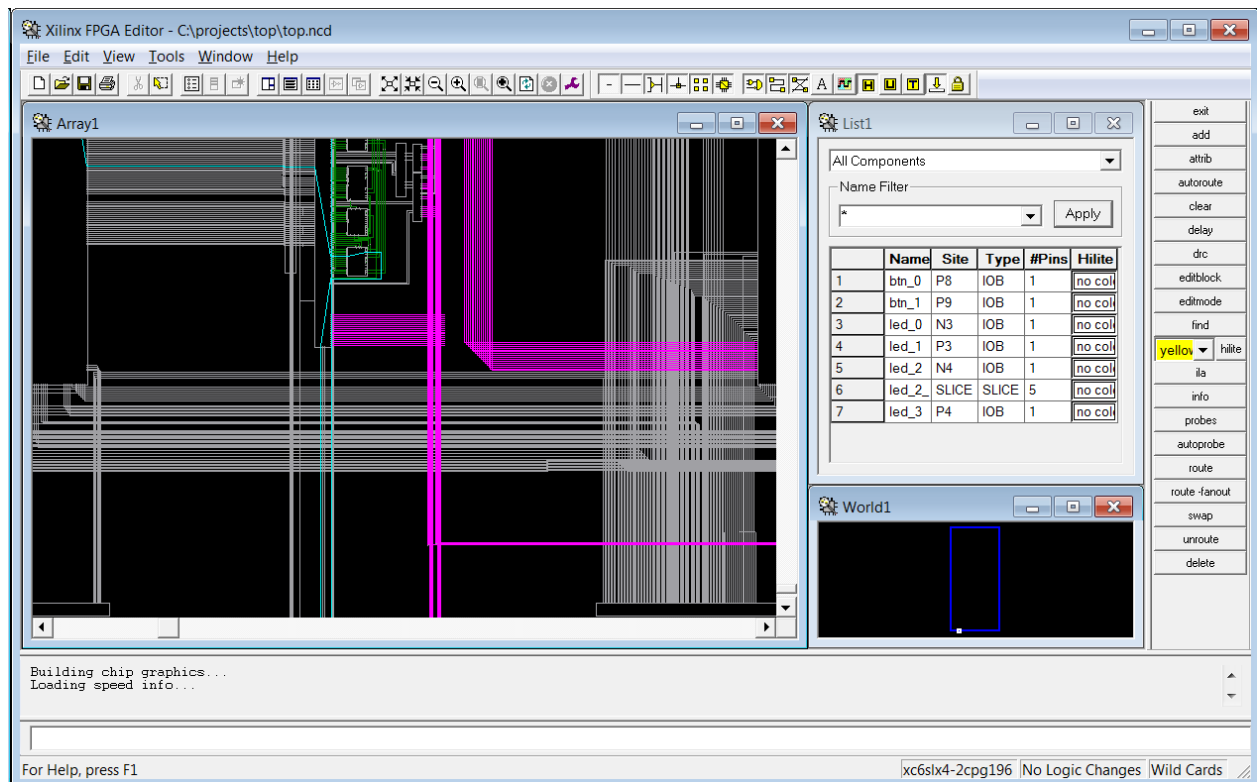


Рис. 14. Соединение узлов. Тут уже сложнее...

Понятно, что обучение программированию в нашу дисциплину не входит...

Фирма Altera. ПЛИС типа FPGA серии Cyclone. Конкретно: Cyclone V.

Основой массива программируемой логики 28-нм семейства СБИС ПЛ **Cyclone V**, в отличие от других семейств серии **Cyclone**, являются адаптивные логические модули (также, как в сериях **Arria** и **Stratix**). Кроме этого, микросхемы семейства **Cyclone V** содержат блоки цифровой обработки сигналов переменной точности, блоки встроенного ОЗУ, высокоскоростные приемопередатчики, аппаратные IP-блоки (контроллеры PCI Express и контроллеры внешней синхронной памяти), и средства защиты проекта от несанкционированного копирования и модификации.

Семейство **Cyclone V** имеет в своем составе микросхемы, которые содержат аппаратный процессорный блок, основой которого является одно- или двухъядерный процессор **ARM Cortex A9**.

Не новая уже БИС, 2011 года, цена около 50 долларов. Стартовый отладочный комплект уже 150 долларов.

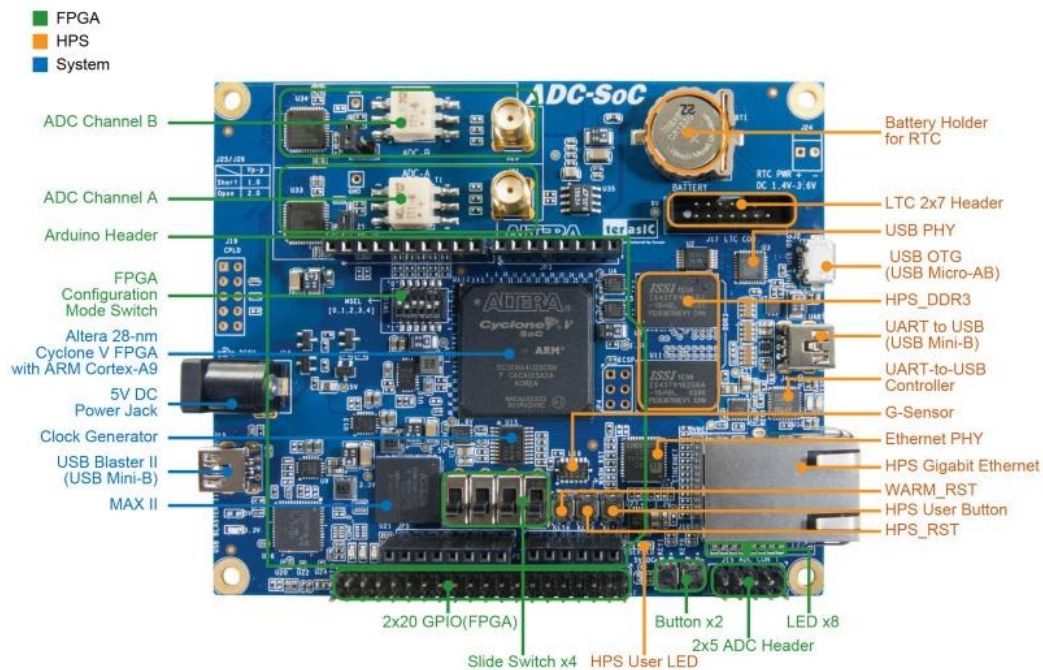


Рис. 15. Отладочная плата.

Производитель:

SoC:	Cyclone	V	Terasic
RAM:	1	GB	SE
Flash:		of	SDRAM
Ethernet:		DDR3	нет
JTAG:			10/100/1000
Arduino		header:	есть
Размеры:		89x107	есть
Цена:			мм
Другие			\$550
			ВОЗМОЖНОСТИ:

2 АЦП 14 bit, 150 MSPS

G-sensor (акселерометр)

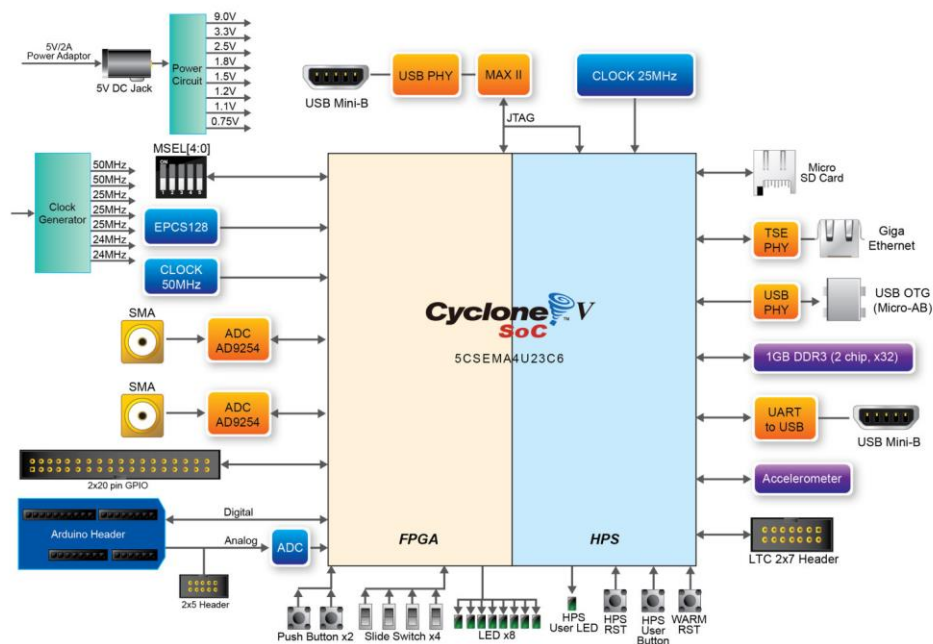


Рис. 16. Структурная схема платы.

Возможности платы очень велики, ориентация – связь, цифровая обработка информации. Правда цена – кусачая.

Но есть и более бюджетные варианты. Для более старых вариантов Cyclone можно найти платы, начиная с цены в несколько сотен рублей...

Для работы с данной ПЛИС нам нужно скачать официальную среду разработки - **Quartus II Web Edition**, она бесплатная.

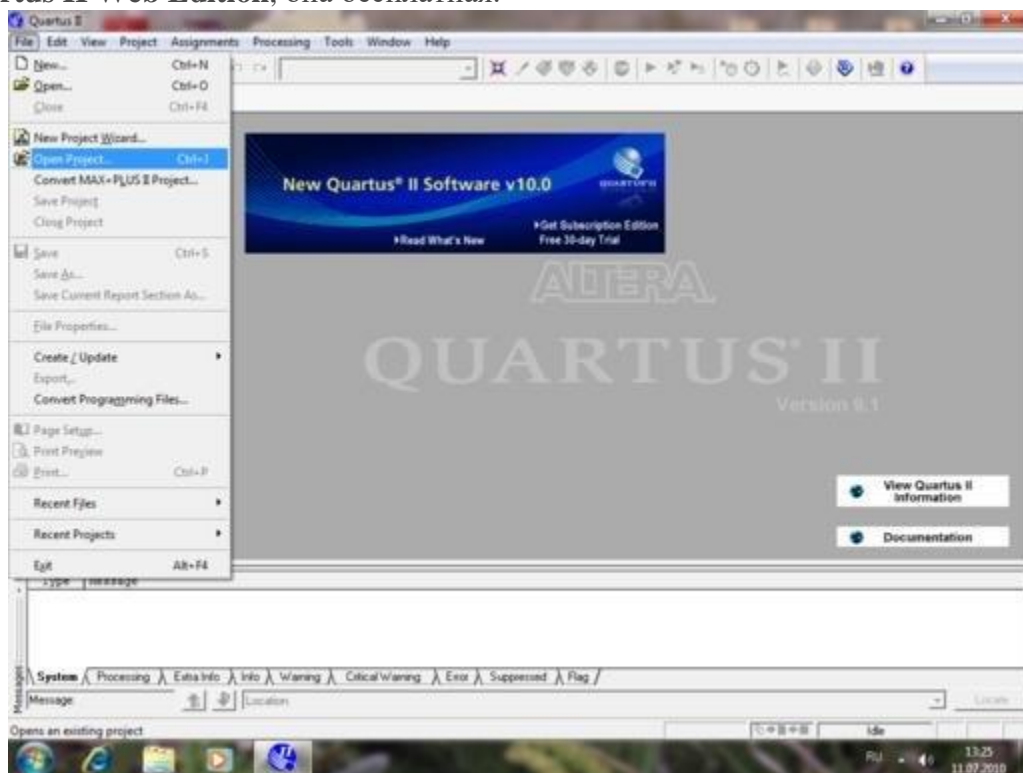


Рис. 17. Начало работы с ПО.

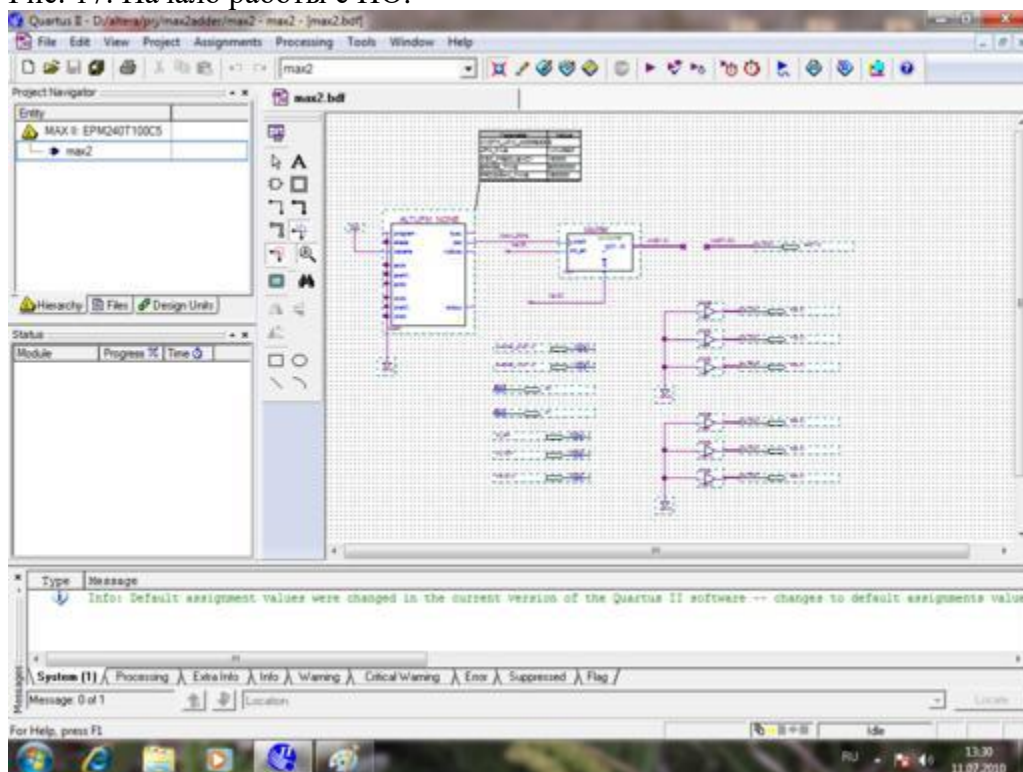


Рис. 18. Схема устройства.

Применение ПЛИС вполне соответствует поговорке «любой каприз за Ваши деньги». Все зависит от задачи, цены вопроса, ну и, естественно, толщины позолоты на очень умелых ручках разработчика...



Рис. 19. Минимализм. Модуль весов. Вариант на «мелкой логике» (шутка! Там есть микроконтроллер!) и ПЛИС.

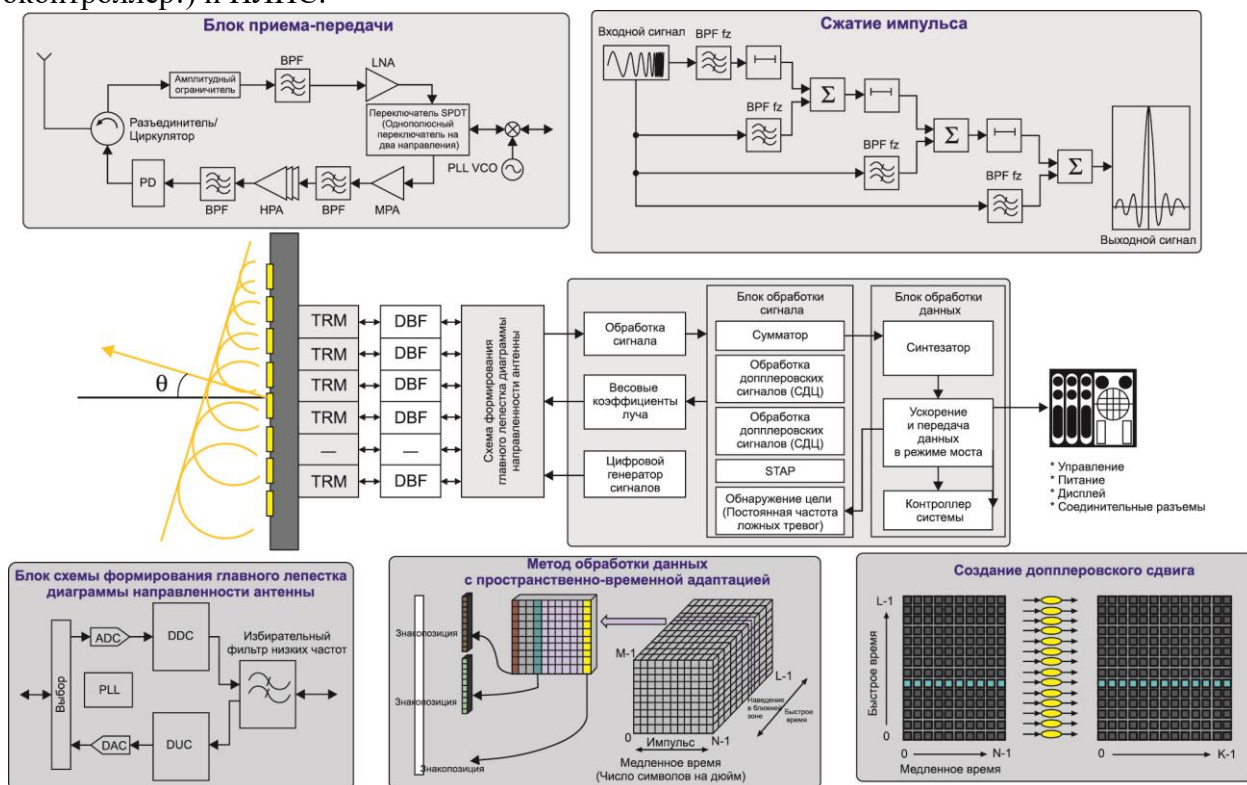


Рис. 20. Вариант «чуть чуть посложнее». Система обработки сигналов РЛС.