

Лекция 6

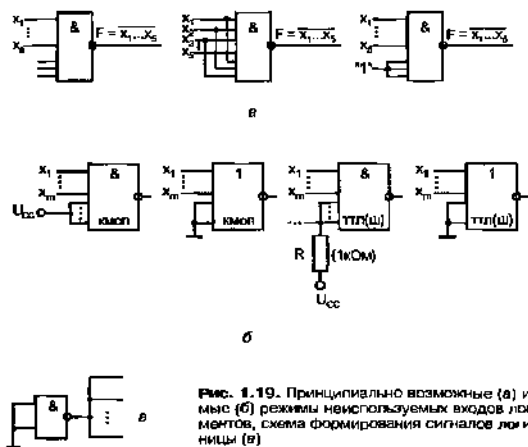
О некоторых типовых ситуациях при построении узлов и устройств на стандартных ИС

Разработанная проектировщиком функционально-логическая схема подлежит далее реализации на наборе стандартных ИС той или иной серии или на наборе библиотечных элементов той или иной БИС/СБИС с программируемой структурой. В обоих случаях возможны несовпадения элементов подлежащей изготовлению схемы и имеющихся для ее реализации. Типовыми ситуациями здесь являются наличие у имеющихся элементов "лишних" (неиспользуемых в данном случае) входов, наличие в корпусах ИС лишних элементов или, напротив, нехватка у имеющихся элементов необходимого числа входов или нагрузочной способности.

Режимы неиспользуемых входов

Вопрос о режиме "лишних" входов решается с учетом конкретного типа используемой схмотехнологии.

Пусть, например, нужно получить конъюнкцию (или ее инверсию) пяти переменных. В стандартных сериях нет соответствующих элементов с пятью входами, и придется взять элемент с восемью входами, у которого окажется три "лишних" входа. Принципиально возможно поступить следующим образом: не обращать внимания на "лишние" входы (т. е. оставить их разомкнутыми), подсоединить их к задействованным входам или подать на них некоторые константы. С точки зрения логических операций все три возможности правомерны (рис. 1, а). Если же учесть особенности той или иной схмотехнологии, то выбор варианта действий становится определенным. Для ЭСЛ решение такое: неиспользуемые входы остаются разомкнутыми. Это объясняется тем, что в схемах самих элементов уже предусмотрены специальные резисторы, связанные с источником питания, которые обеспечивают необходимые условия "лишним" входам.



Для КМОП и ТТЛ(Ш) неиспользуемые входы разомкнутыми не оставляют. Для КМОП это строгая рекомендация, т. к. у них очень велики входные сопротивления и, следовательно, на разомкнутые входы легко наводятся паразитные потенциалы, которые могут изменять работу схемы. Для ТТЛ(Ш) строгого запрета на оставление разомкнутых входов нет, но это делать незачем, т. к. вследствие этого пострадают параметры быстродействия элемента. Подсоединение "лишних" входов к задействованным для КМОП и ТТЛ(Ш) принципиально возможно, но нежелательно, т. к. оно приводит к увеличению нагрузки на источник сигнала, что также сопровождается уменьшением быстродействия источника сигнала.

Таким образом, для КМОП и ТТЛ(Ш) режим неиспользуемых входов — подсоединение их к константам (логическим единицам или нулям), не изменяющим работу схемы для задействованных входов. При этом уровни напряжений U_1 и U_0 для КМОП совпадают с уровнями U_{CC} и "земли", к которым и подключают неиспользуемые входы. У элементов ТТЛ(Ш) уровень U_1 на 1,5...2 В ниже уровня U_{CC} , поэтому для предотвращения пробоев неиспользуемые входы подключают к источнику питания U_{CC} через резисторы R , (обычная рекомендация: $R = 1\text{ кОм}$), причем к одному резистору разрешается подключать до 20 входов.

Примеры, иллюстрирующие перечисленные способы подключения неиспользуемых выводов ИС, показаны на рис. 1, б. Сигналы логической единицы можно получать от специального элемента (рис. 1, в), причем, если это мощный элемент, то он может иметь коэффициент разветвления до 30.

Режимы неиспользуемых элементов

Если не все элементы, имеющиеся в корпусе ИС, использованы в схеме, то неиспользованные также подключены к напряжению питания, которое является общим для всего корпуса. Если же мощности, потребляемые элементами в состояниях нуля и единицы, не равны, то имеет смысл поставить неиспользуемый элемент в состояние минимальной мощности, подав на какой-либо из его входов соответствующую константу.

Наращивание числа входов

Для элементов И и ИЛИ это не представляет трудностей: для получения нужного числа входов берется несколько элементов, выходы которых объединяются далее элементом того же типа. Нарастивание числа входов для операций И-НЕ, ИЛИ-НЕ, в сущности, производится аналогичным методом, но в схеме появляются дополнительные инверторы (рис. 2, а). На этом рисунке звездочка обозначает операцию Шеффера или Пирса.

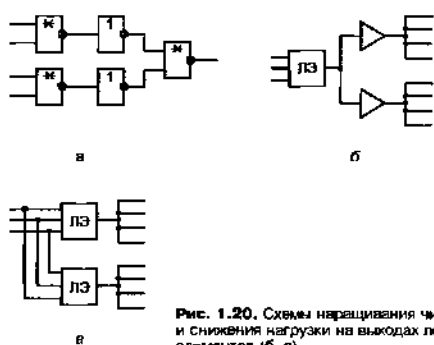


Рис. 1.20. Схемы наращивания числа входов (а) и снижения нагрузки на выходах логических элементов (б, в)

Снижение нагрузок на выходах логических элементов

Это может понадобиться, если нагрузки превышают допустимые значения, а также для повышения быстродействия схем, на которое нагрузки элементов оказывают самое непосредственное влияние. Чем больше число нагрузок у элемента — источника сигнала (или нестандартная внешняя нагрузка), тем большее время тратится на достижение выходным сигналом порогового уровня при переключении, т. е. на изменение его логического состояния. Для предотвращения потерь быстродействия из-за нагрузок на выходах сильно нагруженных элементов применяют буферизацию или разделение нагрузки (рис. 2, б, в).

Введение буферных каскадов ускоряет работу источника сигнала, но вносит собственную задержку в тракт передачи сигнала. Будет ли в конечном счете эффект ускорения, определяется конкретным расчетом.

При разделении нагрузки новые элементы с задержками в тракт передачи сигнала не вводятся, но увеличивается нагрузка на тот источник сигнала, который питает рассматриваемую схему. Поэтому и здесь эффективность приема должна оцениваться конкретным расчетом.

Введение в проблематику проектирования ЦУ комбинационного типа

Функциональные узлы выполняют типовые для цифровых устройств микрооперации. Микрооперации соответствуют низшему иерархическому уровню внутреннего языка цифрового устройства, они обозначены в этом языке и не содержат других операций, обозначенных в нем.

Как и все цифровые устройства вообще, функциональные узлы делятся на комбинационные и последовательностные. В дальнейшем комбинационные узлы будем обозначать через КЦ (комбинационные цепи), а последовательностные через АП (автоматы с памятью). Различия между КЦ и АП имеют фундаментальный характер.

Выходные величины КЦ зависят только от текущего течения входных величин (аргументов). Предыстория значения не имеет. После завершения переходных процессов в КЦ на их выходах устанавливаются выходные величины, на которые характер переходных процессов влияния не оказывает. С этой точки зрения переходные процессы в КЦ не опасны.

Но в ЦУ в целом КЦ функционируют совместно с АП, что кардинально меняет ситуацию. Во время переходных процессов на выходах КЦ появляются временные сигналы, не предусмотренные описанием работы КЦ и называемые рисками. Со временем они исчезают, и выход КЦ приобретает значение, предусмотренное логической формулой, описывающей работу цепи. Однако риски могут быть восприняты элементами памяти АП, необратимое изменение состояния которых может радикально изменить работу ЦУ, несмотря на исчезновение сигналов рисков на выходе КЦ.

Различают статические и динамические риски. Статические риски — это кратковременные изменения сигнала, который должен был бы оставаться неизменным (единичным или нулевым, соответственно чему говорят о 1-риске или 0-риске). Если согласно логике работы КЦ состояние выхода должно измениться, но вместо однократного перехода происходят многократные, то имеет место динамический риск. При динамических рисках первый и последний переходы всегда совпадают с алгоритмическими, предусмотренными логикой работы схемы. Статический риск такого свойства не имеет и считается более неблагоприятным.

Простейший пример (рис. 3, а) соответствует выработке функции "константа 1" по формуле $F = x \bar{x} = 1$. В статике при любом значении x на одном из входов элемента И-НЕ имеется логический нуль, обеспечивающий единичное значение выхода. В переходных процессах возможен статический 1-риск.

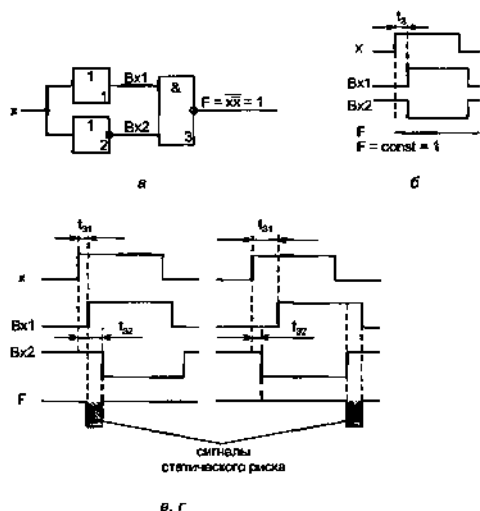


Рис. 3. Схема, иллюстрирующая механизм возникновения статического риска в комбинационной цепи (а), и временные диаграммы ее работы (б, в, г)

Не учитывая задержку элемента 3, которая здесь не играет роли, рассмотрим временные диаграммы переходных процессов для случаев равенства задержек элементов 1 и 2 (рис. 3, б), а также их неравенства, показанные на рис. 3, в, г. Видно, что при различных задержках элементов возникает статический риск после положительного или отрицательного перепада входного сигнала в зависимости от того, задержка какого элемента больше.

Для исключения возможных сбоев в работе ЦУ из-за явлений риска имеются два пути.

Первый состоит в синтезе схем, свободных от рисков, и требует сложного анализа процессов в схеме и введения избыточных элементов для исключения рисков. Этот путь редко используется в практике.

Второй путь, основной для современной схемотехники, предусматривает запрещение восприятия сигналов КЦ элементами памяти на время переходных процессов. Прием информации с выходов КЦ разрешается только специальным сигналом синхронизации, подаваемым на элементы памяти после окончания переходных процессов в КЦ. Таким образом, исключается воздействие ложных сигналов на элементы памяти. Иными словами, основная идея здесь может быть выражена словами "переждать неприятности". Соответствующие структуры называются синхронными.

Для определения временного интервала, на котором проходят переходные процессы, следует оценить задержки на путях распространения сигналов от входов к выходам КЦ. Для

примера рассмотрим рис. 4. Нужно взять пути с минимальной и максимальной задержками. Если на входе КЦ изменение аргументов произошло в нулевой момент времени, то по самому короткому пути до выхода F3 сигнал может пройти за время t_1 , которое и обозначит начало интервала переходных процессов. На самом длинном пути (до выхода Fj) сигнал задержится не более чем на время t_3 , по истечении которого переходные процессы завершатся.

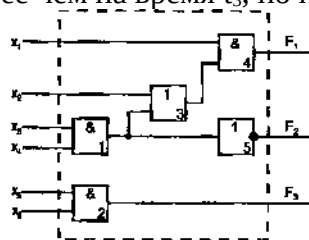


Рис. 2.2. Схема, иллюстрирующая расчет длительности переходного процесса в комбинационной цепи

В общем случае, нужно оценить задержку сигнала по самом коротком пути как сумму минимальных задержек элементов, составляющих этот путь, и задержку на самом длинном пути как сумму максимальных.

Из приведенного примера видно, что для расчета переходных процессов и ЦУ нужны сведения о минимальных и максимальных значениях задержек элементов. К сожалению, изготовитель часто указывает только максимальные значения задержек, нередко приводятся максимальные и типовые значения и крайне редко имеются сведения о минимальных. Наиболее полно описывались бы задержки статистическими характеристиками, но они, как правило, неизвестны.

Если даны только максимальные задержки, то теряется возможность сравнивать времена прохождения сигналов в разных цепях (в любой цепи задержка может быть сколь угодно малой), а это затрудняет оценку работоспособности схем и может вынудить принять не лучшие схемотехнические решения. Для цепей из элементов с независимыми задержками отношение t_{\max}/t_{\min} равно обычно 2...3, для элементов одного кристалла между задержками элементов возникает сильная корреляция, и отношение может существенно снижаться.

В состав ЦУ, как правило, входят типовые функциональные узлы и некоторое количество логических схем, специфичных для данного конкретного проекта (как иногда говорят — произвольной логики). Проектирование произвольной логики комбинационного типа производится по этапам. Прежде всего, задается характер функционирования КЦ. Это может быть сделано различными способами, чаще всего пользуются таблицами функционирования (таблицами истинности), задающими значение искомым функций на всех наборах аргументов. От таблицы легко перейти к СДНФ искомым функций (СДНФ — совершенная дизъюнктивная нормальная форма, т. е. дизъюнкция конъюнктивных членов одинаковой размерности). Для этого составляют логическую сумму тех наборов аргументов, на которых функция принимает единичное значение.

Например, для подлежащей воспроизведению функции четырех аргументов, заданной табл. 2.1, получим

Таблица 2.1

x_1	x_2	x_3	x_4	F	x_1	x_2	x_3	x_4	F
0	0	0	0	1	1	0	0	0	1
0	0	0	1	1	1	0	0	1	1
0	0	1	0	1	1	0	1	0	0
0	0	1	1	1	1	0	1	1	0
0	1	0	0	0	1	1	0	0	0
0	1	0	1	0	1	1	0	1	1
0	1	1	0	0	1	1	1	0	0
0	1	1	1	0	1	1	1	1	1

$$F = \bar{x}_1\bar{x}_2\bar{x}_3\bar{x}_4 \vee \bar{x}_1\bar{x}_2\bar{x}_3x_4 \vee \bar{x}_1\bar{x}_2x_3\bar{x}_4 \vee \bar{x}_1\bar{x}_2x_3x_4 \vee \bar{x}_1x_2\bar{x}_3\bar{x}_4 \vee \bar{x}_1x_2\bar{x}_3x_4 \vee \bar{x}_1x_2x_3\bar{x}_4 \vee \bar{x}_1x_2x_3x_4$$

Дальнейшие действия зависят от средств реализации функций, к которым в современной схемотехнике относятся:

1. Логические блоки табличного типа (LUTs, Look-Up Tables).

2. Логические блоки в виде последовательности матриц элементов И и ИЛИ (PLA, Programmable Logic Array; PAL, Programmable Array Logic).
3. Универсальные логические блоки на основе мультиплексоров.
4. Логические блоки, собираемые из логических элементов некоторого базиса (SLC, Small Logic Cells).

Если КЦ будет реализована на основе логических блоков табличного типа, то СДИФ явится окончательным выражением функции, и никаких дальнейших преобразований этой формы не потребуется. Дело в том, что табличный блок представляет собою память, в которой имеется столько ячеек, сколько необходимо для хранения всех значений функций, т. е. 2^t , где t — число аргументов функции. Набор аргументов является адресом той ячейки, в которой хранится значение функции на этом наборе (0 или 1). СДНФ как раз и содержит все адреса, по которым нужно хранить единичные значения функции. Если искомая функция выражена в какой-либо сокращенной форме, то следует перевести ее в СДНФ. Для этого конъюнктивные члены, не содержащие переменной x_i , умножаются на равную единице дизъюнкцию $X_j V \bar{X}_j$. Например,

$$\begin{aligned} F(x_1, x_2, x_3) &= x_1 \vee \bar{x}_2 \bar{x}_3 = x_1 (x_2 \vee \bar{x}_2) (x_3 \vee \bar{x}_3) \vee x_2 \bar{x}_3 (x_1 \vee \bar{x}_1) = \\ &= x_1 x_2 x_3 \vee x_1 \bar{x}_2 x_3 \vee x_1 \bar{x}_2 \bar{x}_3 \vee x_1 x_2 \bar{x}_3 \vee x_1 \bar{x}_2 \bar{x}_3 \vee \bar{x}_1 x_2 \bar{x}_3. \end{aligned}$$

Блок памяти для воспроизведения функции m переменных имеет вид рис. 5, а. Если требуется воспроизвести p функций, то в каждой ячейке нужно будет хранить p бит (по одному биту для каждой функции), и блок памяти будет организован, как показано на рис. 5, б.

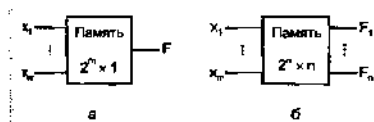


Рис. 2.3. Блоки памяти для воспроизведения одной (а) и нескольких (б) логических функций

Если размерность блоков табличного типа такова, что не позволяет получить искомую функцию с помощью одного блока, т. е. число входов блока памяти меньше числа аргументов функций, то появляется необходимость решения сложной задачи выражения искомой функции через подфункции с меньшим числом аргументов.

Если данный проект реализуется на логических блоках, в виде последовательно включенных матриц элементов И и ИЛИ либо их эквивалента в другом базисе, то исходную СДНФ можно минимизировать, если, конечно, возникает такая необходимость. Логические блоки с матрицами И и ИЛИ воспроизводят системы переключательных функций и имеют параметры: число входов, выходов и термов. Число входов (аргументов воспроизводимых функций) и число выходов (самих функций) от формы выражения функций не зависят и предопределены заданием. Число термов (имеются в виду конъюнктивные гермы) зависит от формы представления функций системы. Если число термов при данной форме представления функций превышает возможности логического блока, то возникает вопрос о минимизации функций. Целью минимизации будет сокращение числа конъюнктивных термов в данной системе функций, т. е. поиск кратчайших дизъюнктивных форм. Практически это сводится к поиску минимальных форм дизъюнктивных нормальных форм (ДНФ), о чем говорится далее, и о наборе среди них вариантов с достаточно малым числом термов.

Как только находится форма с достаточно малым числом термов, поиск других форм можно прекратить, т. к. дальнейшее уменьшение числа термов системы эффекта не даст: сложность аппаратных средств воспроизведения системы уже не уменьшится. Разумеется, речь идет о реализациях на уже выбранных средствах, а не о том, что могут быть применены иные логические блоки — того же типа, но иной размерности.

Синтез КЦ на логических блоках типа SLC, т. е. на вентильном урон не, является самым традиционным и изученным (термином "вентиль" называют базовые логические ячейки, выполняющие простейшие операции, для многих И С эту роль играют элементы И-НЕ с двумя-тремя входами). В этом варианте проектирование КЦ содержит следующие этапы: П минимизацию логических функций; □ переход к заданному логическому базису.

Минимизация в широком смысле слова — такое преобразование логических функций, которое упрощает их в смысле заданного критерия. Исторически первым было стремление минимизировать число логических элементов в схеме (элементы были наиболее дорогими компонентами устройств), что приводит к критерию сложности схемы в виде числа букв в

реализуемых выражениях. Этот критерий учитывается так называемой ценой по Квайну — суммарным числом входов всех логических элементов схемы. Для минимизации по этому критерию разработано несколько методов, в их числе как аналитические, основанные на преобразованиях математических выражений, так и графические, основанные на применении специальных карт (карт Карно, динфамм Вейча), удобных в использовании, если число аргументов функции не превышает 6.

С переходом на ИС и ростом уровня их интеграции критерием аппаратной сложности ЦУ стала площадь, затрачиваемая на их размещение. При этом для ИС, реализуемых непосредственно на кристалле, площадь имеет прямой физический смысл и измеряется чаще всего в квадратных миллиметрах. Для устройств, реализуемых на печатной плате, "площадь" измеряется числом корпусов в составе ЦУ. Так как корпуса ИС неодинаковы, их следует приводить к некоторым эквивалентным корпусам. Приведение учитывает число выводов корпуса, так, например, корпус с 24 выводами в 1,5 раза сложнее корпуса с 16 выводами. Понятно, что операции приведения соответствует оценка суммарной площади корпусов ЦУ по общему числу всех выводов корпусов ИС.

Минимизация по числу букв в реализуемом выражении перестала точно соответствовать новому критерию, хотя между обоими критериями сохраняется известная связь.

Следующий этап проектирования — переход к заданному логическому базису от исходных выражений, которые обычно получают в булевском базисе (И, ИЛИ, НЕ). Правила такого перехода известны, они основаны на применении теоремы де-Моргана. В частности, для перехода к базису И-НЕ используется соотношение

$$F(x_1, x_2, x_3, x_4) = x_1 x_2 \vee x_3 x_4 = \overline{\overline{x_1 x_2} \cdot \overline{x_3 x_4}} = \overline{\overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_4}}$$

а для перехода к базису Пирса удобно вначале получить исходную булевскую форму для инверсии искомой функции, а затем от нес перейти к базису ИЛИ-НЕ по соотношениям

$$F = x_1 x_2 \vee x_3 x_4, \quad \overline{F} = \overline{x_1 x_2 \vee x_3 x_4} = \overline{x_1 x_2} \cdot \overline{x_3 x_4} = \overline{x_1} \vee \overline{x_2} \vee \overline{x_3} \vee \overline{x_4}.$$

Традиционные методы минимизации функций алгебры логики приводят к каноническим их формам, соответствующим двухъярусной (если входные переменные заданы и прямыми и инверсными значениями) реализации путем последовательного выполнения операций И и ИЛИ. Переход к базисам И-НЕ и ИЛИ-НЕ ярусность схем не изменяет. Для построения простых схем или схем на некоторых видах программируемой матричной логики такое представление может служить в качестве окончательного варианта. Для некоторых задач каноническое представление может оказаться слишком громоздким. Для упрощения выражений можно применять к ним факторизацию (вынесение общих множителей за скобки и группирование членов), различного рода эквивалентные подстановки и др. Упрощение функций путем факторизации может дать большой эффект, но при этом увеличивается ярусность схем и, следовательно, возрастает задержка в выработке результата. Возможные преобразования функций порождают необозримое множество вариантов, причем наиболее ценные отнюдь не лежат на поверхности. При поиске таких вариантов проектировщик не имеет теоретических подсказок и действует эвристически.

К проблематике проектирования ЦУ относится и вопрос о критериях их качества. Поскольку одну и ту же задачу можно решить многими способами, возникают альтернативные варианты проекта, которые нужно уметь сравнивать между собой. Объективная сложность сравнительной оценки вариантов обусловлена тем, что при этом имеет значение целый набор свойств для каждого варианта — частных критериев его качества. Каждый частный критерий имеет ясный, определенный смысл (аппаратная сложность, быстродействие, потребляемая мощность, помехоустойчивость и др.), но не может исчерпывающим образом охарактеризовать вариант. А чтобы учесть несколько частных критериев качества, нужно сформировать общий критерий (интегральный, многоцелевой, функцию качества, функцию ценности). Формирование такого критерия — чрезвычайно ответственная задача, не имеющая формального решения. В любую форму общего критерия качества входят коэффициенты, назначаемые субъективно. Таким образом, возникает ситуация, когда для оценки устройства применяется критерий, а для него самого оценки качества не существует. Поэтому в практике проектирования сложные общие критерии качества не популярны. Достаточно признанным можно, пожалуй, считать лишь

критерий АТ, где А — аппаратная сложность устройства, Т — время решения задачи. Да и то здесь так же проявляется общий недостаток, свойственный всем общим критериям — в них может происходить взаимная компенсация частных критериев, и уменьшение одного может быть скомпенсировано ростом другого, что формально равноценно, но не всегда разумно.

Паразитные связи цифровых элементов по цепям питания. Фильтрация питающих напряжений в схемах ЦУ

Одной из важнейших задач при проектировании и эксплуатации ЦУ является борьба со сбоями из-за помех. Типовой проблемой здесь является, в частности, наличие токовых импульсов в цепях питания ИС.

При переключениях элементов в цепях питания создаются кратковременные импульсные токи, благодаря чему сами элементы становятся источниками помех для соседних элементов. Токовые импульсы в цепях питания создаются сквозными токами выходных каскадов типов ТТЛ(Ш) и КМОП, а также токами перезаряда емкостей, что свойственно и всем другим типам элементов.

Для определенности далее будем говорить о сквозных токах, хотя практически то же самое можно говорить и о токах перезаряда емкостей.

Импульс сквозного тока переключающегося элемента 1 (рис. 6, а) $I_{СКВ}$ протекает через транзисторы выходного каскада, условно изображенные замкнутыми ключами, от источника питания U_{CC} на общую точку схемы GND через линии, имеющие полные сопротивления Z_{CC} и Z_{GND} . Главную часть сопротивлений составляют индуктивности линий, на которых выделяются напряжения $U_L = L \cdot di/dt$. Протекание сквозного тока создает на линии питания отрицательный импульс, а на линии общей точки ("земли") — положительный. Эти импульсы воздействуют на подключенный вблизи элемента 1 элемент 2. Если, как показано на рисунке, элемент 2 находится в состоянии логического нуля, то его выход через насыщенный транзистор выходного каскада, отображаемый замкнутым ключом, связан с линией GND, следовательно, импульс с этой линии попадет на выход элемента 2, откуда сможет распространяться и далее по обычным сигнальным цепям. При единичном состоянии элемента 2 на его выход пройдет отрицательный импульс помехи с линии источника питания.

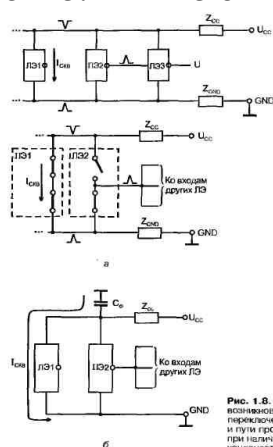


Рис. 1.8. Схемы, поясняющие возникновение импульсных помех при переключении цифрового элемента (а), и пути прохождения сквозного тока при наличии в схеме фильтрующего конденсатора (в)

Для борьбы с этими опасными помехами нужны "хорошая земля" и фильтрация напряжений питания.

"Качество земли" улучшается конструктивными мерами, снижающими сопротивление Z_{GND} : шины "земли" делаются утолщенными, нередко для их реализации отводят целые плоскости многослойных конструкций (плат и кристаллов), систему "заземления" соединяют с несколькими выводами корпуса, чтобы сократить пути прохождения токов в этой системе и др.

Для шин питания схемы наряду с конструктивными методами применяют и схемотехнические: в цепи выходных каскадов добавляют небольшие сопротивления, ограничивающие сквозные токи и токи перезаряда емкостей; используют элементы с управляемой крутизной фронтов для уменьшения производных сигнальных напряжений и токов; применяют развязывающие каскады на выходах ИС для ограничения емкостных нагрузок на этих выходах, используют фильтрацию питающих напряжений.

Для фильтрации напряжений питания между линиями U_{CC} и "землей" включают конденсаторы. Высокая эффективность этого метода борьбы с паразитными связями элементов через цепи

питания связана со следующим обстоятельством. Цифровые узлы и устройства питают от высококачественных блоков питания со стабилизированным выходным напряжением. Такие источники имеют очень малые выходные сопротивления за счет применения глубоких отрицательных обратных связей в схемах блоков питания. Однако цепь обратной связи инерционна и не успевает отрабатывать короткие импульсные помехи. Поэтому для коротких помех выходное сопротивление источника не обеспечивает того низкого уровня, которое оно имеет в статике. Установка фильтрующих конденсаторов C_f создает путь (рис. 1.8, б), по которому замыкаются импульсы сквозного тока и токи перезаряда емкостей, минуя сопротивление Z_{cc} . Естественно, конденсаторы должны иметь малое сопротивление для высокочастотных сигналов, поэтому для фильтрации выбирают те типы конденсаторов, которые имеют малые паразитные индуктивности.

Рекомендации по числу, типу и емкости фильтрующих конденсаторов вырабатываются практикой и приводятся в руководящих материалах по применению конкретных типов ИС.

Передача сигналов в цифровых узлах и устройствах. Помехи в сигнальных линиях. Сигнальные линии повышенного качества

При работе ЦУ в межсоединениях (линиях связи) может возникнуть множество импульсных помех различного рода, способных нарушить нормальную работу схемы. К их числу относятся перекрестные помехи, электромагнитные наводки и паразитные колебания из-за несогласованности волновых сопротивлений линий связи.

Перекрестные помехи

Перекрестные помехи порождаются взаимовлиянием близлежащих линий, передающих сигналы.

Пусть линия — источник помехи является близлежащей для линии, испытывающей воздействие помехи. Тогда между ними существует связь через паразитную емкость $C_{пом}$ (рис 7, а). Схема замещения рассматриваемой цепи может быть представлена в виде рис. 7, б, где

$$R = R_{вых.1} * R_{вх.2} / (R_{вых.1} + R_{вх.2}).$$

Если считать фронт помехи линейным, изменяющимся по закону $U_{пом}(t) = at$, где

$$a = (U_1 - U_0) / t_f = U / t_f,$$

то напряжение помехи на входе элемента ЛЭ2 будет определяться соотношением (для времен от нуля до t_f)

$$U_{вх.2}(t) = a [1 - \exp(-t/RC)] RC,$$

т. е. пропорционально крутизне фронта.

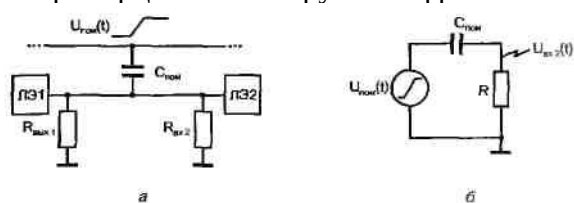


Рис. 1.9. Схема, поясняющая процесс возникновения перекрестных помех в цифровых устройствах (а), и схема замещения (б)

Борьба с перекрестными помехами осуществляется запрещением параллельного расположения близких и длинных сигнальных линий, размещением между такими линиями экранирующих заземленных проводников (так, в частности, поступают при применении плоских кабелей), применении коаксиальных кабелей, витых пар и др.

Электромагнитные наводки создаются внешними полями. Борьба с ними ведется конструктивными методами — экранированием устройства.

Искажения сигналов в несогласованных линиях

Паразитные колебания из-за несогласованности волновых сопротивлений возникают в связях, которые именуются длинными, причем речь не идет об абсолютных значениях длины, важно лишь соотношение длины линии и длины волны передаваемого сигнала.

Так как импульсные сигналы характеризуются широким спектром гармонических частот, говорить о длине волны сигнала для них затруднительно, и рекомендации по отнесению линий связи к коротким или длинным в значительной мере вырабатываются практикой. Например, граничную длину линии часто определяют по условию: время прохождения сигнала по линии

должно быть на порядок меньше длительности передаваемого фронта.

Скорость распространения сигнала в линии равна $V = V_c / \sqrt{\epsilon}$, где V_c — скорость света в вакууме (30 см/нс); ϵ — диэлектрическая постоянная среды, в которой распространяется сигнал. Практически $V = 15...20$ см/нс. Поведение длинной линии резко отличается от короткой.

Схема замещения длинной линии без потерь состоит из цепочки LC звеньев, где L и C — погонные параметры индуктивности и емкости (т. е. приходящиеся на единицу длины). Такая линия (рис. 1.10, а) имеет волновое сопротивление $Z_0 = \sqrt{L/C}$, величина которого зависит от конструкции линии. Физически волновое сопротивление соответствует отношению напряжения к току в точке линии, которой достигает распространяющаяся волна. Пока волна распространяется в линии, отношение $u/i = Z_0$ остается неизменным. В конце линии ситуация зависит от подключенного к линии сопротивления. Если в конце линии подключено сопротивление $R_H = Z_0$, то отношение u/i сохраняется, падающая волна не встречает неоднородности и целиком поглощается нагрузкой.

Если в конце линии $R_H \neq Z_0$, то отношение u/i сохраниться не может, и должно произойти искажение волны. Оно трактуется как появление отраженной волны, параметры которой таковы, что сумма падающей и отраженной волн соответствует условиям в конце линии. Отношение амплитуд отраженной и падающей волн равно коэффициенту отражения

$$\rho = (R_H - Z_0) / (R_H + Z_0).$$

Отраженная волна распространяется обратно к началу линии. Если в начале линии подключено сопротивление, равное Z_0 , то отраженная волна поглощается целиком, и режим линии устанавливается окончательно. В противном случае в начале линии также происходит отражение волны, которая вновь пойдет по линии от ее начала к концу. Возможное многократное отражение способно затянуть переходные процессы в линии на время, равное десяткам T_0 , где T_0 — время распространения сигнала по линии ($T_0 = l/V$, где l — длина линии).

Для устранения паразитных колебаний в длинной линии используют параллельное или последовательное согласование волновых сопротивлений.

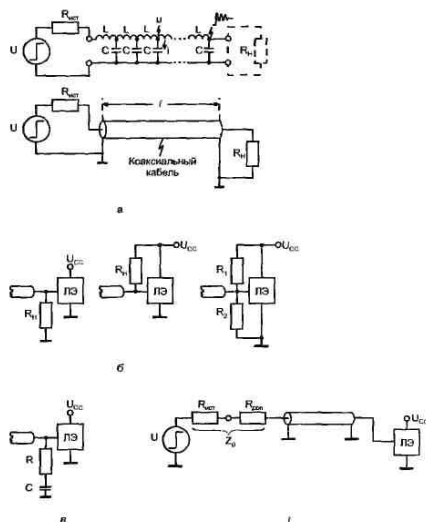


Рис. 1.10. Схема замещения длинной линии без потерь и схема с реализацией линии в виде коаксиального кабеля (а), варианты согласования волновых сопротивлений при передаче цифровых сигналов (б), (в), (г)

Рис. 8.

Параллельное согласование волновых сопротивлений

При параллельном согласовании в конце линии включают резистор (терминатор), чтобы сделать сопротивление нагрузки линии равным волновому. Это дает полное устранение паразитных колебаний, и время передачи сигнала становится равным T_0 . Недостаток - потребление значительных токов от источника сигнала. После завершения переходных процессов на выходе линии должно установиться напряжение U_1 или U_0 в зависимости от логического состояния источника сигнала. Под этим напряжением находится резистор-терминатор, сопротивление которого мало (типичные значения волновых сопротивлений линий передачи сигналов 50...100 Ом). Ток через резистор-терминатор может оказаться неприемлемо большим. Для поиска наиболее подходящего варианта включения резистора на выходе линии можно просмотреть несколько схемных вариантов (рис.8,б). Пользуются также включением последовательно с резистором емкости

С, которая предотвращает потребление тока в статике (рис. 8, в).

Последовательное согласование волновых сопротивлений

При последовательном согласовании в начале линии последовательно включается резистор $R_{доп}$, сопротивление которого совместно с выходным сопротивлением источника сигнала $R_{ист}$ дает величину Z_0 (рис. 8. г). При этом на выходе линии действует высокое входное сопротивление элемента-приемника, следовательно, там коэффициент отражения приблизительно равен единице, и амплитуда отраженной волны приблизительно равна амплитуде падающей.

Переходный процесс в этом случае протекает следующим образом.

Ступенчатое изменение напряжения источника сигнала U создает на входе линии перепад напряжения $U/2$ (т. к. $R_{ист} + R_{доп} = Z_0$). Перепад половинной амплитуды распространяется по линии и через время T_0 достигает ее конца. Коэффициент отражения в конце линии равен единице ($R_{вх} \gg Z_0$ и влиянием $R_{вх}$ пренебрегаем). Амплитуда отраженной волны равна также $U/2$, в итоге в конце линии устанавливается напряжение U . Отраженная волна возвращается к началу линии, где поглощается. Таким образом, на выходе линии процесс заканчивается через время T_0 , а на входе через $2T_0$. При последовательном согласовании отсутствуют токи нагрузки на источник сигнала, характерные для параллельного согласования. Повышенное значение сопротивления в цепи передачи сигнала может уменьшать амплитуду передаваемых напряжений, так что для схем на элементах с ощутимым входным током (ТТЛ(Ш)) требуется проконтролировать эту возможность. Если от линии связи берутся отводы в середине или начале линии, то задержка передачи сигнала может достигать величины $2T_0$.

Реальное положение в технике борьбы с отражениями в длинных линиях несколько сложнее, чем было описано, т. к. выходные сопротивления цифровых элементов зачастую непостоянны и зависят от логического состояния элемента, уровня сигнала и т. д. То же самое можно сказать и о входных сопротивлениях элементов.

Линии передачи сигналов

Для обеспечения работоспособности ЦУ следует уделять большое внимание линиям связи (межсоединениям элементов). Это важно при проектировании печатных плат, и становится особенно острой проблемой в БИС/СБИС, где преобладающая часть площади кристалла, задержек сигналов и потребляемой мощности зачастую относится именно к системе межсоединений.

Ряд рекомендаций для разработки ЦУ высказан выше ("качество земли", ограничения на параллельные размещения сигнальных линий, фильтрация питания, согласование волновых сопротивлений в длинных линиях). Отметим теперь особенности основных вариантов технической реализации межсоединений.

На платах межсоединения выполняются одиночными проводниками над "земляной" плоскостью, двумя проводниками, витыми парами, микрополосковыми линиями, коаксиальными кабелями малого диаметра и др.

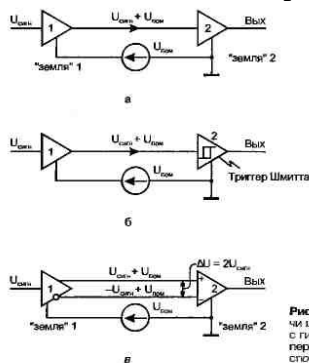


Рис. 1.11. Простейшие схемы передачи цифрового сигнала (а), схема с гистерезисным приемником (б), передача сигнала дифференциальным способом (в)

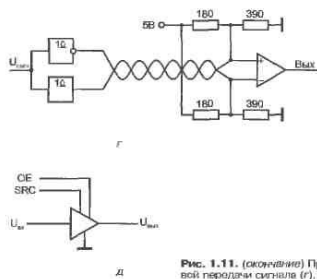


Рис. 1.11. (окончение) Пример схемы помехоустойчивой передачи сигнала (г), буфер с регулируемой крутизной фронта (д)

Нис. 9.

Схема соединения одиночным проводником (рис. 9, а) изображена с учетом напряжения помехи, которая может возникать между "землями" двух элементов. В этом случае помеха передается на вход приемника сигнала. Помехоустойчивость передачи повышается, если элемент-приемник обладает гистерезисными свойствами, как, например, триггер Шмитта (рис. 9,б). Благодаря гистерезисной характеристике приемника, для переключения в состояние логической "1" нужно подать на вход напряжение, значительно превышающее пороговое, а для переключения в "0" — значительно меньше, чем пороговое. Ясно, что это повышает уровень допустимых помех, причем тем больше, чем шире петля гистерезиса. Значительное улучшение может дать передача парафазного сигнала по двум линиям (дифференциальная передача), показанная на рис. 9, е. Приемником сигнала служит дифференциальный усилитель (или компаратор). На его верхнем входе действует напряжение $U_{\text{сигн}} + U_{\text{пом}}$, а на нижнем $-U_{\text{сигн}} + U_{\text{пом}}$. Дифференциальный приемник воспринимает разность напряжений между входами, которая равна $2U_{\text{сигн}}$ и не содержит напряжения помех. Перекрестные помехи в данном случае также значительно ослабляются, поскольку появляются в обоих проводниках близкими по величине, так что их разность, ощущаемая приемником, мала.

На рис. 9, г приведена схема помехоустойчивой передачи сигнала дифференциальным способом по витой паре. По волновому сопротивлению витая пара согласуется резистором-терминатором, выполненным в виде делителя из резисторов 180 и 390 Ом, эквивалентное сопротивление которого относительно выхода равно 120 Ом.

Витая пара, часто применяемая в ЦУ, представляет собою как бы упрощенную конструкцию коаксиального кабеля, в которой один из проводов можно рассматривать как некоторый аналог оплетки кабеля. Для примера укажем параметры витой пары проводников типа МНВ 2 x 0,05 мм²: волновое сопротивление 100 Ом; сопротивление проводника постоянному току 0,35 Ом/м; коэффициент перекрестной помехи 0,15; время задержки сигнала 6 нс/м.

На рис. 9, д изображен буфер с третьим состоянием и регулировкой крутизны нарастания выходного сигнала. Введением/снятием третьего состояния управляет вход ОЕ, крутизной фронтов - сигнал SRC. Пологий фронт желателен, поскольку замедление изменений токов и напряжений снижает помехи из-за токовых импульсов в цепях питания, перекрестные помехи и др. В то же время в критичных для быстродействия устройства путях замедленные переключения элементов нежелательны, и поэтому в них устанавливают режимы крутых фронтов. Буферные каскады с регулировкой крутизны фронтов достаточно часто применяют в современных СБИС. В них встречаются и более изощренные способы регулировок скоростей изменения сигналов в буферных элементах по специально подобранным нелинейным законам.

Большие проблемы связаны с реализацией межсоединений в СБИС. Уменьшение размеров схемных элементов, одинаковое для размеров в плане и толщин, ведет к уменьшению поперечного сечения проводников по квадратичной зависимости, что увеличивает их погонное сопротивление. Резистивность и емкости связей ограничивают гипотезу их эквипотенциальности. Распространение потенциала вдоль проводника подчиняется уравнению диффузии, чему соответствует падение скорости распространения сигнала по мере удаления от источника и квадратичная зависимость задержки от длины проводника. Удвоение длины проводника приводит к учетверению задержки и т. д. Поэтому в длинных связях иногда включают через определенные расстояния усилители-повторители сигнала. Для оценки положения, начиная с которого основная доля задержки приходится на проводник, приведем цифры для технологии с минимальным размером 0,5 мкм: это 0,01; 0,02 и 0,5 мм соответственно для поликремниевых, диффузионных и металлизированных проводников.

