

Procesor z rodziny ARM:

- jest układem o złożonej architekturze CISC (Complex Instruction Set Computer)
- jest układem o zredukowanej liczbie rozkazów RISC (reduced Instruction Set Komputer)**
- posiada 8 bitowa magistrale adresowa
- posiada kilka rejestrów statusowych CPSR (Current Program Status Register) **(chyba jeden)**

Rejestry procesora zrealizowane są w postaci:

- szybkiej pamięci magnetycznej
- przerzutników pamięci SRAM**
- szybkiej pamięci dynamicznej
- uproszczonych kart perforowanych

Tryb pracy FIQ procesora ARM wykorzystywany jest w przypadku, gdy:

- zostanie zgłoszone przerwanie**
- podczas obsługi przerwania od urządzenia peryferyjnego, np. timera**
- procesor rozpocznie wykonywanie nieznanego rozkazu
- procesor wykona operacje zapisu rejestru CPSR pracując w trybie USER
- podczas wystąpienia wyjątku związanego z dostępem do pamięci

Port komputera z wyjściem typu otwarty dren:

- jest wyposażony w dwa komplementarne tranzystory MOS (z kanałem n oraz z kanałem p)
- wymaga użycia rezystora podciągającego**
- wymaga zasilania napięciem przemiennym
- jest wykorzystywany w interfejsie I2C**

Cechy architektury harwardzkiej:

- rozkazy i dane przechowywane są w tej samej pamięci
- nie da się rozróżnić danych o rozkazów (instrukcji)
- możliwość pracy równoległej - jednoczesny odczyt danych z pamięci programu oraz danych**
- często stosowana w mikrokontrolerach jednoukładowych**

Pamięci statyczne RAM

- charakteryzują się nieulotnością przechowywanej informacji
- są zbudowane z przerzutników bistabilnych**
- służą do buforowania danych np. bufory FIFO, LIFO ?**
- mogą być kopiowane/kasowane wyłącznie światłem ultrafioletowym
- służą między innymi do przechowywania tymczasowych wyników obliczeń**
- charakteryzują się krótkim czasem dostępu i niewielkim poborem energii
- posiadają linie CS służące do wyboru układu pamięci ?**
- są rzadko wykorzystywane w systemach wbudowanych ze względu na duży koszt produkcji

Interfejs zgodny ze standardem EIA RS-232

- umożliwia realizację transmisji równoległej
- umożliwia realizację transmisji szeregową**
- umożliwia realizację transmisji w obu kierunkach jednocześnie full-duplex**
- umożliwia realizację transmisji różnicowej
- umożliwia realizację transmisji w jednym kierunku w danym czasie (half-duplex)
- umożliwia obsługę kilku urządzeń podrzędnych

Ramka danych interfejsu zgodnego ze standardem EIA RS-232 może składać się z:

- 8 bitów danych**
- 12 bitów danych
- pojedynczego bita stopu**
- podwójnego bita stopu ??????**
- **pojedynczego bitu startu**
- podwójnego bitu startu

Cechy architektury von Neumanna:

- **rozkazy i dane przechowywane są w tej samej pamięci**
- **nie da się rozróżnić danych od rozkazów (instrukcji)**
- możliwość pracy równoległej jednocześnie odczyt danych z pamięci programu oraz danych
- często stosowana w mikrokontrolerach jednokładowych

Standard USB:

- umożliwia dołączenie do 127 urządzeń do magistrali**
- umożliwia automatyczną korektę błędów**
- umożliwia transmisję danych w trybie izochronicznym**
- umożliwia realizację transmisji o szybkości do 5 gb/s**
- umożliwia transmisję danych w trybie Low lub Full Speed**
- umożliwia dostarczenie napięcia zasilającego 12 V

Standard I2C:

- umożliwia realizację transmisji równoległej
- Umożliwia realizację transmisji różnicowej
- umożliwia realizację transmisji szeregową**
- obsługę kilku urządzeń podrzędnych**
- umożliwia realizację transmisji różnicowej
- umożliwia realizację transmisji w obu kierunkach jednocześnie (full-duplex)
- **umożliwia realizację transmisji w jednym kierunku w danym czasie (half-duplex)**
- **wymaga rezystorów podciągających pull-up w celu wymuszenia stanu wysokiego (nie jestem pewien)**

Interfejs I2C (Inter-integrated circuit):

- jest wyposażony w dwa komplementarne tranzystory MOS (z kanałem typu n oraz z kanałem typu p)
- pozwala na transmisję danych z szybkością większą niż 100Mb/s
- pozwala na transmisję danych do maksymalnie 16 urządzeń Slave
- wymaga użycia sygnału wyboru układu chip select

Interfejs SPI:

-umożliwia realizację transmisji master slave

- umożliwia realizację transmisji multi-master-slave

-umożliwia realizację transmisji master multi slave

- do transmisji potrzebuje przynajmniej trzy sygnały(nie licząc sygnału masy) ????

- umożliwia obsługę kilku urządzeń podrzędnych

- umożliwia realizację transmisji różnicowej

- wykorzystuje sygnał zegara generowany przez urządzenie Master (możliwe, ale nie wiem)

-full duplex

Tryb pracy Abort procesora ARM wykorzystywany jest w przypadku, gdy:

- zostanie zgłoszone przerwanie
- procesor rozpocznie wykonywanie nieznanego rozkazu
- procesor wykona operację zapisu rejestru CPSR pracując w trybie User
- podczas wystąpienia wyjątku związanego z dostępem do pamięci

Rejestry procesora:

- stanowią najwyższy szczebel w hierarchii pamięci (najszybszy dostęp)
- realizowane są w postaci przerzutników dwustanowych
- służą zwykle do przechowywania skomplikowanych struktur danych (tablice)
- rejestry mapowane na przestrzeń pamięci przechowują ustawienia urządzeń peryferyjnych

Rejestry procesora zrealizowane są w postaci:

- szybkiej, nieulotnej pamięci Flash
- przerzutników monostabilnych
- ulotnej pamięci statycznej
- kart pamięci zgodnych ze standardem SD
- szybkiej pamięci magnetycznej
- przerzutników pamięci SRAM
- szybkiej pamięci dynamicznej

Sterownik urządzenia (driver) to fragment programu:

- dostarczający zestaw funkcji obsługujących urządzenia peryferyjne procesora (?)
- pracujący w przestrzeni Jądra systemu operacyjnego
- pod systemem operacyjnym odwołujący się bezpośrednio do rejestrów danego urządzenia
- sterowniki zwykle pisane są w języku niskiego poziomu (np. assembler)

Rejestr ARM o akronimie PIO_PER służy do:

- ustawienia portu procesora, jako wyjście
- ustawienia portu procesora, jako wejście
- włączenia sterowania portem wejście-wyjście przez urządzenia peryferyjne
- włączenia rezystora podciągającego piny portu wejścia-wyjścia

Timer procesora

- pozwala na konfigurację kierunku portu wejścia-wyjścia
- są wykorzystywane w systemach wbudowanych do budowania kolejek FIFO
- zlicza elementarne cykle zegarowe, które można przeliczyć na opóźnienie czasowe, np. 20ms
- służy do generowania przerwań po upływie zadanego okresu czasu
- umożliwia zmianę częstotliwości zegara taktującego rdzeń procesora w celu oszczędzania energii
- nie są wykorzystywane w systemach wbudowanych ze względu na duży koszt produkcji

Rejestr statusowy LESS procesora ARM:

-Zawiera informacje o bieżącym trybie pracy thumb/ARM

-Umożliwia zmianę trybu pracy

-Umożliwia globalne maskowanie przerw FIQ

-Umożliwia zgłoszenie wyjątku RESET

Tryb pracy IRQ procesora ARM wykorzystywany jest w przypadku, gdy:

- podczas obsługi przerwania od urządzenia peryferyjnego, np. timera

- procesor rozpocznie wykonywanie nieznanego rozkazu

- podczas wystąpienia wyjątku związanego z dostępem do pamięci programu

- podczas wystąpienia wyjątku związanego z dostępem do pamięci danych

Mikroprocesor to układ cyfrowy:

-wyposażony w jednostkę arytmetyczno-logiczną ALU

- komunikujący się z pamięciami oraz urządzeniami peryferyjnymi przy pomocy magistrali

-wyposażony w pamięć programu

-wyposażony w magistrale do podłączania pamięci oraz układów peryferyjnych ??????

-wyposażony w rejestry konfiguracyjne, adresowe, danych ??????

- wyposażony w magistrale adresów i danych

- obsługujący przerwania zewnętrzne i danych

- zbudowany z analogowej jednostki logicznej ALU (twoja mama jest analogowa)

- posiadający rejestry (PC, SP, I, A, SR)

Rejestr statusowy CPSR procesora ARM:

-umożliwia globalne wyłączenie przerw IRQ

-umożliwia globalne włączenie przerw FIQ ?????

-umożliwia zmianę trybu pracy

-zawiera informacje o bieżącym trybie pracy thumb/ARM

- zawiera informacje o bieżącym trybie pracy Jazelle/ARM

-umożliwia globalne maskowanie przerw FIQ

-zawiera flagi statusu wykonanych operacji N, Z, C, V

-umożliwia zgłoszenie wyjątku RESET

-umożliwia zgłoszenie wyjątku Abort

-umożliwia zgłoszenie wyjątku UNDEF

Procesor z rodziny ARM:

- jest układem o złożonej architekturze CISC (Complex Instruction Set Computer)
- jest układem o zredukowanej liczbie rozkazów RISC (reduced Instruction Set Komputer)**
- posiada 8 bitowa magistralę adresową
- posiada kilka rejestrów statusowych CPSR (Current Program Status Register)

Rejestry procesora realizowane są w postaci:

- szybkiej pamięci magnetycznej
- przerzutników pamięci SRAM**
- szybkiej pamięci dynamicznej
- uproszczonych kart perforowanych
- ulotnej pamięci statycznej**

Tryb pracy FIQ procesora ARM wykorzystywany jest w przypadku, gdy:

- zostanie zgłoszone przerwanie**
- procesor rozpocznie wykonywanie nieznanego rozkazu
- procesor wykona operację zapisu rejestru CPSR pracując w trybie USER
- podczas wystąpienia wyjątku związanego z dostępem do pamięci

Rejestr statusowy CP0k (Current Program status Register) procesora ARM:

- umożliwia globalne wyłączenie przerw IRQ**
- umożliwia globalne włączenie przerw FIQ
- umożliwia zmianę trybu pracy**
- umożliwia zgłoszenie wyjątku Abort

Port komputera z wyjściem typu otwarty dren:

- jest wyposażony w dwa komplementarne tranzystory MOS (z kanałem n oraz z kanałem p)
- wymaga użycia rezystora podciągającego**
- wymaga zasilania napięciem przemiennym
- jest wykorzystywany w interfejsie I2C**

Mikroprocesor to układ cyfrowy:

Wyposażony w jednostkę arytmetyczno-logiczną ALU

Wyposażony w pamięć programu

Wyposażony w magistralę do podłączania pamięci oraz układów peryferyjnych

Wyposażony w rejestry konfiguracyjne, adresowe, danych

Wyposażony w magistralę adresową i danych

Obsługujący przerwania zewnętrzne i danych

Komunikujący się z pamięciami oraz urządzeniami peryferyjnymi przy pomocy magistrali

Zbudowany z analogowej jednostki logicznej ALU

Komunikujący się z pamięciami oraz urządzeniami peryferyjnymi przy pomocy magistrali

Rejestr statusowy LESS procesora ARM:

Zawiera informacje o bieżącym trybie pracy thumb/ARM

Umożliwia zmianę trybu pracy

Umożliwia globalne maskowanie przerw FIQ

Umożliwia zgłoszenie wyjątku RESET

Interfejs zgodny ze standardem EIA RS-232

Umożliwia realizację transmisji równoległej

Umożliwia realizację transmisji szeregową

Umożliwia realizację transmisji w obu kierunkach jednocześnie full 0-duplex

Umożliwia realizację transmisji różnicowej

Umożliwia obsługę kilku urządzeń podrzędnych

Ramka danych zawiera, między innymi, bit startu

Ramka danych interfejsu zgodnego ze standardem EIA RS-232 może składać się z:

8 bitów danych

12 bitów danych

Pojedynczego bitu stopu

Podwójnego bitu stopu

Pojedynczego bitu startu

Standard I2C:

Umożliwia realizację transmisji równoległej

Umożliwia realizację transmisji szeregową

Obsługę kilku urządzeń podrzędnych

Umożliwia realizację transmisji różnicowej

Umożliwia realizację transmisji w jednym kierunku w danym czasie (half-duplex) Jest

Wyposażony w dwa komplementarne tranzystory MOS (z kanałem typu n oraz z kanałem typu p)

Pozwala na transmisję danych z szybkością większą niż 100Mb/s

Pozwala na transmisję danych do maksymalnie 16 urządzeń Slave

Wymaga użycia sygnału wyboru układu chip select

interfejs SPI:

Umożliwia realizację transmisji master slave

Umożliwia realizację transmisji multi-master-slave

Umożliwia realizację transmisji master multi slave

Do transmisji potrzebuje przynajmniej trzy sygnały (nie licząc sygnału masy)

Umożliwia obsługę kilku urządzeń podrzędnych

Standard USB (Universal Serial Bus)

Umożliwia dołączenie do 127 urządzeń do magistrali

Umożliwia automatyczną korekcję błędów

Umożliwia transmisję danych w trybie Low lub Full Speed

Umożliwia dostarczenie napięcia zasilającego 12 V

Umożliwia transmisję danych w trybie izochronicznym

Umożliwia realizację transmisji o szybkości do 5 gb/s

Umożliwia automatyczną korelację błędów

Cechy architektury von Neumanna:

- rozkazy i dane przechowywane są w tej samej pamięci

- nie da się rozróżnić danych od rozkazów (instrukcji)

- możliwość pracy równoległej jednocześnie odczyt danych z pamięci programu oraz danych

- często stosowana w mikrokontrolerach jednoukładowych

Tryb pracy Abort procesora ARM wykorzystywany jest w przypadku, gdy:

zostanie zgłoszone przerwanie
procesor rozpocznie wykonywanie nieznanego rozkazu
procesor wykona operację zapisu rejestru CPSR pracując w trybie User
podczas wystąpienia wyjątku związanego z dostępem do pamięci

Rejestr statusowy CPSR (current program status register) procesora ARM:

- zawiera informację o bieżącym trybie pracy Thumb/ARM
- zawiera informację o bieżącym trybie pracy Jazelle/ARM
- zawiera flagi statusu wykonanych operacji N, Z, C, V
- umożliwia zmianę trybu pracy
- umożliwia globalne maskowanie przerwania FIQ
- udostępnia rezultaty operacji jednostki arytmetyczno-logicznej
- umożliwia globalne wyłączenie/włączenie przerwania FIQ
- umożliwia globalne wyłączenie/włączenie przerwania IRQ
- umożliwia zmianę częstotliwości zegara taktującego rdzeń procesora w celu oszczędzania energii
- umożliwia obsługę wyjątków związanych z buforami FIFO
- umożliwia zgłaszanie przerwania FIQ
- umożliwia zgłaszanie wyjątku RESET
- umożliwia zgłaszanie wyjątku Abort
- umożliwia zgłaszanie wyjątku UNDEF

Rejestry procesora:

- stanowią najwyższy szczebel w hierarchii pamięci (najszybszy dostęp)
- realizowane są w postaci przerzutników dwustanowych
- służą zwykle do przechowywania skomplikowanych struktur danych (tablice)
- rejestry mapowane na przestrzeń pamięci przechowują ustawienia urządzeń peryferyjnych

Sterownik urządzenia (driver) to fragment programu:

- dostarczający zestaw funkcji obsługujących urządzenia peryferyjne procesora (?)
- pracujący w przestrzeni Jądra systemu operacyjnego
- pod systemem operacyjnym odwołujący się bezpośrednio do rejestrów danego urządzenia
- sterowniki zwykle pisane są w języku niskiego poziomu (np. assembler)

Tryb pracy IRQ procesora ARM wykorzystywany jest w przypadku, gdy:

- podczas obsługi przerwania od urządzenia peryferyjnego, np. timera
- procesor rozpocznie wykonywanie nieznanego rozkazu
- podczas wystąpienia wyjątku związanego z dostępem do pamięci programu
- podczas wystąpienia wyjątku związanego z dostępem do pamięci danych

Rejestr ARM o akronimie PIO_PER służy do:

- ustawienia portu procesora jako wyjście
- ustawienia portu procesora jako wejście
- włączenia sterowania portem wejście-wyjście przez urządzenia peryferyjne
- włączenia rezystora podciągającego piny portu wejścia-wyjścia

Timer procesora:

- pozwala na konfigurację kierunku portu wejścia-wyjścia
- są wykorzystywane w systemach wbudowanych do budowania kolejek FIFO

- zlicza elementami cykle zegarowe, które można przeliczyć na opóźnienie czasowe, np. 20ms
- służy do generowania przerwań po upływie zadanego okresu czasu
- umożliwia zmianę częstotliwości zegara taktującego rdzeń procesora w celu oszczędzania energii
- nie są wykorzystywane w systemach wbudowanych ze względu na duży koszt produkcji

Cechy architektury harwardzkiej:

- rozkazy i dane przechowywane są w tej samej pamięci
- nie da się rozróżnić danych od rozkazów (instrukcji)
- możliwość pracy równoległej - jednoczesny odczyt danych z pamięci programu oraz danych
- często stosowana w mikrokontrolerach jednoukładowych

Pamięci statyczne RAM (static random access memory)

- są zbudowane z przerzutników bistabilnych
- służą do buforowania danych, np. bufory FIFO, LIFO
- tracą dane po wyłączeniu zasilania
- służą między innymi do przechowywania tymczasowych wyników obliczeń
- charakteryzują się krótkim czasem dostępu i niewielkim poborem energii
- posiadają linie CS służącą do wyboru układu pamięci
- są rzadko wykorzystywane w systemach wbudowanych ze względu na duży koszt produkcji
- charakteryzują się nieulotnością przechowywanej informacji
- nie pozwalają na usunięcie raz zapisanych informacji
- mogą być kasowane wyłącznie światłem ultrafioletowym

Interfejs I2C:

- pozwala na transmisję danych z szybkością większą niż 100Mb/s
- wymaga użycia sygnału wyboru układu chip select

Port komputera z wyjściem typu otwarty dren:

- wymaga użycia rezystora podciągającego
- jest wykorzystywane w interfejsie I2C

Pytania otwarte

1. Proszę utworzyć nowy typ danych w języku C pozwalający na odwzorowanie 32-bitowych rejestrów o adresach

podanych w tabeli w postaci struktury. Proszę zadeklarować wskaźnik do utworzonego typu danych będący adresem bazowym bloku rejestrów. Przy użyciu wskaźnika proszę zapisać daną o wartości 0xA5A5A5A5 do rejestru PIOCONTROL oraz odczytać daną z rejestru PIODATA do zmiennej data typu unsigned int. Wszystkie rejestry

dostępne są w trybie do zapisu i odczytu.

Nazwa rejestru Adres

PIOCONTROL 0xBFFC00

PIOIN 0xBFFC04

PIODATA 0xBFFC0C

PIOODDR 0xBFFC10

PIOOUT 0xBFFC14

PIOSTATUS 0xBFFC1C

```
1  typedef REG volatile unsigned int
2
3  typedef struct _data {
4      ... REG PIOCONTROL; // 00
5      ... REG PIOIN; // 04
6      ... REG reserved0; // puste pole 08
7      ... REG PIODATA; // 0C
8      ... REG PIOODDR; // 10
9      ... REG PIOOUT; // 14
10     ... REG reserved1; // puste pole 18
11     ... REG PIOSTATUS; // 1C
12 } DATA;
13
14 int main() {
15     /*
16     ... tworzymy wskaźnik na utworzony typ danych
17     ... i przypisujemy mu adres bazowy
18     ... */
19     DATA *base_address = 0xBFFC00;
20
21     ... // zapisujemy wartość 0xA5A5A5A5 do rejestru PIOCONTROL
22     ... base_address->PIOCONTROL = (REG)0xA5A5A5A5;
23
24     ... // odczytujemy dane z rejestru PIODATA do zmiennej data typu uint
25     ... unsigned int data = base_address->PIODATA;
26
27 }
```

2. W pamięci procesora znajduje się rejestr REGISTER pod adresem 0xB123456B dostępny w trybie zapisu oraz odczytu. Proszę napisać program w języku C ustawiający bity 4, 8 oraz zerujący bity 15, 31. Proszę użyć wskaźnika

podczas operacji na rejestrze.

```
1 int main() {
2     REGISTER *data = 0xB123456B;
3
4     // ustawiamy bity 4 i 8 na 1
5     *data = (1<<4) | (1<<8);
6
7     // ustawiamy bity 15 i 31 na 0
8     *data &= ~((1<<15) | (1<<31));
9 }
```

W sumie nie wiem jak on daje te punkty, ale tak powinno być git raczej.

Procesor wykonuje następujący program: while (1) {};

Proszę omówić operacje jakie wykona procesor w po wygenerowaniu przerwania od układu Timera. Procedura obsługi timera:

```
void Timer_INT (void) { b
TimerPointer->INT_FLAG = 0;
}
```

W pamięci procesora znajduje się rejestr REGISTER pod adresem 0xB123456B dostępny w trybie zapisu oraz odczytu.

Proszę napisać program w języku C ustawiający bity 4, 8 oraz zerujący bity 15, 31.

Proszę użyć wskaźnika podczas operacji na rejestrze.

```
#define REGISTER (volatile uint32_t *)0xB123456B
```

12. Proszę wymienić tryby adresowania wykorzystywane w rozkazie LDRB r6, [r9, #15]

- operand źródłowy: [r9, #15]
- operand docelowy: r6
- jaką operację wykonuje powyższy rozkaz?
- LDR - load
- B - Byte
- czyli wczytuje bajt na r6 z pamięci pod adresem wskazanym przez rejestr r9 zwiększonym o 15

bajtów

14. Proszę zapisać 0x99 (szesnastkowo) w systemie dziesiętnym i binarnym:

- Dec: $9 \cdot 16 + 9 = 153$

- Bin: 128 64 32 16 8 4 2 1

1 0 0 1 1 0 0 1 = 153 (dec) = 0x99

19. Proszę wymienić tryby adresowania wykorzystywane w rozkazie asemblera ADDB r0, r7, r5

- operand źródłowy: r7, r5

- operand docelowy: r0

- jaką operację wykonuje powyższy rozkaz?: dodaje bajt z rejestru r7 do bajtu w r5 i zapisuje wynik do rejestru r0

20. Proszę zapisać liczbę 167 dziesiętnie w systemie szesnastkowym i binarnym:

- Hex: A7

- Bin: 10100111