

- Procesor z rodziny ARM:
 - jest układem o zredukowanej liczbie rozkazów RISC (reduced Instruction Set Komputer)
 - posiada 1 rejestr statusowy CPSR (Current Program Status Register)
- Rejestry procesora realizowane są w postaci:
 - przerzutników pamięci SRAM
 - ulotnej pamięci statycznej
- Tryb pracy FIQ procesora ARM wykorzystywany jest w przypadku, gdy:
 - zostanie zgłoszone przerwanie
 - podczas obsługi przerwania od urządzenia peryferyjnego, np. timera
- Rejestr statusowy CP0k (Current Program status Register) procesora ARM:
 - umożliwia globalne wyłączenie przerw IRQ
 - umożliwia zmianę trybu pracy
- Port komputera z wyjściem typu otwarty dren:
 - wymaga użycia rezystora podciągającego
 - jest wykorzystywany w interfejsie I2C
- Rejestr statusowy LECS procesora ARM:
 - zawiera informacje o bieżącym trybie pracy thumb/ARM
 - umożliwia zmianę trybu pracy
- Interfejs zgodny ze standardem EIA RS-232
 - umożliwia realizację transmisji szeregowej
 - umożliwia realizację transmisji w obu kierunkach jednocześnie full-duplex
 - ramka danych zawiera, między innymi, bit startu
- Tryb pracy IRQ procesora ARM wykorzystywany jest w przypadku, gdy:
 - podczas obsługi przerwania od urządzenia peryferyjnego, np. timera
- Ramka danych interfejsu zgodnego ze standardem EIA RS-232 może składać się z:
 - 8 bitów danych
 - pojedynczego bitu stopu
 - pojedynczego bitu startu
 - podwójnego bitu stopu

- Standard I2C:
 - umożliwia realizację transmisji szeregowej
 - obsługę kilku urządzeń podrzędnych
 - umożliwia realizację transmisji w jednym kierunku w danym czasie (half-duplex)
- Standard USB (Universal Serial Bus)
 - umożliwia dołączenie do 127 urządzeń do magistrali
 - umożliwia automatyczną korekcję błędów
 - umożliwia transmisję danych w trybie Low lub Full Speed
 - umożliwia transmisję danych w trybie izochronicznym
 - umożliwia realizację transmisji o szybkości do 5 gb/s
- Cechy architektury von Neumanna:
 - rozkazy i dane przechowywane są w tej samej pamięci
 - nie da się rozróżnić danych od rozkazów (instrukcji)
- Rejestr statusowy CPSR (current program status register) procesora ARM:
 - zawiera informację o bieżącym trybie pracy Thumb/ARM i Jazelle/ARM
 - zawiera flagi statusu wykonanych operacji N, Z, C, V
 - umożliwia zmianę trybu pracy
 - udostępnia rezultaty operacji jednostki arytmetyczno-logicznej
 - umożliwia globalne wyłączenie przerwań IRQ
 - umożliwia globalne włączenie, maskowanie przerwań FIQ
- Rejestry procesora:
 - stanowią najwyższy szczebel w hierarchii pamięci (najszybszy dostęp)
 - rejestry mapowane na przestrzeń pamięci przechowują ustawienia urządzeń peryferyjnych
 - liczba rejestrów zależy od typu procesora (RISC/CISC)
 - realizowane są w postaci przerzutników dwustanowych (bistanowych)
 - służą zwykle do przechowywania skomplikowanych struktur danych (tablice)

- Sterownik urządzenia (driver) to fragment programu:
 - dostarczający zestaw funkcji obsługujących urządzenia peryferyjne procesora (?)
 - pracujący w przestrzeni Jądra systemu operacyjnego
 - sterowniki zwykle pisane są w języku niskiego poziomu (np. assembler)
- Timer procesora:
 - zlicza elementami cykle zegarowe, które można przeliczyć na opóźnienie czasowe, np. 20ms
 - służy do generowania przerwań po upływie zadanego okresu czasu
- Pamięci statyczne RAM (static random access memory)
 - są zbudowane z przerzutników bistabilnych
 - służą do buforowania danych, np. bufor FIFO, LIFO
 - tracą dane po wyłączeniu zasilania
 - służą między innymi do przechowywania tymczasowych wyników obliczeń
 - charakteryzują się krótkim czasem dostępu i niewielkim poborem energii
 - posiadają linie CS służącą do wyboru układu pamięci
- Cechy architektury harwardzkiej:
 - możliwość pracy równoległej - jednoczesny odczyt danych z pamięci programu oraz danych
 - często stosowana w mikrokontrolerach jednoukładowych
 - rozkazy i dane przechowywane w oddzielnych pamięciach
- Mikroprocesor to układ cyfrowy:
 - wyposażony w jednostkę arytmetyczno-logiczną ALU
 - komunikujący się z pamięciami oraz urządzeniami peryferyjnymi przy pomocy magistrali
 - wyposażony w magistrale do podłączania pamięci oraz układów peryferyjnych
 - wyposażony w rejestry konfiguracyjne, adresowe, danych
 - wyposażony w magistrale adresów i danych
 - obsługujący przerwania zewnętrzne i danych
 - posiadający rejestry (PC, SP, I, A, SR)

- Interfejs I2C (Inter-integrated circuit):
 - jest wyposażony w dwa komplementarne tranzystory MOS (z kanałem typu n oraz z kanałem typu p)
 - pozwala na transmisję danych do maksymalnie 16 urządzeń Slave
 - wymaga użycia sygnału wyboru układu chip select i rezystora podciągającego
 - pozwala na transmisję danych z szybkością $> 100\text{Mb/s}$
- Interfejs SPI:
 - umożliwia realizację transmisji master slave i master multi slave
 - do transmisji potrzebuje przynajmniej trzy sygnały (nie licząc sygnału masy)
 - umożliwia obsługę kilku urządzeń podrzędnych - full duplex
 - duża szybkość transmisji $> 12\text{Mbit/s}$
- Rejestr ARM o akronimie PIO_PER służy do:
 - włączenia sterowania portem wejście-wyjście przez urządzenia peryferyjne
- Tryb pracy Abort procesora ARM wykorzystywany jest w przypadku, gdy:
 - podczas wystąpienia wyjątku związanego z dostępem do pamięci