Procesor z rodziny ARM:

-jest układem o złożonej architekturze CISC (Complex Instruction Set Computer)

**-jest układem o zredukowanej liczbie rozkazów RISC (reduced Instruction Set Komputer)**

-posiada 8 bitowa magistrale adresowa

-posiada kilka rejestrów statusowych CPSR (Current Program Status Register) **(chyba jeden)**

Rejestry procesora zrealizowane są w postaci:

-szybkiej pamięci magnetycznej

**-przerzutników pamięci SRAM**

-szybkiej pamięci dynamicznej

-uproszczonych kart perforowanych

Tryb pracy FIQ procesora ARM wykorzystywany jest w przypadku, gdy:

**-zostanie zgłoszone przerwanie**

**-podczas obsługi przerwania od urządzenia peryferyjnego, np. timera**

-procesor rozpocznie wykonywanie nieznanego rozkazu

-procesor wykona operacje zapisu rejestru CPSR pracując w trybie USER

-podczas wystąpienia wyjątku związanego z dostępem do pamięci

Port komputera z wyjściem typu otwarty dren:

-jest wyposażony w dwa komplementarne tranzystory MOS (z kanałem n oraz z kanałem p)

**-wymaga użycia rezystora podciągającego**

-wymaga zasilania napięciem przemiennym

**-jest wykorzystywany w interfejsie I2C**

Cechy architektury harwardzkiej:

-rozkazy i dane przechowywane są w tej samej pamięci

-nie da się rozróżnić danych o rozkazów (instrukcji)

**-możliwość pracy równoległej - jednoczesny odczyt danych z pamięci programu oraz danych**

**-często stosowana w mikrokontrolerach jednoukładowych**

Pamięci statyczne RAM

-charakteryzują się nieulotnością przechowywanej informacji

**-są zbudowane z przerzutników bistabilnych**

**-służą do buforowania danych np. bufory FIFO, LIFO ?**

-mogą być kopiowane/kasowane wyłącznie światłem ultrafioletowym

**-służą miedzy innymi do przechowywania tymczasowych wyników obliczeń**

**-charakteryzują się krótkim czasem dostępu i niewielkim poborem energii**

**-posiadają linie CS służąca do wyboru układu pamięci ?**

-są rzadko wykorzystywane w systemach wbudowanych ze względu na duży koszt produkcji

Interfejs zgodny ze standardem EIA RS-232

-umożliwia realizacje transmisji równoległej

**-umożliwia realizacje transmisji szeregowej**

**-umożliwia realizacje transmisji w obu kierunkach jednocześnie full-duplex**

-umożliwia realizacje transmisji różnicowej

- umożliwia realizacje transmisji w jednym kierunku w danym czasie (half-duplex)

- umożliwia obsługę kilku urządzeń podrzędnych

Ramka danych interfejsu zgodnego ze standardem EIA RS-232 może składać się z:

**-8 bitów danych**

-12 bitów danych

**-pojedynczego bita stopu**

**-podwójnego bita stopu ???????**

**- pojedynczego bitu startu**

- podwójnego bitu startu

Cechy architektury von Neumanna:

**- rozkazy i dane przechowywane są w tej samej pamięci**

**- nie da się rozróżnić danych od rozkazów (instrukcji)**

- możliwość pracy równoległej jednoczesny odczyt danych z pamięci programu oraz danych

- często stosowana w mikrokontrolerach jednoukładowych

Standard USB:

**-umożliwia dołączenie do 127 urządzeń do magistrali**

**-umożliwia automatyczna korekcję błędów**

**-umożliwia transmisje danych w trybie izochronicznym**

**-umożliwia realizacje transmisji o szybkości do 5 gb/s**

**-umożliwia transmisje danych w trybie Low lub Full Speed**

-umożliwia dostarczenie napięcia zasilającego 12 V

Standard I2C:

-umożliwia realizacje transmisji równoległej

-Umożliwia realizację transmisji różnicowej

**-umożliwia realizacje transmisji szeregowej**

**-obsługę kilku urządzeń podrzędnych**

-umożliwia realizacje transmisji różnicowej

- umożliwia realizacje transmisji w obu kierunkach jednoczenie (full-duplex)

**- umożliwia realizacje transmisji w jednym kierunku w danym czasie (half-duplex)**

**- wymaga rezystorów podciągających pull-up w celu wymuszenia stanu wysokiego (nie jestem pewien)**

Interfejs I2C (Inter-integrated circuit):

- jest wyposażony w dwa komplementarne tranzystory MOS (z kanałem typu n oraz z kanałem typu p)

- pozwala na transmisję danych z szybkością większą niż 100Mb/s

- pozwala na transmisję danych do maksymalnie 16 urządzeń Slave

- wymaga użycia sygnału wyboru układu chip select

Interfejs SPI:

**-umożliwia realizacje transmisji master slave**

-umożliwia realizacje transmisji multi-master-slave

**-umożliwia realizacje transmisji master multi slave**

-do transmisji potrzebuje przynajmniej trzy sygnały(nie licząc sygnału masy) ????

**- umożliwia obsługę kilku urządzeń podrzędnych**

- umożliwia realizacje transmisji różnicowej

**- wykorzystuje sygnał zegara generowany przez urządzenie Master (możliwe, ale nie wiem)**

**-full duplex**

Tryb pracy Abort procesora ARM wykorzystywany jest w przypadku, gdy:

- zostanie zgłoszone przerwanie

- procesor rozpocznie wykonywanie nieznanego rozkazu

- procesor wykona operacje zapisu rejestru CPSR pracując w trybie User

**- podczas wystąpienia wyjątku związanego z dostępem do pamięci**

Rejestry procesora:

**- stanowią najwyższy szczebel w hierarchii pamięci (najszybszy dostęp)**

**- realizowane są w postaci przerzutników dwustanowych**

- służą zwykle do przechowywania skomplikowanych struktur danych (tablice)

- **rejestry mapowane na przestrzeń pamięci przechowują ustawienia urządzeń peryferyjnych**

Rejestry procesora zrealizowane są w postaci:

- szybkiej, nieulotnej pamięci Flash

- przerzutników monostabilnych

**- ulotnej pamięci statycznej**

- kart pamięci zgodnych ze standardem SD

- szybkiej pamięci magnetycznej

**- przerzutników pamięci SRAM**

- szybkiej pamięci dynamicznej

Sterownik urządzenia (driver) to fragment programu:

**- dostarczający zestaw funkcji obsługujących urządzenia peryferyjne procesora (?)**

**- pracujący w przestrzeni Jądra systemu operacyjnego**

- pod systemem operacyjnym odwołujący się bezpośrednio do rejestrów danego urządzenia

**- sterowniki zwykle pisane są w języku niskiego poziomu (np. asembler)**

Rejestr ARM o akronimie PIO\_PER służy do:

- ustawienia portu procesora, jako wyjście

- ustawienia portu procesora, jako wejście

**- włączenia sterowania portem wejście-wyjście przez urządzenia peryferyjne**

- włączenia rezystora podciągającego piny portu wejścia-wyjścia

Timer procesora

- pozwala na konfigurację kierunku portu wejścia-wyjścia

- są wykorzystywane w systemach wbudowanych do budowania kolejek FIFO

**- zlicza elementarne cykle zegarowe, które można przeliczyć na opóźnienie czasowe, np. 20ms**

**- służy do generowania przerwań po upływie zadanego okresu czasu**

- umożliwia zmianę częstotliwości zegara taktującego rdzeń procesora w celu oszczędzania energii

- nie są wykorzystywane w systemach wbudowanych ze względu na duży koszt produkcji

Rejestr statusowy LESS procesora ARM:

**-Zawiera informacje o bieżącym trybie pracy thumb/ARM**

**-Umożliwia zmianę trybu pracy**

-Umożliwia globalne maskowanie przerwań FIQ

-Umożliwia zgłoszenie wyjątku RESET

Tryb pracy IRQ procesora ARM wykorzystywany jest w przypadku, gdy:

- **podczas obsługi przerwania od urządzenia peryferyjnego, np. timera**

- procesor rozpocznie wykonywanie nieznanego rozkazu

- podczas wystąpienia wyjątku związanego z dostępem do pamięci programu

- podczas wystąpienia wyjątku związanego z dostępem do pamięci danych

**Mikroprocesor to układ cyfrowy:**

**-wyposażony w jednostkę arytmetyczno-logiczna ALU**

**- komunikujący się z pamięciami oraz urządzeniami peryferyjnymi przy pomocy magistrali**

**-wyposażony w pamięć programu**

**-wyposażony w magistrale do podłączania pamięci oraz układów peryferyjnych ???????**

**-wyposażony w rejestry konfiguracyjne, adresowe, danych ???????**

**- wyposażony w magistrale adresów i danych**

**- obsługujący przerwania zewnętrzne i danych**

**- zbudowany z analogowej jednostki logicznej ALU (twoja mama jest analogowa)**

**- posiadający rejestry (PC, SP, I, A, SR)**

Rejestr statusowy CPSR procesora ARM:

**-umożliwia globalne wyłączenie przerwań IRQ**

**-umożliwia globalne włączenie przerwań FIQ ??????**

**-umożliwia zmianę trybu pracy**

**-zawiera informacje o bieżącym trybie pracy thumb/ARM**

**- zawiera informacje o bieżącym trybie pracy Jazelle/ARM**

**-umożliwia globalne maskowanie przerwań FIQ**

**-zawiera flagi statusu wykonanych operacji N, Z, C, V**

-umożliwia zgłoszenie wyjątku RESET

-umozliwia zgłoszenie wyjatku Abort

-umożliwia zgłoszenie wyjątku UNDEF

Procesor z rodziny ARM:

-jest układem o złożonej architekturze CISC (Complex Instruction Set Computer)

**-jest układem o zredukowanej liczbie rozkazów RISC (reduced Instruction Set Komputer)**

-posiada 8 bitowa magistrale adresowa

-posiada kilka rejestrów statusowych CPSR (Current Program Status Register)

Rejestry procesora realizowane są w postaci:

-szybkiej pamięci magnetycznej

**-przerzutników pamięci SRAM**

-szybkiej pamięci dynamicznej

-uproszczonych kart perforowanych

**-ulotnej pamięci statycznej**

Tryb pracy FIQ procesora ARM wykorzystywany jest w przypadku, gdy:

**-zostanie zgłoszone przerwanie**

-procesor rozpocznie wykonywanie nieznanego rozkazu

-procesor wykona operacje zapisu rejestru CPSR pracując w trybie USER

-podczas wystąpienia wyjątku związanego z dostępem do pamięci

Rejestr statusowy CPok (Current Program status Register) procesora ARM:

**-umożliwia globalne wyłączenie przerwań IRQ**

-umożliwia globalne włączenie przerwań FIQ

**-umożliwia zmianę trybu pracy**

-umożliwia zgłoszenie wyjątku Abort

Port komputera z wyjściem typu otwarty dren:

-jest wyposażony w dwa komplementarne tranzystory MOS (z kanałem n oraz z kanałem p)

**-wymaga użycia rezystora podciągającego**

-wymaga zasilania napięciem przemiennym

**-jest wykorzystywany w interfejsie I2C**

Mikroprocesor to układ cyfrowy:

**Wyposażony w jednostkę arytmetyczno-logiczna ALU**

Wyposażony w pamięć programu

Wyposażony w magistralę do podłączania pamięci oraz układów peryferyjnych

**Wyposażony w rejestry konfiguracyjne, adresowe, danych**

**Wyposażony w magistralę adresową i danych**

**Obsługujący przerwania zewnętrzne i danych**

**Komunikujący się z pamięciami oraz urządzeniami peryferyjnymi przy pomocy magistral**

Zbudowany z analogowej jednostki logicznej ALU

**Komunikujący się z pamięciami oraz urządzeniami peryferyjnymi przy pomocy magistrali**

Rejestr statusowy LESS procesora ARM:

**Zawiera informacje o bieżącym trybie pracy thumb/ARM**

**Umożliwia zmianę trybu pracy**

Umożliwia globalne maskowanie przerwań FIQ

Umożliwia zgłoszenie wyjątku RESET

Interfejs zgodny ze standardem EIA RS-232

Umożliwia realizację transmisji równoległej

**Umożliwia realizację transmisji szeregowej**

**Umożliwia realizację transmisji w obu kierunkach jednocześnie full 0-duplex**

Umożliwia realizację transmisji różnicowej

**Umożliwia obsługę kilku urządzeń podrzędnych**

**Ramka danych zawiera, między innymi, bit startu**

Ramka danych interfejsu zgodnego ze standardem EIA RS-232 może składać się z:

**8 bitów danych**

12 bitów danych

**Pojedynczego bitu stopu**

**Podwójnego bity stopu**

**Pojedynczego bitu startu**

Standard I2C:

Umożliwia realizację transmisji równoległej

**Umożliwia realizację transmisji szeregowej**

**Obsługę kilku urządzeń podrzędnych**

Umożliwia realizację transmisji różnicowej

**Umożliwia realizację transmisji w jednym kierunku w danym czasie (half-duplex)J**est Wyposażony w dwa komplementarne tranzystory MOS (z kanałem typu n oraz z kanałem typu p)

Pozwala na transmisję danych z szybkością większą niż 100Mb/s

Pozwala na transmisję danych do maksymalnie 16 urządzeń Slave

Wymaga użycia sygnału wyboru układu chip select

interfejs SPI:

**Umożliwia realizację transmisji master slave**

Umożliwia realizację transmisji multi-master-slave

**Umożliwia realizację transmisji master multi slave**

**Do transmisji potrzebuje przynajmniej trzy sygnały(nie licząc sygnału masy)**

Umożliwia obsługę kilku urządzeń podrzędnych

Standard USB (Universal Serial Bus)

**Umożliwia dołączenie do 127 urządzeń do magistrali**

**Umożliwia automatyczną korekcję błędów**

**Umożliwia transmisję danych w trybie Low lub Full Speed**

Umożliwia dostarczenie napięcia zasilającego 12 V

**Umożliwia transmisję danych w trybie izochronicznym**

**Umożliwia realizację transmisji o szybkości do 5 gb/s**

**Umozliwia automatyczna korelacje bledow**

Cechy architektury von Neumanna:

**- rozkazy i dane przechowywane są w tej samej pamięci**

**- nie da się rozróżnić danych od rozkazów (instrukcji)**

- możliwość pracy równoległej jednoczesny odczyt danych z pamięci programu oraz danych

- często stosowana w mikrokontrolerach jednoukładowych

Tryb pracy Abort procesora ARM wykorzystywany jest w przypadku, gdy:

zostanie zgłoszone przerwanie

procesor rozpocznie wykonywanie nieznanego rozkazu

procesor wykona operację zapisu rejestru CPSR pracując w trybie User

**podczas wystąpienia wyjątku związanego z dostępem do pamięci**

Rejestr statusowy CPSR (current program status register) procesora ARM:

**- zawiera informację o bieżącym trybie pracy Thumb/ARM**

**- zawiera informację o bieżącym trybie pracy Jazelle/ARM**

**- zawiera flagi statusu wykonanych operacji N, Z, C, V**

**- umożliwia zmianę trybu pracy**

- umożliwia globalne maskowanie przerwań FIQ

**- udostępnia rezultaty operacji jednostki arytmetyczno-logicznej**

**- umożliwia globalne wyłączenie/włączenie przerwań FIQ**

**- umożliwia globalne wyłączenie/włączenie przerwań IRQ**

- umożliwia zmianę częstotliwości zegara taktującego rdzeń procesora w celu oszczędzania energii - umożliwia obsługę wyjątków związanych z buforami FIFO

- umożliwia zgłaszanie przerwań FIQ

- umożliwia zgłaszanie wyjątku RESET

- umożliwia zgłaszanie wyjątku Abort

- umożliwia zgłaszanie wyjątku UNDEF

Rejestry procesora:

**- stanowią najwyższy szczebel w hierarchii pamięci (najszybszy dostęp)**

**- realizowane są w postaci przerzutników dwustanowych**

- służą zwykle do przechowywania skomplikowanych struktur danych (tablice)

- rejestry mapowane na przestrzeń pamięci przechowują ustawienia urządzeń

peryferyjnych

Sterownik urządzenia (driver) to fragment programu:

**- dostarczający zestaw funkcji obsługujących urządzenia peryferyjne procesora (?)**

**- pracujący w przestrzeni Jądra systemu operacyjnego**

- pod systemem operacyjnym odwołujący się bezpośrednio do rejestrów danego urządzenia

**- sterowniki zwykle pisane są w języku niskiego poziomu (np. asembler)**

Tryb pracy IRQ procesora ARM wykorzystywany jest w przypadku, gdy:

**- podczas obsługi przerwania od urządzenia peryferyjnego, np. timera**

- procesor rozpocznie wykonywanie nieznanego rozkazu

- podczas wystąpienia wyjątku związanego z dostępem do pamięci programu

- podczas wystąpienia wyjątku związanego z dostępem do pamięci danych

Rejestr ARM o akronimie PIO\_PER służy do:

- ustawienia portu procesora jako wyjście

- ustawienia portu procesora jako wejście

**- włączenia sterowania portem wejście-wyjście przez urządzenia peryferyjne**

- włączenia rezystora podciągającego piny portu wejścia-wyjścia

Timer procesora:

- pozwala na konfigurację kierunku portu wejścia-wyjścia

- są wykorzystywane w systemach wbudowanych do budowania kolejek FIFO

**- zlicza elementami cykle zegarowe, które można przeliczyć na opóźnienie czasowe, np. 20ms**

**- służy do generowania przerwań po upływie zadanego okresu czasu**

- umożliwia zmianę częstotliwości zegara taktującego rdzeń procesora w celu oszczędzania energii

- nie są wykorzystywane w systemach wbudowanych ze względu na duży koszt produkcji

Cechy architektury harwardzkiej:

- rozkazy i dane przechowywane są w tej samej pamięci

- nie da się rozróżnić danych od rozkazów (instrukcji)

**- możliwość pracy równoległej - jednoczesny odczyt danych z pamięci programu oraz danych**

**- często stosowana w mikrokontrolerach jednoukładowych**

Pamięci statyczne RAM (static random access memory)

**- są zbudowane z przerzutników bistabilnych**

**- służą do buforowania danych, np. bufory FIFO,LIFO**

**- tracą dane po wyłączeniu zasilania**

**- służą między innymi do przechowywania tymczasowych wyników obliczeń**

**- charakteryzują się krótkim czasem dostępu i niewielkim poborem energii**

**- posiadają linie CS służącą do wyboru układu pamięci**

- są rzadko wykorzystywane w systemach wbudowanych ze względu na duży koszt produkcji

- charakteryzują się nieulotnością przechowywanej informacji

- nie pozwalając na usunięcie raz zapisanych informacji

- mogą być kasowane wyłącznie światłem ultrafioletowym

Interfejs I2C:

-pozwala na transmisję danych z szybkością większą niż 100Mb/s

-wymaga użycia sygnału wyboru układu chip select

Port komputera z wyjściem typu otwarty dren:

- wymaga użycia rezystora podciągającego

- jest wykorzystywane w interfejsie I2C

Pytania otwarte

1.Proszę utworzyć nowy typ danych w języku C pozwalający na odwzorowanie 32-bitowych rejestrów o adresach

podanych w tabeli w postaci struktury. Proszę zadeklarować wskaźnik do utworzonego typu danych będący adresem bazowym bloku rejestrów. Przy użyciu wskaźnika proszę zapisać daną o wartości 0xA5A5A5A5 do rejestru PIOCONTROL oraz odczytać daną z rejestru PIODATA do zmiennej data typu unsigned int. Wszystkie rejestry

dostępne są w trybie do zapisu i odczytu.

**Nazwa rejestru** Adres

PIOCONTROL 0xBFFC00

PIOIN 0xBFFC04

PIODATA 0xBFFC0C

PIOODDR 0xBFFC10

PIOOUT 0xBFFC14

PIOSTATUS 0xBFFC1C

**Obraz zawierający tekst, zrzut ekranu, Czcionka, numer

Opis wygenerowany automatycznie**

2. W pamięci procesora znajduje się rejestr REGISTER pod adresem 0xB123456B dostępny w trybie zapisu oraz odczytu. Proszę napisać program w języku C ustawiający bity 4, 8 oraz zerujący bity 15, 31. Proszę użyć wskaźnika

podczas operacji na rejestrze.

**Obraz zawierający tekst, Czcionka, zrzut ekranu

Opis wygenerowany automatycznie**

W sumie nie wiem jak on daje te punkty, ale tak powinno być git raczej.

Procesor wykonuje następujący program: while (1) {};.

Proszę omówić operacje jakie wykona procesor w po wygenerowaniu przerwania od układu Timera. Procedura obsługi timera:

void Timer\_INT (void) { b

TimerPointer->INT\_FLAG = 0;

}

W pamięci procesora znajduje się rejestr REGISTER pod adresem 0xB123456B dostępny w trybie zapisu oraz odczytu.

Proszę napisać program w języku C ustawiający bity 4, 8 oraz zerujący bity 15, 31.

Proszę użyć wskaźnika podczas operacji na rejestrze.

#define REGISTER (volatile uint32\_t \*)0xB123456B

12. Proszę wymienić tryby adresowania wykorzystywane w rozkazie LDRB r6, [r9, #15]

- operand źródłowy: [r9, #15]

- operand docelowy: r6

- jaką operację wykonuje powyższy rozkaz?

- LDR - load

- B - Byte

- czyli wczytuje bajt na r6 z pamięci pod adresem wskazanym przez rejestr r9 zwiększonym o 15

bajtów

14. Proszę zapisać 0x99 (szesnastkowo) w systemie dziesiętnym i binarnym:

- Dec: 9\*16 + 9 = 153

- Bin: 128 64 32 16 8 4 2 1

1 0 0 1 1 0 0 1 = 153 (dec) = 0x99

19. Proszę wymienić tryby adresowania wykorzystywane w rozkazie asemblera ADDB r0, r7, r5

- operand źródłowy: r7, r5

- operand docelowy: r0

- jaką operację wykonuje powyższy rozkaz?: dodaje bajt z rejestru r7 do bajtu w r5 i zapisuje wynik do

rejestru r0

20. Proszę zapisać liczbę 167 dziesiętnie w systemie szesnastkowym i binarnym:

- Hex: A7

- Bin: 10100111