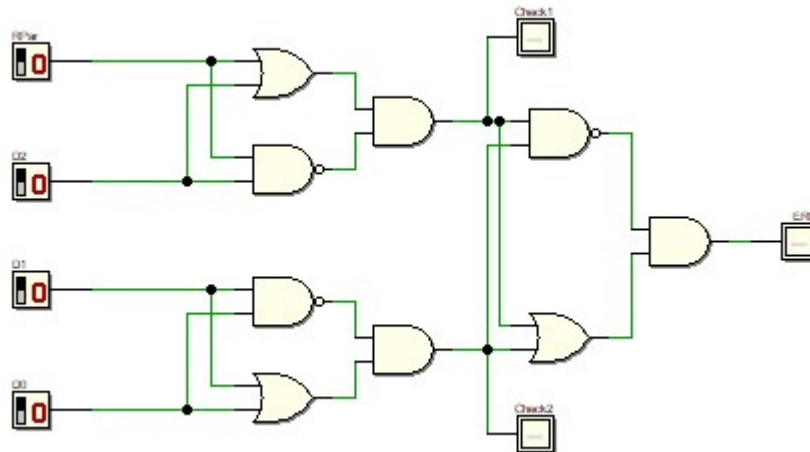


Biundo Mattia 04/10/2022

## 1) Schema



ò

## 2) Tavola di Verità

D0	D1	D2	RPar	Check1	Check2	ERR
0	0	0	0	0	0	0
0	0	0	1	1	0	1
0	0	1	0	1	0	1
0	0	1	1	0	0	0
0	1	0	0	0	1	1
0	1	0	1	1	1	0
0	1	1	0	1	1	0
0	1	1	1	0	1	1
1	0	0	0	0	1	1
1	0	0	1	1	1	0
1	0	1	0	1	1	0
1	0	1	1	0	1	1
1	1	0	0	0	0	0
1	1	0	1	1	0	1
1	1	1	0	1	0	1
1	1	1	1	0	0	0

## 3) Espressioni:

$$\text{Check1} = (R_{\text{Par}} + D_2) * \text{NOT}(R_{\text{Par}} * D_2)$$

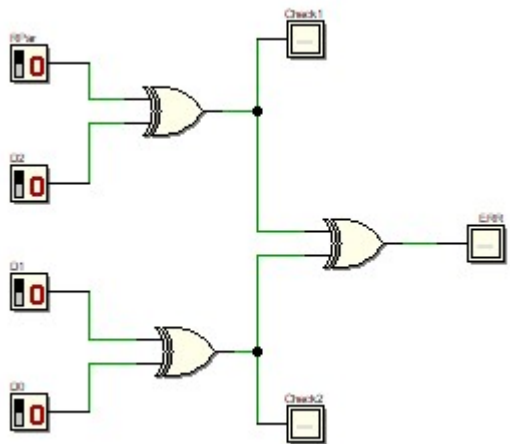
$$\text{Check2} = \text{NOT}(D_1 * D_0) * (D_0 + D_1)$$

$$\text{ERR} = \text{NOT}(\text{Check 1} * \text{Check 2}) * (\text{Check2} + \text{Check1})$$

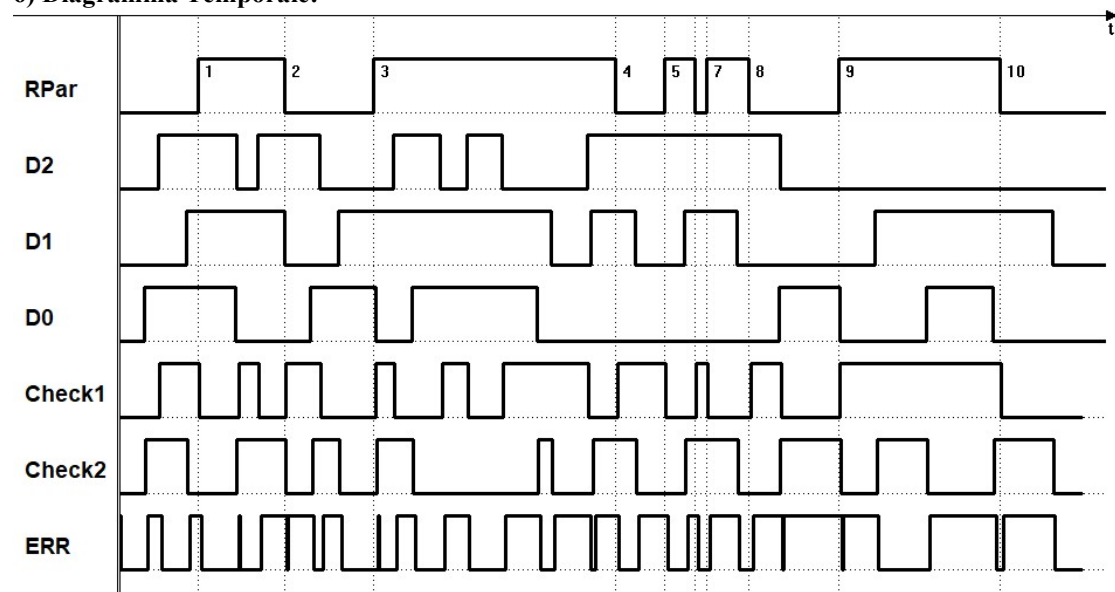
## 4) Espressione nella forma EXOR:

$$\text{ERR} = \text{Check1} \oplus \text{Check2}$$

### 5) Schema della rete composta di soli EXOR



### 6) Diagramma Temporale:



### 7) Commenti:

Confrontando le due simulazioni (quella con errore e quella senza), possiamo notare che l'alterazione dei bit Rpar e D1 ha alterato la parità che si vuole ottenere con questo circuito, facendo risultare in entrambi i casi alterati l'errore.