

LABORATÓRIO Nº 3 DE SISTEMAS DIGITAIS

MODELAGEM COMPORTAMENTAL

Objetivos:

- Aplicar os conceitos dados em sala de aula sobre a utilização do Verilog para descrever um hardware com a modelagem comportamental.
- Aplicar os exemplos realizados nas aulas.

Materiais:

- Kit NEXYS2
 - Software Xilinx ISE WebPack
-

Questão 1

Muitos contadores síncronos são projetados para serem **carregáveis** (*presettable*), em outras palavras, estes podem ser inicializados com qualquer contagem inicial desejada assíncrona (independente do sinal de clock) ou sincronamente (na transição ativa do sinal de clock). Essa operação de inicialização também é denominada **carga paralela** do contador.

Deseja-se projetar um contador BCD de 4 dígitos com entradas de *clock*, *inicio* e *pausa* (BTN0), *reset* (BTN1), *carregamento* (BTN2), *up_down* (SW7) e *carga* (SW3-SW0).

O contador deve responder às transições positivas da entrada de clock (10 Hz). A entrada *up_down* indica o sentido da contagem, sendo que quando está ativa (“1”) a contagem deve ser crescente, caso contrário deve ser decrescente. Quando o contador atingir a contagem máxima, isto é, 9999, este deve reiniciar a contagem partindo de zero. Já nos casos de contagem decrescente, deve-se reiniciar em 9999 caso a contagem chegue à zero.

A entrada de *carga* define o valor a ser carregado no contador. A este valor será somado 1 e o resultado multiplicado por 50, ou seja, se a entrada for 0 (+1) o valor do carregamento deve ser 50, caso a entrada seja 10 (+1) o valor do carregamento deve ser de 550, e assim sucessivamente. Já a entrada de *carregamento*, como o próprio nome diz, realiza o processo de carregamento do contador a partir do valor definido pela entrada de carga. A entrada de *carregamento* é assíncrona e ativada na borda de subida.

A entrada de *inicio* serve para “iniciar” ou “pausar” a contagem, sendo esta ativada a partir de uma transição positiva. Já a entrada de *reset*, que é uma entrada assíncrona assim como o *inicio*, reseta o contador para o estado 0000. O *reset* deve ser ativado em uma transição positiva, quando o contador não está contando (pausa).

O valor da contagem deve ser mostrado em 4 displays de 7 segmentos, onde deverá ser utilizado o método de multiplexação para apresentação do resultado nos displays.

Levando em consideração a placa de desenvolvimento NEXYS2, implemente em Verilog HDL este contador BCD de 4 dígitos com carga paralela.

Avaliação:

1. Funcionamento correto e completo do sistema. **(2 pontos)**
2. Funcionamento impecável de uma excelente criatividade para o sistema **(2 pontos)**

Questão 2

Os contadores BCD encontram uma ampla área de aplicações nas quais os pulsos, ou eventos, têm de ser contados e o resultado apresentado em algum tipo de display numérico decimal.

Um determinado contador BCD de 4 dígitos possui duas entradas para seleção do clock, conforme apresentado na tabela 1. Este mesmo contador ainda possui as entradas de *reset* (BTN1), *inicio e pausa* (BTN0) e *up_down* (SW7).

Tabela 1 – Seleção do clock de entrada do contador.

SW1	SW0	Clock
0	0	1 Hz
0	1	10 Hz
1	0	100 Hz
1	1	Manual (BTN2)

O contador responde às transições positivas da entrada de clock. A entrada *up_down* indica o sentido da contagem, sendo que quando está ativa (“1”) a contagem deve ser crescente, caso contrário deve ser decrescente. Quando o contador atingir a contagem máxima, isto é, 9999, este deve reiniciar a contagem partindo de zero. Já nos casos de contagem decrescente, deve-se reiniciar em 9999 caso a contagem chegue à zero.

A entrada de *inicio e pausa* serve para habilitar ou desabilitar o contador, sendo esta ativada a partir de uma transição positiva. Já a entrada de *reset*, que é uma entrada assíncrona assim como o *inicio e pausa*, reseta o contador para o estado 0000. O *reset* deve ser ativado em uma transição positiva, quando o contador não estiver contando (pausa).

O valor da contagem é mostrado em 4 displays de 7 segmentos, onde se utiliza o método de multiplexação para apresentação do resultado nos displays.

Este contador BCD é utilizado para a ativação de 4 subsistemas, conforme mostrado na tabela 2, onde também estão a função de cada subsistema.

Tabela 2 – Ativação de subsistemas a partir do contador BCD.

Contagem	Ativação	Função
Menor igual a 2000	Subsistema 1 (S1)	LEDs piscam alternadamente (pares e ímpares) em 5 Hz
Entre 2000 e 4000	Subsistema 2 (S2)	Deslocamento seqüencial dos LEDs para a esquerda a cada 0,25 s
Entre 4000 e 6000	Subsistema 3 (S3)	Os LEDs piscam na frequência de 10 Hz
Maior igual a 6000	Subsistema 4 (S4)	Deslocamento seqüencial dos LEDs para esquerda com acumulador a cada 0,1 s (figura 3)

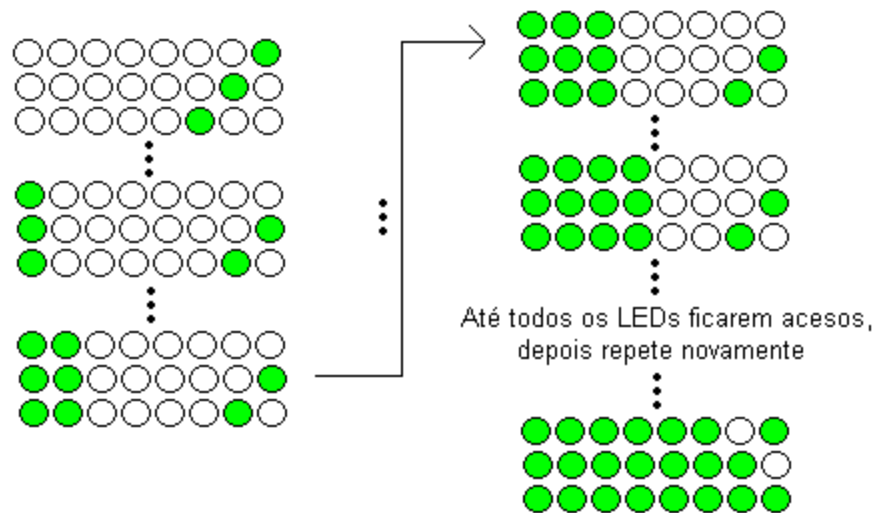


Figura 3 – Deslocamento seqüencial para esquerda dos LEDs com acumulador

Levando em consideração a placa de desenvolvimento NEXYS2 implemente em Verilog HDL este contador BCD de 4 dígitos assim como os subsistemas associado ao mesmo.

Avaliação:

1. Funcionamento correto e completo do sistema (contador BCD + subsistemas) **(2 pontos)**
2. Funcionamento impecável de uma excelente criatividade para o sistema **(2 pontos)**

Questão 3

Um determinado contador hexadecimal de 4 dígitos possui três entradas de comando: *reset* (BTN1), *inicio e pausa* (BTN0) e *up_down* (SW0).

O contador responde às transições positivas da entrada de clock (200 Hz). A entrada *up_down* indica o sentido da contagem, sendo que quando está ativa (“1”) a contagem deve ser crescente, caso contrário deve ser decrescente. Quando o contador atingir a contagem máxima, isto é, FFFF, este deve reiniciar a contagem partindo de zero. Já nos casos de contagem decrescente, deve-se reiniciar em FFFF caso a contagem chegue à zero.

A entrada de *inicio e pausa* serve para habilitar ou desabilitar o contador, sendo esta ativada a partir de uma transição positiva. Já a entrada de *reset*, que é uma entrada assíncrona assim como o *inicio e pausa*, reseta o contador para o estado 0000. O *reset* deve ser ativado em uma transição positiva, quando o contador não estiver contando (pausa).

O valor da contagem é mostrado em 4 displays de 7 segmentos, onde se utiliza o método de multiplexação para apresentação do resultado nos displays.

Este contador hexadecimal é utilizado para a ativação de 4 subsistemas, conforme mostrado na tabela 3, onde também estão a função de cada subsistema.

Tabela 3 – Ativação de subsistemas a partir do contador hexadecimal.

Contagem teste	Ativação	Função do subsistema
Menor igual que H1388	Subsistema 1 (S1)	LEDs piscam com frequência de 1 Hz
Entre H1388 e H3A98	Subsistema 2 (S2)	LEDs piscam alternadamente (pares e ímpares) em 10 Hz
Entre H3A98 e H9C40	Subsistema 3 (S3)	Deslocamento sequencial para esquerda dos LEDs com acumulador (figura 3)
Maior que H9C40	Subsistema 4 (S4)	Deslocamento sequencial para direita dos LEDs com acumulador (inverso da figura 4)

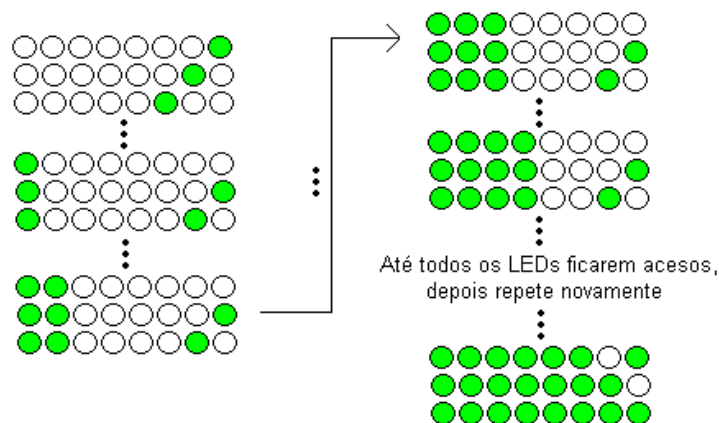


Figura 4 – Deslocamento sequencial para esquerda dos LEDs com acumulador

Levando em consideração a placa de desenvolvimento NEXYS2 implemente em Verilog HDL este contador hexadecimal de 4 dígitos assim como os subsistemas associado ao mesmo.

Avaliação:

1. Funcionamento correto e completo do sistema (contador + subsistemas) **(2 pontos)**
2. Funcionamento impecável de uma excelente criatividade para o sistema **(2 pontos)**

Questão 4

Implementar no kit NEXYS2 e em Verilog o seguinte sistema:

Mantendo pressionada a tecla BT0 o primeiro display de 7 segmentos liga seus leds de forma “circular”, ou seja que liga o led a, tempo, desliga led a e liga led b, tempo, desliga led b e liga led c, tempo, desliga led c e liga led d, tempo, desliga led d e liga led e, tempo, desliga led e e liga led f, assim continuamente, onde a palavra “tempo” é um espaçamento de tempo entre o liga e desliga dos leds de tal forma que parece que está formando o número 0, mas depois que soltar o BT0, aparece um número que estava rodando enquanto se mantinha pressionada a tecla. Este número é gerado quando pela primeira vez você pressionou BT0 e ativou um contador que em cada conta de 0 até F tinha um atraso de 0,5 segundos.

Seguindo o raciocínio anterior, pressionar a tecla BT0 e todos os displays de 7 segmentos ligarão seus leds de forma “circular”, e depois de soltar a tecla aparecerá o número decimal respectivo da conta nos displays. O contador ativado fará cada conta com um atraso de 0,1 segundo.

Continuando com o raciocínio anterior, pressionando a tecla BT0 os dois primeiros displays ligam seus leds de forma “circular” e pressionando a tecla BT1 os dois últimos displays ligam seus leds no sentido inverso da forma “circular”. Os números decimais de dois dígitos que aparecem nos displays são independentes e o tempo de atraso para cada número será também diferente.

Avaliação:

1. Funcionamento correto e completo do sistema **(2 pontos)**
 2. Funcionamento impecável de uma excelente criatividade para o sistema **(2 pontos)**
-

Avaliação:

1. Fazer os módulos em Verilog para a implementação das questões (2 questões por grupo).
2. Relatório do Laboratório das experiências em formato de artigo impresso **(1,5)**, arquivo eletrônico do artigo e o(s) arquivo(s) feito para esta experiência (só os que têm extensão xxx.v, xxx.ucf e xxx.bit) **(0,5)**.

As notas atribuídas a cada item só terão validade se forem testados no Kit NEXYS2.

O aluno que não comparecer terá zero de nota.

O grupo que não entregar o relatório terá nota zero.

Entrada ao Laboratório é de no máximo 15 minutos após o horário oficial.

AS QUESTÕES POR GRUPO ESTÃO DIVIDIDAS DA SEGUINTE FORMA:

QUESTÕES	GRUPOS
1, 2	1: MATHEUS SIMÕES, MICHEL, MAURÍCIO
3, 4	2: MARIANA, LOURDES, ANA
3, 1	3: FELIPE GONÇALVES, JORGE ROBERTO
4, 3	4: JHONATAS BRUNO, JONAS CLEBER, HERBERT
4, 2	5: ERICK, MATHEUS COSTA, MATHEUS CARDOSO
2, 3	6: ITALO, JOÃO PEDRO, THALYSON
3, 1	7: JOÃO PAULO, FÁBIO