

Decodificador 1: 31 de marzo 2025

A	B	C	D	Y ₁	Y ₀
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1

Mapas K:

Y₁:

CD \ AB	00	01	11	10
00	x	1	x	1
01	0	x	x	x
11	x	x	x	x
10	0	x	x	x

$$Z = Y_1 = D + C$$

$$\Rightarrow Y_1 = D + C$$

Y₀:

CD \ AB	00	01	11	10
00	x	1	x	0
01	1	x	x	x
11	x	x	x	x
10	0	x	x	x

$$Z = Y_0 = D + B$$

$$\Rightarrow Y_0 = D + B$$

Explicación: Este decodificador consiste en un circuito el cual transforma 4 bits entrantes (A, B, C y D) entrantes en 2 bits salientes que son los que se usan para la suma circular. Se realizaron mediante la tabla de verdad 4 distintos tipos de combinaciones, las cuales dan como resultado los posibles valores de números del 0-3 que se pueden usar en la suma circular como inputs. Se demostró la viabilidad del circuito mediante dos mapas k que dan los dos bits resultantes. El mapa K de Y₁, el cual da como resultado el bit de potencia a la 1, mientras que el mapa K de Y₂, da el bit de potencia 0. Se definió el uso de dos or para este circuito.

Bits del sumador circular: 30 de marzo 2025

El sumador circular consiste en un circuito que suma dos números de 2 bits y de ahí. Sin embargo, este sumador restringe a que la respuesta de la suma sea de máximo 2 bits. Por lo que si la suma de 4, es decir, más de 2 bits, el número se reiniciaría a 0. Se dividió el diseño de este sumador en 2 circuitos basados en los dos bits resultantes de la suma.

Bit 1 del sumador (Y_0):

A	B	C	D	Y_0
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0

Mapa K:

CD \ AB	00	01	11	10
00	0	1	1	0
01	1	0	0	1
11	1	0	0	1
10	0	1	1	0

$$Z = \bar{B} \cdot D + B \cdot \bar{D} \rightarrow B \oplus D \text{ XOR}$$

$$\Rightarrow Y_0 = B \oplus D$$

Explicación: El bit 1 del sumador circular es el que representa la potencia 0 del resultado. Este se demostró mediante un mapa K el cual da como resultado un simple xor entre dos de los bits entrantes. El A y B representan las entradas que vienen del encodificador de 4 bits. Por otro lado, el C y D representan los bits que se acumulan en el registro.

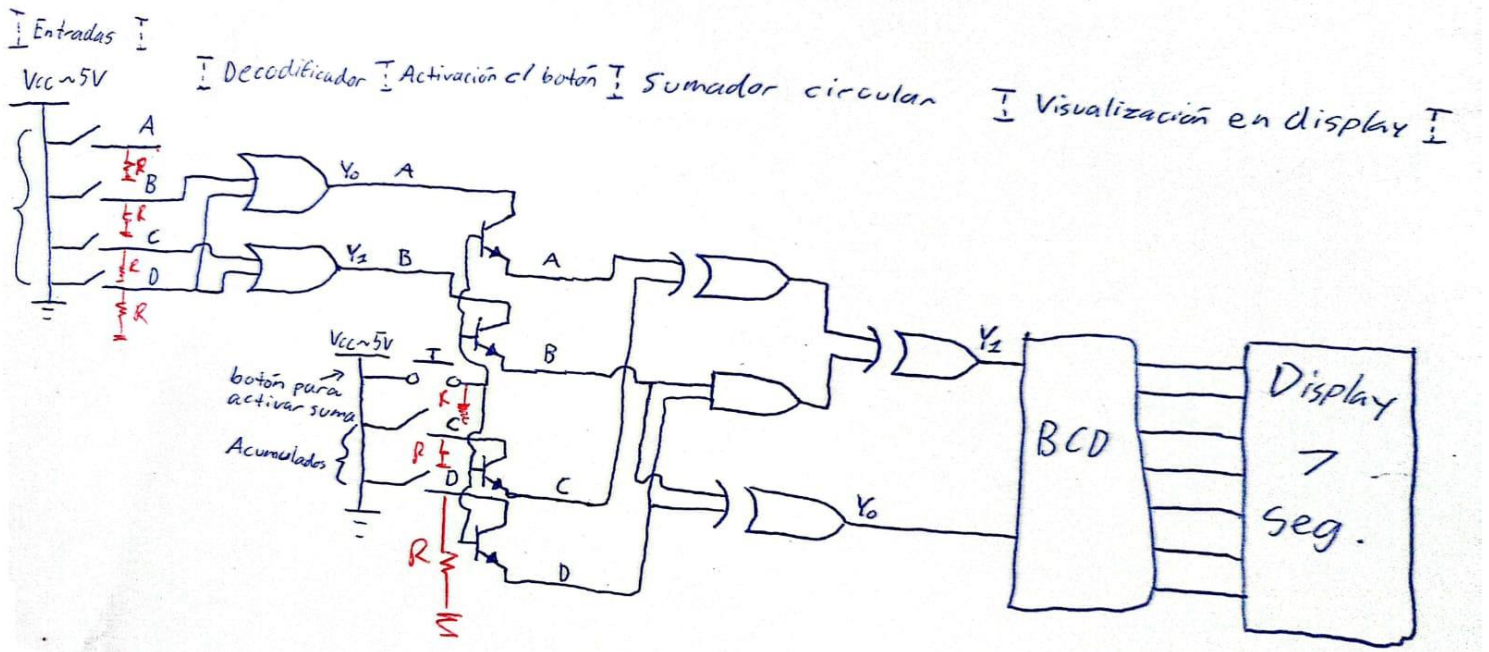
Bit 2 del sumador (Y_1):

A	B	C	D	$A \oplus C$	$B \cdot D$	$(A \oplus C) \oplus (B \cdot D) = Y_1$
0	0	0	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	1	0	1
0	0	1	1	1	0	1
0	1	0	0	0	0	0
0	1	0	1	0	1	1
0	1	1	0	1	0	1
0	1	1	1	1	1	0
1	0	0	0	1	0	1
1	0	0	1	1	0	1
1	0	1	0	0	0	0
1	0	1	1	0	0	0
1	1	0	0	1	0	1
1	1	0	1	1	1	0
1	1	1	0	0	0	0
1	1	1	1	0	1	1

$$Y_1 = (A \oplus C) \oplus (B \cdot D)$$

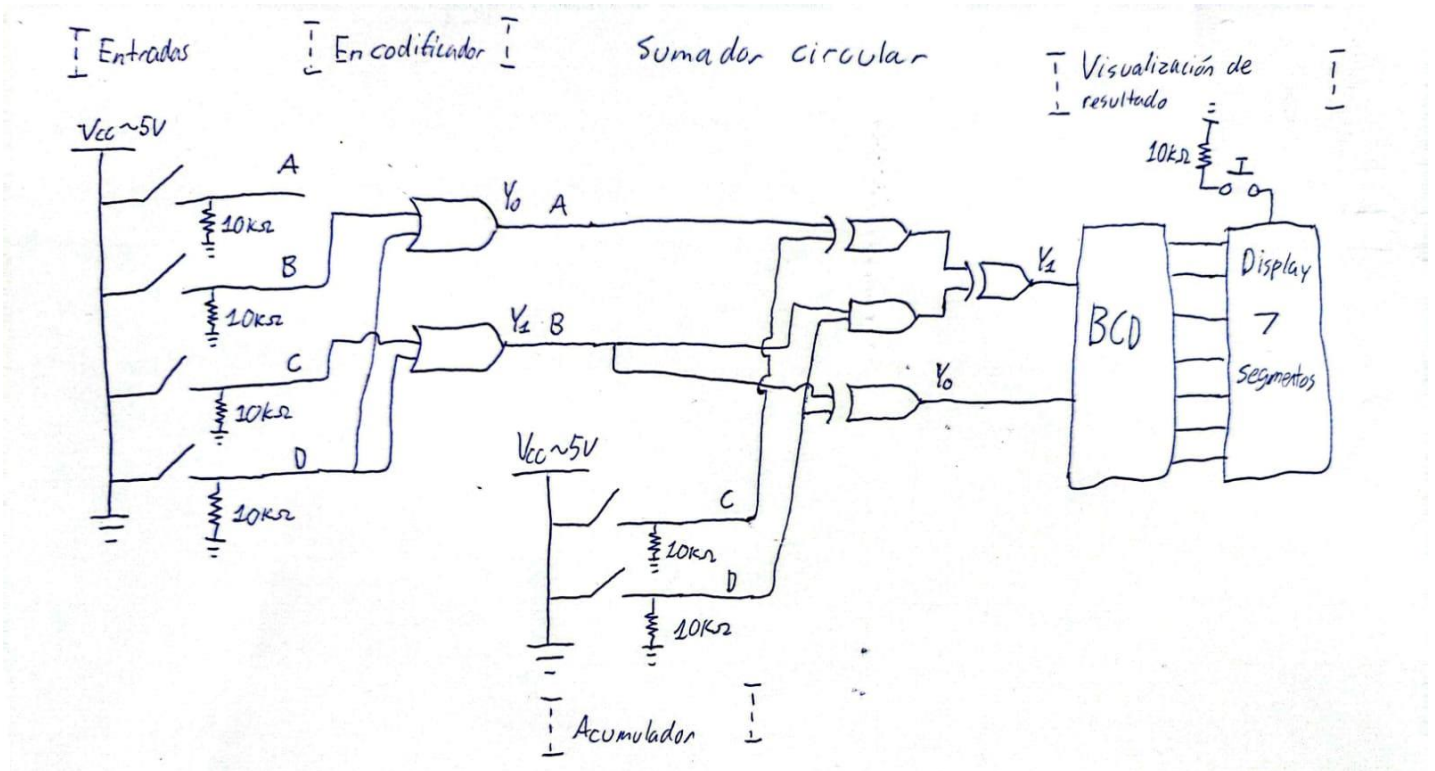
Explicación: El bit 1 del sumador circular es el que representa la potencia 1 del resultado. Este se demostró mediante el uso de tablas de valores con distintas operaciones que fueron usadas para formar los bits necesarios mediante álgebra booleana. Al final, luego de la demostración, se determinó que se necesitan 2 xor y una compuerta and. El A y B representan las entradas que vienen del decodificador 1 de 4 bits. Por otro lado, el C y D representan los bits que se acumulan en el registro.

Diseño propuesto: 31 de marzo 2025



Explicación: Este es el diseño que se propuso en este día para el Taller 2 que es un avance del proyecto en general. Se tomó en cuenta para el diseño lo discutido hasta ahora: los ands del decodificador 1, los xor y el and del sumador circular. Además, se incluyeron momentáneamente switches para activar los bits de las 4 entradas del decodificador 1 y del acumulador. Además, se incluyeron transistores que solo dejaran pasar la corriente cuando sea activado un botón. Por último, se incluyó el circuito que visualiza el resultado final del sumador circular, el cual incluye el BCD y el display de 7 segmentos.

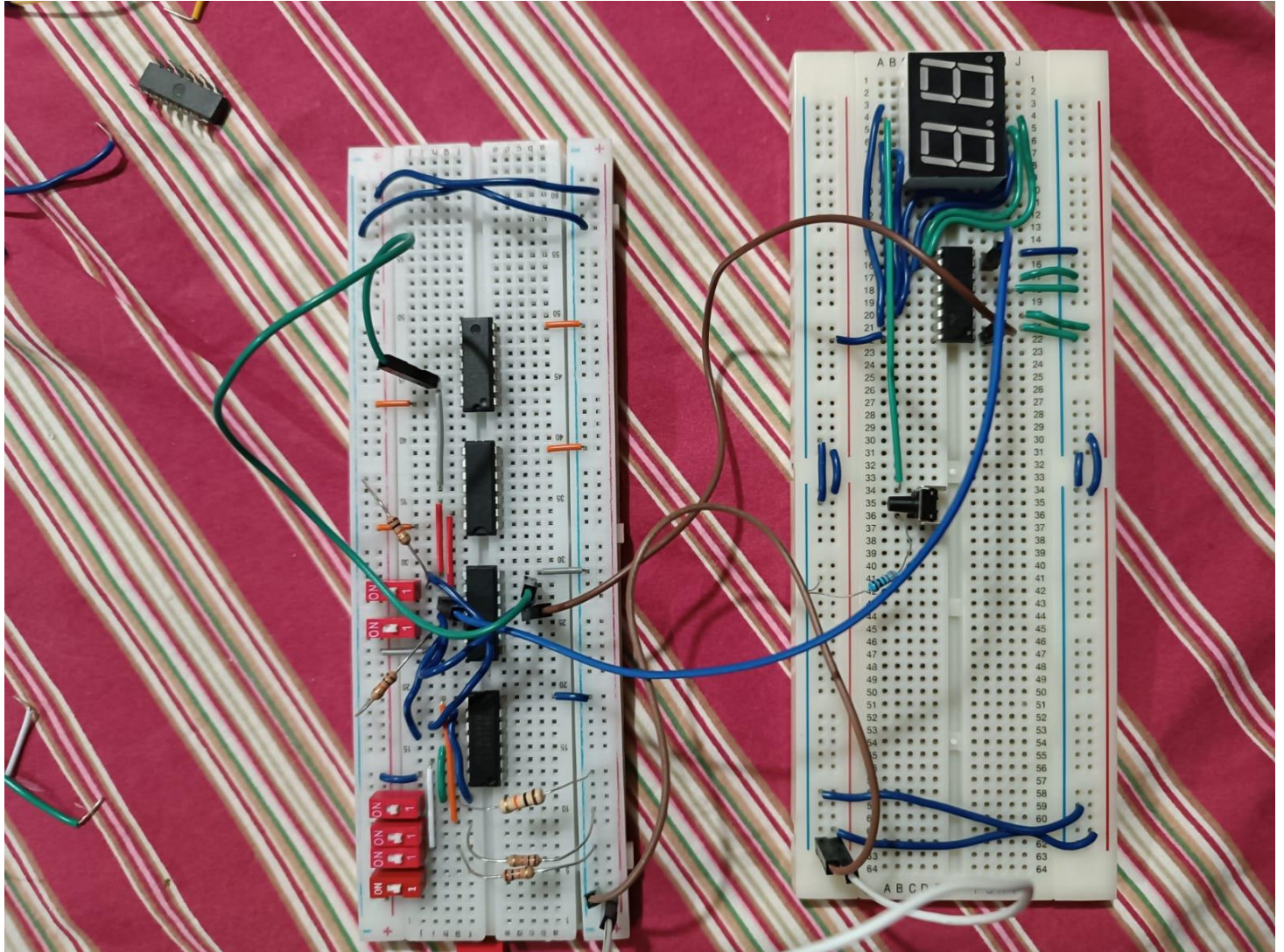
Diseño final Taller 2 – Primera Parte Proyecto: 1 de abril 2025



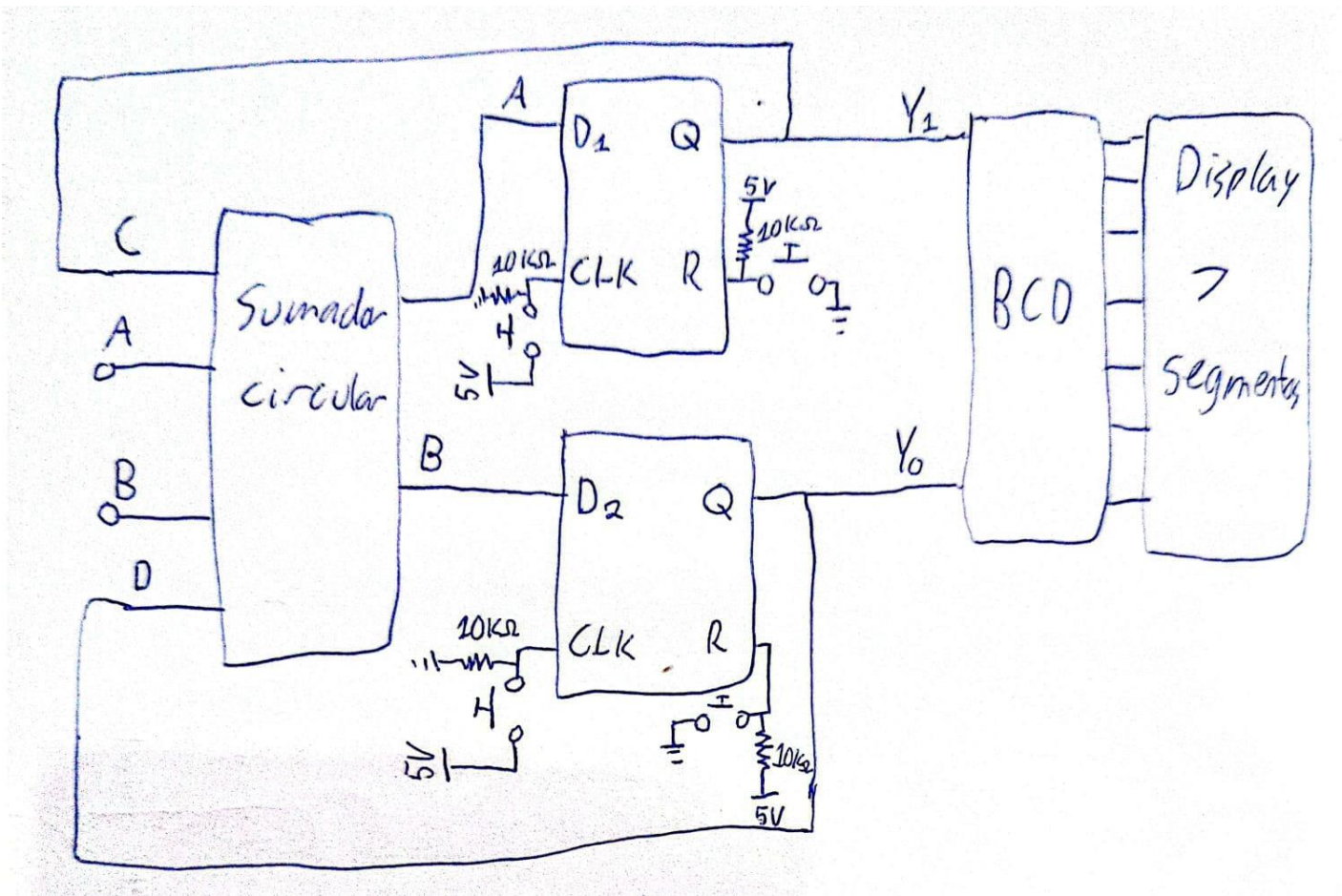
Explicación: Este corresponde al diseño que se usará final para implementar el avance del proyecto. Se modificó el activado y desactivado con el botón. Ahora, este activa y desactiva el funcionamiento a partir de la conexión a tierra del display de 7 segmentos. Además, se definieron los valores específicos de las resistencias pull down que se utilizaron para el correcto funcionamiento de valores 0-1.

Christian Navarro Ellerbrock
Mauricio Luna Acuña
Bitácora Proyecto Individual

Implementación Taller 2 – Primera Parte Proyecto: 1 de abril 2025

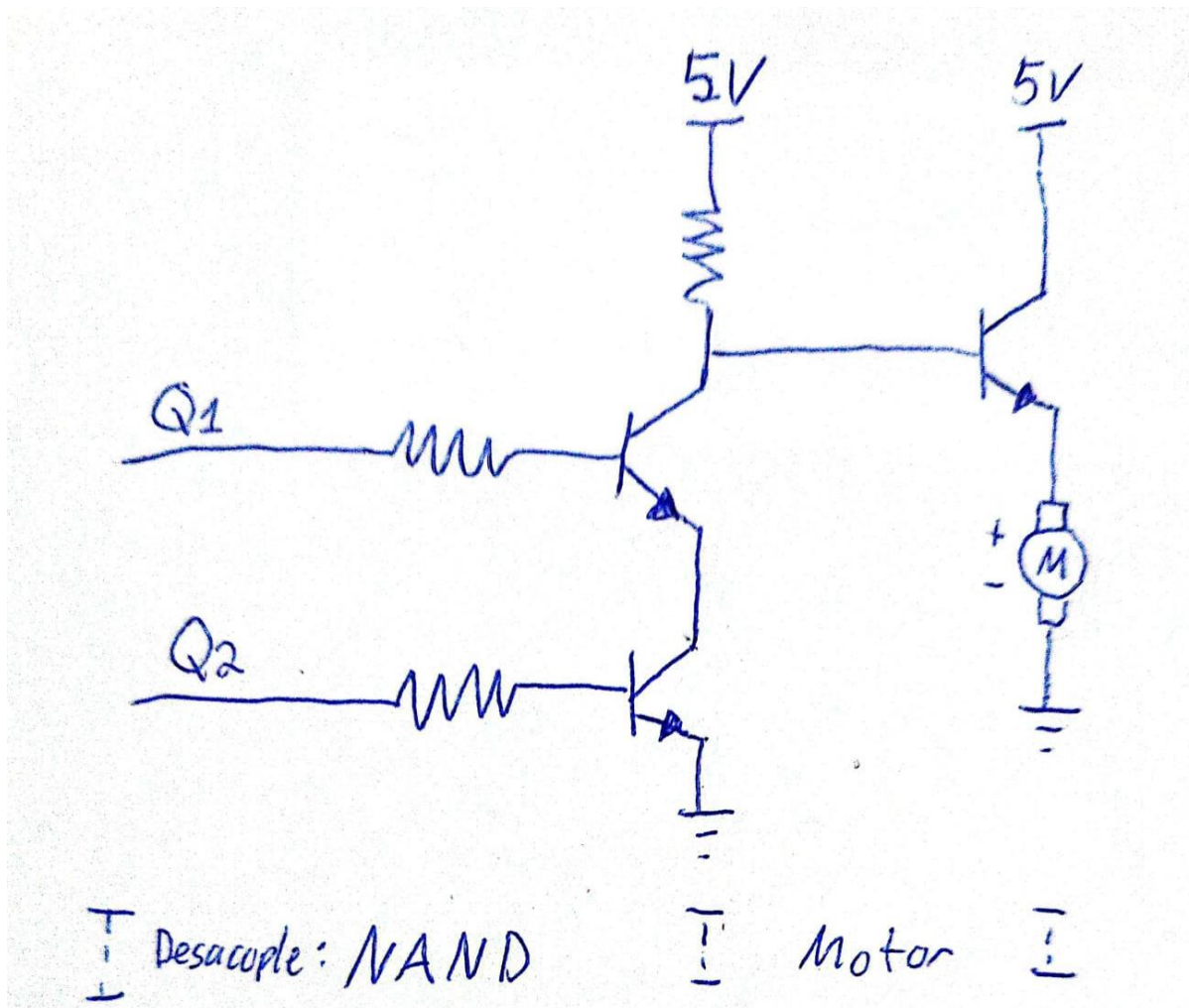


Implementación del registro: 7 de abril del 2025



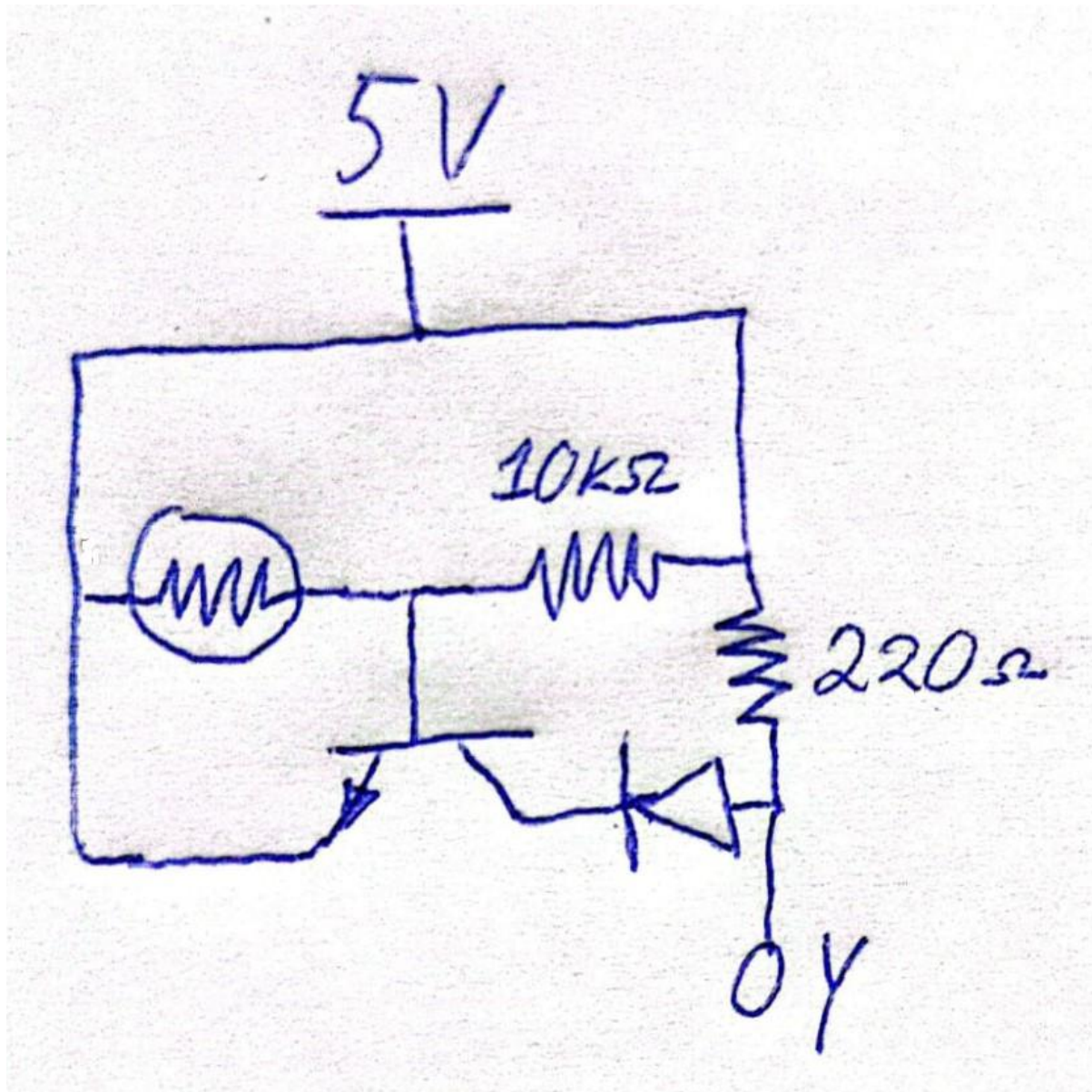
Explicación: Este circuito consiste en el añadido de un registro para que, en vez de switches, el segundo número que suma el sumador circular sea el de la anterior respuesta. Los bits resultantes del sumador circular se conectan cada uno a su respectivo flip-flop D. Cuando estos lean que se presiona el botón conectado al reloj, es decir, cuando ocurra un flanco alto en el reloj, el flip-flop manda mediante la salida Q los bits recibidos y los almacena. Después, esos bits son redirigidos al inicio del sumador circular para calcular la nueva suma y también ese resultado se envía al BCD donde de ahí se muestra en el display el valor del resultado almacenado en los bits de los Q. Para asegurarse que la primera respuesta mandada al sumador circular sea 0, pues aún no debería haber ocurrido ninguna operación, a los flip-flop D se les incluye un botón en las entradas del reset para así asignar a los bits salientes de los flip-flops un 0 cuando se presione el botón y así asegurar una condición inicial. En el sumador circular, el A y B representan las entradas que pasaron por el encodificador hecho previamente y las entradas C y D representan las entradas que dependen del resultado de la operación previa que es mandada por el flip-flop. En el flip-flop, las D representan los datos de entrada. Los CLK representan un reloj que controla el accionar del flip-flop D. Los Q representan las salidas que otorgan cada flip-flop y el R es la entrada que detecta si se activa el reset de bits a 0.

Implementación del desacople (decodificador 2) y motor: 8 de abril del 2025



Explicación: Este circuito presenta el modelo a seguir para activar y desactivar el motor según la respuesta del sumador circular que está almacenado por el flip-flop D. En primer lugar, se reciben las entradas Q de los flip-flops que almacenan el último resultado dado por el sumador circular. Después, los dos bits del resultado son pasados por una compuerta NAND hecha con 2 transistores NPN. El resultado de ese NAND es enviado a un transistor aparte que activa o desactiva el motor. Como es un NAND, el motor se va a prender en todos los estados menos en 1 y 1 en las entradas Q.

Implementación de los sensores de luz y LEDs: 9 de abril del 2025



Explicación: Se implementó un sensor de luz o fotorresistencia para poder detectar los 4 bits que van al decodificador 1. Este tiene como función de que, si recibe luz, activa el bit gracias al transistor NPN. Por el contrario, si está con sombra el fotorresistor, este genera un bit 0. Además, se le coloca un LED para indicar si el bit está activado o desactivado. Este circuito en la implementación se realiza 4 veces, una por cada bit que debe de ser enviado al decodificador 1.