



# INFORME DE LABORATORIO 1

**Autores:** *Cristian David Araujo A., Maverick Sossa Tobón*

*Laboratorio de Electrónica Digital 2*

*Departamento de Ingeniería Electrónica y de Telecomunicaciones*

*Universidad de Antioquia*

## Resumen

Este informe detalla el diseño, implementación y simulación de un circuito digital en una FPGA destinado a presentar una secuencia en displays de 7 segmentos. La secuencia es regulada por señales de control y ejecutada mediante una Máquina de Estados Finitos, que sincroniza las señales y codifica los números en formato BCD para lograr una visualización precisa en los displays.

## Objetivos y Funcionalidad

El propósito de este proyecto es diseñar y desarrollar un circuito digital en una FPGA utilizando el lenguaje de descripción de hardware SystemVerilog. El objetivo es mostrar la secuencia numérica 5, 10, 15, 4, 9, 14, 3, 8 en dos displays de 7 segmentos.

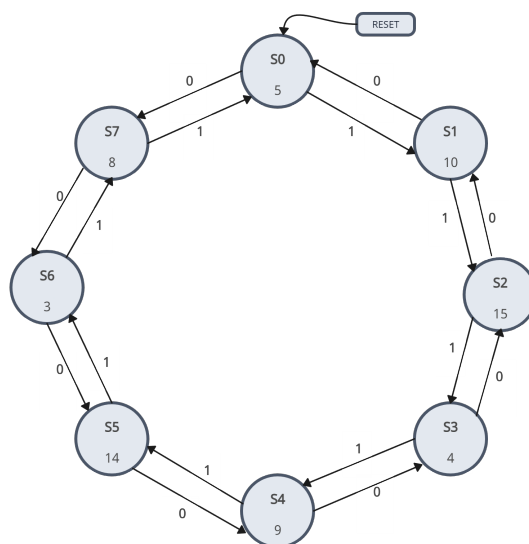
La secuencia se generará en orden ascendente si la entrada 'up' está en estado lógico alto ('1'), y en orden descendente si está en estado lógico bajo ('0'). El intervalo de generación para el próximo valor en la secuencia se controlará mediante la entrada 'time'. Si 'time' está en estado lógico bajo ('0'), el tiempo entre los valores de la secuencia será de un 1 segundo; de lo contrario, será de 0.5 segundos.

Además, se implementará una entrada de reinici-

cio ('reset') que permitirá reiniciar la secuencia en cualquier momento.

## Diseño

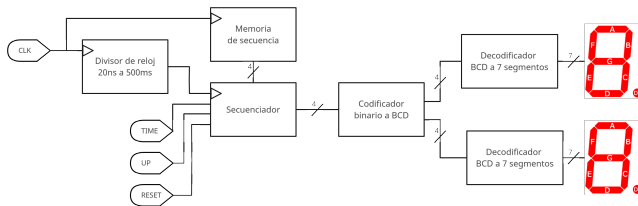
Para alcanzar la funcionalidad deseada, se ha implementado una Máquina de Estados Finitos (FSM, por sus siglas en inglés). Esta FSM está diseñada para controlar la generación de los números en la secuencia que se mostrará en los displays de 7 segmentos. La FSM toma en consideración las señales de control 'up' y 'reset', y se sincroniza con el reloj seleccionado mediante la señal de control 'time'. En la siguiente figura, se presenta una representación de la FSM tipo Moore.



En el siguiente diagrama, se presentan los

componentes utilizados en el desarrollo del proyecto. En el lado izquierdo se encuentra un módulo divisor de reloj, cuyo objetivo es generar una señal de reloj de 500 ms a partir del reloj interno de la FPGA. Esta señal de reloj se conecta al módulo secuenciador. Además, el módulo secuenciador se conecta a la memoria de secuencia, la cual almacena la secuencia. Estos dos módulos trabajan en conjunto para generar la secuencia mencionada en la FSM anterior.

La información se codifica de binario a BCD para separar las unidades y decenas del número en binario. Esto permite enviar la información correspondiente a cada decodificador BCD a 7 segmentos, posibilitando así mostrar la información en cada display de manera precisa.

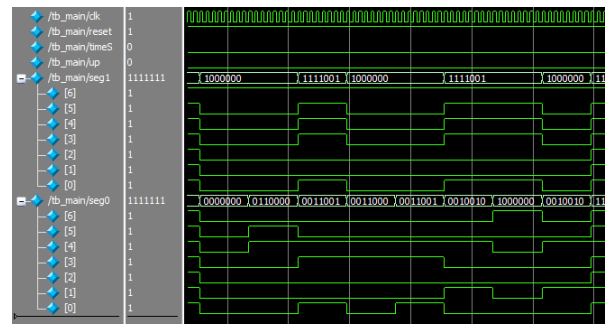


## Simulación

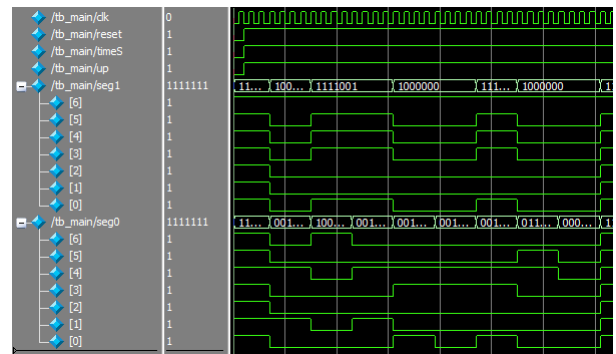
En proceso de simulación se realizó con el test bench, en código, mediante las herramientas de Quartus.

A forma de aclaración, el tb se hizo de tal forma que en 8 ciclos de reloj (clk) se completa en la simulación lo equivalente a 1s en la implementación.

Primero se tiene una figura que, bajo las condiciones de  $up=0$  y  $time=0$ , muestra el contenido de los siete segmentos. Tales condiciones indican que la secuencia se genera de forma descendente y que el tiempo entre valores de la secuencia será de 1s, respectivamente.



Luego, en la siguiente figura, las condiciones de tal simulación son  $up=1$  y  $time=1$ . Estas indican que la secuencia se genera de forma ascendente y el tiempo entre valores es de 0.5s.



Para ambas situaciones, resulta evidente que, en primer lugar, la secuencia se genera correctamente, ya sea de forma ascendente o descendente. En segundo lugar, el intervalo de tiempo entre los valores en los siete segmentos se ajusta de acuerdo a lo establecido por la señal de control 'time'.

## Conclusiones

- En el ámbito de la electrónica digital, el diseño, la planificación y la creación de diagramas de estados y diagramas de bloques son fundamentales. Estos pasos previos permiten establecer una base sólida y optimizada para el desarrollo de circuitos. Los diagramas de estados anticipan posibles problemas y optimizan la lógica

de control, mientras que los diagramas de bloques organizan los componentes y sus interconexiones. Estas prácticas son esenciales para evitar errores costosos, facilitar la depuración y garantizar una implementación eficiente y exitosa del circuito.

- Previo a la implementación, es oportuno realizar una debida simulación que verifique los resultados esperados. Tal simulación es realizada con el test bench. En éste, desde el principio, los resultados de la simulación mostraban representaciones

esperadas, pero también otras inesperadas no necesariamente incorrectas las cuales parecían ser algo propio de la herramienta simulación. Tal suposición se vio reforzada luego de que la implementación en la FPGA resultara sin problemas. Como propuesta a modo de resolver el problema, en caso de que sea un error, o mejoramiento se pretenderá estudiar más la herramienta usada a fin de comprenderla y tratar de encontrar el por qué de tales peculiaridades en la simulación.