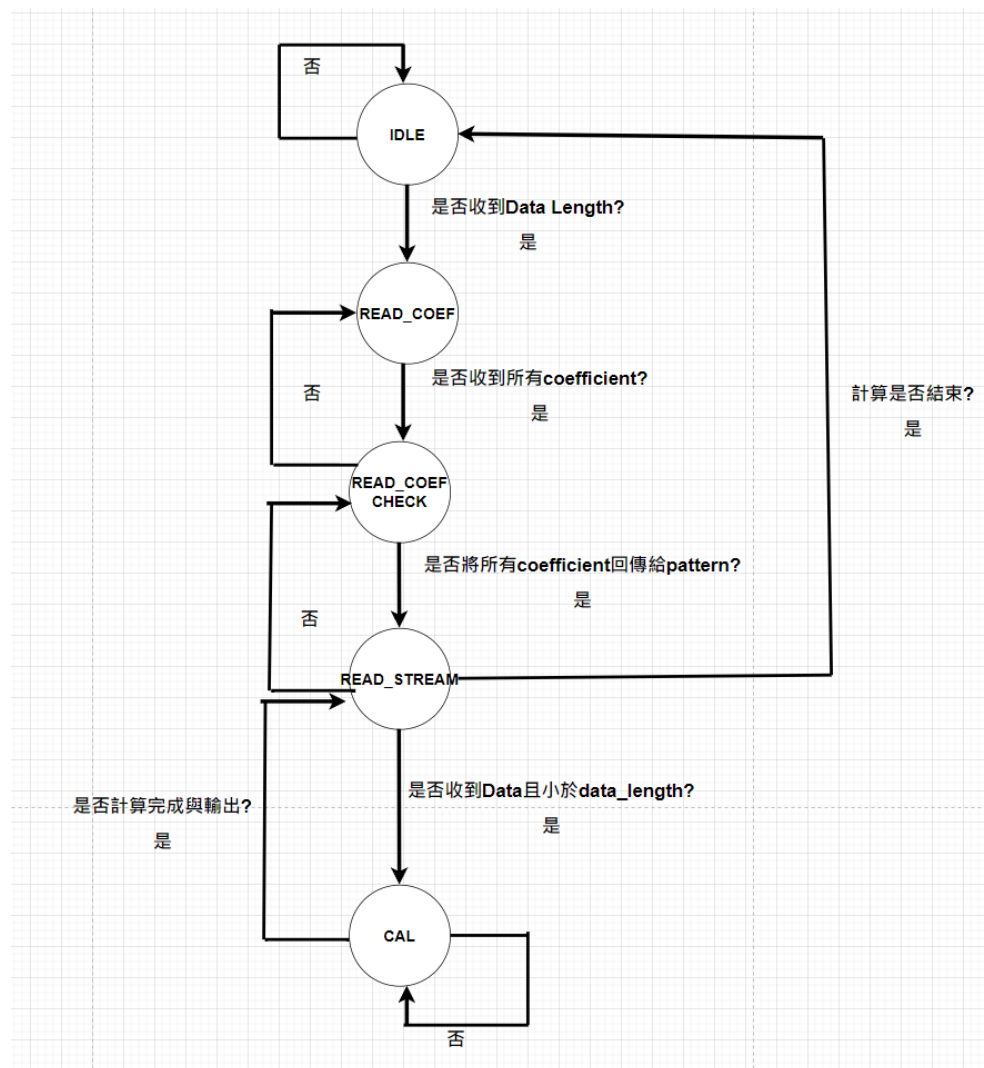
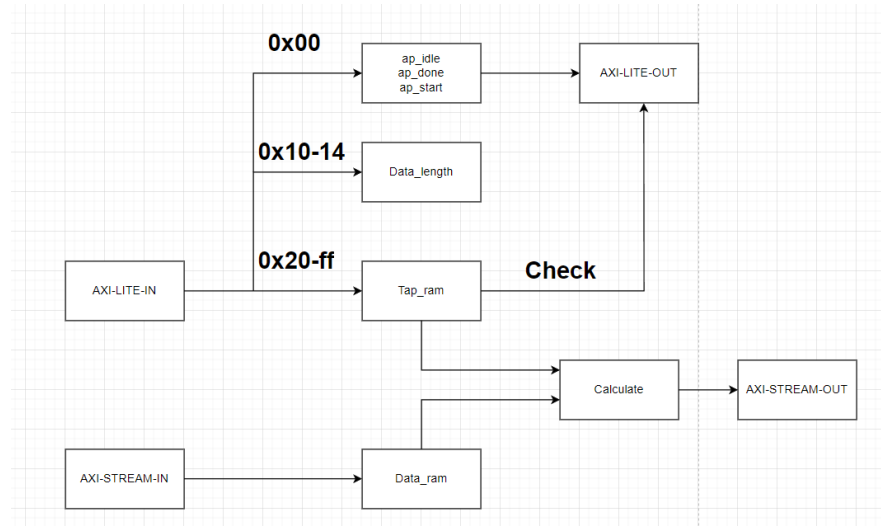


Lab3

智能所 310581019 張楊振

Block Diagram

Data Flow & control signal



我用 finite state machine 的方式介紹我的 data flow 跟 control signal

Finite State Machine mode

1 IDLE

當 $awvalid = 1$ & $wvalid=1$ ，接收 $Data_length$ 且 $wready=1$ & $awready=1$ 告知 pattern 收到數值

2 READ_COEF

當 $awvalid = 1$ & $wvalid=1$ ，接收 coefficient value 且 $wready=1$ & $awready=1$ 告知 pattern 收到數值，儲存方式為下：

- 1 將傳進來的 $address - 12'h20$ 當作 tap bram address
- 2 將傳進來的 value 放進 tap bram
- 3 計算輸入是否為 11 個

3 READ_COEF_CHECK

當遇到 configuration read check 且 $rvalid=1$ & $ready=1$ 時，依照 $araddr$ 指地的位址從 tap bram 讀出數值讀出傳回給 test bench，同時將 $rvalid$ 變成 1。

4 READ_STREAM

ss_tready 變成 1，axi-stream 給 data，用 counter 紀錄給幾筆 data，同時每獲得一筆 data $counter+1$ 。Data 放在 data ram 的 address 是 $counter\%11$ ， $ex(data$ 第 1、12、23 比 $data\%11$ 以後都會放在同一個位置)，當獲得一筆 data 時，就會跳到 CAL state 去做運算。

5 CAL:

由於這次條件是只能用一個加法器與乘法器，因此需要用 11cycle 去計算計算公式為：

$$Total_data = Total_data + tap_Do * data_Do$$

$$Total_data = \sum_{i=0}^{i=11} (tap_Do[i] * data_Do[x-i])$$

$$x-i = (counter-i)\%11$$

將計算完的結果輸出給 sm_tdata ，同時 $sm_tvalid=1$ 告知 pattern design 要輸出，如果是最後一筆 sm_tlast 為 1，如果不是最後一筆將跳回 READ_STREAM state 取數值。

2 Describe operation

當 $awvalid = 1$ & $wvalid=1$ 時，判斷輸入訊號 $araddr$ 是在哪個區間

0x00(ap_idle 、ap_done 、 ap_start)

0x10-14 data_length

0x20-ff Tap parameters

如果是 0x20-ff 輸入到 tap_ram address = araddr-12'h20

如果是 data-in 輸入到 data_ram address = counter%11(counter 紀錄第幾筆 data)

Shiftram =

$$Total_data = Total_data + tap_Do * data_Do$$

$$Total_data = \sum_{i=0}^{i=11} (tap_Do[i] * data_Do[x-i])$$

$$x-i = (counter-i)\%11$$

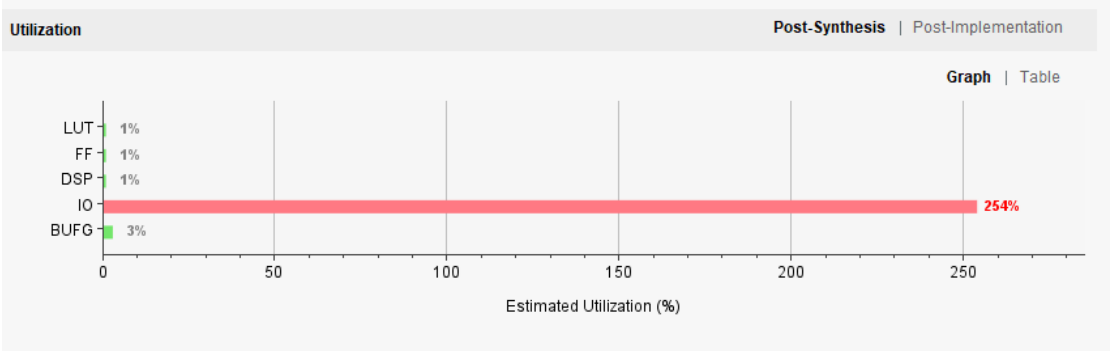
ap_start: 當輸入訊號收到 $awaddr == 12'h00$ && $wdata == 32'h0000_0001$ 時，

ap_start 為 1 並維持 1 cycle

ap_done: 當輸出到最後一筆時 ap_done 為 1 並維持 1 cycle

ap_idle: 初始為 1 當 ap_start 為 1 時，ap_idle 為 0 並維持 1 cycle

Resource usage



	LUT	FF	BRAM	URAM	DSP
	693	152	0	0	3

Timing report

Design Timing Summary

Setup	Hold	Pulse Width
Worst Negative Slack (WNS): 0.392 ns	Worst Hold Slack (WHS): 0.070 ns	Worst Pulse Width Slack (WPWS): 2.300 ns
Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): 0.000 ns	Total Pulse Width Negative Slack (TPWS): 0.000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 331	Total Number of Endpoints: 331	Total Number of Endpoints: 153
All user specified timing constraints are met.		

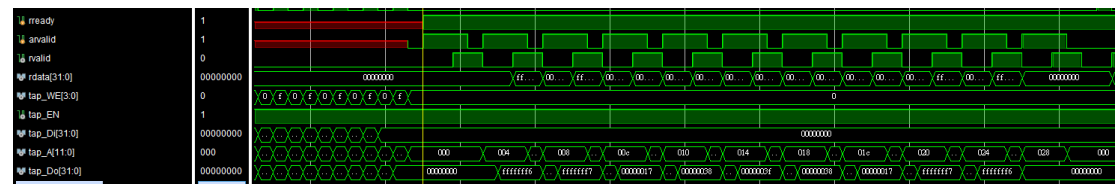
Maximum frequency

Name	Waveform	Period (ns)	Frequency (MHz)
axis_clk	{0.000 2.800}	5.600	178.571

Longest path and slack

Name	Slack	Levels	Routes	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Requirement	Source Clock	Destination Clock	Exception	Clock Uncertainty
Path 1	0.392	3	4	32	counter_reg[25]C	sm_tdata_reg[0]R	4.471	1.021	3.450	5.6	axis_clk	axis_clk		0.035
Path 2	0.392	3	4	32	counter_reg[25]C	sm_tdata_reg[10]R	4.471	1.021	3.450	5.6	axis_clk	axis_clk		0.035
Path 3	0.392	3	4	32	counter_reg[25]C	sm_tdata_reg[11]R	4.471	1.021	3.450	5.6	axis_clk	axis_clk		0.035
Path 4	0.392	3	4	32	counter_reg[25]C	sm_tdata_reg[12]R	4.471	1.021	3.450	5.6	axis_clk	axis_clk		0.035
Path 5	0.392	3	4	32	counter_reg[25]C	sm_tdata_reg[13]R	4.471	1.021	3.450	5.6	axis_clk	axis_clk		0.035
Path 6	0.392	3	4	32	counter_reg[25]C	sm_tdata_reg[14]R	4.471	1.021	3.450	5.6	axis_clk	axis_clk		0.035
Path 7	0.392	3	4	32	counter_reg[25]C	sm_tdata_reg[15]R	4.471	1.021	3.450	5.6	axis_clk	axis_clk		0.035
Path 8	0.392	3	4	32	counter_reg[25]C	sm_tdata_reg[16]R	4.471	1.021	3.450	5.6	axis_clk	axis_clk		0.035
Path 9	0.392	3	4	32	counter_reg[25]C	sm_tdata_reg[17]R	4.471	1.021	3.450	5.6	axis_clk	axis_clk		0.035
Path 10	0.392	3	4	32	counter_reg[25]C	sm_tdata_reg[18]R	4.471	1.021	3.450	5.6	axis_clk	axis_clk		0.035

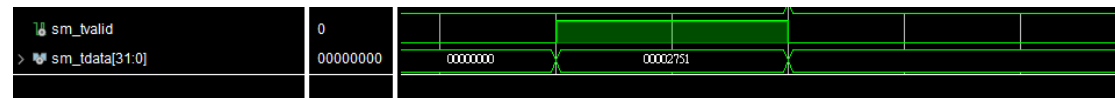
Coefficient program ,and read back



Data-in stream-in



Data-out stream-out



Bram access control

Data bram



Tap bram



FSM

