[1] 設計者姓名及聯絡電話

學生姓名:許家愷

聯絡電話:0928299274

[2] 專題名稱

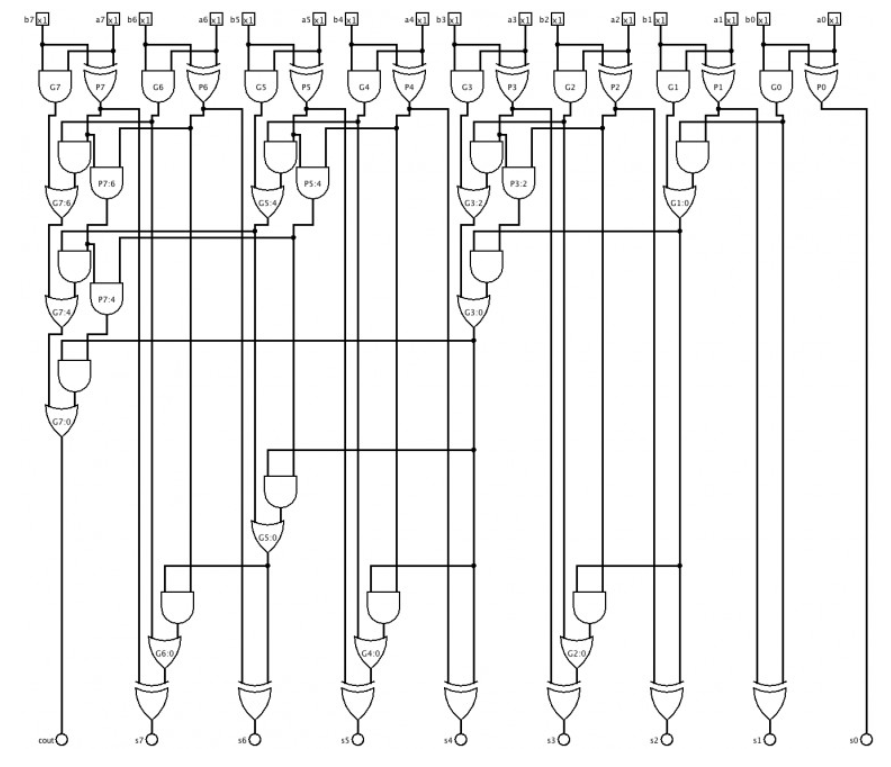
中文專題名稱：8位元Brent–Kung加法器

英文專題名稱：8 – bit Brent–Kung adder

[3] 全新設計或改版說明

“此案件採用他人設計，進行改善”， “Implementation and comparison of VLSI architectures of 16 bit carry select adder using Brent Kung adder[1]”的內容主要是探討Brent–Kung演算法能帶給一般ALU在使用加法運算時帶來的效益，理論上Brent–Kung演算法能在n-bits狀況下需要使用的晶片面積，帶來的運算速度。不過對方只有利用Verilog進行模擬，所以這次下線想要了解是否可以達成以上的理論值。

[4] 原理及架構說明

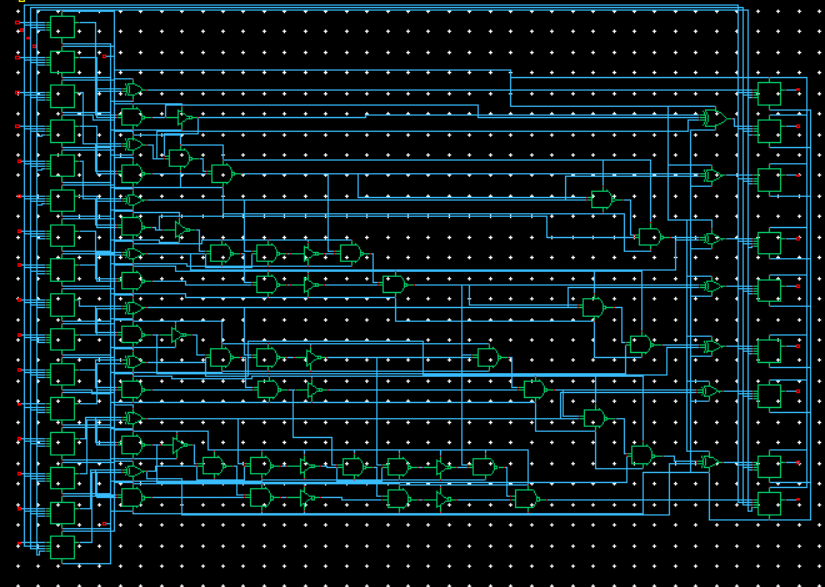


此圖為Brent–Kung的基礎架構

[5] 設計流程

1. 了解Brent–Kung演算法
2. 製作出8 – bit Brent–Kung adder邏輯閘電路
3. 繪製並化簡電晶體電路
4. Schematic電路模擬(Hspice)
5. 是否能驅動20pF電容(是，繼續、否，回到第3步)
6. 電路布局(virtuoso)
7. 電路驗證(DRC、LVS)
8. 萃取電路寄生效應(XRC)
9. layout電路模擬(Hspice)
10. 是否能驅動20pF電容(是，繼續、否，回到第6步)
11. 下線
12. 量測

[6] 電路詳圖



[7] 模擬結果

Fig .1(a) Pre-layout Simulation

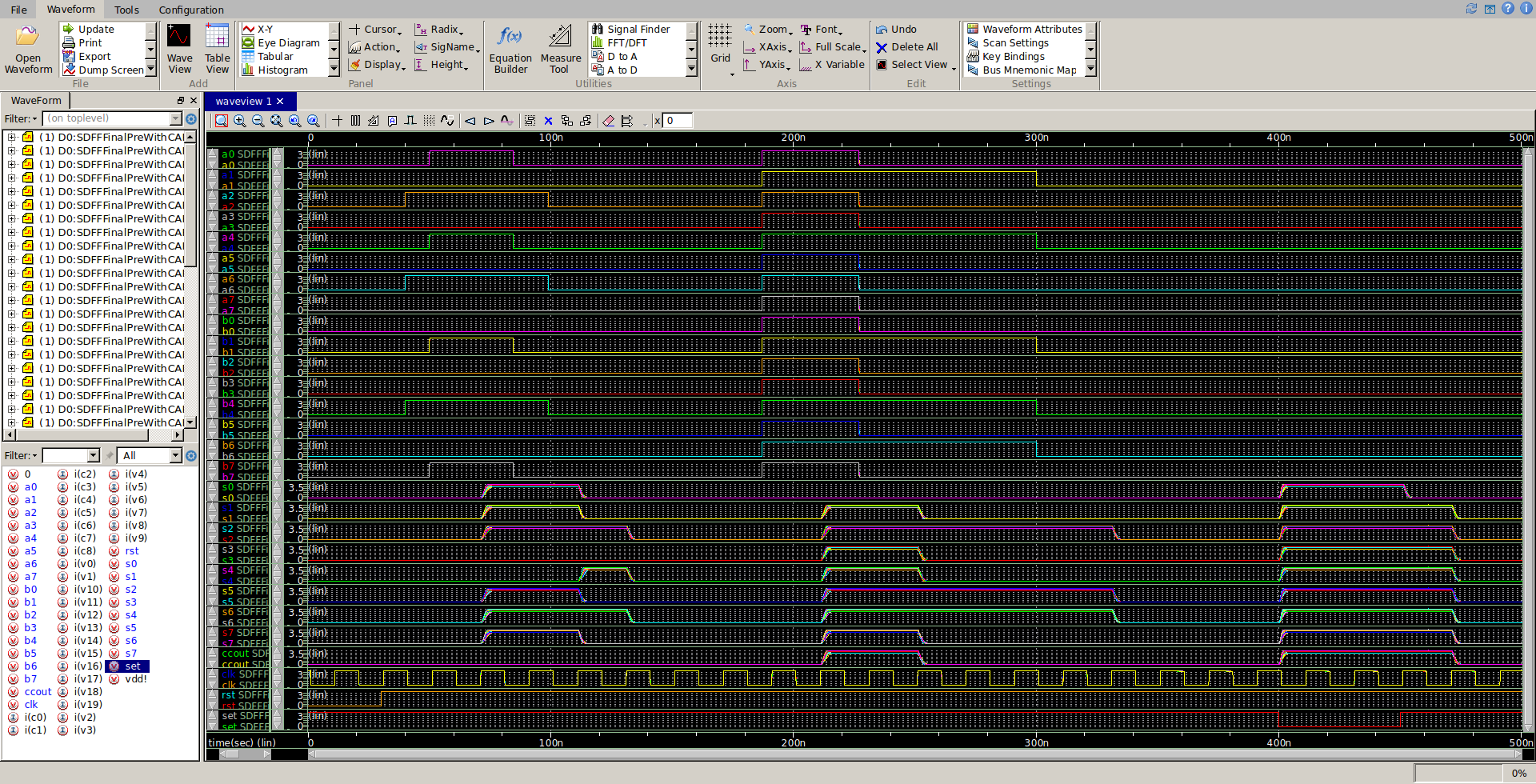
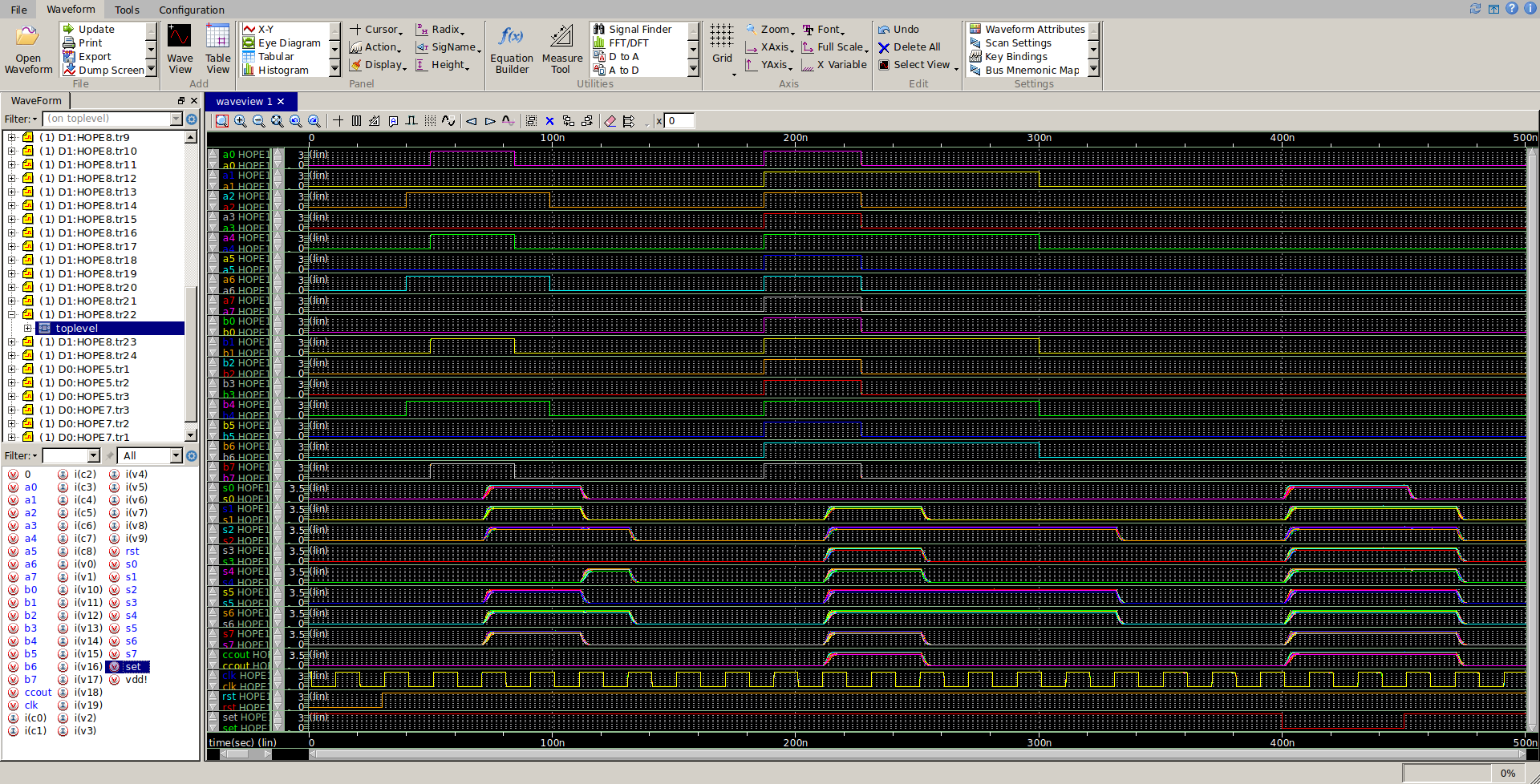
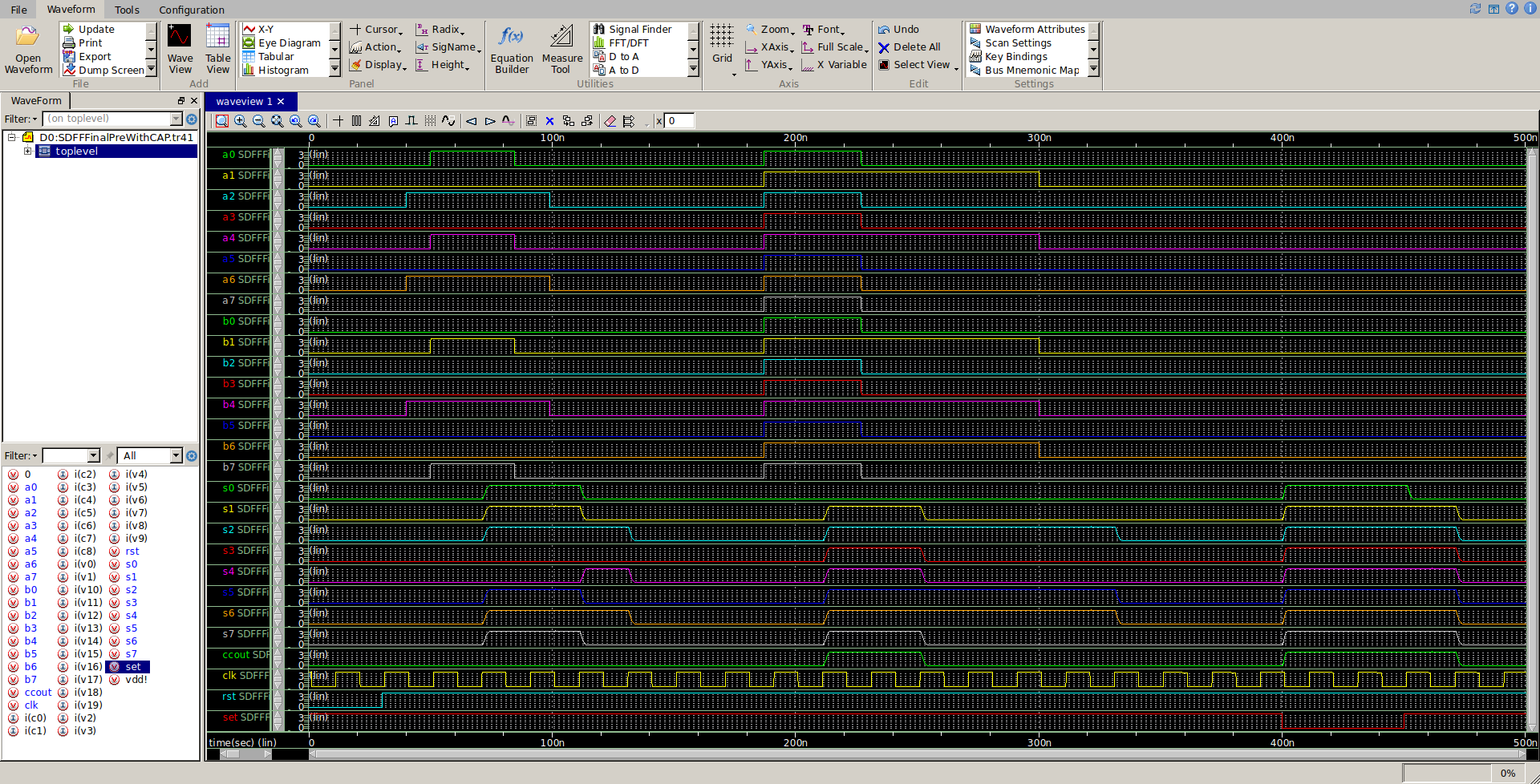


Fig.1 (b) Post-layout Simulation





0

1

0

0

1

0

0

0

0

1

0

0

1

0

1

0

0

0

1

0

0

1

1

0

0

1

1

1

1

1

1

1

1

1

1

1

1

1

1

1

1

0

1

1

1

1

1

1

1

1

0

1

0

0

1

0

0

0

0

1

0

0

1

0

1

0

0

1

1

1

1

1

1

1

1

1

1

1

1

1

1

1

1

1

1

1

1

1

1

1

1

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

1

0

1

0

1

0

0

0

0

1

0

0

0

1

0

0

0

0

0

1

0

0

0

1

1

1

0

0

1

1

1

0

1

0

1

0

1

0

1

0

0

1

0

0

1

0

0

1

1

1

1

0

0

1

1

1

0

1

0

1

0

1

0

1

0

0

1

0

0

1

0

0

1

我們輸入了幾組資料來驗證此電路是否正確，由每個corner圖可以看出以下結果:

Input:A=01010101，B=10010010→Output:Sum=11100111、ccout=0。

Input:A=01000100，B=00010000→Output:Sum=01010100、ccout=0。

Input:A=11111111，B=11111111→Output:Sum=11111110、ccout=1。

Input:A=00010010，B=01010010→Output:Sum=01100100、ccout=0。

結果和預期相符，皆正確。

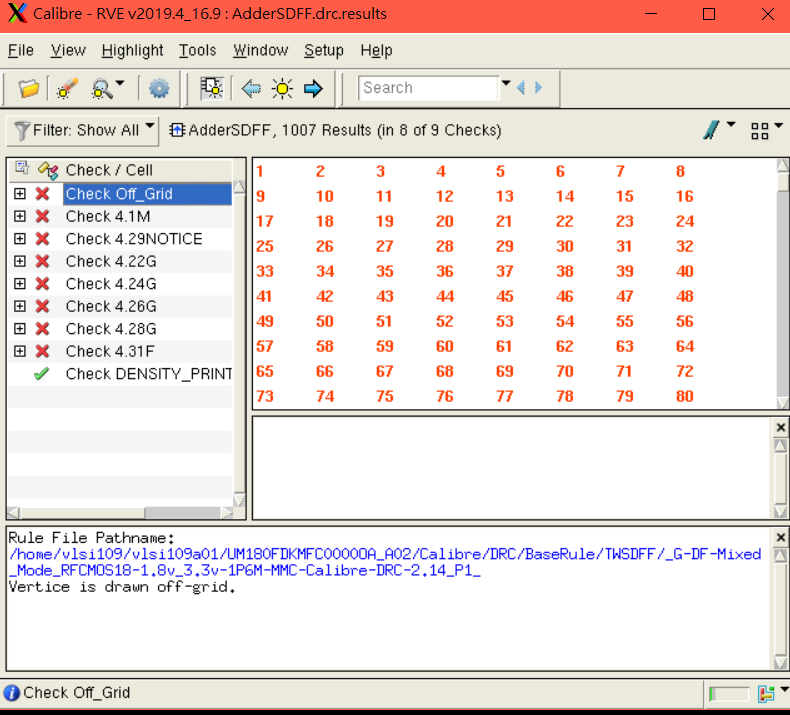
[8]量測考量

使用3.3V電源供應器，另外還有訊號產生器(functional generator)，最後使用邏輯分析儀或是示波器檢視訊號是否合乎預期

[9]佈局驗證結果錯誤說明

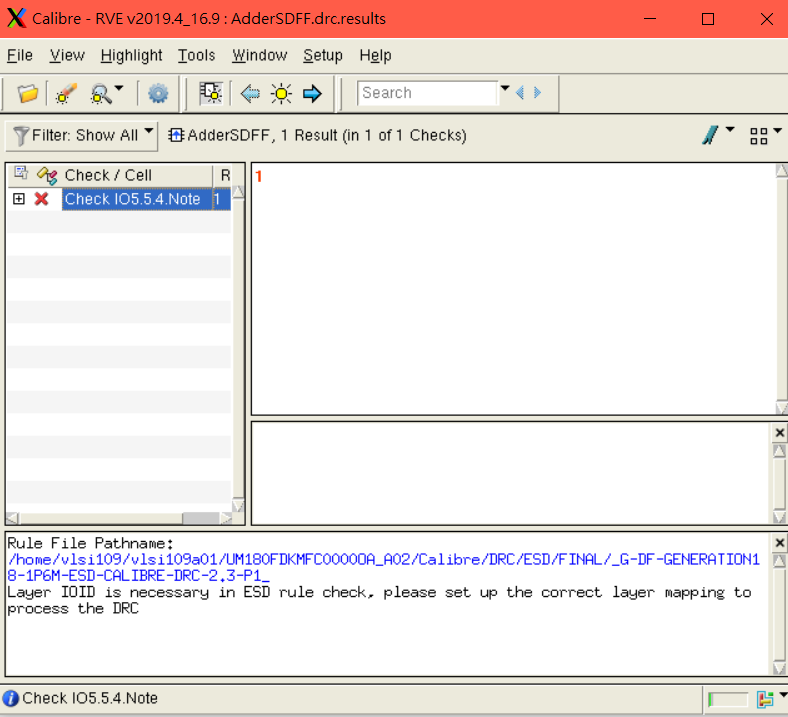
(A)DRC 驗證結果

1.Baserule



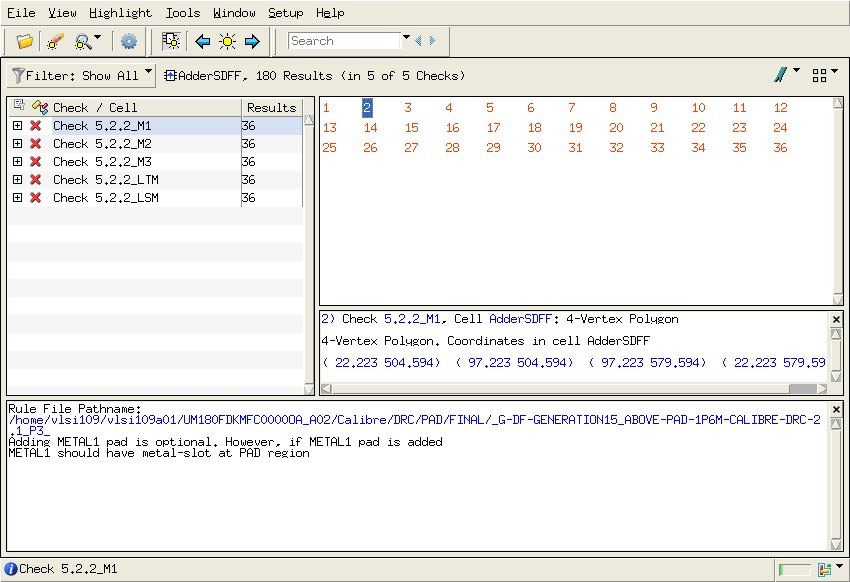
(上圖)有8個error，且皆為可允許之DRC假錯。

2.ESD



(上圖)有1個error，為可允許之DRC假錯。

3.PAD



(上圖)有5 個error，且皆為允許之DRC假錯。

(B)LVS 驗證結果

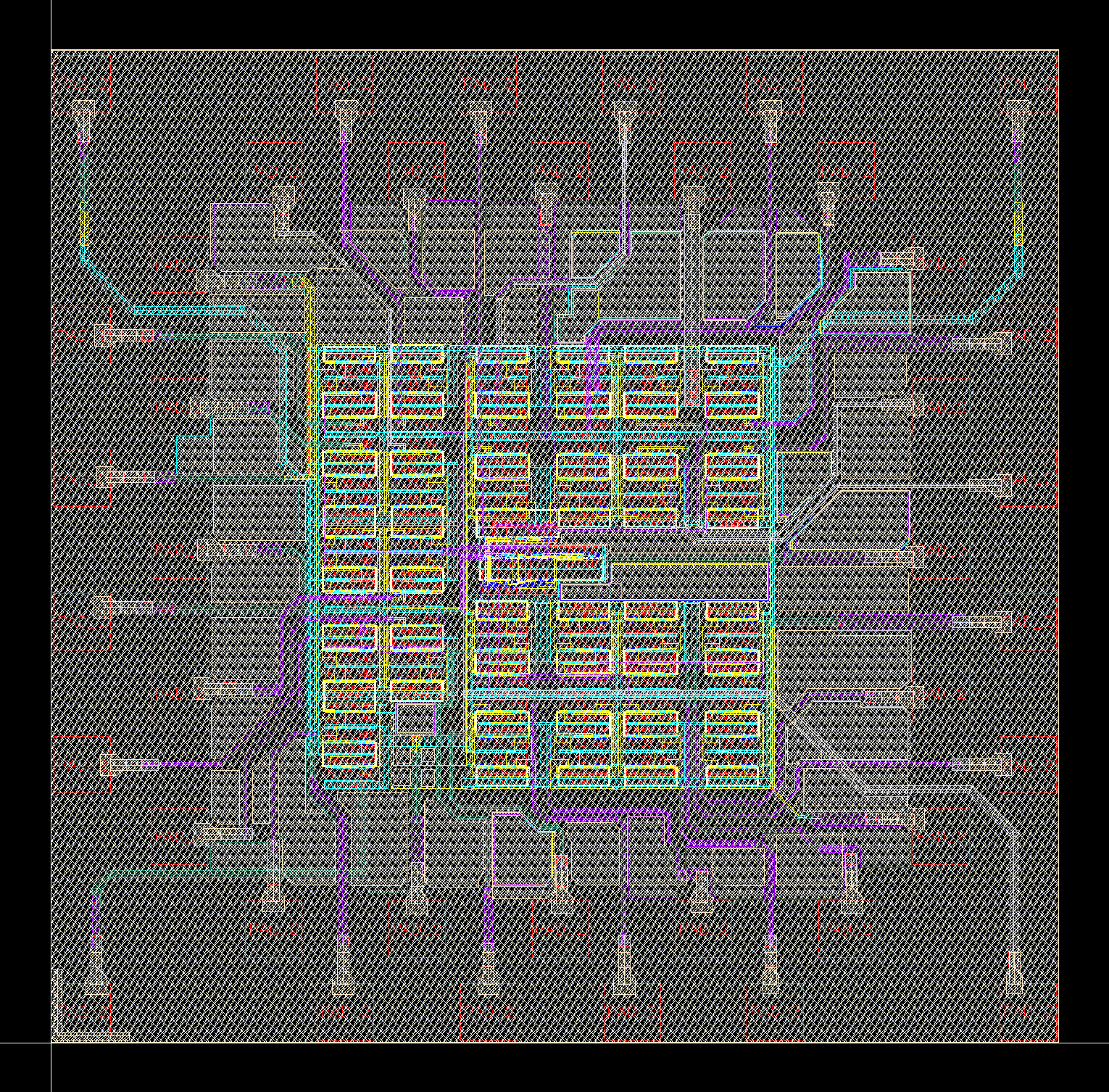
LVS-OK。

[10]佈局平面圖

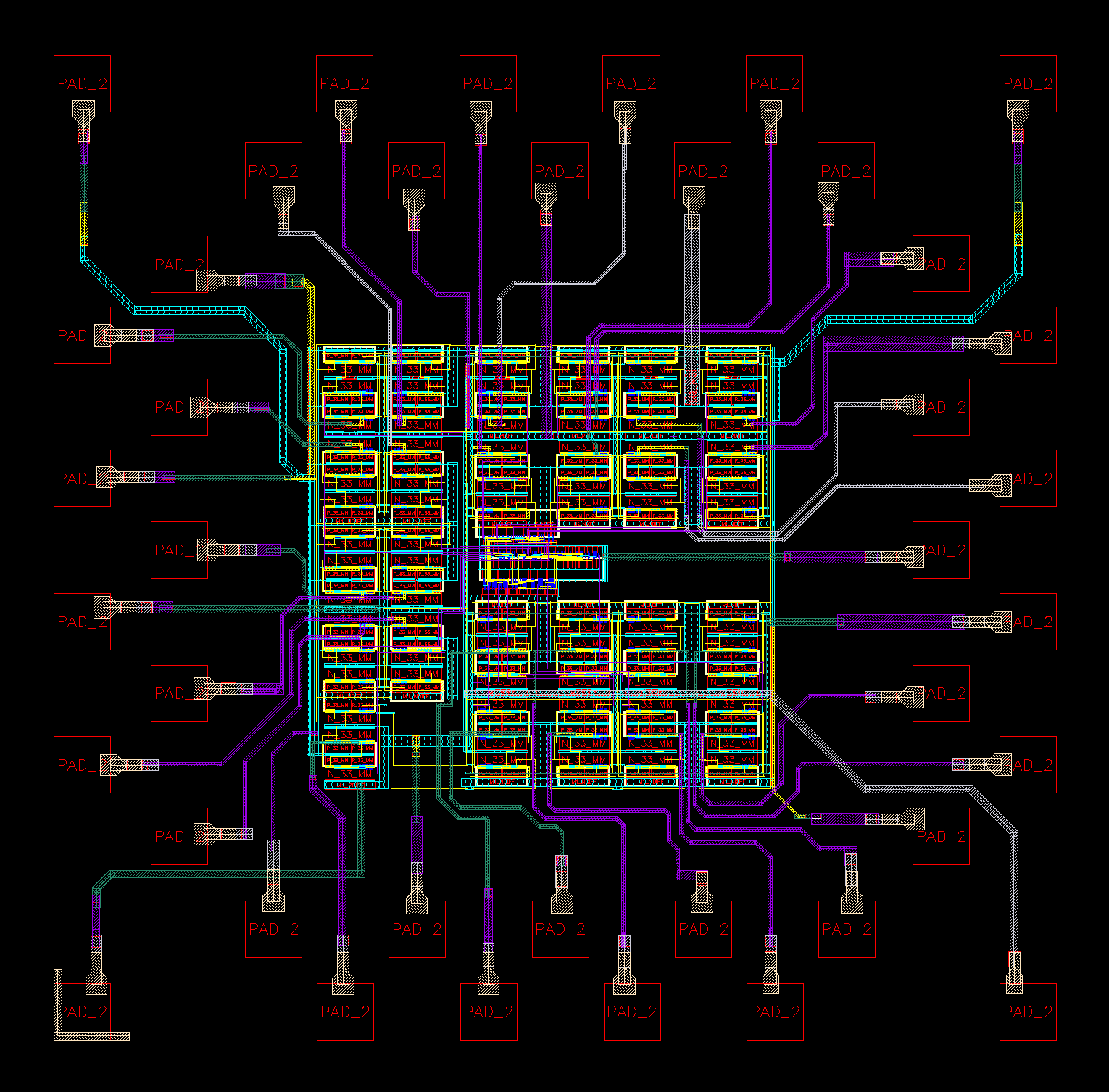
Chip Size: 1.306 × 1.328mm2

Transistor/Gate count:1214個

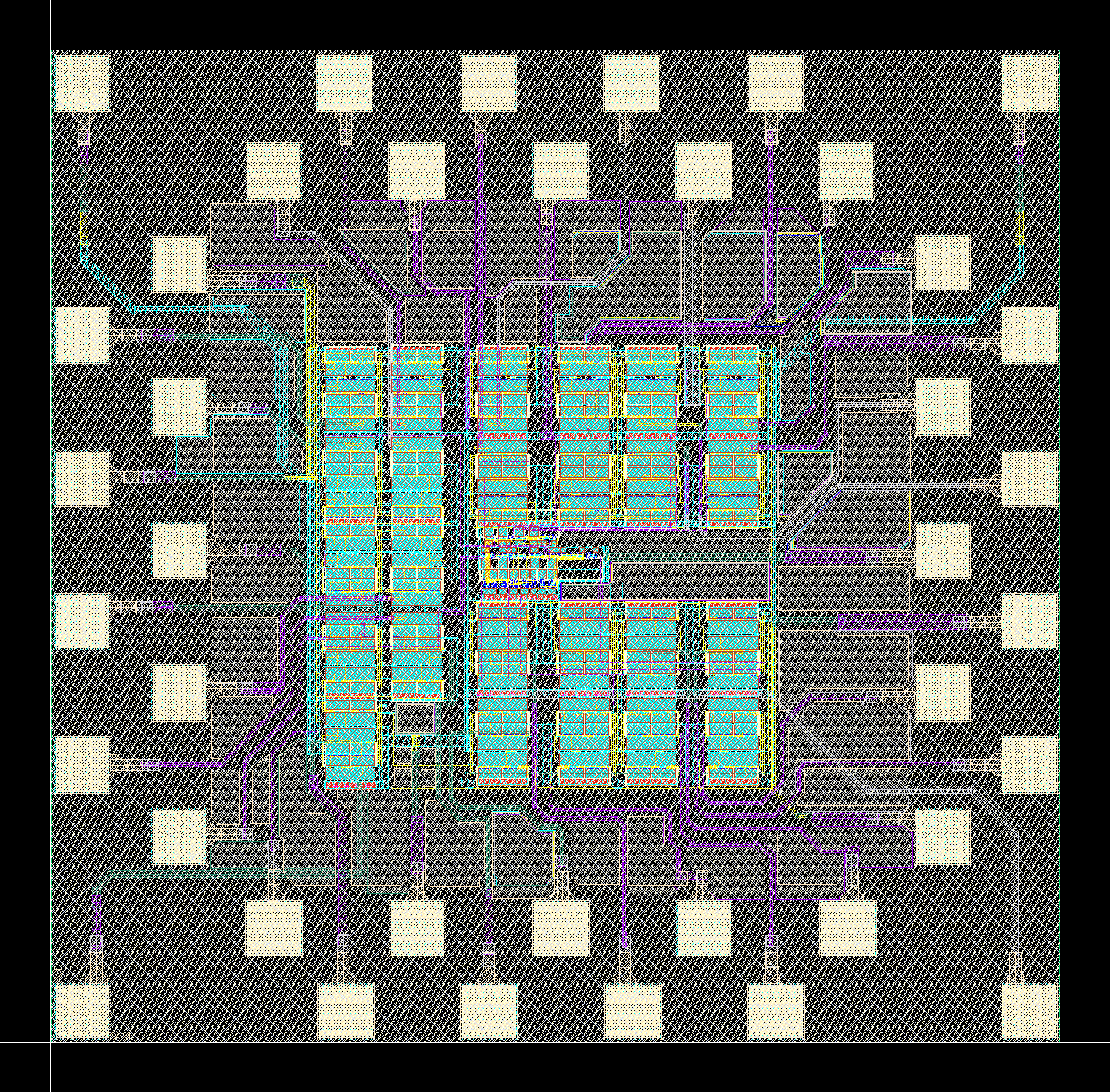
Work Frequency: 5 × 107 Hz

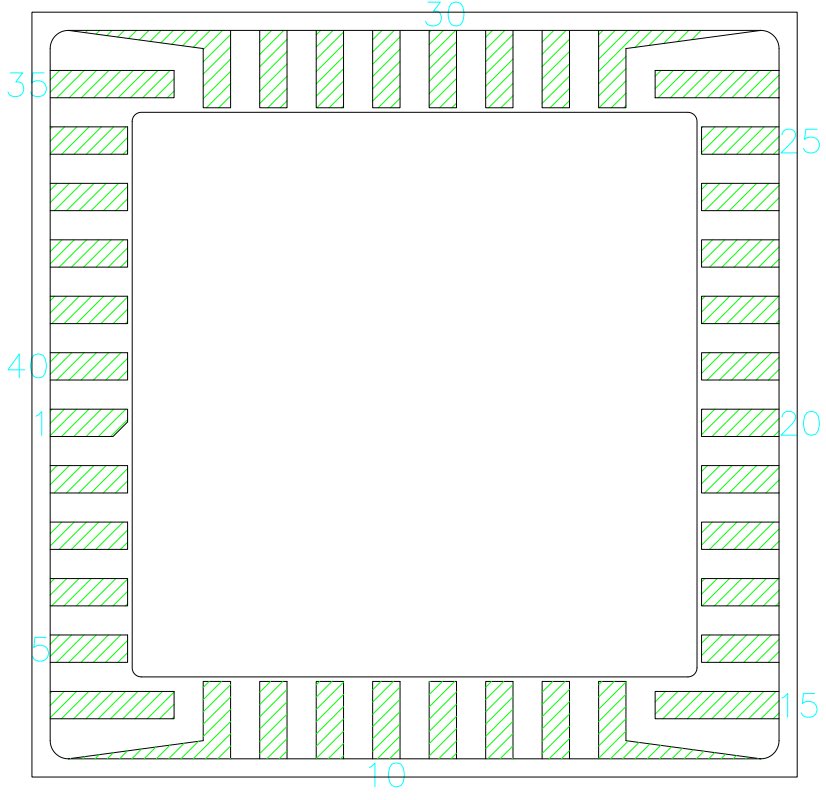


With Dummy Block



Without Dummy Block

[11] 打線圖



[12]預計規格列表

|  |  |  |
| --- | --- | --- |
| Specification | Pre-sim(tt) | Post-sim(tt) |
| Power Supply (V) | 3.3 | |
| Working Frequency | 5 × 107 Hz | |
| Rise time | 2.29ns | 2.95ns |
| Fall time | 2.22ns | 2.54ns |
| Chip size (mm2 ) | 1.306mm × 1.328mm | |

[13]參考文獻

N. U. Kumar, K. B. Sindhuri, K. D. Teja and D. S. Satish, "Implementation and comparison of VLSI architectures of 16 bit carry select adder using Brent Kung adder," 2017 Innovations in Power and Advanced Computing Technologies (i-PACT), Vellore, 2017, pp. 1-7, doi: 10.1109/IPACT.2017.8244982.