[1] 設計者姓名及聯絡電話

學生姓名:許家愷

聯絡電話:0928299274

[2] 專題名稱

中文專題名稱：8位元Brent–Kung加法器

英文專題名稱：8 – bit Brent–Kung adder

[3] 全新設計或改版說明

“此案件為設計者全新設計”，主要是探討Brent–Kung演算法能帶給一般ALU在使用加法運算時帶來的效益，理論上Brent–Kung演算法能在n-bits狀況下需要使用的晶片面積，帶來的運算速度，所以這次下線想要了解是否可以達成以上的理論值

[4] 原理及架構說明

(貼上那張圖)

此圖為Brent–Kung的基礎架構

[5] 設計流程

1. 了解Brent–Kung演算法
2. 製作出8 – bit Brent–Kung adder邏輯閘電路
3. 繪製並化簡電晶體電路
4. Schematic電路模擬(Hspice)
5. 是否能驅動20pF電容(是，繼續、否，回到第3步)
6. 電路布局(virtuoso)
7. 電路驗證(DRC、LVS)
8. 萃取電路寄生效應(XRC)
9. layout電路模擬(Hspice)
10. 是否能驅動20pF電容(是，繼續、否，回到第6步)
11. 下線
12. 量測

[6] 電路詳圖

[7] 模擬結果

Fig .1(a) Pre-layout Simulation

Fig.1 (b) Post-layout Simulation

[8]量測考量

使用邏輯分析儀

[9]佈局驗證結果錯誤說明

(A)DRC error

(B)LVS error

LVS-OK

[10]佈局平面圖

[11] 打線圖

不需打線

[12]預計規格列表

|  |  |  |
| --- | --- | --- |
| Specification | Pre-sim(tt) | Post-sim(tt) |
| Power Supply (V) | 3.3 | 3.3 |
| Working Frequency |  |  |
| Rise time |  |  |
| Fall time |  |  |
| Chip size (mm2 ) |  |  |

[13]參考文獻

P. P. Potdukhe and V. D. Jaiswal, "Design of high speed carry select adder using brent kung adder," 2016 International Conference on Electrical, Electronics, and Optimization Techniques (ICEEOT), Chennai, 2016, pp. 652-655, doi: 10.1109/ICEEOT.2016.7754762.