8位寄存器仿真波形如下

Value	0.000 ns	10.000 ns	00.000			
/			20.000 ns	30.000 ns		50.
A A	0	2	0	X	1	
	i	Ö	2	Ö	X	1
	01	04	00	02	<u> </u>	00
	00	01	04	01	02	00
			01 04	01 04 00	01 04 00 02	01 04 00 02

波形分析:

reg8file 模块完成的 8 位寄存器文件功能,输入有写使能端 en、写选择端 [2:0]wsel、读选择端[2:0]resl、数据[7:0]d、时钟信号 clk、异步复位信号 clr,输出[7:0]q。从上面波形可以看出;

- (1) 初始态,写使能端 en 为 1,写选择端[2:0]wsel 为 0,读选择端[2:0]resl 为 1,数据[7:0]d 为 00000001,异步复位信号 clr 上升沿,处于**异步复位状态**,输出[7:0]q 为 0,符合预期;
- (2) 5ns 时,写使能端 en 为 1,写选择端[2:0]wsel 为 0,读选择端[2:0]resl 为 1,数据[7:0]d 为 00000001,时钟信号 clk 上升沿,第一个触发器处于**跟随状态**,第一个触发器输出为 1,输出[7:0]q 读出第二个触发器为 0,符合预期;
- (3) 10 ns 时,写使能端 en 为 1,写选择端[2:0]wsel 为 2,读选择端[2:0]resl 为 0,数据[7:0]d 为 00000100,时钟信号 clk 下降沿,触发器都处于**保持状态**,第一个触发器输出为 1,输出[7:0]q 读出第一个触发器为 1,符合预期;
- (4) 15ns 时,写使能端 en 为 1,写选择端[2:0]wse1 为 2,读选择端[2:0]res1 为 0,数据[7:0]d 为 00000100,时钟信号 clk 上升沿,第三个触发器处于**跟随状态**,第三个触发器输出为 4,第一个触发器输出为 1,输出[7:0]q 读出第二个触发器为 1,符合预期;
- (5) 20ns 时,写使能端 en 为 0,写选择端[2:0]wse1 为 0,读选择端[2:0]res1 为 2,数据[7:0]d 为 00000000,时钟信号 c1k 下降沿,触发器处于**保持状态**,第三个触发器输出为 4,输出[7:0]q 读出第三个触发器为 4,符合预期;
- (6) 25 ns 时,写使能端 en 为 0,写选择端[2:0] wse1 为 0,读选择端[2:0] res1 为 2,数据[7:0] d 为 00000000,时钟信号 c1k 上升沿,处于**保持状态**,第一个触发器输出为 1,输出[7:0] q 读出第三个触发器为 4,符合预期;
- (7) 30ns 时,写使能端 en 为 1,写选择端[2:0]wse1 为 1,读选择端[2:0]res1 为 0,数据[7:0]d 为 00000010,时钟信号 c1k 下降沿,处于**保持状态**,第一个触发器输出为 1,输出[7:0]q 读出第一个触发器为 1,符合预期;
- (8) 35ns 时,写使能端 en 为 1,写选择端[2:0]wsel 为 1,读选择端[2:0]resl 为 0,数据[7:0]d 为 00000010,时钟信号 clk 上升沿,处于**跟随状态**,第二个触发器输出为 2,输出[7:0]q 读出第一个触发器为 1,符合预期;
- (9) 40ns 时,写使能端 en 为 1,写选择端[2:0]wse1 为 1,读选择端[2:0]res1 为 1,数据[7:0]d 为 00000010,时钟信号 c1k 下降沿,处于**保持状态**,第二个

触发器输出为 2,输出[7:0]q读出第二个触发器为 2,符合预期;

(10) 45ns 时,写使能端 en 为 1,写选择端[2:0]wsel 为 1,读选择端[2:0]resl 为 1,数据[7:0]d 为 00000000,时钟信号 clk 上升沿,处于**跟随状态**,第二个触发器输出为 0,输出[7:0]q 读出第二个触发器为 0,符合预期;故根据以上分析,reg8file 模块实现了 8 位寄存器的功能。