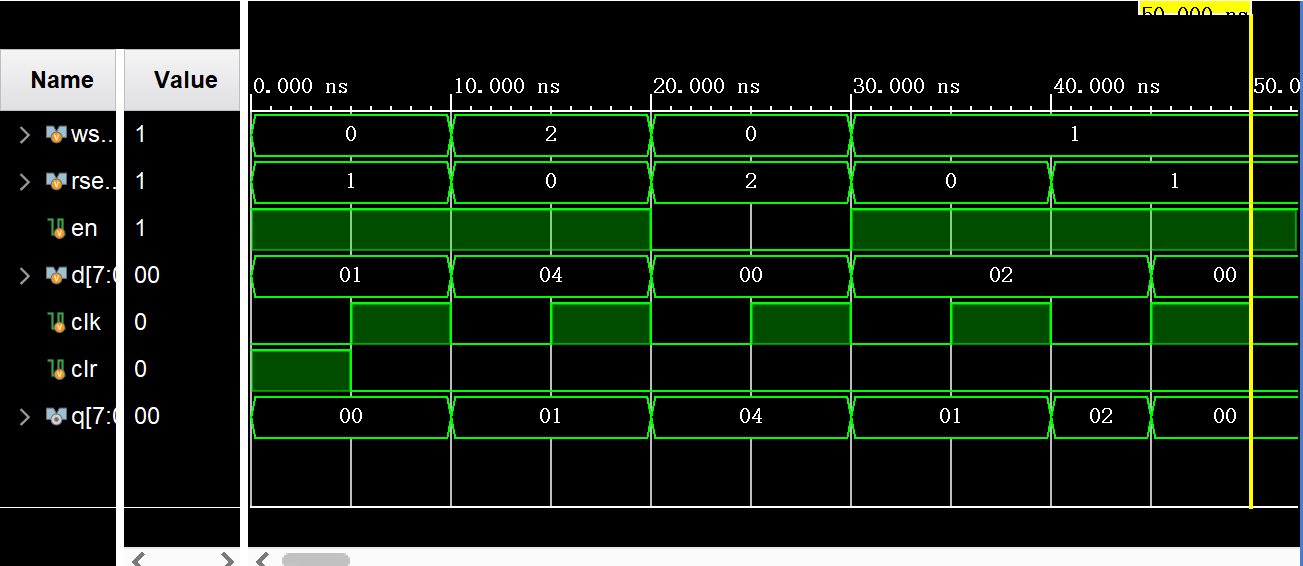
8位寄存器仿真波形如下



波形分析：

reg8file模块完成的8位寄存器文件功能，输入有写使能端en、写选择端[2:0]wsel、读选择端[2:0]resl、数据[7:0]d、时钟信号clk、异步复位信号clr，输出[7:0]q。从上面波形可以看出;

1. 初始态，写使能端en为1，写选择端[2:0]wsel为0，读选择端[2:0]resl为1，数据[7:0]d为00000001，异步复位信号clr上升沿，处于**异步复位状态**，输出[7:0]q为0，符合预期；
2. 5ns时，写使能端en为1，写选择端[2:0]wsel为0，读选择端[2:0]resl为1，数据[7:0]d为00000001，时钟信号clk上升沿，第一个触发器处于**跟随状态**，第一个触发器输出为1，输出[7:0]q读出第二个触发器为0，符合预期；
3. 10ns时，写使能端en为1，写选择端[2:0]wsel为2，读选择端[2:0]resl为0，数据[7:0]d为00000100，时钟信号clk下降沿，触发器都处于**保持状态**，第一个触发器输出为1，输出[7:0]q读出第一个触发器为1，符合预期；
4. 15ns时，写使能端en为1，写选择端[2:0]wsel为2，读选择端[2:0]resl为0，数据[7:0]d为00000100，时钟信号clk上升沿，第三个触发器处于**跟随状态**，第三个触发器输出为4，第一个触发器输出为1，输出[7:0]q读出第二个触发器为1，符合预期；
5. 20ns时，写使能端**en为0**，写选择端[2:0]wsel为0，读选择端[2:0]resl为2，数据[7:0]d为00000000，时钟信号clk下降沿，触发器处于**保持状态**，第三个触发器输出为4，输出[7:0]q读出第三个触发器为4，符合预期；
6. 25ns时，写使能端**en为0**，写选择端[2:0]wsel为0，读选择端[2:0]resl为2，数据[7:0]d为00000000，时钟信号clk上升沿，处于**保持状态**，第一个触发器输出为1，输出[7:0]q读出第三个触发器为4，符合预期；
7. 30ns时，写使能端en为1，写选择端[2:0]wsel为1，读选择端[2:0]resl为0，数据[7:0]d为00000010，时钟信号clk下降沿，处于**保持状态**，第一个触发器输出为1，输出[7:0]q读出第一个触发器为1，符合预期；
8. 35ns时，写使能端en为1，写选择端[2:0]wsel为1，读选择端[2:0]resl为0，数据[7:0]d为00000010，时钟信号clk上升沿，处于**跟随状态**，第二个触发器输出为2，输出[7:0]q读出第一个触发器为1，符合预期；
9. 40ns时，写使能端en为1，写选择端[2:0]wsel为1，读选择端[2:0]resl为1，数据[7:0]d为00000010，时钟信号clk下降沿，处于**保持状态**，第二个触发器输出为2，输出[7:0]q读出第二个触发器为2，符合预期；
10. 45ns时，写使能端en为1，写选择端[2:0]wsel为1，读选择端[2:0]resl为1，数据[7:0]d为00000000，时钟信号clk上升沿，处于**跟随状态**，第二个触发器输出为0，输出[7:0]q读出第二个触发器为0，符合预期；

故根据以上分析，reg8file模块实现了8位寄存器的功能。