

## *Digitallabor*

### *Versuch: Kombinatorisches und strukturelles VHDL im GAL Baustein*

#### *Teil 1 der Ausarbeitung: **Vorbereitung** des Laborterminals*

Die Aufgaben auf diesem Blatt dienen der Vorbereitung des Laborterminals. Bitte beantworten Sie die Fragen schriftlich und bringen Sie diesen Teil der Ausarbeitung zum Laborterminal mit.

#### **1.** Frage zu iSPLever

Arbeiten Sie die Bedienungsanleitung zum Versuch durch und beantworten Sie folgende Fragen:

- a) Welche beiden grundsätzlichen Möglichkeiten gibt es, im Simulator die Werte für die Eingänge a,b,c vorzugeben?
- b) In welcher Datei finden Sie nach Ablauf der Synthese das Bild des Chip Pinouts, d.h. der Anschlussvorschrift für die Signale?

#### **2.** Funktionstabelle als VHDL Modell

Gegeben sei folgende Funktionstabelle. Übersetzen Sie diese Tabelle in eine vollständige VHDL Beschreibung aus entity und architecture.

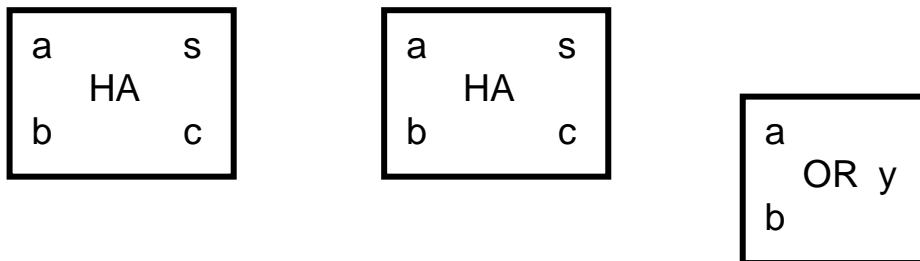
D	C	B	A	Y
0	0	0	0	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	1
1	0	1	0	1
1	1	1	1	1
Alle anderen Kombinationen von D,C,B,A				0

**3. Halbaddierer**

Geben Sie die Funktionstabelle (in Tabellenform) eines Halbaddierers an. Die Eingänge heißen a und b, die Ausgänge s für das Summenbit und c für den Übertrag.

**4. Volladdierer**

Skizzieren Sie unter Verwendung von 2 Halbaddierern und einem ODER Gatter das Blockschaltbild eines Volladdierers. Die Eingänge heißen  $a_i$  und  $b_i$  für das zu addierende Bit und  $c_{in}$  für den Übertrags-Eingang. Die Ausgänge heißen  $sum_i$  für das Summenbit und  $c_{out}$  für das Übertragsbit.



**5. Serienaddierer**

Skizzieren Sie das Prinzip eines Serienaddierers (Carry-Ripple Addierer). Warum hat die Summe ein Bit mehr als die Summanden und wie entsteht das oberste Summenbit in der Schaltung?