

Digitallabor

Versuch: Ampel (mit diskreten Bausteinen)

Ziel: In dieser Übung arbeiten wir noch nach alter Väter Sitte: mit Handentwurf und einzelnen Gattern. Sie sollen Ihre Kenntnisse aus TI1 in die Praxis umsetzen und ein Gefühl dafür bekommen, wie logische Zusammenhänge in Hardware abgebildet werden. Ausserdem sollen Sie natürlich merken, wie mühsam es ist, direkt in Strukturen zu denken und wie wenig änderungsfreundlich diese Methode ist. Dies werden wir dann in Zukunft mit strukturiertem, rechnergestütztem Entwurf vergleichen.

Aufgabe 1

Bauen Sie einen 4-Bit-Dualzähler mit dem Baustein SN 74LS161 auf (siehe Bild 1). Zur Kontrolle des Zählerstandes verbinden Sie

- LED 0 .. 3 mit Ausgang Q_A , Q_B , Q_C , Q_D , LED 7 mit Ausgang RCO,
- Schalter P7 mit CLR (Clear),
- WAVEFORM (Rechteck) mit CLK (Clock),
- Schalter P5 mit ENT und ENP,
- Schalter P6 mit Load
- die Eingänge D .. A beschalten Sie so mit V_{CC} und GND, dass der Zähler auf den Wert 5 geladen wird
- Spannungsversorgung V_{CC} und GND nicht vergessen.

Nach erfolgreichem Test der Zählerfunktionen lassen Sie den 4-Bit-Dualzähler aufgebaut und schließen an die Ausgänge Q_A , Q_B , Q_C , Q_D Ihr Schaltnetz aus Aufgabe 2 an.

Aufgabe 2

Die drei Lampen GRÜN, GELB, ROT einer Verkehrsampel werden von dem 4-Bit-Dualzähler und einem Schaltnetz angesteuert. Die Ausgänge des 4-Bit-Dualzählers können 16 verschiedene Zustände einnehmen, die 16 verschiedenen Taktzeiten zugeordnet sind.

Die GRÜN-Phase soll den ersten 4 Taktzeiten,
die GELB-Phase den nächsten 2 Taktzeiten,
die ROT-Phase den nächsten 8 Taktzeiten und
die ROT-GELB-Phase den letzten 2 Taktzeiten entsprechen.

Daraus ergibt sich für das Schaltnetz die Funktionstabelle aus Tabelle1. Entwerfen Sie das Schaltnetz für die Ampel. Das Schaltnetz soll mit minimalem Aufwand aufgebaut werden. Für den Aufbau des Schaltnetzes stehen NAND-Gatter mit 2 Eingängen (SN 7400), NAND-Gatter mit 3 Eingängen (SN 7410) und INVERTER (SN 7404) zur Verfügung.

Hinweis für den Entwurf:

Bereiten Sie zunächst die KV-Diagramme für die Lampensignale GRÜN, GELB, und ROT vor und ermitteln Sie daraus die Minimalform der logischen Gleichungen, die das Schaltnetz beschreiben.

Benutzen Sie für GRÜN, GELB und ROT die LED's 4 .. 6.

Eingänge des Schaltnetzes				Ausgänge des Schaltnetzes		
D	C	B	A	GRÜN	GELB	ROT
0	0	0	0	1	0	0
0	0	0	1	1	0	0
0	0	1	0	1	0	0
0	0	1	1	1	0	0
0	1	0	0	0	1	0
0	1	0	1	0	1	0
0	1	1	0	0	0	1
0	1	1	1	0	0	1
1	0	0	0	0	0	1
1	0	0	1	0	0	1
1	0	1	0	0	0	1
1	0	1	1	0	0	1
1	1	0	0	0	0	1
1	1	0	1	0	0	1
1	1	1	0	0	1	1
1	1	1	1	0	1	1

Tabelle 1: Funktionstabelle des Schaltnetzes

Aufgabe 3

Ändern Sie Aufgabe 2 so ab, dass die GRÜN-Phase und die ROT-Phase jeweils 6 Taktzeiten dauert. Die GELB-Phase und die ROT-GELB-Phase dauern jeweils 2 Taktzeiten.

Erstellen Sie für die Lampensignale GRÜN, GELB und ROT die KV-Diagramme und ermitteln Sie die Anzahl Bauteile, die Sie für einen Aufbau benötigen.

Wer noch Zeit und Lust hat, darf diese Version gerne noch aufbauen.

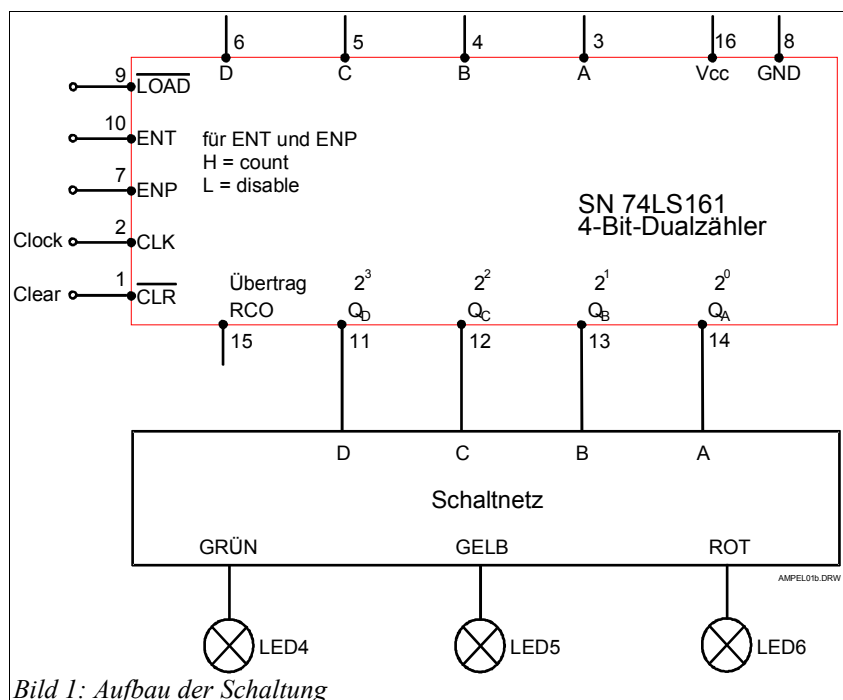
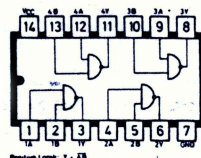
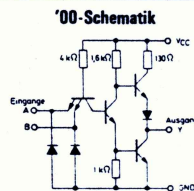
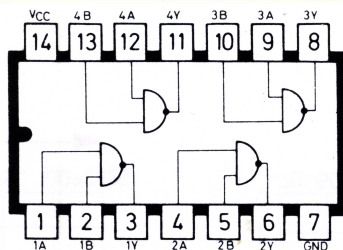


Bild 1: Aufbau der Schaltung



Positive Logic: Y = AB

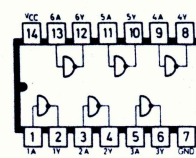
	Standard	Low Power Schottky	Schottky	Low Power	High Speed
Eingangskapazitäten	ja	ja	ja	nein	ja
Typ. Impulsverzögerungszeit	10 ns	9,5 ns	3 ns	33 ns	6 ns
Typ. Leistungsaufnahme	40 mW	8 mW	76 mW	4 mW	88 mW



Meßpunkt	Zustand	Lastfaktoren				
Eingänge	L	1,0	1,0	1,0	1,0	1,0
Ausgänge	L	10,0	22,2	10,0	20,0	10,0
	H	10,0	20,0	20,0	20,0	10,0

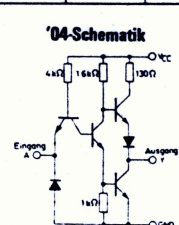
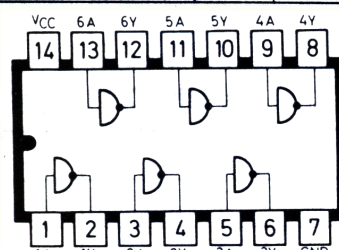
Vier NAND-Gatter mit je 2 Eingängen

SN7400	SN74LS00	SN74S00	SN74L00	SN74H00
SN5400	SN54LS00	SN54S00	SN54L00	SN54H00
SN8400			SN84L00	



Positive Logic: Y = A

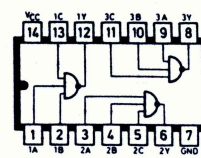
	Standard	Low Power Schottky	Schottky	Low Power	High Speed
Eingangskapazitäten	ja	ja	ja	nein	ja
Typ. Impulsverzögerungszeit	10 ns	9,5 ns	3 ns	33 ns	6 ns
Typ. Leistungsaufnahme	60 mW	12 mW	112 mW	6 mW	132 mW



Meßpunkt	Zustand	Lastfaktoren				
Eingänge	L	1,0	1,0	1,0	1,0	1,0
Ausgänge	L	10,0	22,2	20,0	20,0	10,0
	H	10,0	20,0	10,0	20,0	10,0

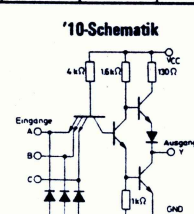
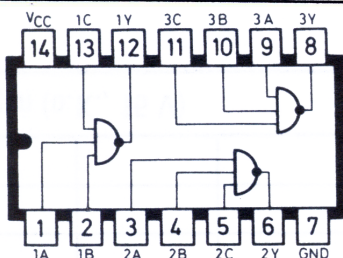
Sechs Inverter

SN7404	SN74LS04	SN74S04	SN74L04	SN74H04
SN5404	SN54LS04	SN54S04	SN54L04	SN54H04
SN8404			SN84L04	



Positive Logic: Y = ABC

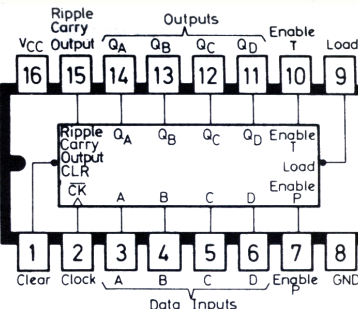
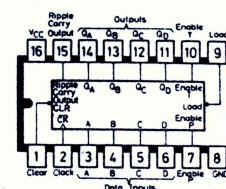
	Standard	Low Power Schottky	Schottky	Low Power	High Speed
Eingangskapazitäten	ja	ja	ja	nein	ja
Typ. Impulsverzögerungszeit	10 ns	9,5 ns	3 ns	33 ns	6 ns
Typ. Leistungsaufnahme	30 mW	6 mW	57 mW	3 mW	66 mW



Meßpunkt	Zustand	Lastfaktoren				
Eingänge	L	1,0	1,0	1,0	1,0	1,0
Ausgänge	L	10,0	22,2	10,0	20,0	10,0
	H	10,0	20,0	20,0	20,0	10,0

Drei NAND-Gatter mit je 3 Eingängen

SN7410	SN74LS10	SN74S10	SN74L10	SN74H10
SN5410	SN54LS10	SN54S10	SN54L10	SN54H10
SN8410			SN84L10	



- Positiv flankengetriggert
- Clear-Funktion ist unabhängig vom Zustand der Takt-, Load- und Enable-Eingänge (active low)
- Programmierung mittels Load-Eingang (active low)
- Programmierfunktion ist unabhängig vom Zustand der Enable-Eingänge und wird nur in Verbindung mit einer positiven Taktflanke ausgeführt
- Kaskadierbar auf n Bits (siehe CC-416, Seite S-185)
- Teilverhältnis von 1:1 bis 16:1 programmierbar

Meßpunkt	Zustand	Lastfaktoren				
Eingänge	Clock	L	2,0	3,3		
	Enable T	L	2,0	2,2		
	Load	L	1,0	2,2		
	alle anderen	L	1,0	1,1		
Ausgänge	L	10,0	22,2			
	H	20,0	20,0			

Synchrone programmierbarer 4-Bit Binärzähler mit Clear

SN74161	SN74LS161
SN54161	SN54LS161
SN84161	

