

LN882H 硬件设计指南

Version	History	Name	Date
0.1	Draft	Lan	2021/11/11

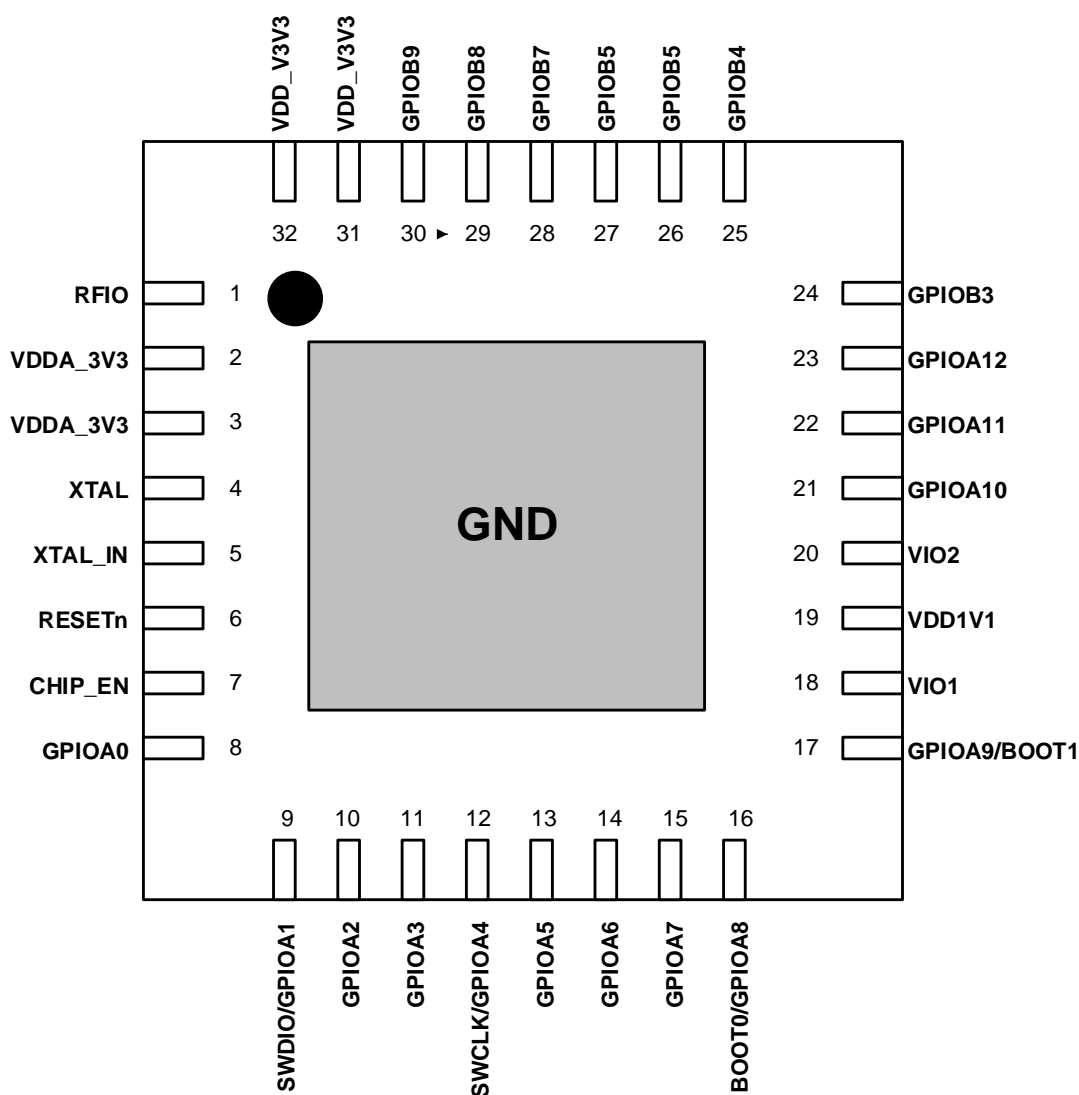
目录

1. 封装定义:	3
2. 参考电路图	7
2.1 电源	8
2.2 供电电源	错误!未定义书签。
2.3 串口	9
2.4 射频	9
2.5 晶体	10
3. PCB Layout 注意事项	11
3.1 PCB 叠层结构	11
3.2 PCB 中电源的处理	11
3.3 PCB 中射频的处理	12
3.4 PCB 中晶体的处理	13
3.5 PCB 中 EPAD 的处理	13

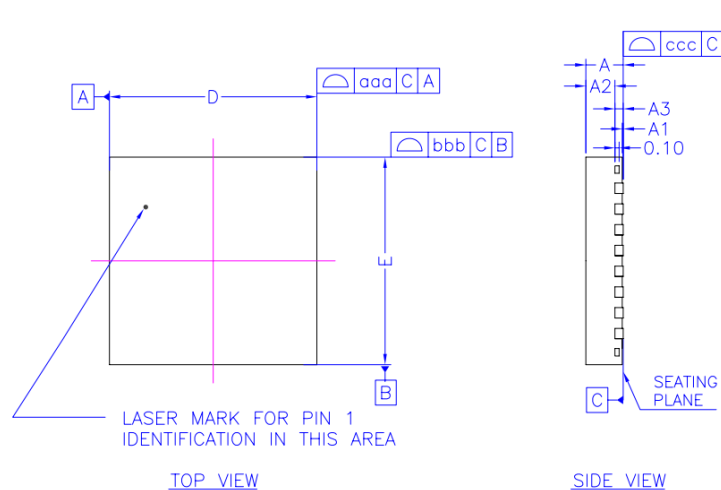
LN882H 是集成了MCU、PMU、BLE、IEEE802.11b/g/n 的低功耗芯片，产品分为两个封装，分别是内置flash和外置flash，支持2.4GHz IEEE802.11b/g/n，BLE5.1、SDIO (slave)，UART，I2C，I2S，PMW，SPI和GPIO等接口，支持模拟按键。

1. 封装定义：

LN882H-32pin uses 5mm x 5mm QFN package of 32-pin with 0.5mm pitch.

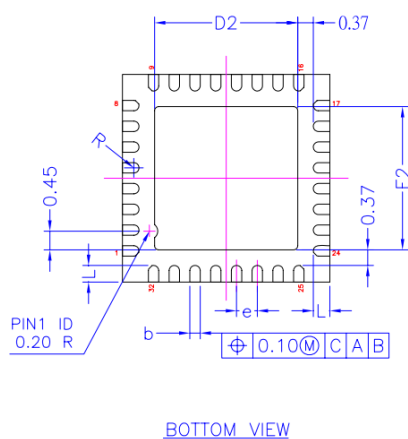


LN882H(QFN32) Pin Layout



* CONTROLLING DIMENSION : MM

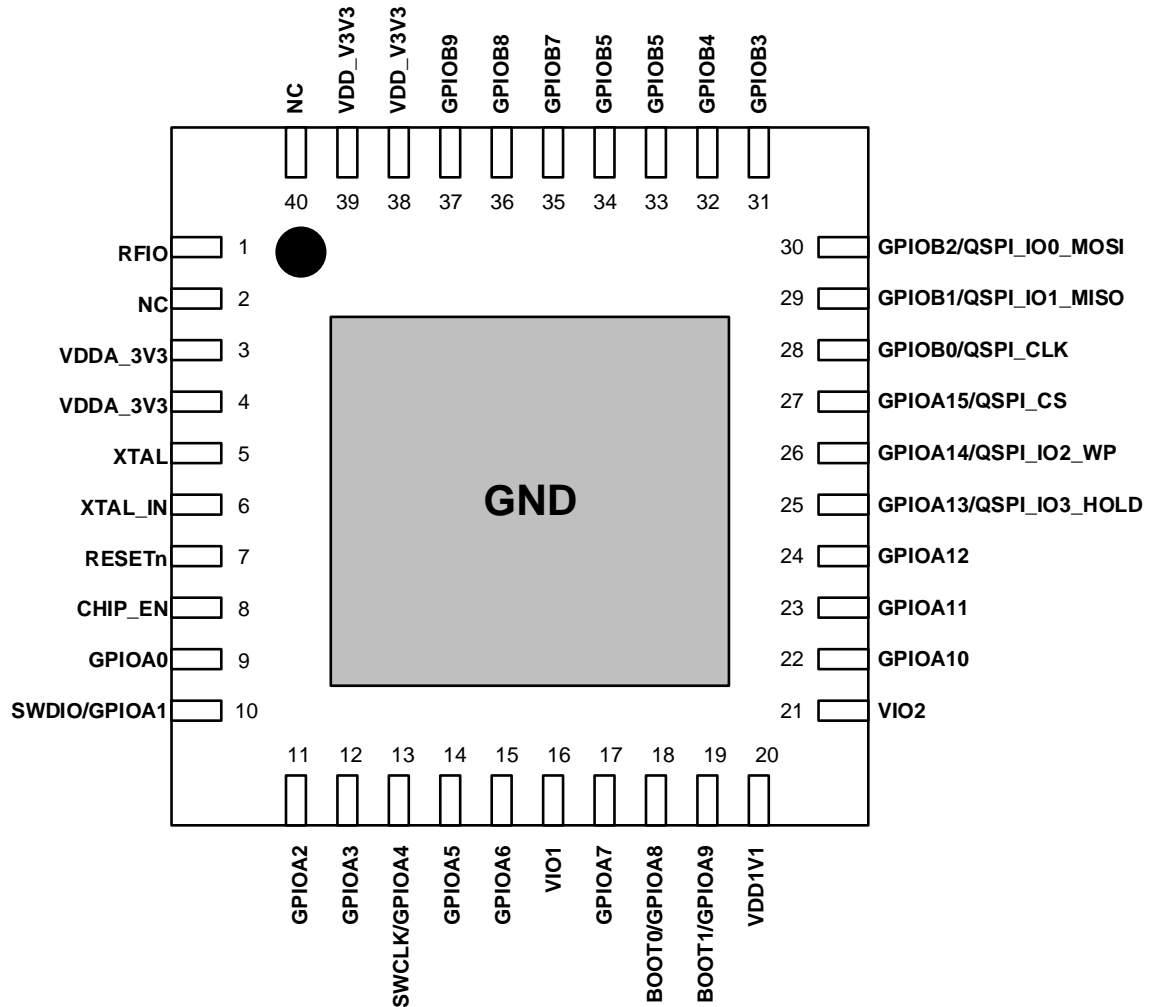
SYMBOL	MILLIMETER			INCH		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.80	0.90	1.00	0.031	0.035	0.039
A1	---	---	0.05	---	---	0.002
A2	---	0.70	---	---	0.028	---
A3	0.20 REF.			0.008 REF.		
b	0.18	0.25	0.30	0.007	0.010	0.012
D	5.00 bsc			0.197 bsc		
D2	3.35	3.45	3.55	0.132	0.136	0.140
E	5.00 bsc			0.197 bsc		
E2	3.35	3.45	3.55	0.132	0.136	0.140
L	0.35	0.40	0.45	0.014	0.016	0.028
e	0.50 bsc			0.020 bsc		
R	0.09	---	---	0.004	---	---
TOLERANCES OF FORM AND POSITION						
aaa	0.10			0.004		
bbb	0.10			0.004		
ccc	0.05			0.002		



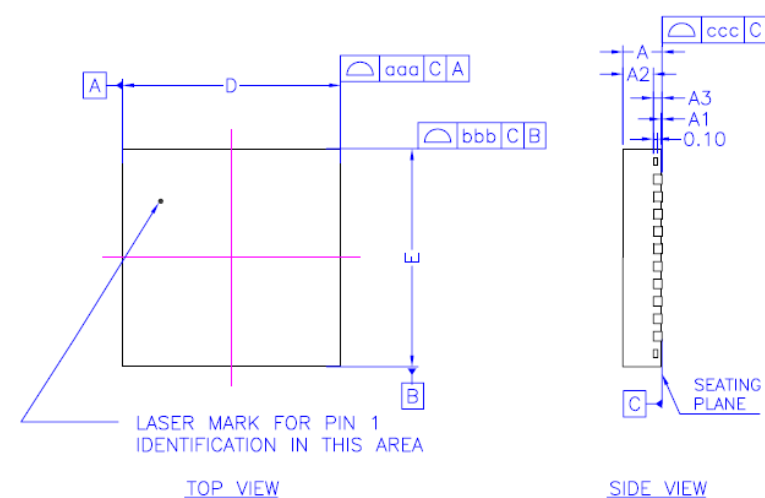
- NOTES :
- 1.ALL DIMENSIONS ARE IN MILLIMETERS.
 - 2.DIMENSIONING & TOLERANCES CONFORM TO ASME Y14.5M. -1994.
 - 3.THE PIN #1 IDENTIFIER MUST BE PLACED ON THE TOP SURFACE OF THE PACKAGE BY USING INDENTATION MARK OR OTHER FEATURE OF PACKAGE BODY.
 - 4.EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.
 - 5.PACKAGE WARPAGE MAX 0.08 mm.
 - 6.APPLIED FOR EXPOSED PAD AND TERMINALS. EXCLUDE EMBEDDING PART OF EXPOSED PAD FROM MEASURING.
 - 7.APPLIED ONLY TO TERMINALS.

TITLE		
PACKAGE OUTLINE 32L DOFU QFN 5.0x5.0 mm		
UNIT	TOLERANCE	
	DIMENSION	ANGLE
INCH / MM		

LN882H-40pin uses 5mm x 5mm QFN package of 40-pin with 0.4mm pitch.

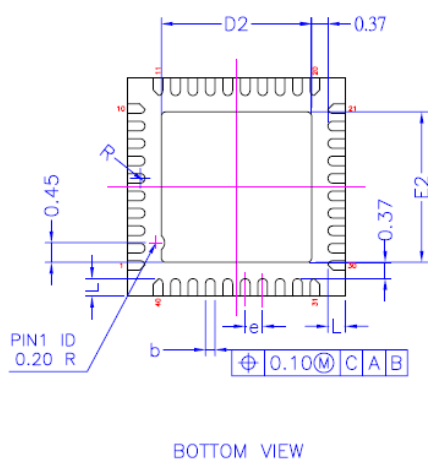


LN882HQFN40) Pin Layout



* CONTROLLING DIMENSION : MM

SYMBOL	MILLIMETER			INCH		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.80	0.90	1.00	0.031	0.035	0.039
A1	---	---	0.05	---	---	0.002
A2	---	0.70	---	---	0.028	---
A3	0.20 REF.			0.008 REF.		
b	0.15	0.22	0.27	0.006	0.009	0.011
D	5.00 bsc			0.197 bsc		
D2	3.35	3.45	3.55	0.132	0.136	0.140
E	5.00 bsc			0.197 bsc		
E2	3.35	3.45	3.55	0.132	0.136	0.140
L	0.35	0.40	0.45	0.014	0.016	0.028
e	0.40 bsc			0.016 bsc		
R	0.08	---	---	0.003	---	---
TOLERANCES OF FORM AND POSITION						
aaa	0.10			0.004		
bbb	0.10			0.004		
ccc	0.05			0.002		



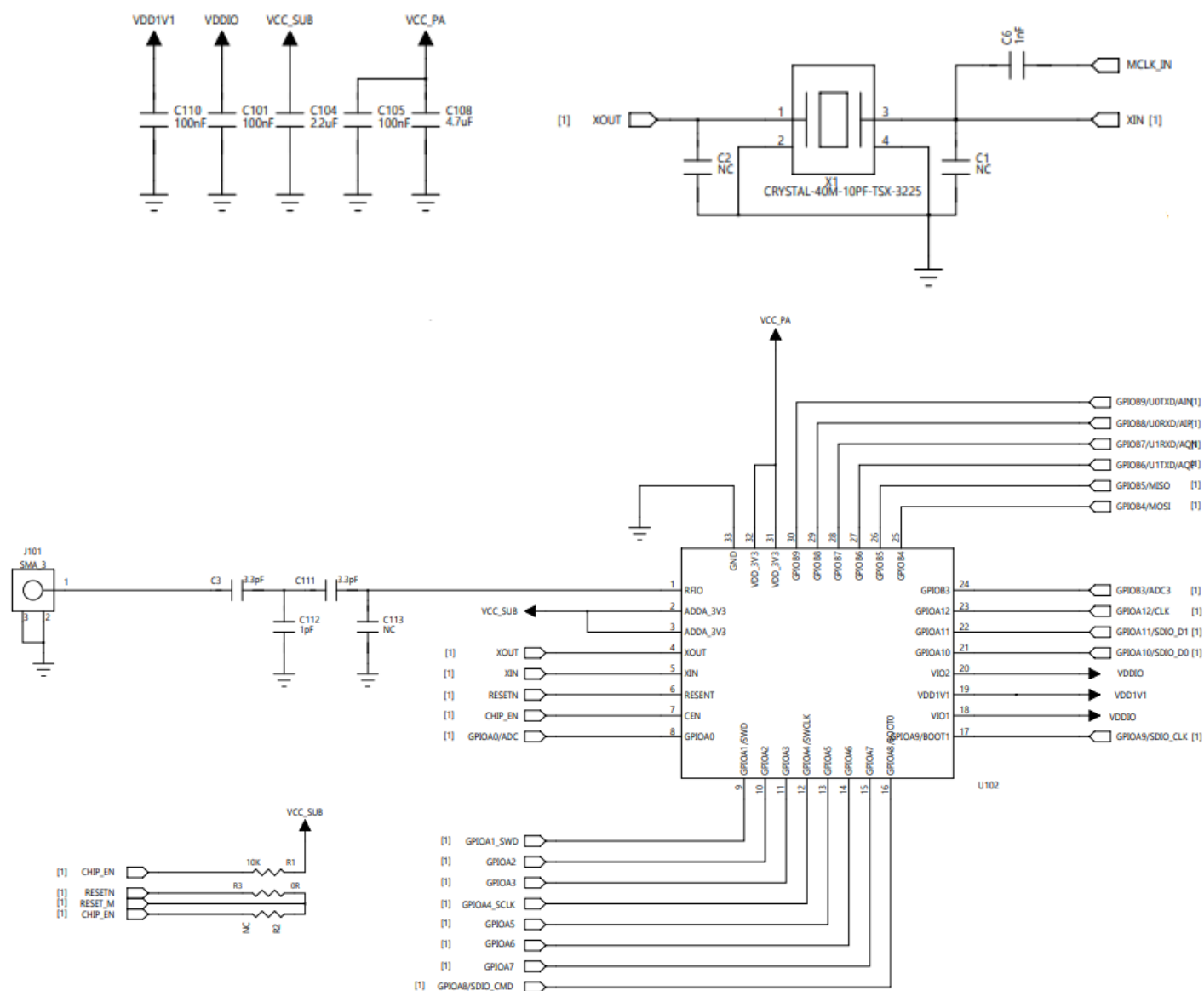
NOTES :

- 1.ALL DIMENSIONS ARE IN MILLIMETERS.
- 2.DIE THICKNESS ALLOWABLE IS 0.305 mm MAXIMUM(.012 INCHES MAXIMUM)
- 3.DIMENSIONING & TOLERANCES CONFORM TO ASME Y14.5M. -1994.
- 4.THE PIN #1 IDENTIFIER MUST BE PLACED ON THE TOP SURFACE OF THE PACKAGE BY USING INDENTATION MARK OR OTHER FEATURE OF PACKAGE BODY.
- 5.EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.
- 6.PACKAGE WARPAGE MAX 0.08 mm.
- 7.APPLIED FOR EXPOSED PAD AND TERMINALS. EXCLUDE EMBEDDING PART OF EXPOSED PAD FROM MEASURING.
- 8.APPLIED ONLY TO TERMINALS.

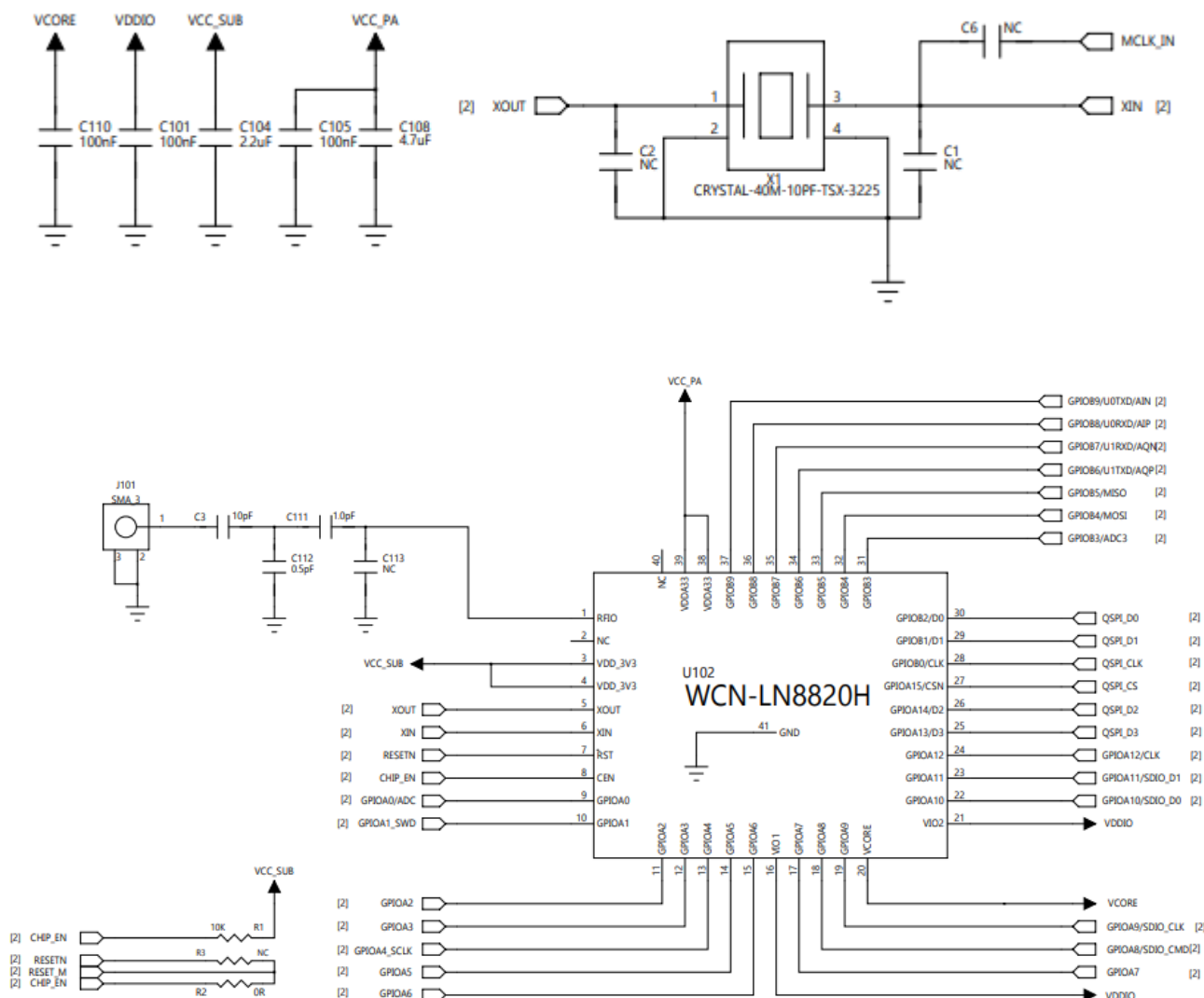
TITLE		
PACKAGE OUTLINE		
40L DOFU QFN		
5.0x5.0 mm		
UNIT	TOLERANCE	
	DIMENSION	ANGLE
INCH / MM		



2. 参考电路图



LN882H(QFN32) Pin 参考原理图



LN882H(QFN40) Pin 参考原理图

2.1 电源

1、LN882H_QFN32 电源说明

- PIN31和PIN32是给内置的PA 供电管脚，最大供电电压不超过3.6V。推荐在靠近管脚附近并4.7uF和0.1uF 电容对地。
- PIN2和PIN3是V_SUB 电压输入管脚，推荐在靠近管脚附近并2.2uF 电容对地。

- PIN18是 VIO1 和PIN20是 VIO2 电压输入管脚，支持1.8V 到3.3V 电压。推荐在靠近管脚附近并0.1uF 电容对地。其中VIO2 供电必须跟flash电压一致。
- PIN6 Reset 管脚预留一个对地电容位置 NC。
- PIN7 Chip-en 要加上拉电阻 10k 到 3.3V， 1uF 对地电容。

2、LN882H_QFN40 电源说明

- PIN38和PIN39是给内置的PA 供电管脚，最大供电电压不超过3.6V。推荐在靠近管脚附近并4.7uF和0.1uF 电容对地。
- PIN3和PIN4是V_SUB 电压输入管脚，推荐在靠近管脚附近并2.2uF 电容对地。
- PIN16是 VIO1 和PIN21是 VIO2 电压输入管脚，支持1.8V 到3.3V 电压。推荐在靠近管脚附近并0.1uF 电容对地。其中VIO2 供电必须跟flash电压一致。
- PIN7 Reset 管脚预留一个对地电容位置 NC。
- PIN8 Chip-en 要加上拉电阻到 3.3V， 1uF 对地电容。

2.2 串口

- UART0: A02 (LN882H-TX)、A03 (LN882H-RX)。
- UART1: B09 (LN882H-TX)、B08 (LN882H-RX)。

2.3 射频

- RF 匹配参考电路：C108: 2.2PF, C109: 1PF, R108: 10PF, 根据实际情况调整匹配参数值。

- 设计时需要添加 T 型和 π 型匹配网络对天线进行匹配。走线参考 50 Ω 设计。
- 注意：匹配网络的器件参数值以实际天线和 PCB 布局为准。

2.4 晶体

- 实验室验证晶体型号：TZ0308D (40M 9pf 负载)，晶体两边的负载电容为 NC;
- 如果选用特殊晶体，请提供sample给实验室验证后方可使用。

Item	Part Number	Description	Vendor
Crystal	TZ0308D	SMD;40M;3.2x2.5mm; -30C ~ +85C;CL=9Pf;+/-10ppm	TST

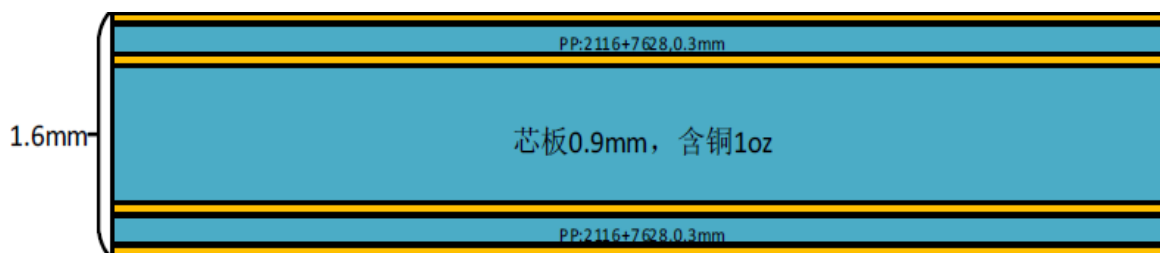
- 如下列表实验室已认证：

产品型号	厂商	描述
TZ0308D	TST	40M;3.2X2.5mm; CL=9Pf; TC= +/- 10ppm;-30C~+85C;
KL327S400F	LUCKI	40M;3.2X2.5mm; CL=9Pf; TC= +/- 20ppm;-40C~+105C;
L327S400F	LUCKI	40M;3.2X2.5mm; CL=9Pf; TC= +/- 10ppm;-30C~+85C;
E3SB40E005000E	HOSONIC	40M;3.2X2.5mm; CL=9Pf; TC= +/- 20ppm;-40C~+105C;

3. PCB Layout 注意事项

3.1 PCB 叠层结构

- LN882H 的 PCB 建议采用 4 层板设计。

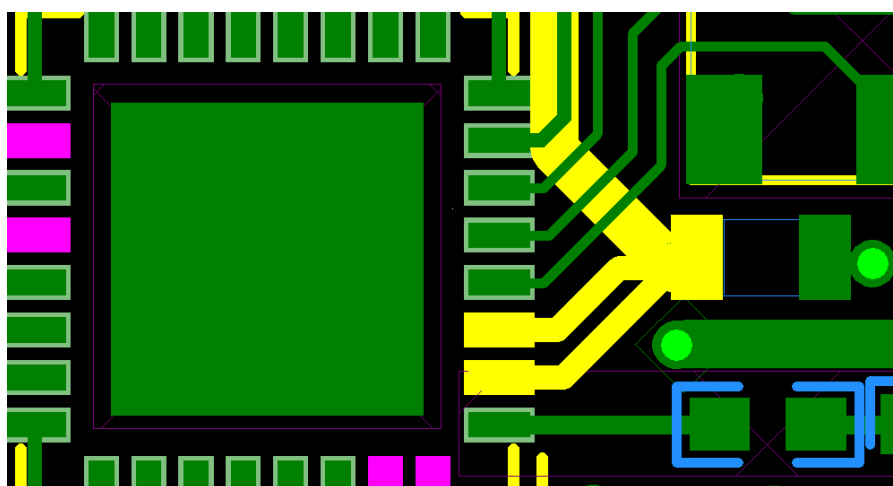


PCB 叠层结构

序号	名称	描述
第一层	信号层	主要摆放元件和走信号线
第二层	GND层	禁止走线, 要保证一张完整的 GND 平面
第三层	GND层	晶体和射频元件下面不要走线, 保证完整的GND 平面, 其他地方可以走信号线和电源线
第四层	信号层	不建议摆放元器件, 可以走信号线和电源线

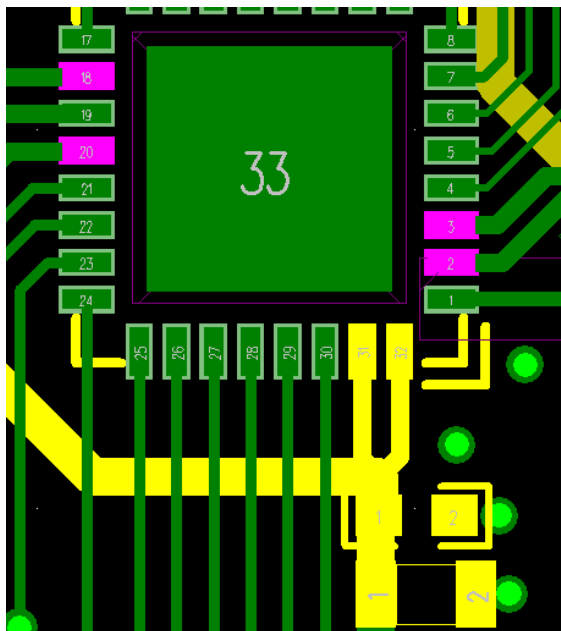
3.2 PCB 中电源的处理

- V_SUB电源的C104要靠近芯片端放置, 走线宽度尽量宽, 不小于15mil。



V_SUB 电源走线

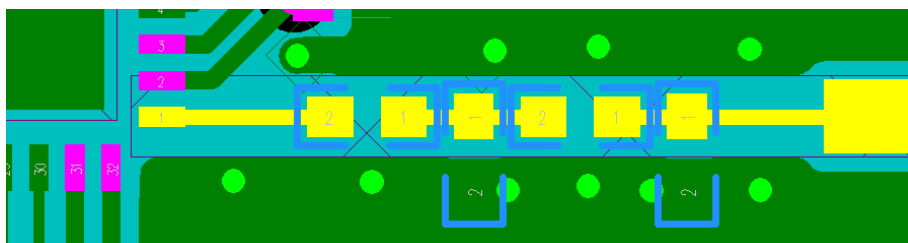
- V_PA 电源C105和C108要靠近芯片放置，走线不小于15mil，和V_PA 打孔连接到一起。



V_PA 电源走线

3.3 PCB 中射频的处理

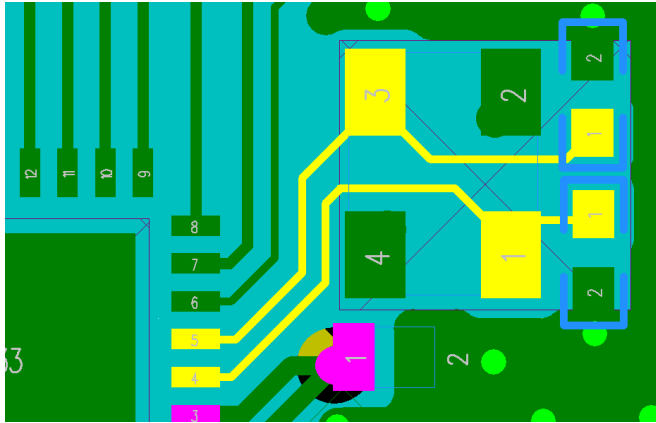
- 射频线走在 top 层，传输线要求做50 欧姆特征阻抗处理。
- 射频线两旁的屏蔽地要尽量完整，第2 层的GND 要完整，天线和射频线周围尽量多的地过孔。
- 射频线不可以有 90 度直角和锐角走线，尽量使用 135° 角走线或是圆弧走线。
- 射频线的匹配网络器件尽量靠近芯片放置。
- 射频线附近不能有高频信号线。射频上的天线必须远离所有传输高频信号的器件，比如晶体、UART、PWM、SDIO和USB信号等。
- RF走线在PCB叠层结构, 传输线特征阻抗为50欧姆下设置线宽。



RF 走线图

3.4 PCB 中晶体的处理

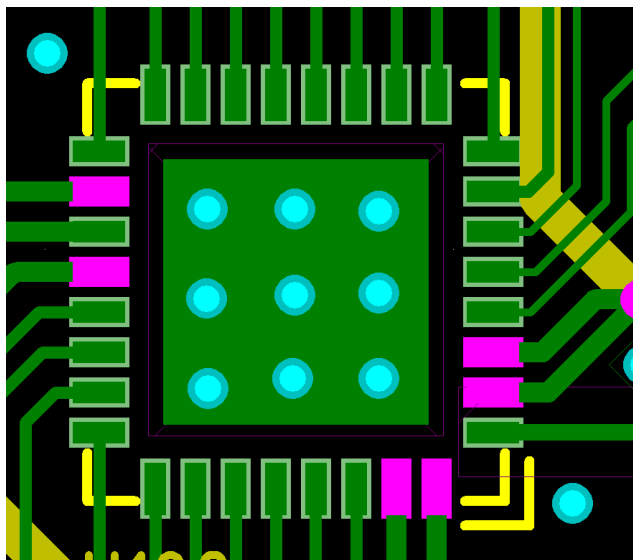
- 晶体的时钟要在 top 层走线，不可以穿层，不可以交叉，并且周围要用GND 屏蔽。
- 晶体的下面不可以走高速信号线，第 2 层要求完整的GND。4层PCB可挖空信号PAD，减小分布电容；



晶体走线图

3.5 PCB 中 EPAD 的处理

- 芯片正下方TOP层增加 keepout。
- EPAD 上添加3排3列的过孔，孔径20-10mil 来增加散热。
- 如果是模块在底部增加一片漏铜处理，加强PCB的散热。



EPAD 处理