

多路选择器

- 1.做一个4选1的多路选择器，并进行波形仿真。
- 2.将4选1多路选择器同2选1多路选择器对比，观察资源消耗的变化。

交叉开关

- 1.编写一个4X4路交叉开关的Verilog代码，然后编译，进行波形仿真。
- 2.观察RTL View，比较2x2路交叉开关与4x4路交叉开关之间消耗资源的区别。

优先编码器

1.编写一个8输入的优先编码器，然后编译，查看RTL View。

多路译码器

- 1.编写一个4 – 16的译码器，编译，仿真。
- 2.查看RTL View，并和3 – 8译码器对比资源开销。

加法器

- 1.把加法器的输入信号和输出信号都改成4比特位宽，编译，波形仿真。观察输出结果，说出输出和输入的对应关系。
- 2.把加法器的输入信号改成8比特位宽，编译，波形仿真。观察加法器的输出延迟，和4比特输入位宽的情况对比。

补码加法器

- 1.把加法器的输出信号改成4比特位宽，编译，波形仿真。观察输出结果，观察输出结果在什么时候是正确的？
2. 把加法器的输入信号改成8比特位宽，编译，波形仿真。观察加法器的输出延迟，和4比特输入位宽的情况对比。

带流水线的加法器

1. 不改变流水线的级数，把加法器的输入信号改成8比特位宽，编译，波形仿真，和不带流水线的情况对比一下，你有什么结论？
2. 在8比特输入位宽的情况下，在输入上再添加一级流水线，观察编译和仿真的结果，你有什么结论？

乘法器

- 1.改变乘法器的输入位宽为8比特，编译，波形仿真，观察信号毛刺的时间长度。
- 2.选一款没有硬件乘法器的FPGA芯片（例如Cyclone EP1C6）对比8比特的乘法器和加法器两者编译之后的资源开销(Logic Cell的数目)
- 3.编写一个输入和输出都有D触发器的流水线乘法器代码，编译后波形仿真，观察组合逻辑延迟和毛刺的时间，和不带流水线的情况下对比。

计数器

- 1.设计一个最简单的计数器，只有一个CLK输入和一个Overflow输出，当计数到最大值的时钟周期CLK输出1
- 2.设计复杂的计数器，和本例相似，带有多种信号，其中同步清零CLR的优先级最高，使能EN次之，LOAD最低。

状态机

1.设计一个用于识别2进制序列“1011”的状态机

基本要求:

电路每个时钟周期输入1比特数据, 当捕获到1011的时钟周期, 电路输出1, 否则输出0

使用序列101011010作为输出的测试序列

扩展要求:

给你的电路添加输入使能端口, 只有输入使能EN为1的时钟周期, 才从输入的数据端口向内部获取1比特序列数据。

移位寄存器

设计一个带加载使能和移位使能的并入串出的移位寄存器。

时钟分频器

设计一个偶分频器（奇分频器）。

FIFO

同步FIFO和异步FIFO的Verilog实现