**触发器**

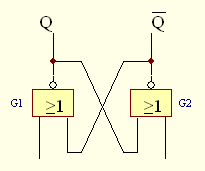
1. **基本概念**
2. 触发器：是具有记忆功能的基本逻辑单元，一个触发器能够存贮一位二值信号。是构成时序逻辑电路的基本逻辑部件。
3. 触发器输出：

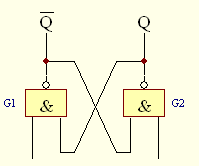
①有两种可能的状态（稳态）：0、1

②输出状态在触发信号作用之下可以发生转变

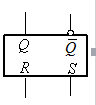
③输出状态不只与现时的输入有关，还与原来的输出状态有关

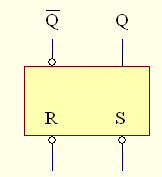
1. 记忆：有外触发时,触发器状态改变；触发信号撤除,维持状态不变。
2. 同步（钟控）触发器：受时钟信号控制的触发器，包括三四五六部分。其中，**cp由0→1时输出可能发生变化（竖线部分）**，其余状态不变。而**其他的输入（如R、S、J、K、T、D等）看的是上下沿（横线部分）**。
3. 空翻：在CP为高电平期间，因输入信号变化而引起触发器状态变化多于一次的现象。
4. 主从触发器：触发器状态的改变是在CP下降沿完成的，**cp由1→0时输出可能发生变化（竖线部分），**因而这种结构无空翻现象，但在CP=1期间无法抗干扰。
5. 边沿触发器：触发器的次态仅仅取决于CP信号下降沿（或上升沿）到达时刻输入信号的状态。其中‾SD具有异步“置1”功能，‾RD具有异步“置0”功能：‾SD=0时Q=1，‾RD=0时Q=0。
6. 竞争——冒险现象：可能发生在组合逻辑电路和存储电路（触发器）部分，实质是由于触发器的**输入信号**和**时钟信**号同时改变而在时间上配合不当，从而可能导致**触发器误动作**。这种现象一般只发生在**异步**时序电路中。
7. **RS触发器**
8. 电路结构（两个与非门（常用）或两个或非门）





1. 表示方法

与非 或非



1. 真值表

|  |  |  |  |
| --- | --- | --- | --- |
| R | S | 与非Q(n+1) | 或非Q(n+1) |
| 0 | 0 | 无效 | Qn |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | Qn | 无效 |

R 端称为置0输入端或复位端，S 端称为置1输入端或置位端。

无效时Q和‾Q均为1。

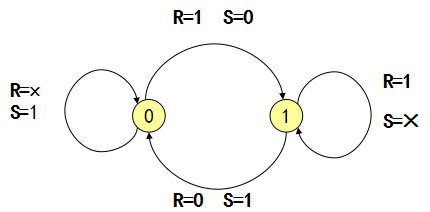
1. 与非——表达式：

约束条件：R+S=1（+是或的意思）

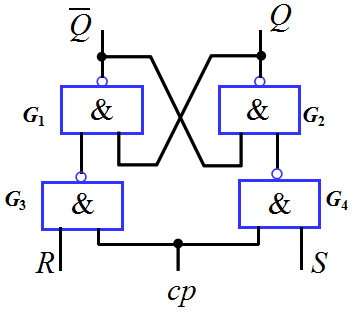
或非——表达式：

约束条件：R·S=0

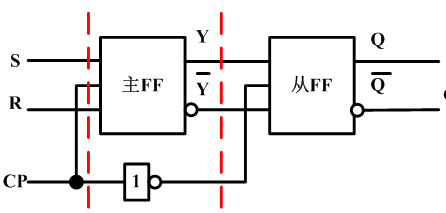
1. 状态转换图（与非）：



1. **同步RS触发器与主从RS触发器**
2. 电路结构



同步RS触发器

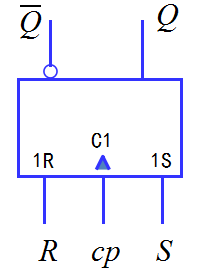
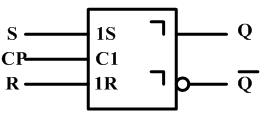


主从RS触发器

对同步RS触发器，触发器检测时钟上边沿。

对主从RS触发器，从触发器检测时钟下边沿，S’=Q，R’=‾Q。

1. 表示方法

同步RS触发器 主从RS触发器

1. 真值表

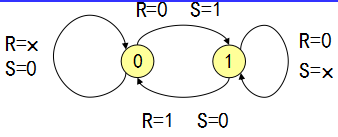
|  |  |  |
| --- | --- | --- |
| R | S | Q(n+1) |
| 0 | 0 | Qn |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 1 | 无效 |

无效时Q和‾Q均为1，但cp到下降沿后Q状态不定。

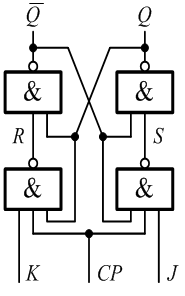
1. 表达式：

约束条件：R·S=0

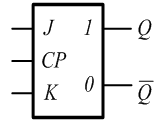
1. 状态转换图：



1. **JK触发器**
2. 电路结构



1. 表示方法

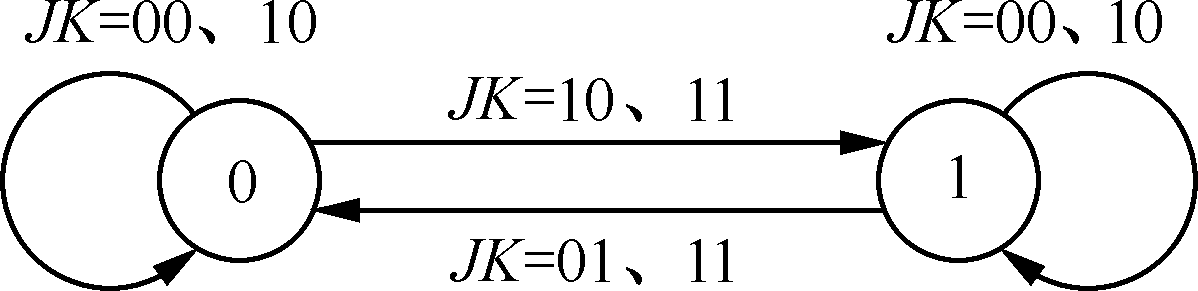


1. 真值表

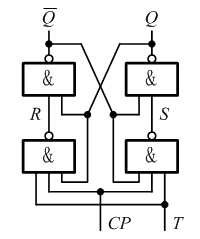
|  |  |  |
| --- | --- | --- |
| J | K | Q(n+1) |
| 0 | 0 | Qn |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | ‾Qn |

Qn+1=‾Qn为计数状态，每一个时钟脉冲状态翻转一次。

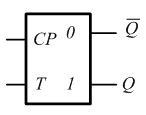
1. 表达式：
2. 状态转换图：



1. **T触发器**
2. 电路结构



1. 表示方法



1. 真值表

|  |  |
| --- | --- |
| T | Q(n+1) |
| 0 | Qn |
| 1 | ‾Qn |

Qn+1=‾Qn为计数状态，每一个时钟脉冲状态翻转一次。

1. 表达式：

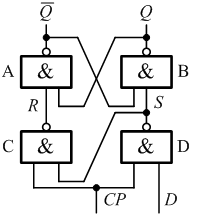
5. 状态转换图：



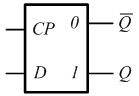
6.T’触发器：将T输入端恒接高电平（T=1）。

表达式：

1. **D触发器**
2. 电路结构



1. 表示方法

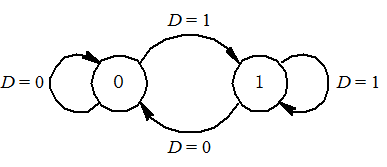


1. 真值表

|  |  |
| --- | --- |
| D | Q(n+1) |
| 0 | 0 |
| 1 | 1 |

1. 表达式：

5. 状态转换图：



1. **锁存器与触发器的区别**

锁存器和触发器是具有记忆功能的二进制存贮器件，是组成各种时序逻辑电路的基本器件之一。区别为：

latch同其所有的输入信号相关，当输入信号变化时latch就变化，**没有时钟端**；**flip-flop受时钟控制**，只有在时钟触发时才采样当前的输入，产生输出。当然因为latch和flip-flop二者都是时序逻辑，所以输出不但同当前的输入相关还同上一时间的输出相关。

**latch由电平触发，非同步控制**。在使能信号有效时latch相当于通路，在使能信号无效时latch保持输出状态。**DFF由时钟沿触发，同步控制**。latch对输入电平敏感，受布线延迟影响较大，很难保证输出没有毛刺产生；DFF则不易产生毛刺。