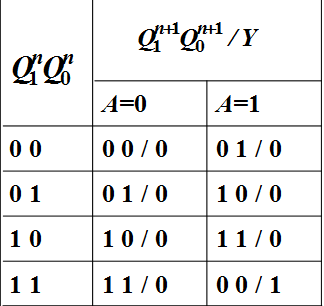
1. **组合逻辑电路分析**

步骤：

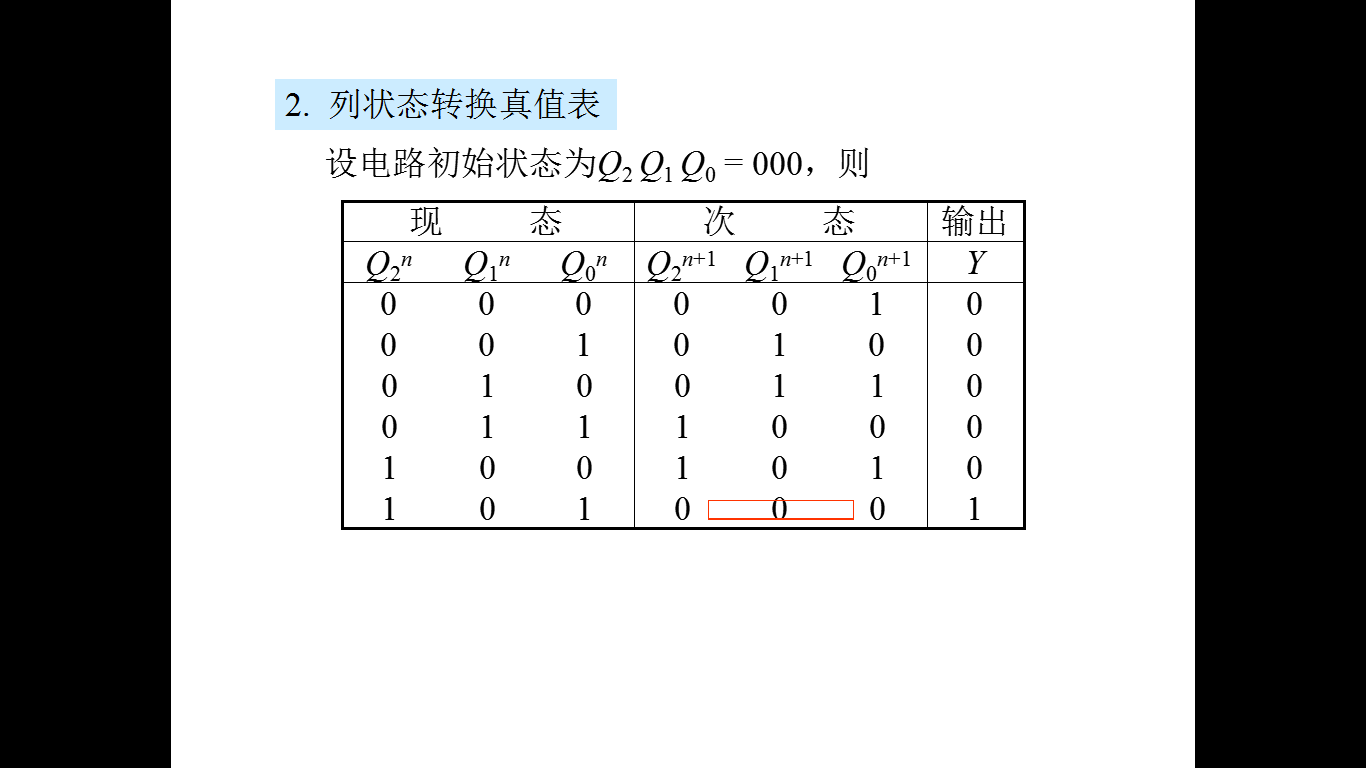
1. 写出给定组合电路的逻辑函数表达式
2. 化简逻辑函数表达式
3. 根据化简的结果列出真值表
4. 功能评述
5. **组合逻辑电路设计**

步骤：

1. 根据逻辑功能要求，进行逻辑约定并列出真值表
2. 根据真值表写出逻辑函数的“最小项之和”表达式
3. 化成最简“与-或”式，并进行适当变换（卡诺图）
4. 画出逻辑电路图
5. **同步时序逻辑电路分析**
6. 同步时序逻辑电路的特点：
7. 各触发器的时钟端全部连接在一起，并接在系统时钟端；
8. 只有当时钟脉冲到来时，电路的状态才能改变；
9. 改变后的状态将一直保持到下一个时钟脉冲的到来，此时无论外部输入x有无变化；
10. 步骤：
11. 写出电路的输出方程（Y=...）
12. 写出每个触发器的驱动方程（J=...K=...D=...）
13. 把驱动方程代入相应触发器的特性方程，得出整个时序电路的状态方程组（Qn+1=...）
14. 根据（1）（3）列出该电路的状态转换表
15. 根据状态表画出状态转换图
16. 描述电路的逻辑功能，并进行自启动验证
17. 状态图：



有输入格式



无输入格式

1. **同步时序逻辑电路设计**
2. 步骤：
3. 逻辑抽象——定义输入输出变量和状态
4. 逻辑抽象——作出原始状态转移表和原始状态转移图
5. 状态化简——作出简化状态转移表和简化状态转移图，原则为：次态相同、次态交错、次态维持、次态循环、后继状态等效；或画出隐含表
6. 状态分配——原则：相邻分配，触发器数目N满足：（M为状态数）
7. 选择触发器类型，通过画表确定电路三大方程
8. 根据电路方程画出逻辑电路设计图
9. 验证功能，并进行自启动检查
10. 范例：**用D触发器设计可重叠101序列检测器。**

**解：**

**（1）逻辑抽象**

令输入数据为输入变量，用X表示；  
令检测结果为输出变量，用Y表示；  
设电路在没有输入‘1’以前的状态为S0；  
S0状态下输入1个‘1’后电路转为S1状态；

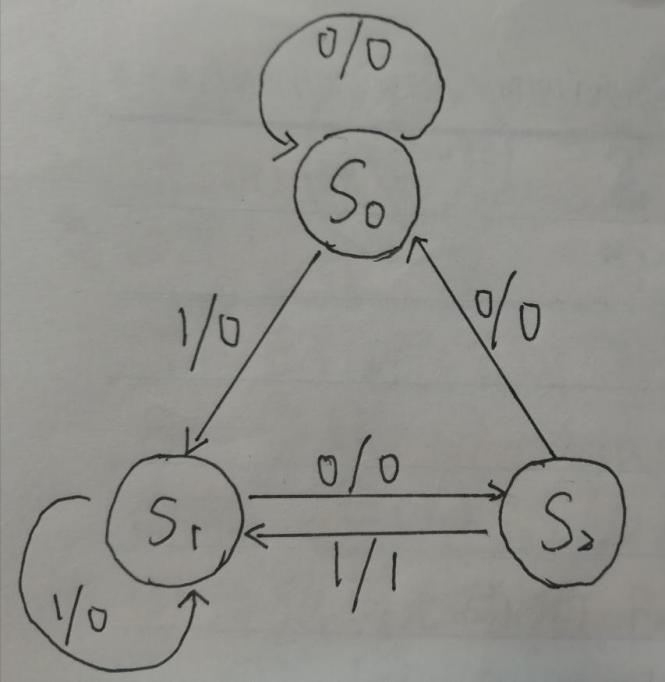
S1状态下输入连续若干个‘1’后电路仍为S1状态，输入1个‘0’后电路转为S2状态；

S2状态下输入1个‘1’后电路转为S1状态，输入1个‘0’后电路转为S0状态。

故作电路的原始状态转换表及状态转换图如下：

|  |  |  |  |
| --- | --- | --- | --- |
| X  Sn+1/Y  Sn | S0 | S1 | S2 |
| 0 | S0/0 | S2/0 | S0/0 |
| 1 | S1/0 | S1/0 | S1/1 |

原始状态转换表



原始状态转换图

1. **状态化简**

令输入由于原始状态转换表中任意两状态的输出不完全相同，次态也没有相同、交错、维持、循环、等效等任意状态之一，故认为原始状态转换表即为最简状态转换表，原始状态转换图即为最简原始状态转换图。此处不再重复画图画表。

1. **状态编码**

∵ 状态数M=3 ∴ 触发器数目N=2

由相邻分配原则进行编码，分配方式如下：

S0=‘00’，S1=‘01’，S2=‘11’，‘10’为约束项。

1. **求解电路方程**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| X  Q1nQ0n | 00 | 01 | 11 | 10 |
| 0 | 00/0 | 11/0 | 00/0 | xx/x |
| 1 | 01/0 | 01/0 | 01/1 | xx/x |

Q1n+1Q0n+1/Y表

**状态方程：**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| X  Q1nQ0n | 00 | 01 | 11 | 10 |
| 0 | 0 | 1 | 0 | x |
| 1 | 0 | 0 | 0 | x |

Q1n+1表:Q1n+1=‾X‾Q1nQ0n

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| X  Q1nQ0n | 00 | 01 | 11 | 10 |
| 0 | 0 | 1 | 0 | x |
| 1 | 1 | 1 | 1 | x |

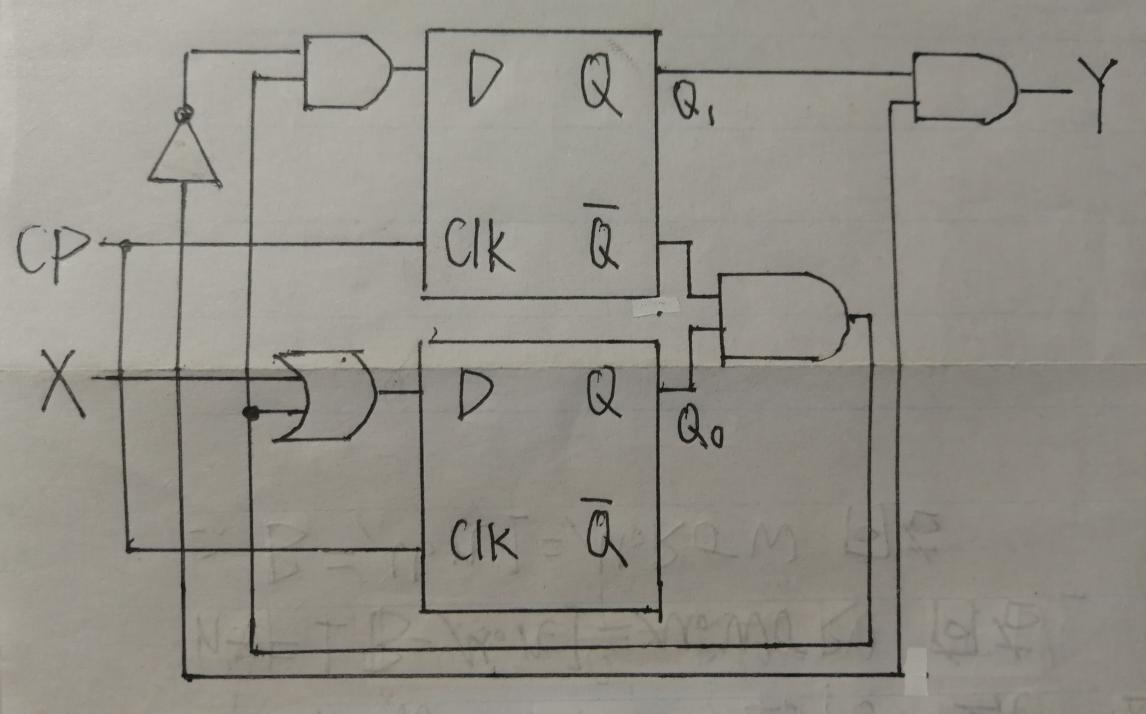
Q0n+1表:Q0n+1=X+‾Q1nQ0n

**输出方程：**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| X  Q1nQ0n | 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | 0 | x |
| 1 | 0 | 0 | 1 | x |

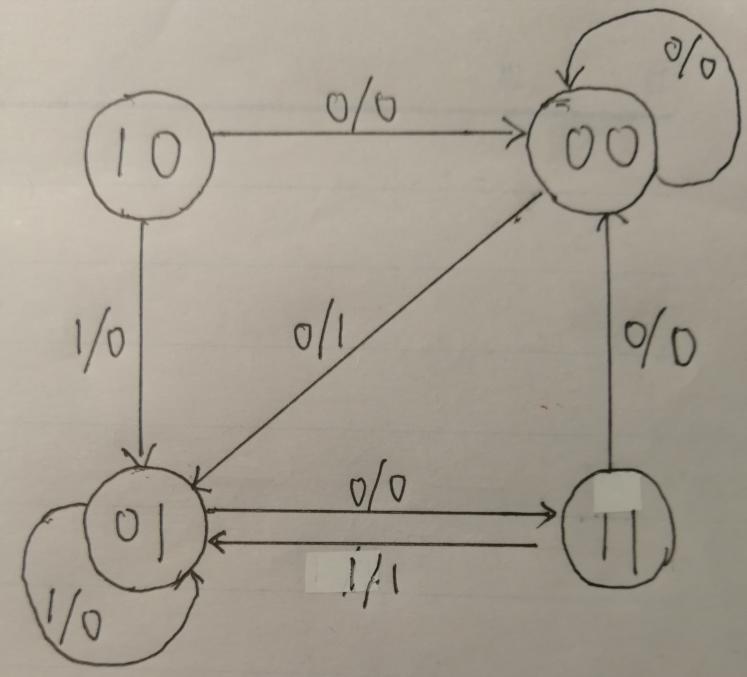
Y表:Y=XQ1n

1. **画出逻辑电路设计图**

****

1. **验证功能和自启动检查**

通过分析验证的方法，现对原有的状态转换图改进如下：

****

完整状态转换图

1. **异步时序逻辑电路分析**
2. 异步时序逻辑电路的特点：

（1）所有触发器的CP端并没有完全连接在一起；

（2）不是所有触发器状态的变化都与时钟脉冲同步；

（3）有时钟信号的触发器才需要用特性方程计算次态，而没有时钟信号的触发器将保持原来的状态不变。

2. 步骤：

（1） 写出电路的输出方程（Y=...）

（2） 写出每个触发器的驱动方程（J=...K=...D=...）

（3） 写出电路的时钟方程组（CP=...）

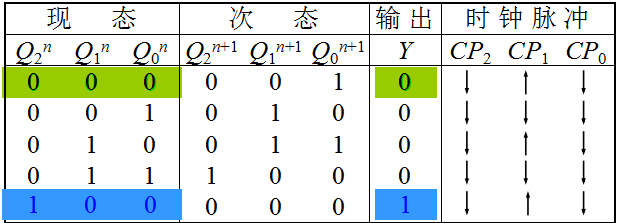
（4） 把驱动方程和时钟方程代入相应触发器的特性方程，得出整个时序电路的状态方程组（Qn+1=...）

（5） 根据（1）（4）列出该电路的状态转换表

（6） 根据状态表画出状态转换图

（7） 描述电路的逻辑功能，并进行自启动验证

1. 状态图：



填写顺序：现态→以CLK为CP的次态→时钟→以Qx上下边沿为CP的次态→输出