触发器（Flip-Flop）

能够存储1位二进制信号（0，1）的基本单元电路统称为触发器（**具有记忆功能**）。触发器是构成时序逻辑电路的基本电路，是联系组合逻辑电路和时序逻辑电路的桥梁。

# 基本特点

1、具有两个能自行保持的稳定状态表示逻辑状态的0 和1；

2、根据不同的输入信号可以置成1或0状态。

# 触发器

组成存储电路的基本逻辑单元，一个触发器能存储1个二进制位。

· 有两个稳定状态: “0”状态、“1”状态。

· 有两个互补的输出端:

· 有一组输入信号(通常为1~3个)：称为 激励、时钟

· 工作方式：在输入的作用下，由现态转变成次态。

现态：输入作用前的状态，记作 Qn 简记为 Q

次态：输入作用后的状态，记作 Q(n+1)。

注意：次态不仅与输入有关，而且与现态有关！

# 分类：

（一）按电路结构形式不同可分为

基本RS-FF（锁存器）

同步FF（电平触发）

主从FF（脉冲触发）

边沿FF（边沿触发）

CMOS工艺FF

（二）按逻辑功能分

RS、JK、D、T、T’等

（三）按存储数据的原理不同可分为

静态FF和动态FF

# 一、触发器的电路结构与动作特点

## 1.基本R-S触发器（即锁存器）

1）用与非门构成的基本R-S触发器



**次态方程：**

**约束方程：**

2）用或非门构成的基本R-S触发器



应该是R·S=0



**次态方程：**

**约束方程：**

优点：

电路简单，直接置位、复位，操作方便

常用于键盘输入、消除开关噪声等场所

缺点：

（1） 存在约束关系，操作不便；

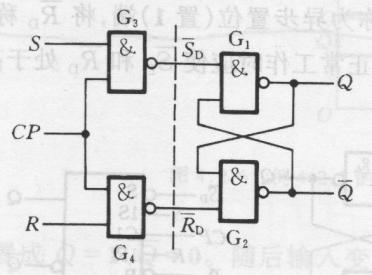
（2） 对R、S要求严格，要相互配合，准确实时。

## 2.同步触发器

通常把这个同步信号叫做时钟脉冲，或称为时钟信号，简称时钟，用CP

同步触发器又称为“钟控触发器”，即**时钟控制的电平触发器**

**1）同步RS触发器**

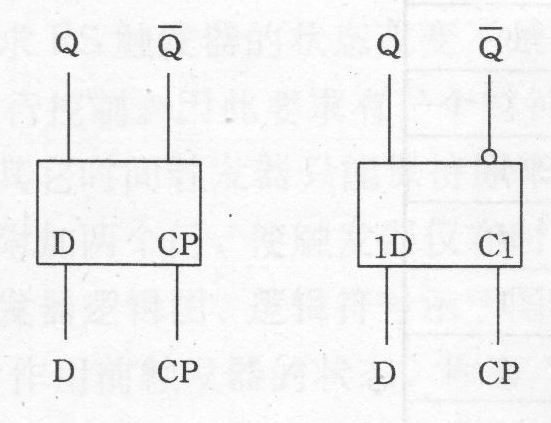


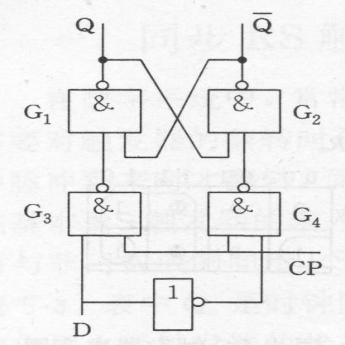
同步RS-FF的动作特点：在CP=1的全部时间里S和R的变化都将引起FF输出端状态的变化。由此可知，若在CP=1的期间内输入信号发生多次变化，则FF的状态也会发生多次翻转，这就降低了电路的抗干扰能力。



**2）同步D触发器**

为了从根本上避免同步RS触发器R、S同时为1的情况出现（即S、R信号源直接来自D和~D），可以在R和S之间接一非门。这种单输入的FF叫做同步D触发器（又称D锁存器）

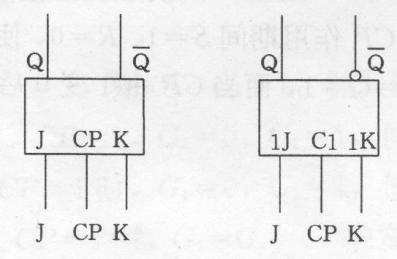


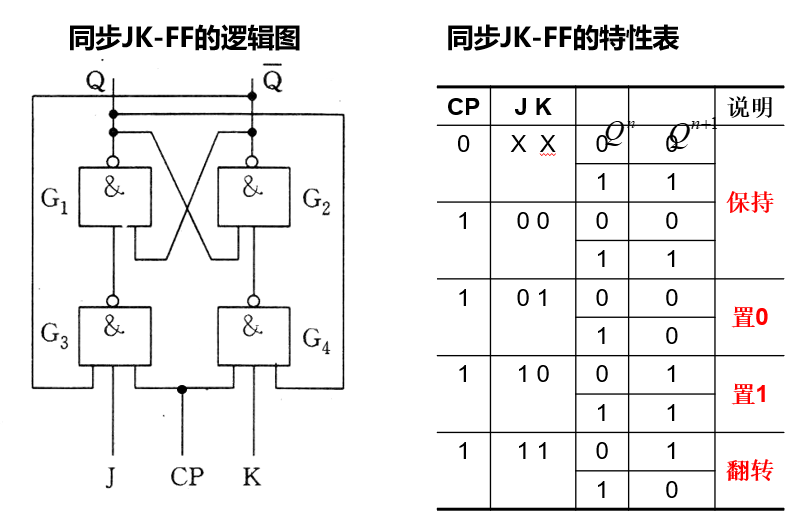


由特性表可得同步D-FF的特性方程为：

**3）同步JK触发器**

解决了同步RS-FF输入控制端S=R=1时触发器的新状态不确定的问题（即S=1,R=1则状态翻转）。JK-FF的J端相当于置“1”（S）端，K端相当于置“0”（R）端。



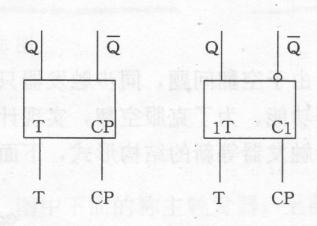
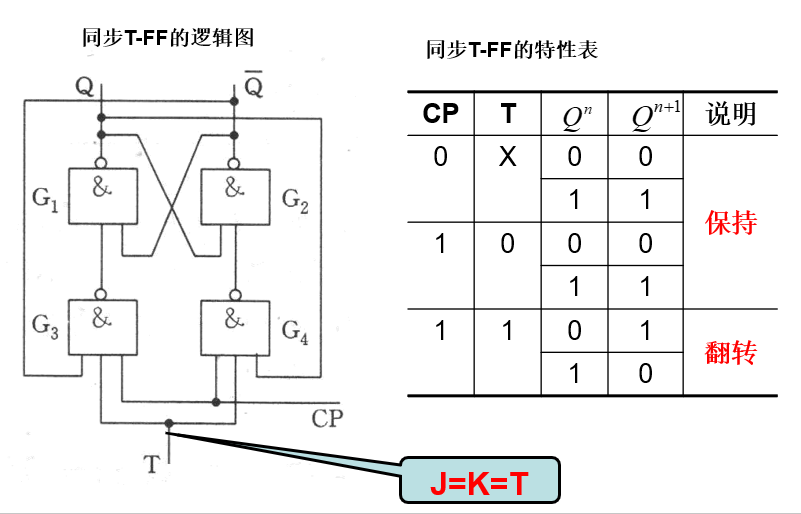




(当J=K=1时，，触发器处于翻转状态，其余情况同同步RS-FF一样。)

**4)同步T触发器**

将JK-FF的J端和K端连在一起，即得到T触发器，只有翻转功能



如果T=1（恒为高电平），得到同步T’触发器

## 3.同步触发器的空翻现象

1)述四种功能的同步触发器均属于电平触发方式。电平触发方式有高电平触发和低电平触发两种。

2)在同步触发器CP为高电平期间，输入信号发生多次变化，触发器也会发生相应的多次翻转，

这种在CP为高电平期间，因输入信号变化而引起触发器状态变化多于一次的现象，称为触发器的空翻。

所以有了无空翻的主从触发器和边沿触发器等新的触发器结构形式。

## 4.主从触发器

希望在每个CP周期里输出端的状态只改变一次。

主从触发器的结构特点：

◆ 前后由主、从两级触发器级联组成

◆ 主、从两级触发器的时钟相位相反

**1）主从RS-FF**

由两个同样的同步RS触发器组成，但它们的时钟信号相位相反。

工作原理：

clk=1时，主FF会接收所有R\S输入端变化导致的输出端结果变化(Y和~Y会因R\S的变化发生多次翻转)，从FF不工作；

clk=0时，主FF不工作，Y和~Y不再变化（保持最后一次变化）；从FF在该时段内，Q只作一次变化。（可理解为边沿触发，可以用>标识）

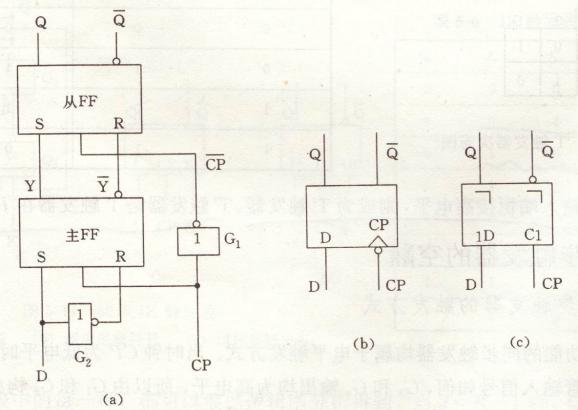
(在CP=1的全部时间里，S、R均对主触发器起控制作用，所以必须考虑整个CP=1期间里输入信号的变化过程(或最后一次Y和~Y状态)才能确定触发器的状态。)



CP为低电平（从FF）状态变化，其特性方程仍为：

**2）主从D-FF**

主FF为DFF，从FF为RSFF

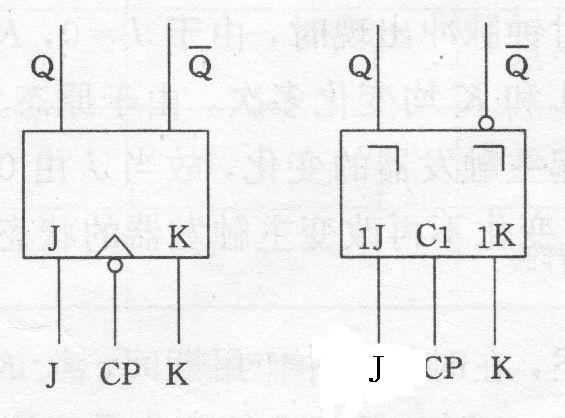
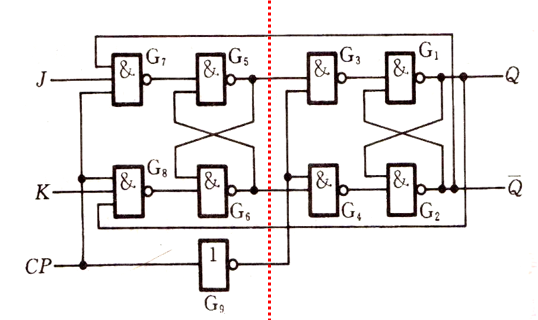


小圆圈：低电平有效；小尖角：沿触发



**3）主从JK-FF**

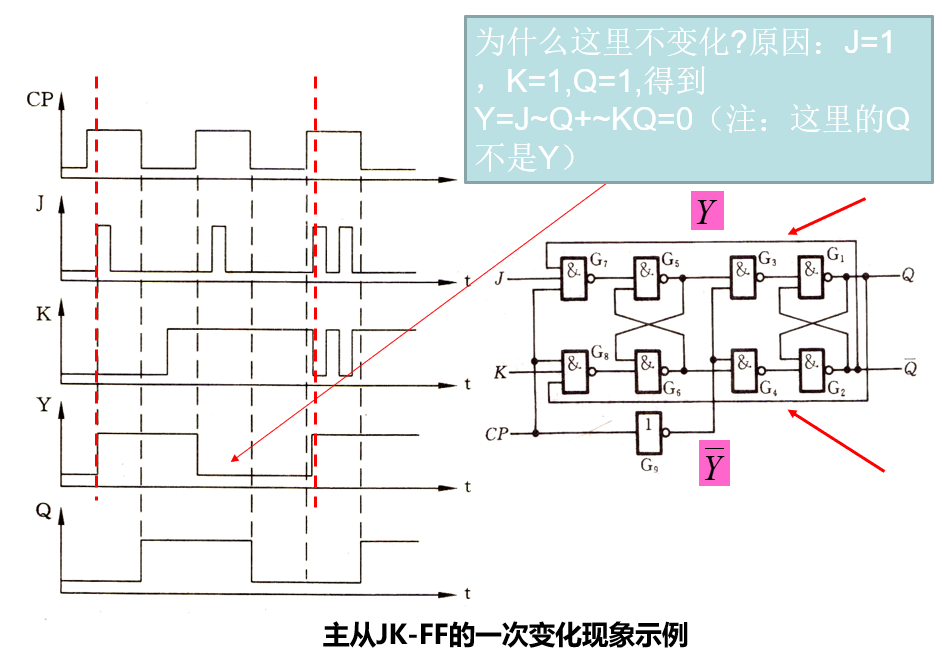
主FF为JKFF，从FF为RSFF



注：主从JKFF具有一次变化现象。

**主从JF-FF的一次变化现象：**在CP=1期间，即便J、K输入信号有多次改变，主从JF-FF的的**主触发器**的状态仅仅只会改变一次。（Y=J~Q+~KQ）



**主从触发器小结：**

1、主从触发器状态的改变是在CP下降沿完成的，因而这种结构无空翻现象（结果无空翻）；

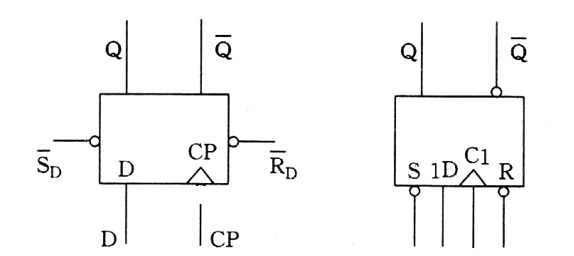
2、主从触发器在CP=1期间无法抗干扰，为克服这一缺点，又出现了边沿触发器。

## 5.边沿触发器

次态仅仅取决于CP信号下降沿（或上升沿）到达时刻输入信号的状态。(提高了触发器的抗干扰能力，因而也提高了电路工作的可靠性)

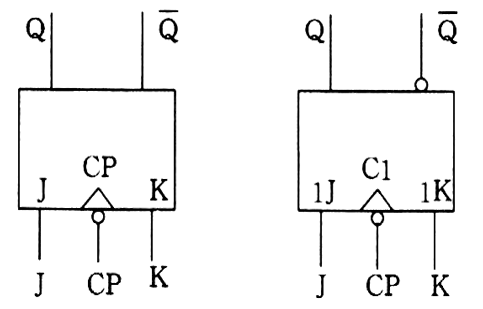
1）维持阻塞正边沿RS触发器（维阻正RS）

2）维持阻塞正边沿D触发器（维阻正D）

（RSFF和DFF的结合）

~SD具有异步“置1”功能；~RD具有异步“置0”功能。

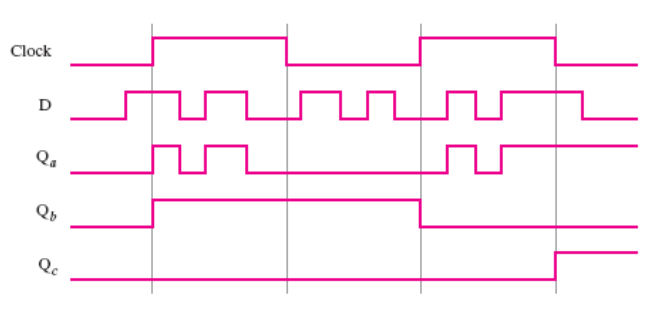
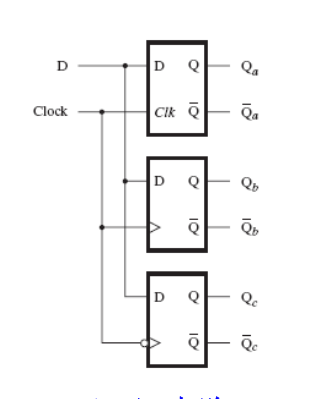
3)利用传输延迟时间的负边沿JK触发器



4)利用CMOS传输门的上边沿D触发器(也称CMOS主从D触发器)

5)利用CMOS传输门的上边沿JK触发器

## 电平敏感型和边沿触发型 D 储存元件比较



# 二、触发器的逻辑功能及其描述方法

描述触发器逻辑功能的方法有：

◆特性表

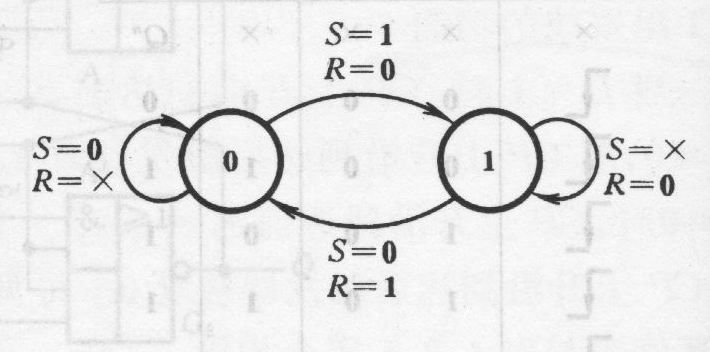
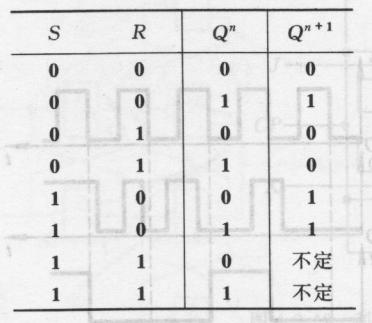
◆特性（征）方程

◆状态转换图

## 1.RSFF

(基于或非门，同步：clk高电平有效；RS=00保持，RS=10复0；RS=01置1；RS=11冲突)

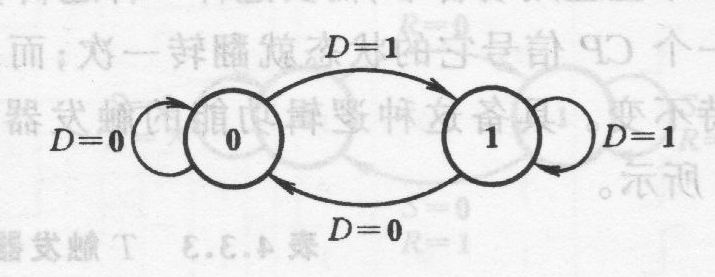
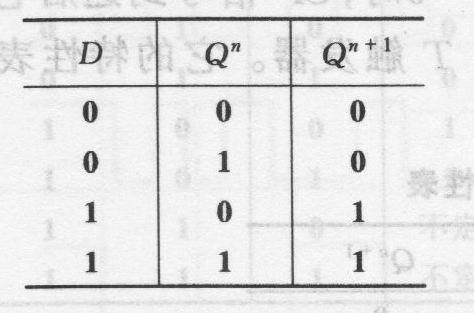
注：特性表不是真值表





## 2.DFF

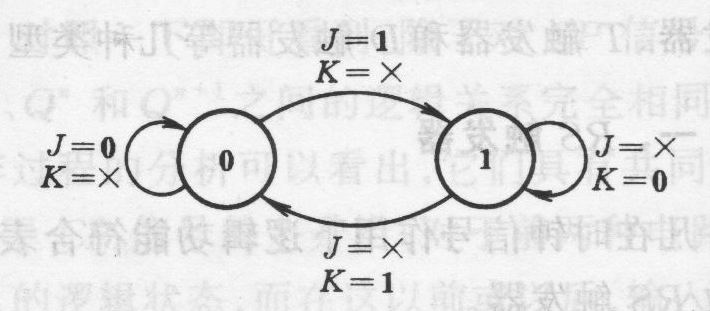
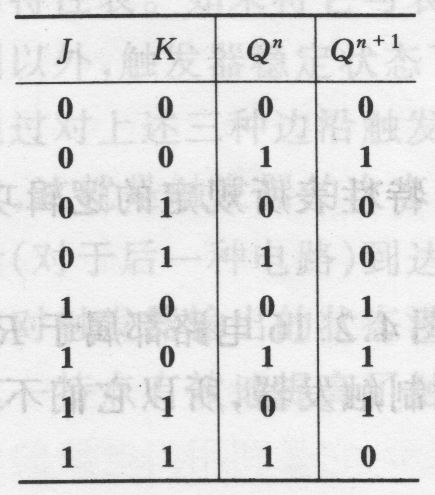
(基于RSFF且S=D,R=~D,直接避免R=1,S=1的冲突情况)





## 3.JKFF

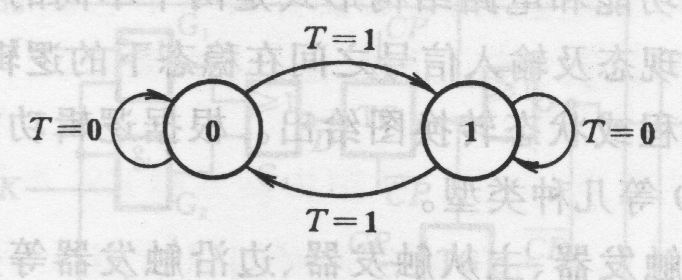
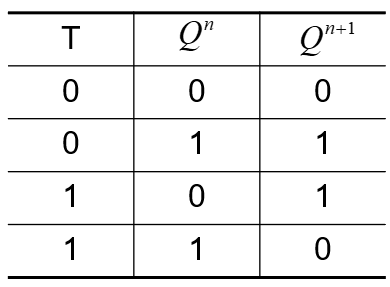
(基于RSFF且J=S,K=R；JK=00保持；JK=10置1；JK=01复0；JK=11翻转)





## 4.TFF

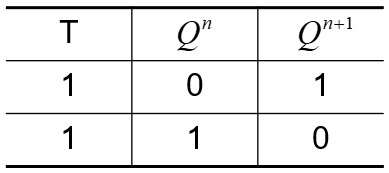
(基于JKFF，令J=K=T,只有翻转和保持功能，没有置位和复位)





## 5.T’FF

基于T触发器，T恒保持高电平

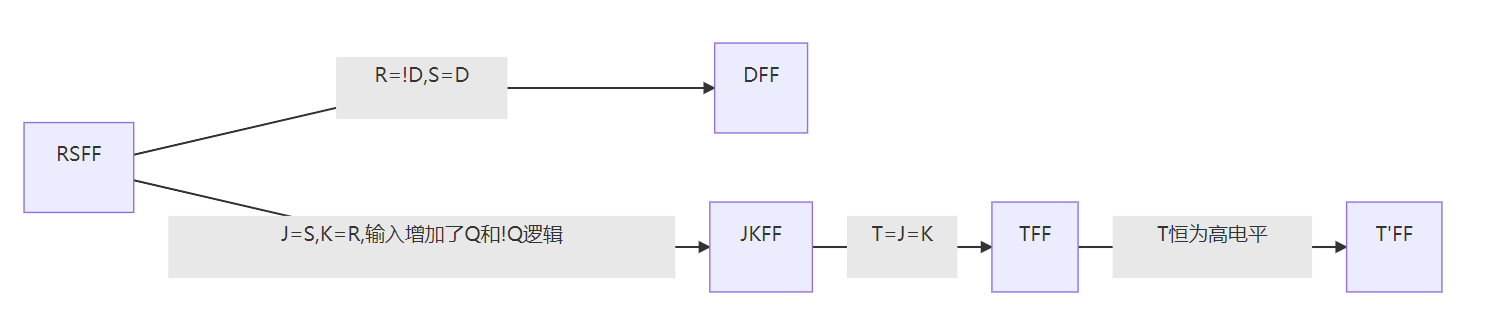






# 三、不同触发器之间的转换

D、JK、T、T’也是RS升级设计来的



1.DFF🡪JKFF

原理：

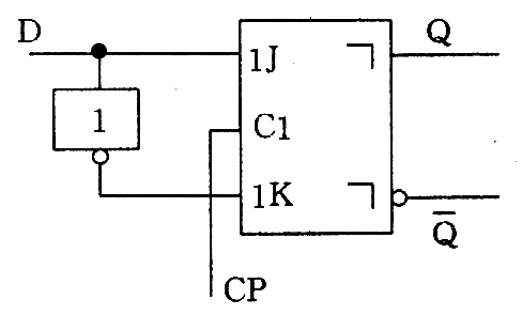
输入：J、K；输出：Q、~Q



2.JKFF🡪DFF

原理同上，这个也是RSFF🡪TFF的原理

输入：D；输出：Q、~Q



# 锁存器与触发器的区别

锁存器和触发器是具有记忆功能的二进制存贮器件，是组成各种时序逻辑电路的基本器件之一，输出不但同当前的输入相关还同上一时间的输出相关。区别为：

latch同其所有的输入信号相关，当输入信号变化时latch就变化，**没有时钟端**；flip-flop**受时钟控制**，只有在时钟触发时才采样当前的输入，产生输出。

**latch由电平触发，非同步控制**。在使能信号有效时latch相当于通路，在使能信号无效时latch保持输出状态。**DFF由时钟控制，同步控制**。latch对输入电平敏感，受布线延迟影响较大，很难保证输出没有毛刺产生；DFF则不易产生毛刺。