# 触发器



**由特性表可得同步D-FF的特性方程为：**



能够存储1位二值信号（0，1）的基本单元电路统称为触发器。触发器是构成时序逻辑电路的基本电路，是联系组合逻辑电路和时序逻辑电路的桥梁。

触发器的两个基本特点：

1、具有两个能自行保持的稳定状态表示逻辑状态的0 和1；

2、根据不同的输入信号可以置成1或0状态。

触发器是组成存储电路的基本逻辑单元，一个触发器能存储1个二进制位。其特点如下：

-有两个稳定状态: “0”状态、“1”状态。

-有两个互补的输出端:

-有一组输入信号(通常为1~3个)：称为 激励、时钟

-工作方式：在输入的作用下，由现态转变成次态。

现态：输入作用前的状态，记作 Qn 简记为 Q

次态：输入作用后的状态，记作 Q(n+1)。

注意：次态不仅与输入有关，而且与现态有关！

分类：

（一）按电路结构形式不同可分为

基本RS-FF（锁存器）

同步FF（电平触发）

主从FF（脉冲触发）

边沿FF（边沿触发）

CMOS工艺FF

（二）按逻辑功能分

RS、JK、D、T、T’等

（三）按存储数据的原理不同可分为

静态FF和动态FF

一、触发器的电路结构与动作特点

1.基本R-S触发器

1）用与非门构成的基本R-S触发器



2）用或非门构成的基本R-S触发器



基本R-S触发器的缺点：

（1） 存在约束关系，操作不便；

（2） 对R、S要求严格，要相互配合，准确实时。

2.同步触发器



**次态方程：**

**约束方程：**



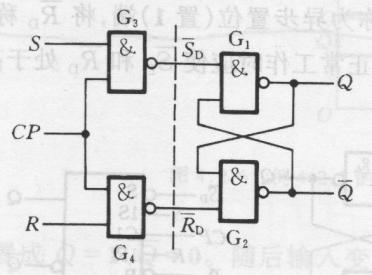
**次态方程：**

**约束方程：**

通常把这个同步信号叫做时钟脉冲，或称为时钟信号，简称时钟，用CP

同步触发器又称为“钟控触发器”，即时钟控制的电平触发器

1）同步RS触发器

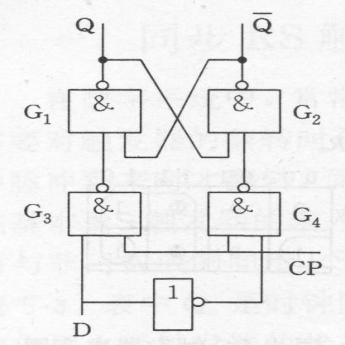


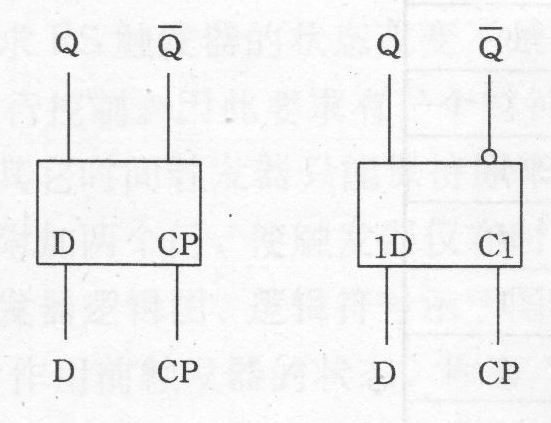
同步RS-FF的动作特点：在CP=1的全部时间里S和R的变化都将引起FF输出端状态的变化。由此可知，若在CP=1的期间内输入信号发生多次变化，则FF的状态也会发生多次翻转，这就降低了电路的抗干扰能力。



2）同步D触发器

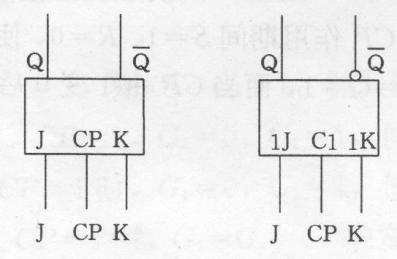
为了从根本上避免同步RS触发器R、S同时为1的情况出现，可以在R和S之间接一非门。这种单输入的FF叫做同步D触发器（又称D锁存器）





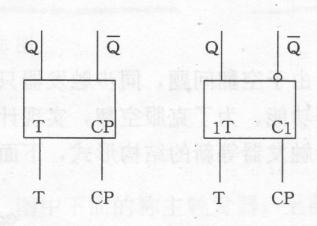
3）同步JK触发器

解决了同步RS-FF输入控制端S=R=1时触发器的新状态不确定的问题。JK-FF的J端相当于置“1”（S）端，K端相当于置“0”（R）端。



4)同步T’触发器

将JK-FF的J端和K端连在一起，即得到T触发器



3.同步触发器的空翻现象

1)述四种功能的同步触发器均属于电平触发方式。电平触发方式有高电平触发和低电平触发两种。

2)在同步触发器CP为高电平期间，输入信号发生多次变化，触发器也会发生相应的多次翻转，

这种在CP为高电平期间，因输入信号变化而引起触发器状态变化多于一次的现象，称为触发器的空翻。

所以有了无空翻的主从触发器和边沿触发器等新的触发器结构形式。

4.主从触发器

希望在每个CP周期里输出端的状态只改变一次。

主从触发器的结构特点：

◆ 前后由主、从两级触发器级联组成

◆ 主、从两级触发器的时钟相位相反

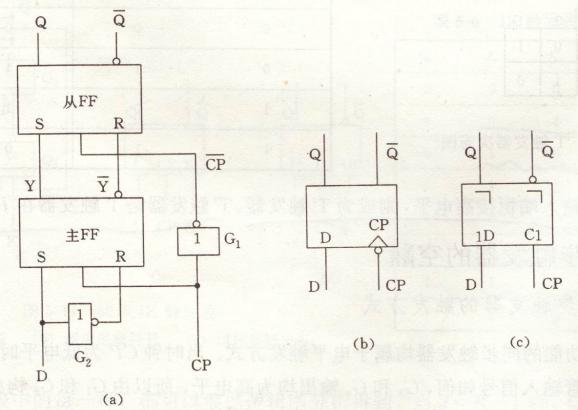
1）主从RS-FF

由两个同样的同步RS触发器组成，但它们的时钟信号相位相反

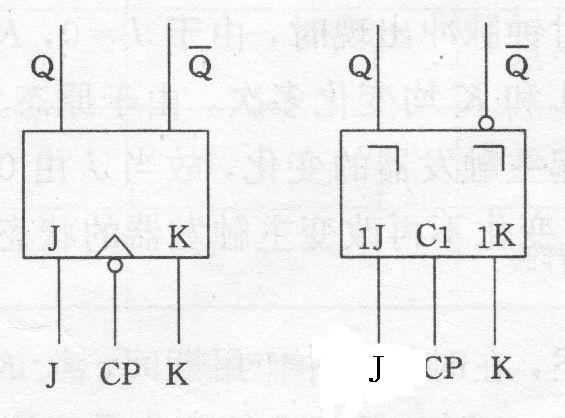


其特性方程仍为：

2）主从D-FF



3）主从JK-FF



1、主从触发器状态的改变是在CP下降沿完成的，因而这种结构无空翻现象；

2、主从触发器在CP=1期间无法抗干扰，为克服这一缺点，又出现了边沿触发器。

5.边沿触发器

次态仅仅取决于CP信号下降沿（或上升沿）到达时刻输入信号的状态。

二、触发器的逻辑功能及其描述方法

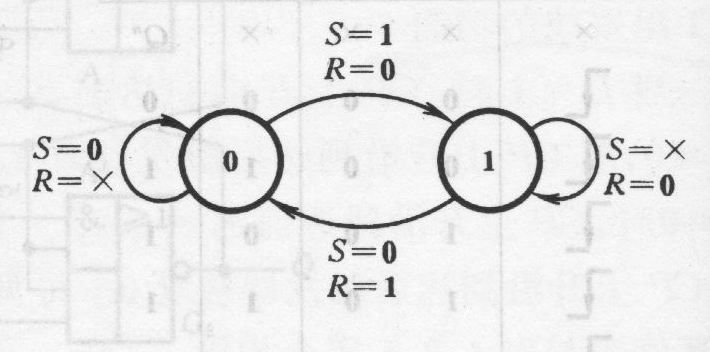
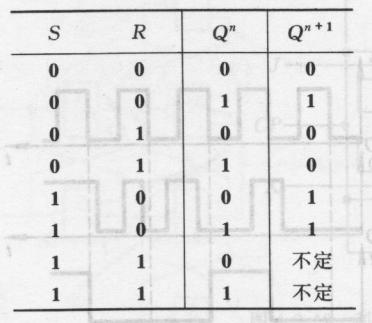
描述触发器逻辑功能的方法有：

◆ 特性表

◆ 特性（征）方程

◆ 状态转换图

1.RS触发器









T一票 触发器 ：J、K输入端连在一起作为T端

电平敏感型和边沿触发型 D 储存元件比较

