

复旦大学

硕士学位论文

LD0线性稳压器嵌入式IP设计

姓名：刘轶

申请学位级别：硕士

专业：电子与通讯工程

指导教师：洪志良

20070507

## 摘要

半导体制造工艺技术向更小特征尺寸的发展，使得 IC 设计者能够将愈来愈复杂的功能集成到单芯片上。功能不断增多加大了 SOC 芯片的设计难度，使得设计周期加长。为了克服设计困难和缩短设计周期，基于可重复使用的嵌入式 IP 的 SOC 芯片设计方法越来越被 IC 设计者采用。功能的不断增多提高了 SOC 芯片晶体管的集成度的同时也导致了消耗的功率成倍的增加，因此低功耗、高效率的电源管理设计成为了发展趋势。

本篇论文主要是设计一种应用于 soc 设计的嵌入式的 LDO IP 的设计。本电路应用非常简单，直接嵌入 SOC 设计中而无需外接电路即可提供稳定电压。它采用 0.18 微米 CMOS 低功耗工艺设计，正常工作电压范围达到 2V~5.5V, 输出电压为 1.8V, 压差仅为 0.2V。在上电时，电路在 50us 内快速启动并提供稳定电压。电路还提供等待模式和正常工作模式两种方式；等待模式下工作电流仅为 60uA 并能提供最大为 1mA 的输出电流；工作模式下可输出最大电流为 100mA。基于以上技术特点，该 IP 具有移植性好，功耗小，效率高的特性，可为智能卡类 SOC 设计提供完美的解决方案。

在本文中，作者首先阐述了 LDO 线性降压调整器的发展和研究的意义；接着对电路基本原理和性能参数进行了说明；然后对电路进行了详细分析和设计，并借助设计软件 cadence 的 composer、virtuoso\_xl、synopsys 公司的 hspice、mentor graphics 公司的 calibre、华虹 NEC 提供的 PDK 对电路进行了电路设计、模拟仿真和版图设计，同时给出了电路仿真结果数据；最后给出了电路流片后的测试结果。

**关键词** SOC; IP; LDO; OTA; 带隙基准电压源 ;

## Abstract

With the scaling down of the feature size in modern CMOS manufacture processes, IC engineers will be capability to design more complex functions in one chip. This increases the difficulty and cycles of SOC design. It is popular that more and more designers adopt the embedded and reusable IP for SOC design in order to simplify the design and shorten the design cycle. At the same time, these extra functions of SOC will consume more power. So the low power and high efficiency of power management design is the challenge for SOC.

The object of this paper is to design an embedded low dropout voltage (LDO) linear regulator IP. The application circuit of this IP is very simple, which does not need extra periphery circuitry and use in SOC design directly. It adopts 0.18  $\mu\text{m}$  CMOS low power technology, which can work in the wide input voltage(2V~5.5V), output the stable 1.8V voltage, and the dropout voltage is 0.2V. The IP can start up quickly and output the stable voltage in 50  $\mu\text{s}$  after the system power on. In addition, the system can work in two modes. One is inactive work mode in which it consumes the minimum current 60 $\mu\text{A}$  and can provide the maximum output current of 1mA; another is aggressive work mode in which it can provide the maximum output current of 100mA. It is good solution for intelligent card SOC design because of its reusable and transplantable character.

Firstly, the development trend and purpose of LDO linear regulator are given in this paper. Then the principle and feature of the circuit are introduced. After analyzing and designing the circuit in detail, we use the EDA tools such as cadence's composer and virtuoso\_xl, synopsys' hspice, mentor graphics' calibre to design circuit and layout, simulate the circuitry, and verify the layout. At last the test data of LDO IP test IC is presented.

**Keywords** SOC; IP; LDO; OTA; Band-gap Reference Voltage

## 论文独创性声明

本论文是我个人在导师指导下进行的研究工作及取得的研究成果。论文中除了特别加以标注和致谢的地方外，不包含其他人或其它机构已经发表或撰写过的研究成果。其他同志对本研究的启发和所做的贡献均已在论文中作了明确的声明并表示了谢意。

作者签名: 刘轶 日期: 2007.5.7

## 论文使用授权声明

本人完全了解复旦大学有关保留、使用学位论文的规定，即：学校有权保留送交论文的复印件，允许论文被查阅和借阅；学校可以公布论文的全部或部分内容，可以采用影印、缩印或其它复制手段保存论文。保密的论文在解密后遵守此规定。

作者签名: 刘轶 导师签名: 林志良 日期: 07.06.10

## 第1章 引言

随着近年来 3G 技术和多媒体技术的迅猛发展, 便携式消费类电子产品向轻薄短小、数字化和集成多功能等方向发展。例如, 在 3G 技术中, 手机不仅用于浏览网页、发送电子邮件、拍摄数码照片, 甚至要能播放视频流、卫星定位, 这时手机不仅仅拥有基本的通话功能, 还需具备彩屏、游戏、内置摄像头和 GPS 等多种功能。各种新应用对传统的电池寿命和电源管理技术提出了更高的要求 and 更严峻的挑战。电源管理 IC 的地位日趋重要, 高工作频率、高效率、高功率密度、高可靠性、小体积和低成本等是今后模块电源和便携式电源管理产品的发展方向。

本文设计的低压差(Low Dropout Out: 简称 LDO)线性降压调整器 IP 属于 SOC 设计中电源管理电路模块 IP 的一种。它应用电路简单, 不需外接输出电容; 其较低的输入输出压差、较低的工作电流使其具备较高的工作效率, 延长电池使用时间, 可为使用电池供电的 SOC 设计提供完整、高效而又经济的电源解决方案。

本章讲述了线性电压调整器的发展概况、线性电压调整器的分类、低压差线性稳压器 IP 的研究意义和本文从事的研究设计工作。

### 1.1 线性电压调整器的发展

线性电压调整器是一种常见的电源管理电路, 能使输入电压或输出电流在一定范围内变化时, 保持输出电压不变。线性稳压电源具有电路简单、电源应用外围元件少、输出纹波电压小(一般只有几十到几百  $\mu\text{A}$ )、静态电流小的优势<sup>[1]</sup>; 因此被广泛的使用于采用电池供电的便携式系统, 例如笔记本电脑、移动通讯装置、视频或音频产品、数码相机、PDA 等。一般认为线性稳压电源的输入电压与输出电压之间的电压差(一般称为压差)大, 调整管上的损耗大, 转换效率低。

近年来, 市场对线性稳压器的低功耗要求的不断提高, 使对低压差调节器的需求变得十分紧迫, 因此促成了低压差(LDO)线性稳压器的产生。低压差

(LDO)线性稳压器最重要的性能指标之一是实现较低的压差电压。低压差(LDO)线性电压稳压器不断降低压差、不断减小的芯片面积、不断提高的效率和稳定性而越来越引人注目, 成为电子调压器产品最重要的发展领域之一<sup>[2]</sup>。

通过采用不同的调整管结构可以降低线性电压稳压器工作压差, 目前采用 PNP 管作为通路元件的线性电压调整器几乎终结了早期采用 NPN 达林顿管作为通路元件的线性电压调整器, CMOS 技术通过采用 PMOS 作为通路元件给线性电压调整器带来进一步的发展<sup>[2]</sup>。特别是近年来开发出各种低压差(LDO)的新型线性

稳压器 IC, 一般可达到输出 100mA 电流时, 其压差在 100mV 左右的水平(甚至于到 70-80mV 的水平), 某些小电流的低压差线性稳压器其压差仅几十毫伏<sup>[3]</sup>。这样, 调整管的损耗较小, 效率也有较大的提高, 电池的寿命也大幅的延长, 因此广泛应用于移动电话、mp3、PDA 等各种手持设备中。

## 1.2 线性电压调整器分类

依据线性电压调整器导通元件(Pass Element)结构的不同, 线性电压调整器可分为三类<sup>[4]</sup>:

- (1) 标准的(NPN 达林顿)线性电压调整器;
- (2) 准 LDO 线性电压调整器;
- (3) 低压降(LDO)线性电压调整器;

上述三类线性电压调整器最主要的差别是电压降(Dropout Voltage)的不同。所谓电压降是指保持线性电压调整器正常工作而在调整器上所需的输入输出最小电压差。线性电压调整器设计的关键之处是在最小的输入电压下, 使调整器正常工作而消耗在内部电路上的功耗尽可能少、效率更高。早期标准线性电压调整器采用 NPN 达林顿管作为调整管, 其压差在 2.5V~3V 之间; 其后的准 LDO 线性电压调整器改用 PNP 和 NPN(准 LDO)结构后, 其压差降为 1.2V~1.5V 之间; 之后的低压降(LDO)线性电压调整器采用 PNP 管(LDO)作为调整管, 其压差可以降到 0.3V~0.6V 之间; 最新的低压降(LDO)线性电压调整器采用 P 沟道(LDO)功率 MOSFET, 则可以进一步减小压差, 其压差可以降到 0.1V~0.3V 之间<sup>[5]</sup>。在上述三类线性电压调整器中, 低压降线性电压调整器所需压降最小、效率最高。而标准的(NPN 达林顿)线性电压调整器所需压降最大, 因而其效率最低。

## 1.3 低压差线性调整器 IP 的研究意义

当前的半导体工艺水平已经达到了亚微米水平并正在向 90nm 以下发展, 器件特征尺寸越来越小, 芯片集成规模越来越大, 数百万门级电路可以集成在一个芯片上, 这使得一个芯片上可以集成越来越多的复杂功能, 芯片规模向系统级芯片(SOC)发展。系统级芯片需要大量的可复用的 IP, 以降低设计风险和难度, 缩短设计周期。为了保持调节器的稳定, 标准的 LDO 调节器芯片一般需要 2~10  $\mu$ F 的输出电容<sup>[5]</sup>, 显然不利于 SOC 设计。

芯片功能不断的增加使得耗电量成为一大问题, 特别是那些应用于便携式和移动性较强的, 利用电池供电的电子产品。而且绝大部分便携式电子产品需要严格控制设计中芯片带来的噪声影响, 以提高产品的性能。芯片设计工程师面临的挑战是, 必须在单一芯片中整合更多的功能, 并且达到低功耗, 低噪

声。

目前市场上许多公司提供了线性电压调整器。线性稳压源的稳压原理，是通过在输入输出之间连接一个可变电阻来实现稳压效果的。所以输入输出总是存在着一定的压差，这个压差的大小，决定了这个调整器的效率。如图 1-1 所示：

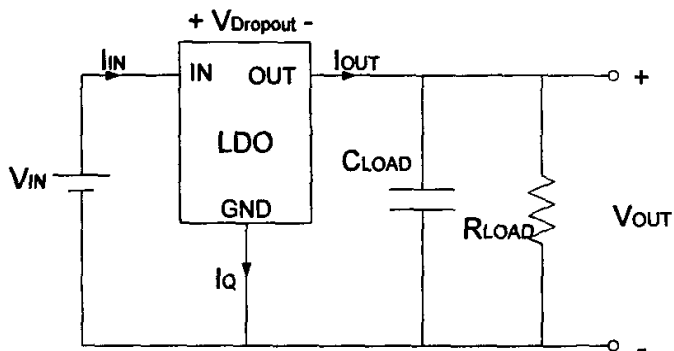


图 1-1 LDO 方块原理图

$V_{IN}$  为输入电压， $I_{OUT}$  为最大输出负载电流， $I_Q$  为线性调整器消耗的对地工作电流，则线性电压调整器的转换效率  $\eta$  为：

$$\eta = \frac{I_{OUT} V_{OUT}}{(I_{OUT} + I_Q) V_{IN}} \times 100\% \quad (1-1)$$

可知过大的工作电流  $I_Q$  和过高的压差  $V_{Dropout}$  限制了线性电压调整器转换效率。

如以上所述，为了满足低功耗、低噪声的 SOC 芯片设计需求，非常必要研究基于 SOC 设计的可重复使用的嵌入式低压差(LDO)线性电压调整器模拟电路 IP。

## 1.4 本文的工作

本文的主要工作是设计一种适用于 SOC 芯片的低压差（LDO）线性电压调整器嵌入式 IP，具有宽的输入电压范围（+2V~+5.5V）；较低的压差，最小为 0.2V；较低的工作电流，最小为 60uA；同时提供正常工作和等待工作两种工作模式，特别适用于 IC 卡芯片设计中的电源管理。本设计采用 0.18 微米 CMOS 低功耗工艺，使得 LDO 线性降压变换器 IP 工作时的漏电流很小。

本篇论文将分五大章展开讨论。

第一章介绍了线性稳压电路的发展现状、分类和低压差(LDO)线性电压调整器 IP 的研究意义。

第二章主要讨论 LDO 线性稳压电路的工作原理和性能指标。

第三章主要描述了本次低压差（LDO）线性降压调整器嵌入式 IP 设计的性能指标、实现方法、电路特性分析和电路版图设计。

第四章主要展示了本次设计的 HSPICE 仿真结果，并对仿真结果进行了分析；

第五章主要展示了本次设计流片后芯片测试结果，并对测试结果进行了分析。



## 第2章 低压差(LDO)线性调整器基本原理

线性稳压器设计技术已经相当成熟，许多文献中都有详细介绍。本文为了更好的阐述低压差（LDO）线性电压调整器 IP 设计，这里再引用介绍一下低压差（LDO）线性电压调整器 IP 的基本原理和性能参数。

### 2.1 基本原理

低压差(LDO)线性调整器可以认为是一个恒压源，不会随着负载大小的变化而改变输出电压，其基本原理是根据负载电阻的改变而调整自身内阻，保持负载上的供给电压恒定不变<sup>[6]</sup>。恒流源的简化模型表示为图 2-1。

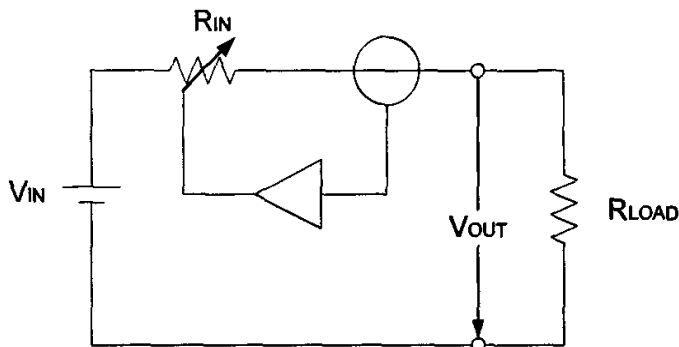


图 2-1 恒流源的简化模型

图中可调电阻  $R_{IN}$  为恒压源  $V_{IN}$  的内阻， $R_{LOAD}$  为负载电阻， $V_{OUT}$  为输出电压。

简化模型中引入了一个检测反馈机制，用于监测负载的变化并将这种变化用于调节可变内阻，使内阻  $R_{IN}$  与负载电阻  $R_{LOAD}$  值的比例为一常量。

$$\frac{R_{IN}}{R_{LOAD}} = K_{const} \quad (2-1)$$

则恒流源的输出电压可用式(2-2)表示：

$$V_{OUT} = \frac{R_{LOAD}}{(R_{IN} + R_{LOAD})} V_{IN} = \frac{1}{K_{const} + 1} V_{IN} \quad (2-2)$$

如果输入电压源  $V_{IN}$  基本保持大小不变，其内阻  $R_{IN}$  与负载电阻  $R_{LOAD}$  值比例为一常量，也就是两者之间成线性关系，就可以保持输出电压为一恒定值。恒压源的内阻  $R_{IN}$  必须远小于外电路负载  $R_{LOAD}$ ，这样才能保证负载电阻在一定范围内变化时，输出电压是一个恒定的值。实现以上功能的电路也就是线性电压调整器。

### 2.2 电路模块<sup>[6]</sup>

实际电路中需要考虑输入电源电压  $V_{IN}$  的变化误差，所以实际电路比简化

模型复杂，需要增加一个对电源电压不敏感的基准电压源模块保证输出电压  $V_{OUT}$  不受输入电压  $V_{IN}$  影响。图 2-2 给出了一个标准的低压差(LDO)线性调整器电路实现原理图，它主要由参考电压源、误差放大器、反馈电阻网路、导通元件四个电路模块组成。

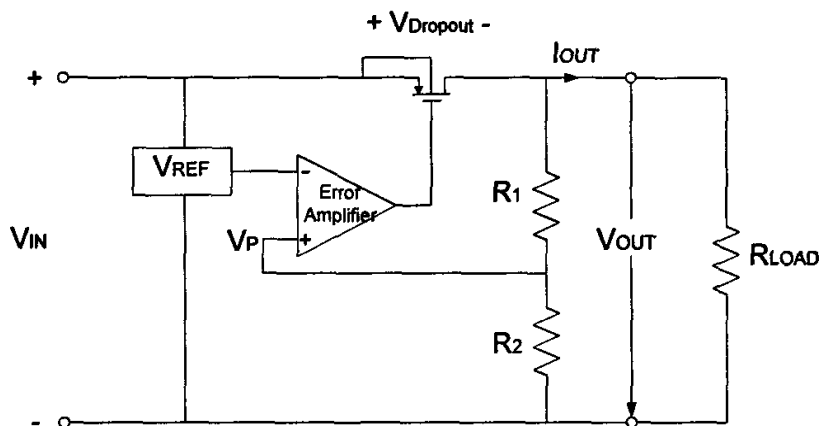


图 2-2 低压差 LDO 线性调整器电路模块

### 2.2.1 基准电压源（The Voltage Reference）

基准电压源决定了 LDO 电压变换器的输出精度。它提供一个稳定的基准电压作为误差放大器的比较基准。理想的基准电压源是与电源和温度的变化无关的。实际应用中的基准电压源无法完全达到理想电压源的特性，电路设计中一般采用几乎不依赖于温度和电源变化的带隙(band gap)基准技术。带隙基准源被广泛的应用于模拟电路中，它与电源和工艺参数的关系很小，而且与温度的关系是确定的。典型的带隙基准源电源灵敏度 0.5% ~1.0%，温度系 25~50 ppm  $^{\circ}\text{C}^{-1}$ 。

图 2-3 给出了带隙基准的一般原理<sup>[8]</sup>。我们可以先产生一个负温度系数(-2.2mV/ $^{\circ}\text{C}$ )的双极型晶体管基极-发射极结电压  $V_{BE}$ ，同时产生一个与绝对温度成正比的热电压  $V_t(KT/q)$ ，其室温下的温度系数大约为+0.085mV/ $^{\circ}\text{C}$ 。如果将电压  $V_t$  放大常量  $K$  倍并加上电压  $V_{BE}$ ，则输出参考电压为：

$$V_{REF} = V_{BE} + KV_t \quad (2-3)$$

将式 2-3 对温度求导，根据  $V_{BE}$  和  $V_t$  的温度系数可以得出理论上的不依赖于温度的  $K$  值。

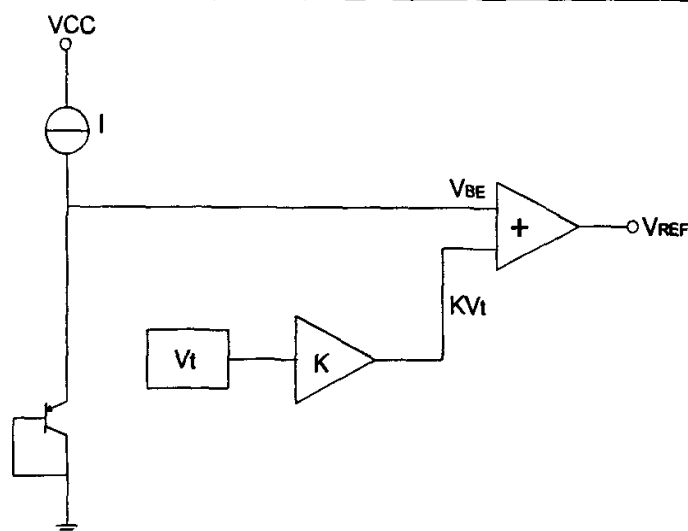


图 2-3 带隙基准的一般原理

### 2.2.2 误差放大器 (The Error Amplifier)

误差放大器其功能主要是用来调整功率管的栅极电压。反馈电压  $V_P$  与输出电压关系可用式(2-4)表示:

$$V_P = \frac{V_{OUT} R_1}{R_1 + R_2} \quad (2-4)$$

误差放大器输入差分信号  $V_{ERR}$  可用式 2-4 表示:

$$V_{ERR} = V_P - V_{REF} \quad (2-5)$$

误差放大器将反馈电压  $V_P$  与基准电压  $V_{REF}$  的进行比较, 放大输入差分信号  $V_{ERR}$ , 调整功率管 PMOS 的栅级电压  $V_{GS}$ , 从而控制输出电压  $V_{OUT}$  到设计期望值。由于误差放大器工作在负反馈环路中, 因此误差放大器的输入差分信号  $V_{ERR}$  几乎为零。设  $V_{REF} = V_P$  则有:

$$V_{OUT} = \left(1 + \frac{R_2}{R_1}\right) V_{REF} \quad (2-6)$$

只有在工作电压  $V_{IN}$  足够高, 误差放大器工作在放大状态, 功率管 PMOS 工作在饱和区时, 式(2-6)才成立。

误差放大器的增益、带宽、失调、驱动能力、工作电压范围等指标直接影响 低压差(LDO)线性调整器性能, 如输出电压精度、负载调整能力、线性调整能力、瞬态特性等。

### 2.2.3 反馈网络(The Feedback Network)

反馈网络的作用是提供一个误差放大器反馈信号  $V_P$ 。一般情况下, 反馈信号  $V_P$  由输出电压  $V_{OUT}$  通过电阻分压后得到, 如式(2-4)。因为  $V_{REF}$  为定值, 所以改变  $V_{OUT}$  的值只能通过调节  $R_2/R_1$  的比例来实现。  $R_1$  和  $R_2$  电阻的取

值要考虑 LDO 的稳定性和工作电流等特性; 取值越大, LDO 的稳定性越差, 工作电流越小; LDO 的稳定性越好, LDO 的工作电流越大。

### 2.2.4 功率管(The pass Element)

功率管的主要作用是为输入电压( $V_{IN}$ )向负载输出大电流提供通道, 并保持输出电压  $V_{OUT}$  稳定。由于 PMOS 管尺寸一般很大, 容抗也很大, 所以要求误差放大器要有很强的驱动能力。PMOS 调整管为压差负载器件, 其尺寸越大, 导通电阻越小,  $V_{Dropout}$  越小, 但是尺寸太大也会增大误差放大器的负载, 并使版图面积增大, 所以要折中考虑调整管的尺寸。当输入电压较大时, 调整管栅源最大驱动电压  $V_{GS}$  也较大, 驱动电流调整和输出能力也大。当输入电压  $V_{IN}$  降低到  $V_{IN} = V_{Dropout} + V_{OUT}$  时到达临界点以下时, 系统失去对输出最大电流驱动的调整能力, 输出电压  $V_{OUT}$  急剧下降。

## 2.3 低压差(LDO)线性调整器工作过程

图 2-2 电路是一个负反馈电路, 误差放大器将电阻反馈网络反馈的电压信号与基准电压源比较, 使控制 PMOS 栅极的电压信号相应的变化, 从而使输出电压  $V_{OUT}$  稳定到需要的电压。

下面以负载电阻增大为例说明低压差(LDO)线性稳压器调整电压的过程, 图 2-4 给出了 PMOS 管的输入输出工作特性曲线, 图 2-5 说明了电路的工作过程。

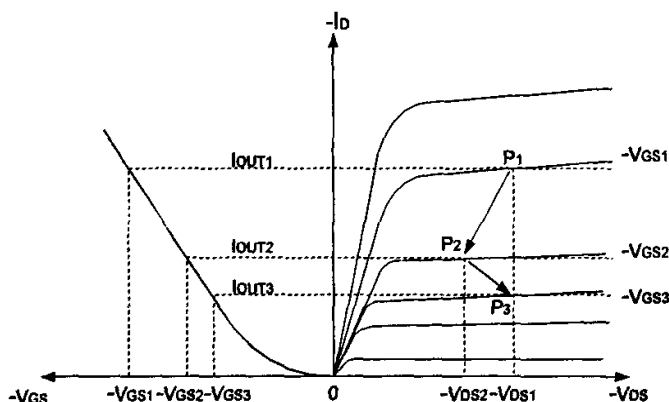


图 2-4 PMOS 管的输入输出工作特性曲线

低压差 (LDO) 线性调整器初始工作状态为  $P_1$  点, 输出电压为  $V_{OUT1}$ , 输出电流为  $I_{OUT1}$ , PMOS 功率管的漏源电压为  $-V_{DS1}$ , 栅源电压为  $-V_{GS1}$ 。当负载电阻  $R_{LOAD}$  增加时, 输出电压从  $V_{OUT1}$  上升到  $V_{OUT2}$ , PMOS 功率管的漏源电压从  $-V_{DS1}$  降低到  $-V_{DS2}$ 。反馈信号  $V_P$  ( $V_{OUT}$  经过电阻分压值) 显著高于  $V_{REF}$ , 则误差放大器将 PMOS 管栅源电压从  $-V_{GS1}$  调整下降到  $-V_{GS2}$ 。由此, 通过 PMOS 管的电流从  $I_{OUT1}$  减少到  $I_{OUT2}$ , 输出电压  $V_{OUT}$  开始恢复到原值  $V_{OUT1}$ ,

$V_P$  值也开始恢复原始值，差分电压( $V_{ERR}=V_P-V_{REF}$ )也开始恢复为零。如果差分电压还没恢复到零，栅源电压逐渐降低到 $-V_{GS3}$ ，导致输出电流减少到  $I_{OUT3}$ ，也即产生一个输出电压  $V_{OUT3}$ ； $V_{OUT3}$  经过电阻  $R_1$ 、 $R_2$  分压得到  $V_{P3}$ ，其结果使差分电压  $V_{ERR}$  为零，此时电路恢复了平衡。由此过程可知，当  $R_{LOAD}$  增加时，PMOS 管的工作点从  $P_1$  跳到  $P_2$  然后被调节到  $P_3$ 。

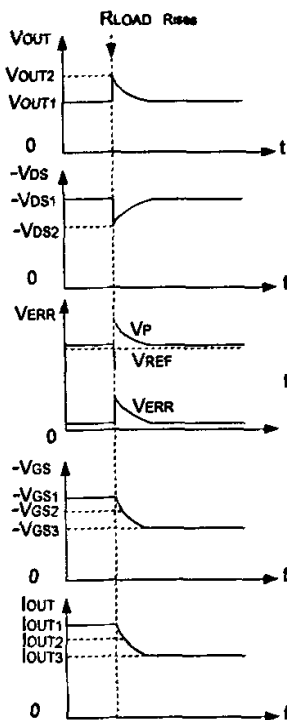


图 2-5 低压差(LDO)线性稳压器调整电压的过程

对给定的静态工作点  $P_N$ ，输出电压稳定( $V_{OUT}$  和  $V_{DS}$  是常数)，此时，可以用如下的公式定义 PMOS 的内阻以及负载电阻之间的函数关系。

$$R_{LOAD} = \frac{V_{OUTN}}{I_{OUTN}} \quad (2-7)$$

$$R_{INN} = \frac{V_{DS}}{I_{OUTN}} \quad (2-8)$$

$$R_{INN} = R_{LOAD} \times \frac{V_{DS}}{V_{OUT}} \quad (2-9)$$

$$I_{OUTN} = \frac{V_{DS}}{R_{INN}} = \frac{V_{OUT}}{R_{LOADN}} \quad (2-10)$$

## 2.4 低压差（LDO）线性调整器主要性能参数

电路设计之前，设计者必须充分了解电路的性能参数，以便电路设计时着重考虑这些性能参数是否满足实际应用电路的工作环境和工作特性的要求。低压差（LDO）线性调整器的有许多表征电路性能的参数，下面以图 1-1 方块原理图说明低压差（LDO）线性调整器的主要性能参数<sup>[9]</sup>。

### 2.4.1 压差（Dropout Voltage） $V_{\text{Dropout}}$

低压差(LDO)线性调整器正常工作时要求输入电压大于输出电压一定数值，见图 2-6。此时，电路才能调整输出电压，保证输出电压稳定不变。

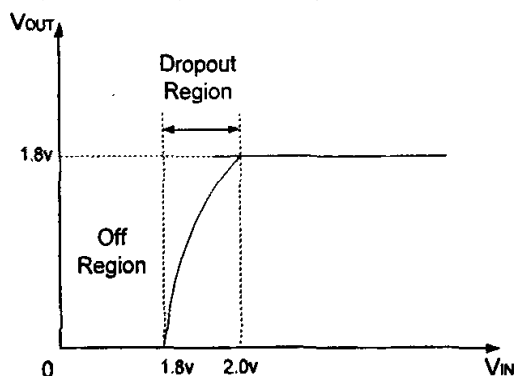


图 2-6 低压差(LDO)线性稳压器调整输出电压与输入电压的关系

压差  $V_{\text{Dropout}}$  定义为正常工作时，要求最小的输入电压  $V_{\text{IN}}$  和输出电压之间的  $V_{\text{OUT}}$  差值。压差的大小由输出电流  $I_{\text{OUT}}$  和导通元件  $R_{\text{ON}}$  的导通电阻决定。

$$V_{\text{Dropout}} = V_{\text{IN}} - V_{\text{OUT}} = I_{\text{OUT}} \times R_{\text{ON}} \quad (2-11)$$

压差是低压差(LDO)线性调整器的主要指标，它直接影响工作效率的大小。

### 2.4.2 静态工作电流 $I_Q$

静态工作电流  $I_Q$  定义为输入输出电流之差，见式（2-12）。

$$I_Q = I_{\text{IN}} - I_{\text{OUT}} \quad (2-12)$$

静态工作电流  $I_Q$  反映了 LDO 内部电路消耗的功率，由偏置电流（提供给基准源、采样电阻和误差放大器）与调整管的驱动电流组成。可见设计中可以通过减小静态工作电流值的方法来减小线性调整器的内部电路的功耗，提高转换效率。

### 2.4.3 最大输出电流(Maximum Output Current)

最大输出电流指的是保持输出电压稳定不变的条件下，能提供负载的最大电流。最大输出电流越大，低压差（LDO）线性调整器驱动能力越强，驱动负载电路也越多。

## 2.4.4 效率 $\eta$

低压差（LDO）线性调整器效率与输入电压和静态电流有关，第一章已经给出了定义，见式(1-1)，它还可以用式（2-13）表示其与输入电流的关系。

$$\eta = \frac{I_{OUT} V_{OUT}}{I_{IN} V_{IN}} \times 100\% = \frac{I_{OUT} V_{OUT}}{(I_{OUT} + I_Q) V_{IN}} \times 100\% \quad (2-13)$$

其中  $I_{OUT}$  是输出电流； $V_{OUT}$  输出电压； $I_Q$  为静态工作电流； $I_{IN}$  为输入电流； $V_{IN}$  为输入电压。从式中可以得出，降低  $I_Q$  和  $V_{Dropout}$  可以提高效率。因此，在实际应用中，设计工程师应减小输入和输出电压之间的差值。

## 2.4.5 负载调整率(Load Regulation)

负载调整能力是指当负载发生变化时，低压差(LDO)线性调整器输出电压保持恒定的能力，定义为

$$Load\ Regulation = \frac{\Delta V}{\Delta I} \quad (2-14)$$

图 2-6 为低压差(LDO)线性调整器输出电压与负载电流的关系， $\Delta V$  为输出电压的变化值， $\Delta I$  为负载电流的变化。

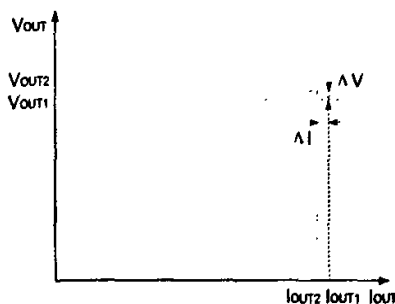


图 2-7 输出电压与负载电流的关系

LDO 的负载调整率越小，说明 LDO 抑制负载干扰的能力越强；通过增大功率管的电流增益和误差放大器在工作点时的跨导可以提高负载调整率。

## 2.4.6 线性调整率(Line Regulation)

线性调整率是表征低压差(LDO)电压调整器输入电压变化时输出电压的保持稳定的性能。它可定义为，当环境温度和输出电流保持不变时，由于输入电压的相对变化，引起输出电压的相对变化。线性调整率可以通过图2-8和式(2-15)来表示。

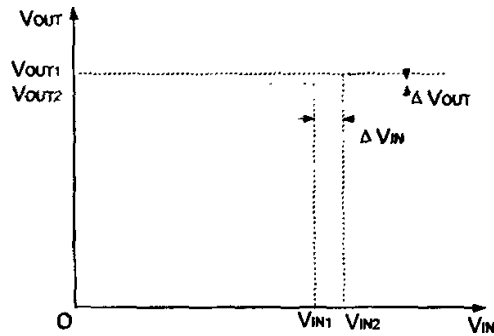


图 2-8 输出电压与输入电压的关系

$$\text{Line Regulation} = \frac{\Delta V_{OUT}}{\Delta V_{IN}} \quad (2-15)$$

式(2-15)中 $\Delta V_{OUT}$ 为输出电压的变化， $\Delta V_{IN}$ 为输入电压的变化。LDO 的线性调整率越小，说明 LDO 抑制电源干扰的能力越强；通过增大功率管的电流增益和误差放大器在工作点时的跨导可以提高线性调整率。

#### 2.4.7 电源抑制比(PSSR)

低压差(LDO)线性调整器的输入源往往许多干扰信号存在。PSRR (power supply rejection ratio) 是反映输出和输入频率相同的条件下，低压差(LDO)线性调整器输出对输入纹波抑制能力的交流参数，可用式(2-16)表示。

$$\text{PSRR} = 20 \lg \left( \frac{\Delta V_{OUT}}{\Delta V_{IN}} \right) \quad (2-16)$$

PSRR 值越大，表明低压差(LDO)线性调整器输入纹波抑制能力越强。

#### 2.4.8 建立时间

建立时间指系统上电后，低压差(LDO)线性调整器提供稳定的电压需要的时间。建立时间由负载大小和误差放大器的增益、带宽等因素决定。

### 2.5 本章小结

本章首先简述了线性调整器整体电路的工作原理及功能，接着介绍了低压差(LDO)线性调整器的整体电路结构的功能模块组成部分，并描述了各个功能模块的电路功能和基本工作原理，最后指出了低压差(LDO)线性调整器电路的主要性能指标。



### 第3章 低压差(LDO)线性调整器 IP 设计

#### 3.1 电路设计性能指标

实际产品应用中，SOC 芯片设计中需要在特定的时间内关断某些特定的功能模块，减小芯片工作电流，最大可能延长电池工作时间；同时也需要给一些特定的电路模块提供小量的电流保持当前的工作状态，以保证这些模块被唤醒时能正常的进入工作状态。针对实际产品应用的需要，低压差（LDO）线性调整器 IP 电路提供两种工作状态。一种是正常工作状态，它可以提供最大为 100mA 输出电流，具有比较快的响应速度，以保证被供电的电路功能模块快速稳定的工作；一种是等待工作状态，它可以提供最大为 1mA 的输出电流给需要保持状态的电路功能模块，并只消耗很小的静态工作电流，提高了转换效率。

电路的具体的工作条件和性能描述如表 3-1：

性能	条件	最小	标准	最大	单位
工作电压	正常工作	2	--	5.5	V
工作温度	--	-40		75	℃
输出电压	--	1.7	1.8	1.9	V
最大输出电流	工作模式	--	--	100	mA
	等待模式	--	--	1	mA
工作电流	工作模式	--	--	200	uA
	等待模式	--	--	60	uA
压差	--	0.2	--	--	V
建立时间	工作模式	--	--	50	us
输出纹波	100mA/5us ( $\Delta I/\Delta t$ )	--	--	0.3	V

表 3-1 低压差(LDO)线性调整器 IP 的设计指标

#### 3.2 电路设计

电路设计首先需要综合考虑电路的各项性能指标，选择合适的电路结构，分模块的设计，才能有效的完成电路设计。本设计采用层次化设计方法，先划分电路模块，然后根据规划各模块的性能参数设计模块电路，最后整合各模块电路并进行功能和性能验证。以下将分模块详细讨论电路的设计。

##### 3.2.1 电路系统图

低压差(LDO)线性调整器 IP 的总模块图输入输出端口见图 3-1。表 3-1 描述了图 3-1 中 LDO IP 的输入输出端口的功能定义。

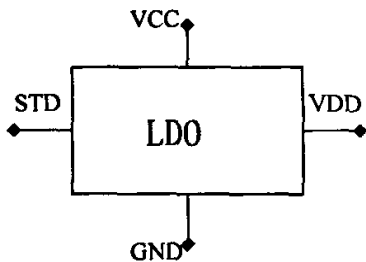


图 3-1 LDO IP 输入输出端示意图

端口名称	输入输出	功能定义
VCC	电源	LDO IP 供电电源正极端口，即输入电压正极
VDD	电源	LDO IP 输出电压端口，供给负载的电源正极
GND	地	LDO IP 供电电源负级端口，即输入电压负极
STD	输入	等待模式和工作模式的控制端，低电平时工作模式，高电平（1.8v）时等待模式

表 3-2 LDO IP 输入输出端

3.2.2 电路模块设计

电路模块设计是总体电路设计的基础。通过电路模块设计可以简化总体电路设计的难度，及时的定位不满足电路性能参数的关键电路结构。本设计先确定基准电压源电路，然后设计误差放大电路和其他功能模块。

3.2.2.1 电路模块功能概述

本次低压差(LDO)线性调整器 IP 的整个电路可以分为基准电流源电路及其启动电路，基准电压源电路及其启动电路，OTA 运算放大电路，反馈网络采样电路，模式转换电路等模块。

基准电流源模块为基准电压模块和 OTA 运算放大电路提供基本的偏置电流源；基准电压源模块为 OTA 运算放大电路提供比较基准电压；反馈网络采样电路提供给 OTA 运算放大器电路输出电压的采样信号；模式转化电路用于切换低压差(LDO)线性调整器 IP 的等待模式和工作模式。

3.2.2.2 基准电流源模块电路<sup>[10]</sup>

基准电流源电路主要产生偏置和电流镜的基准电流。本模块的设计指标是产生 2uA 大小的基准电流。本设计的基准电流源电路模块采用  $\beta$  倍乘自偏置结构，如图 3-2。图中  $M_1$ 、 $M_2$ 、 $M_3$ 、 $M_4$  形成了一个简单的基准电流源电路，电阻  $R_1$  用于确定基准电流源电流大小， $I_{REF}$  为提供基准电流的输出端口， $V_b$  为基准电压源提供偏置电压输出口。下面详细分析电路的原理：

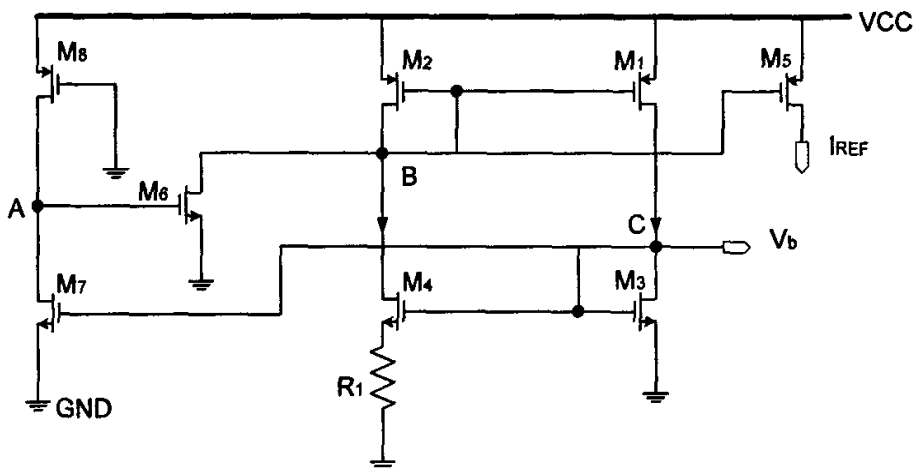


图 3-2 基准电流源电路

电路中 PMOS 管 M1 和 M2 具有相同的尺寸，NMOS 管 M3 和 M4 的宽长比为 K 倍。

$$\frac{W_1}{L_1} = \frac{W_2}{L_2} \quad (3-1)$$

$$\frac{W_3}{L_3} = K \frac{W_4}{L_4} \quad (3-2)$$

M1、M2、M3、M4 工作在饱和区时，忽略沟道长度调制效应，显然 M1、M2 栅源电压  $V_{GS}$  相等，则流过 M1、M2、M3、M4 晶体管的漏电流相等，

$$I_{d1} = I_{d2} = I_{d3} = I_{d4} \quad (3-3)$$

又知

$$V_{GS3} = V_{GS4} + I_{d4} R_1 \quad (3-4)$$

代入晶体管饱和电流公式有

$$\sqrt{\frac{2I_{d3}}{\mu_n C_{ox} (W_3 / L_3)}} + V_{th3} = \sqrt{\frac{2I_{d4}}{\mu_n C_{ox} (W_4 / L_4)}} + V_{th4} + I_{d4} R_1 \quad (3-5)$$

代入公式 (3-2) 和公式 (3-3) 并忽略体效应，有

$$\sqrt{\frac{2I_{d3}}{\mu_n C_{ox} (W_3 / L_3)}} \left(1 - \frac{1}{\sqrt{K}}\right) = I_{d3} R_1 \quad (3-6)$$

求得  $I_{d3}$  为

$$I_{d3} = \frac{2}{\mu_n C_{ox} (W_3 / L_3) R_1^2} \left(1 - \frac{1}{\sqrt{K}}\right)^2 \quad (3-7)$$

如果 PMOS 管 M5 宽长比是 M1 的  $K_1$  倍，求得流过基准电流为

$$I_{REF} = K_1 I_{d3} = K_1 \frac{2}{\mu_n C_{ox} (W_3 / L_3) R_1^2} \left(1 - \frac{1}{\sqrt{K}}\right)^2 \quad (3-8)$$

由上式可知,通过调整电路中相对应的参数可以得到需要的基准电流值。

如果当电源上电时,  $M_1$ 、 $M_2$ 、 $M_3$ 、 $M_4$  均允许传输零电流,则电路无法进入工作状态。为了保证基准电流源电路上电时进入正常的工作状态,电路中增加了启动电路。启动电路由晶体管  $M_6$ 、 $M_7$  和  $M_8$  组成。上电时, PMOS 管  $M_8$  导通,电源电压开始传送到 A 点,使得 A 点电压  $V_A$  为高,接着  $M_6$  管导通, B 点电压  $V_B$  开始被拉低,  $M_2$  管开始导通,基准电流源电路开始进入正常工作状态。此时, B 点和 C 点电压被抬高,  $M_7$  管开始导通, A 点电压开始下降。由于  $M_7$  宽长比远大于  $M_8$  管,使 A 点电压下降到几乎接近为零,  $M_6$  管截止,电路达到平衡,基准电流源电路进入了工作状态。

### 3.2.2.3 基准电压源模块电路

基准电压源模块是低压差(LDO)线性调整器 IP 工作的基准,其输出电压的精度直接影响 LDO IP 输出调整电压的精度<sup>[1]</sup>。因此,基准电压源模块对温度和电源电压等因素不敏感,有极高的稳定性。本次基准电压源模块电路设计中采用带隙基准电压源结构,电路图如 3-2。带隙基准源模块电路主要作用是误差放大器提供一个基本不受温度和电源变化影响的高精度的比较基准电压,其电路包含了基准电压源产生电路、基准电压源启动电路,基准电压源偏置电路的设计。

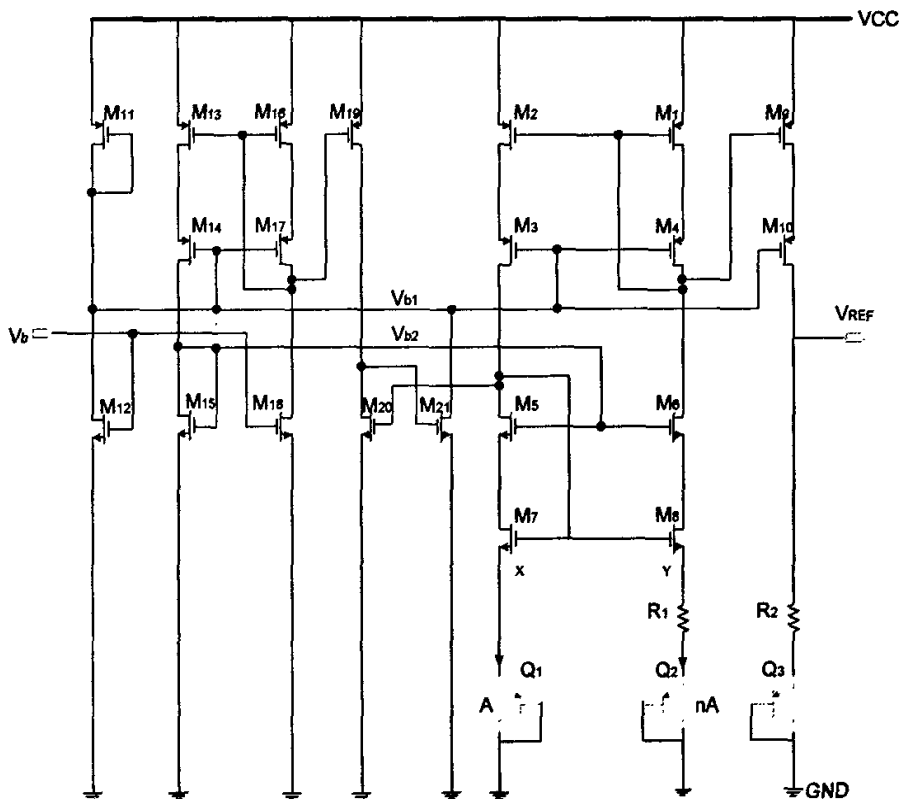


图 3-3 基准电压电流源电路

### 基准电压源产生电路

由第二章式(2-2)可知，带隙基准电压源电路需要一种能产生与绝对温度电压成正比的热电压的电路。图3-3中采用的PTAT(Proportional to absolute temperature)电流电路能很好的完成这一功能。低压差(LDO)线性调整器IP的整个电路等待状态时工作电流为60uA,而且基准电流源电路、OTA运放和反馈电阻网络电路至少需要40uA电流，因此分配给基准电压源电路的工作电流只有20uA左右，这就要求基准电压源电路必须采用简单的放大器结构来满足工作电流的要求。另外，低压差(LDO)线性调整器IP电路正常工作电压变化范围为2~5.5V，工作电压范围大，为了减少在高电压(5.5V)时MOS器件的沟道长度调制效应导致显著的电源依赖性，同时保证低电压时(2V)晶体管能正常工作在饱和区，PTAT电源电路设计采用低压共栅共源电流源结构。 $M_1 \sim M_{10}$ 、 $R_1$ 、 $R_2$  和  $Q_1 \sim Q_3$  组成了基准电压源产生电路。

图3-3中共源共栅连接的 $M_1 \sim M_2$  和  $M_7 \sim M_8$ 管均为相同的对管，且工作在饱和区，使得流过 $Q_1$ 、 $Q_2$ 的电流相等。 $Q_2$ 的发射级面积是 $Q_1$ 的n倍，n大于1。

$$I_{Q1} = I_{Q2} \quad (3-9)$$

在此电路结构中， $Q_1$ 两端的电压必须等于 $Q_2$ 和电阻 $R_1$ 两端的电压之和，因此：

$$V_x = V_y = V_{BE1} = I_{Q2}R_1 + V_{BE2} \quad (3-10)$$

已知流过二极管接法的三极管 $Q_1$ 、 $Q_2$ 的电流可表示为<sup>[12]</sup>：

$$I_{Q1} = I_s e^{V_{BE1}/V_T} \quad (3-11)$$

$$I_{Q2} = nI_s e^{V_{BE2}/V_T} \quad (3-12)$$

$I_s$  为标称饱和电流， $V_T$ 为热电压 $kT/q$ ，室温下为26mv。可求得三极管基极射级电压 $V_{BE1}$ 、 $V_{BE2}$ 为

$$V_{BE1} = V_T \cdot \ln\left(\frac{I_{Q1}}{I_s}\right) \quad (3-13)$$

$$V_{BE2} = V_T \cdot \ln\left(\frac{I_{Q2}}{nI_s}\right) \quad (3-14)$$

将式(3-13)、(3-14)代入式(3-10)中求得电流 $I_{Q2}$ 得：

$$I_{Q1} = I_{Q2} = (V_T \ln n) / R_1 \quad (3-15)$$

从式 (3-15) 可以看出，流过电阻  $R_1$  的电流与电源电压无关。同理，通过  $M_9$ 、 $M_{10}$  镜像的电流也与电源电压无关，而只与绝对温度成比例，即 PTAT 电流。

$$I_{Q3} = I_{Q1} = I_{Q2} = (V_T \ln n) / R_1 \quad (3-16)$$

图3-3中 $M_9 \sim M_{10}$ 将PTAT电流 $I_{Q2}$ 镜像到 $I_{Q3}$ 电流上，通过电阻 $R_2$ 将热电压 $I_{Q3} \cdot R_2$ 加到 $Q_3$ 的基极—发射级电压上，输出电压等于

$$V_{REF} = V_{BE3} + I_{Q3}R_2 \quad (3-17)$$

代入式(3-16)得

$$V_{REF} = V_{BE3} + \frac{R_2}{R_1} V_T \ln n \quad (3-18)$$

热电压  $V_T = KT/q$  在室温时的温度系数为  $+0.085\text{mV}/^\circ\text{C}$ 。PN结二极管产生的电压  $V_{BE}$  在室温下的温度系数约为  $-2.2\text{mV}/^\circ\text{C}$ 。所以，本电路由正温度系数的 PTAT 电流流过带有负温度系数的 PN 结二极管，通过调整电路参数，可使输出基准电压温度系数为零。

将式(3-17)对绝对温度  $T$  求偏导

$$\frac{\partial V_{REF}}{\partial T} = \frac{\partial V_{BE3}}{\partial T} + \left( \frac{R_2}{R_1} \ln n \right) \frac{\partial V_T}{\partial T} \quad (3-19)$$

令  $\frac{\partial V_{REF}}{\partial T} = 0$ , 即温度系数为零时需满足式(3-19)

$$-\frac{\partial V_{BE3}}{\partial T} = \left( \frac{R_2}{R_1} \ln n \right) \frac{\partial V_T}{\partial T} \quad (3-20)$$

又可知  $\frac{\partial V_{BE3}}{\partial T} \approx -2.2\text{mV}/^\circ\text{C}$ ,  $\frac{\partial V_T}{\partial T} \approx +0.085\text{mV}/^\circ\text{C}$ , 求得

$$\frac{R_2}{R_1} \ln n \approx 23 \quad (3-21)$$

通过调整  $n$  和  $R_2/R_1$  参数值，基准源输出电压的温度系数可以为零，由此可得到一个与温度无关的基准电压。

通过 HSPICE 仿真，采用上述结构的带隙基准电压源在  $0.18\mu\text{m}$  低功耗 CMOS 工艺平台上的基准电压为  $1.3\text{v}$ 。

基极寄生电阻的补偿

无论对于正的或是负的温度系数的电压，都是依赖于双极性的指数特性。在 CMOS 模拟电路设计中，一般采用寄生的 PNP 三极管得到 PN 结电压，而且 PNP 都采用固定的尺寸。在  $0.18\mu\text{m}$  的 N 阱工艺中，PNP 管可以按图 3-4 所示结构构成<sup>[13]</sup>。N 阱中 P+ 区作为发射区，N 阱本身作为基区，P 型衬底为集电区。

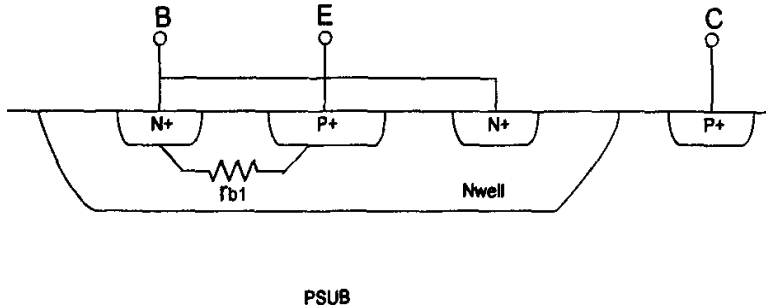


图 3-4 CMOS N 阱工艺中的 PNP 三极管

CMOS工艺中晶体管的P衬底均连接在一起，必须为最低的电压（通常为GND）。CMOS工艺中N阱电阻率大，不能忽略PNP型的三极管的寄生的基极电阻 $r_{b1}$ 的影响，见图3-4。

由图3-3 PTAT电流电路可知， $Q_2$ 的面积是 $Q_1$ 的 $n$ 倍。制造厂提供的CMOS工艺中PNP器件一般都是固定的尺寸及其SPICE模型，实际电路设计中 $Q_1$ 采用一个单元的固定尺寸的PNP三极管， $Q_2$ 采用 $n$ 个固定尺寸的单元PNP三极管的并联而成，所以 $Q_2$ 与 $Q_1$ 的寄生的基极电阻大小并不相等，需要补偿。

为了补偿 $Q_1$ 、 $Q_2$ 两个PNP三极管的失调，电路中考虑给 $Q_2$ 的基极进行基极电阻补偿<sup>[14]</sup>，见图3-5。

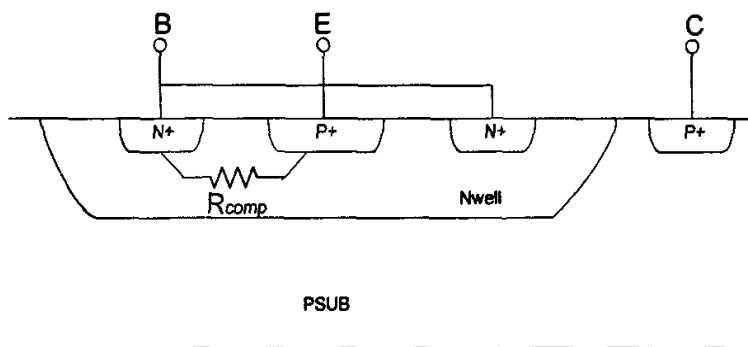


图 3-5 CMOS N阱工艺中的 PNP 三极管寄生基极电阻的补偿

PNP三极管寄生基极电阻补偿的等效电路图如图3-6所示，根据等效电路可以估算补偿电阻的大小。

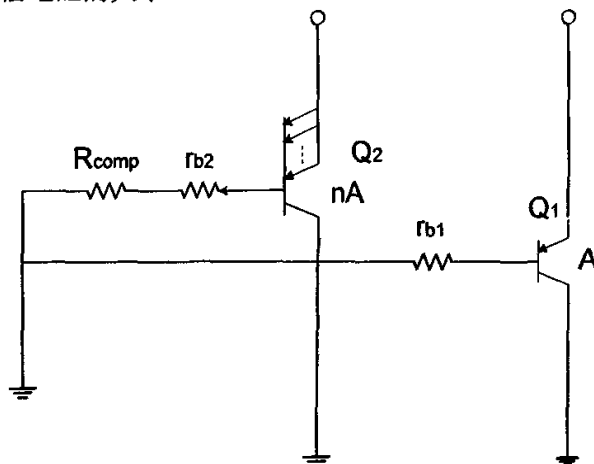


图 3-6 寄生基极电阻补偿的等效电路图

如果一个单元的PNP三极管的寄生基极电阻为 $r_b$ ，则 $Q_1$ 、 $Q_2$ 的寄生的基极电阻为

$$r_{b1} = r_b \quad (3-22)$$

$$r_{b2} = r_b / n \quad (3-23)$$

补偿电阻采用与寄生的基极电阻类型相同的N阱电阻，太小为

$$R_{comp} = r_{b1} - r_{b2} \quad (3-24)$$

一般来说，单元PNP管的寄生电阻 $r_b$ 可以从制造厂实测数据得知。联立式（3-22）、式（3-23）和式（3-24）得到补偿的N阱电阻大小为

$$R_{comp} = r_b - r_b / n \quad (3-25)$$

### 基准电压源偏置电路的设计

图3-3基准电压源电路采用了低压共源共栅PTAT电路结构，为了保证晶体管M3~M6工作在饱和状态，电路中需要加入偏置电压电路产生偏置电压提供给共源共栅结构。图3-3中M<sub>11</sub>~M<sub>19</sub>构成了基本的偏置电路。由于低压差（LDO）线性调整器IP工作电压范围大（2v~5.5v），偏置电压电路也部分采用了共源共栅结构。通过仔细调整偏置电压电路中晶体管宽长比，最终可以得到合适的偏置电压 $V_{b1}$ 、 $V_{b2}$ 提供给基准电压源PTAT电流电路。

### 基准电压源启动电路

为了防止电路上电时基准电压源进入“简并”状态，基准电压源电路设计了启动电路。图3-2中M<sub>19</sub>~M<sub>21</sub>构成了启动电路。电源上电时，基准电流源启动电路先开始工作，基准电流源快速进入工作状态，提供偏置电压 $V_b$ 。M<sub>18</sub>管开始导通，使M<sub>19</sub>栅级电压为低，M<sub>19</sub>管开始导通使M<sub>21</sub>栅极电压为高，接着M<sub>21</sub>开始导通使得电压 $V_{b1}$ 为低，PTAT电流电路开始进入工作状态。PTAT电流电路进入正常工作状态后，M<sub>20</sub>管栅极电压上升，M<sub>20</sub>开始导通，使得M<sub>21</sub>管栅极电压开始下降，M<sub>21</sub>截止，启动电路工作完成，电路达到平衡。

#### 3.2.2.4 误差放大器电路

误差放大器电路模块将基准电压 $V_{REF}$ 和芯片输出电压的采样值比较，产生一个放大的信号调整功率管上的压降。由低压差(LDO)线性调整器IP设计指标可知，误差放大器在等待模式下应尽量减少工作电流以满足静态工作流为60uA的要求。本次设计分配给误差放大器等待模式下工作电流只有20uA，因此要求误差放大器选用工作电流小的电路结构。功率管是一个大的容性负载，因此本次设计中误差放大电路采用N管构成的运算跨导放大器OTA（Operational Transconductance Amplifier）结构<sup>[15]</sup>，如图3-7。运算跨导放大器（OTA）可以被看作是一个无输出缓冲级的运算放大器，它只能驱动容性负载。低压差(LDO)线性调整器IP正常电压工作范围为2~5.5V，电路中必须采用5V耐压的晶体管设计，以保证晶体管高电压时不会被击穿。



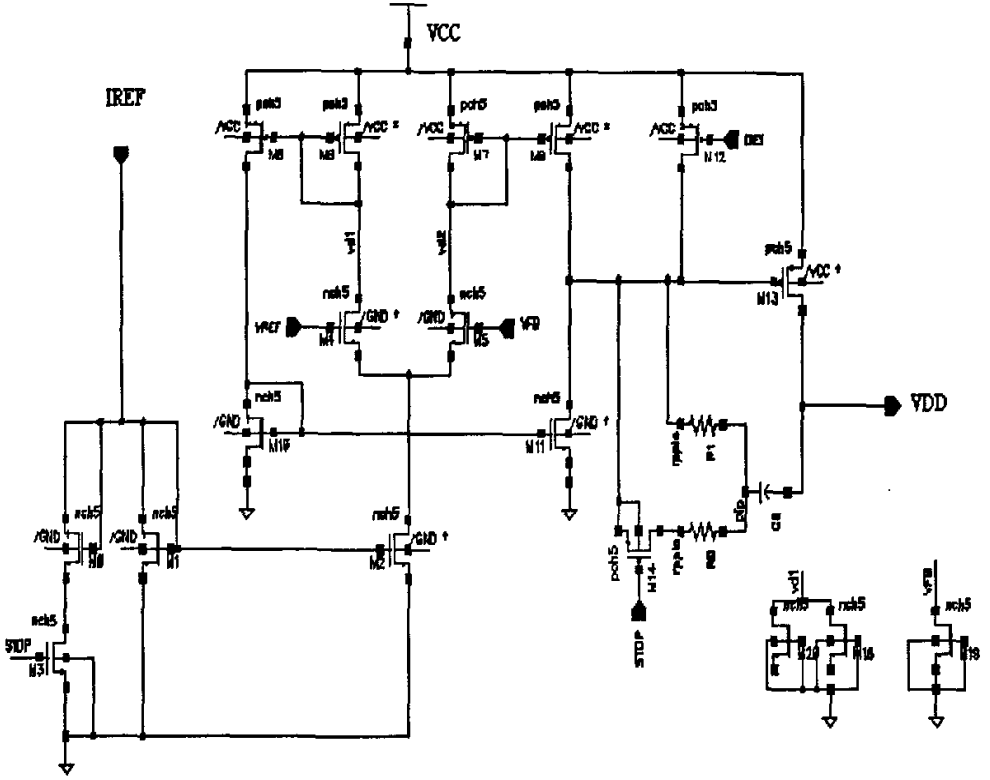


图 3-7 误差放大器电路

### OTA运算放大器的关键指标

图3-7中晶体管 $M_0 \sim M_{11}$ 形成了的OTA放大器。误差放大器有两个关键的指标<sup>[16]</sup>：开环电压增益  $A_v$ 和跨导增益 $G_m$ 。这两个指标直接反映了误差放大器的性能，下面分别推导图3-7中OTA运算放大的开环电压增益 $A_v$ 和跨导增益 $G_m$ 。

#### 1. 开环电压增益 $A_v$

为了推导的方便，假设流过 $M_2$ 的电流等于基准电流。 $M_4$ 和 $M_5$ 管宽长比相同， $M_6$ 和 $M_7$ 宽长比相同，且工作在饱和的状态。则有

$$\beta_4 = \beta_5 \quad (3-26)$$

$$\beta_6 = \beta_7 \quad (3-27)$$

$$g_m = g_{m4} = g_{m5} = \sqrt{\beta_4 I_{REF}} = \sqrt{\beta_5 I_{REF}} \quad (3-28)$$

流过晶体管 $M_4$ 、 $M_5$ 、 $M_6$ 、 $M_7$ 的交流小信号电流为

$$i_d = -i_{d4} = -i_{d6} = i_{d5} = i_{d7} = \frac{g_m}{2} (V_{FB} - V_{REF}) \quad (3-29)$$

$M_8$ 管与 $M_6$ 管宽长比相等， $M_9$ 宽长比是 $M_7$ 的 $K$ 倍， $M_{11}$ 宽长比是 $M_{10}$ 的 $K$ 倍，有

$$W_8 / L_8 = W_6 / L_6 \quad (3-30)$$

$$W_9 / L_9 = K(W_7 / L_7) \quad (3-31)$$

$$W_{11} / L_{11} = K(W_{10} / L_{10}) \quad (3-32)$$

$$\beta_9 = K\beta_6 = K\beta_7 = K\beta_8 \quad (3-33)$$

$$\beta_{11} = \beta_{10} \quad (3-34)$$

流过M9、M11的交流小信号电流为

$$i_{d9} = -i_{d11} = Ki_{d5} = -Ki_{d6} \quad (3-35)$$

如果负载电容的阻抗与 $r_{o9} \parallel r_{o11}$ 相比足够大，OTA的输出电压为

$$V_{out} = 2Ki_d(r_{o9} \parallel r_{o11}) \quad (3-36)$$

$V_{REF}$ 为OTA的反相输入端，则电压增益 $A_v$ 为

$$A_v = \frac{V_{out}}{V_{FB} - V_{REF}} = Kg_m(r_{o9} \parallel r_{o11}) \quad (3-37)$$

## 2. 跨导增益 $G_m$

跨导增益 $G_m$ 反映了放大器输入电压与输出电流的关系。功率管是一个非常大的晶体管，存在着很大的寄生电容，因此对于误差放大器来说，它是一个大容性负载<sup>[17]</sup>。采用OTA运算放大器的原因，是因为它可以必须提供足够大的电流，来驱动这个功率管。因此，跨导增益 $G_m$ 更加能反映OTA运算放大器的输出电流的能力。如果电容负载或者外部电阻负载的阻抗与输出电阻 $r_{o9} \parallel r_{o11}$ 相比较小，那么输出电流将主要流向外部负载。此时，输出电流为

$$i_{out} = i_{d9} - i_{d11} = 2Ki_d \quad (3-38)$$

OTA跨导为

$$G_m = \frac{i_{out}}{V_{FB} - V_{REF}} = Kg_m \quad (3-39)$$

## OTA 运算放大器的补偿<sup>[15]</sup>

在低压差（LDO）线性调整器 IP 电路中，OTA 运算放大器工作负反馈回路中，因此需要电路需要补偿。现有的低压差（LDO）线性调整器芯片中主要通过外加大电容补偿误差放大电路<sup>[18]</sup>，但由于本设计电路运用中不能采用外接电容，所以电路补偿原理有所差异。图 3-7 负载功率管  $M_{13}$  的尺寸很大，寄生电容大不能忽略，OTA 运算放大器的补偿应该将负载功率管考虑在内。图 3-8 给出了低压差（LDO）线性调整器 IP 电路补偿的等效原理图。

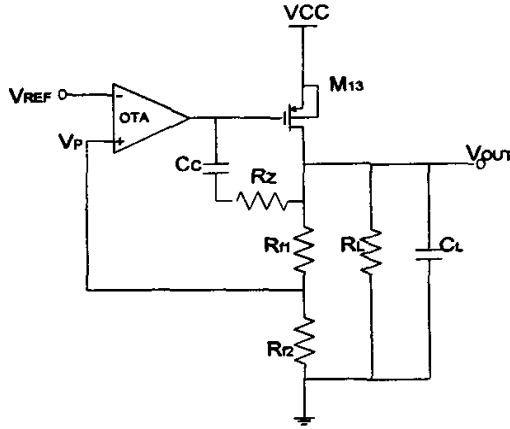


图 3-9 补偿的等效原理图

电路中有三个极点，分别由  $M_7$ 、 $M_{10}$  和驱动管  $M_{13}$  的寄生的电容产生。在放大器设计中，高阻节点产生主要的极点，由于  $M_7$  尺寸很小，晶体管寄生电容小，等效的小信号电阻也很小 ( $1/g_m$ )，这个极点远离其它两个极点，频率补偿时可以忽略它。因此，OTA 运算放大器的补偿可以等效为两极放大器的补偿，第一级为 OTA 运算放大器，第二级为功率管  $M_{13}$ ，等效小信号电路见图 3-9。

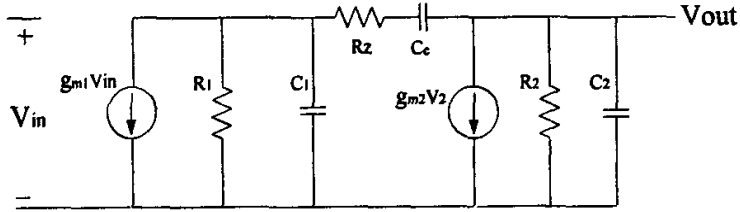


图 3-8 两极运放放大器的小信号模型

OTA 输出电阻为

$$R_1 = r_{o9} \parallel r_{o11} = \frac{1}{\lambda_9 I_d} \parallel \frac{1}{\lambda_{11} I_d} \quad (3-40)$$

与 OTA 的输出电容比,功率管  $M_{13}$  足够大, $C_1$  的值为

$$C_1 = C_{gs13} + C_{gd13}(1 + |A_{v2}|) \quad (3-41)$$

功率管输出端电阻为

$$R_2 = r_{o13} \parallel R_L \parallel (R_{f1} + R_{f2}) \quad (3-42)$$

功率管输出端电容为

$$C_2 = C_L + C_{gd13} \left( 1 + \frac{1}{|A_{v2}|} \right) \quad (3-43)$$

在未增加补偿电容前,OTA 输出端所对应的极点为

$$f_1 = \frac{1}{2\pi R_1 C_1} = \frac{1}{2\pi (r_{o9} \parallel r_{o11}) (C_{gs13} + C_{gd13}(1 + |A_{v2}|))} \quad (3-44)$$

功率管漏端对应的极点为

$$f_2 = \frac{1}{2\pi R_2 C_2} = \frac{1}{2\pi (r_{o13} \parallel R_L \parallel (R_{f1} + R_{f2})) \left[ C_L + C_{gd13} \left( 1 + \frac{1}{|A_{v2}|} \right) \right]} \quad (3-45)$$

其中第二级增益  $A_{v2}$  为

$$A_{v2} = g_{m13} (r_{o13} \parallel (R_{f1} + R_{f2})) \quad (3-46)$$

增加补偿电容后  $C_c$ ,  $C_c$  不是远大于  $C_1$ , 带补偿电容的电路的开环增益为:

$$\frac{V_{out}}{V_{in}} = \frac{g_{m1} R_1 |A_{v2}|}{(1 + j \frac{f}{f_{1c}})(1 + j \frac{f}{f_{2c}})} \quad (3-47)$$

式(3-47)中,  $g_{m1}$  为 OTA 的跨导,  $f_{1c}$  和  $f_{2c}$  为增加补偿电容后的电路的两个极点。由于  $f_{1c}$ (主极点)远小于  $f_{2c}$ , 当频率小于  $f_{2c}$  时, 式(3-47)求模后近似等于

$$\left| \frac{V_{out}}{V_{in}} \right| = \frac{g_{m1} R_1 |A_{v2}|}{\sqrt{1 + \left( j \frac{f}{f_{1c}} \right)^2}} \quad (3-48)$$

由此可求得单位增益频率为

$$f_u = f_{1c} g_{m1} R_1 A_{v2} = f_{1c} A_{v1} A_{v2} \quad (3-49)$$

$f_{1c}$  和  $f_{2c}$  可以近似为

$$f_{1c} = \frac{1}{2\pi (C_{gs13} + (C_{gd13} + C_c)(1 + |A_{v2}|))} \quad (3-50)$$

$$f_{2c} = \frac{1}{2\pi (r_{o13} \parallel R_L \parallel (R_{f1} + R_{f2})) [C_L + C_{gd13} + C_c]} \quad (3-51)$$

电路中还存在一个零点

$$Z = \frac{1}{C_c \left( \frac{1}{g_{m13}} - R_z \right)} \quad (3-52)$$

$R_z$  为零点消除电阻, 若使  $R_z > 1/g_{m13}$ , 可以增加相位裕度。

### OTA 运算放大器工作模式的转换

OTA 运算放大器需要工作在等待模式和正常工作模式。两种模式下 OTA 运算放大器的工作特性不相同, 等待模式下工作电流小 (15uA), 瞬态响应慢; 工作模式下工作电流大 (50uA) 瞬态响应快。图 3-7 电路中晶体管  $M_0$ 、 $M_1$ 、 $M_2$ 、 $M_3$  组成了 OTA 运算放大器工作电流的控制电路。等待模式下,  $M_3$  导通, OTA 运算放大器偏置电流由  $M_2$  管从  $M_0$  管和  $M_1$  管同时镜像生成; 正常工作模式下, OTA 运算放大器偏置电流由  $M_2$  管从  $M_1$  管镜像生成。通过调整

$M_0$  管和  $M_1$  管的宽长比，可以得到不同的偏置电流。

OTA 运算放大器不同模式下偏置电流不同，OTA 运算放大器的输出电阻也会不同，因此补偿时需要考虑不同模式下零点补偿电阻以改善相位裕度。等态模式下偏置电流小，主极点靠后，零点补偿电阻大可以适当增加相位裕度；工作模式下偏置电流大，主极点靠前，零点补偿电阻小避免过度的增加相位裕度。图 3-7 电路中电阻  $R_1$  为等待模式下的零点补偿电阻， $R_0$  为工作模式下的零点补偿电阻。 $R_1$  大约为  $R_0$  的十倍，工作模式下  $M_{14}$  管导通，零点消除电阻为  $R_1$  与  $R_0$  的并联值，接近于  $R_0$ 。

### 3.2.2.5 反馈电阻网络设计

反馈电路由两种模式组成。一种是正常工作模式，这种模式下 STD 信号为低，使得信号 STDPL 为低，信号 STDN 为高（1.8V），晶体管  $M_1$ 、 $M_2$  导通工作在线性区，此时反馈网络中的  $R_2$  和  $R_3$  起作用，支路流过的电流为 100uA 左右，以加快 OTA 正常工作状态下提供 100mA 电流时的响应速度；另一种是等待模式，这种模式下 STD 信号为高，使得信号 STDPL 为高（1.8V），信号 STDN 为低，晶体管  $M_1$ 、 $M_2$  截止，此时反馈电路中的  $R_1$ 、 $R_2$ 、 $R_3$  和  $R_4$  同时工作，支路流过的电流为 20uA 左右，以降低静态功耗，同时最大提供 1mA 电流已保持负载电路存储器的工作状态。

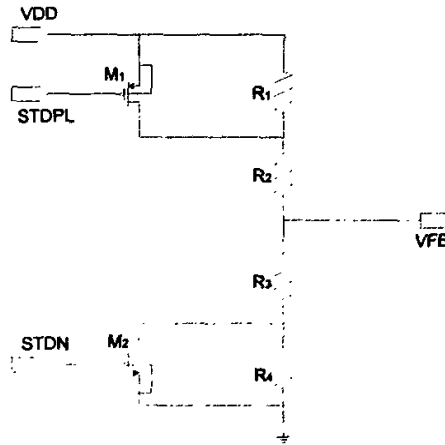


图 3-9 反馈电阻网络电路图

可知等待模式下电阻比率为

$$\frac{R_1 + R_2}{R_3 + R_4} = \frac{V_{DD} - V_{REF}}{V_{REF}} \quad (3-53)$$

工作模式电阻比率为

$$\frac{R_2}{R_3} = \frac{V_{DD} - V_{REF}}{V_{REF}} \quad (3-54)$$

### 3.2.2.6 功率管的设计考虑

从设计指标中可以得到最小得压差为

$$V_{CC} - V_{DD} = 2 - 1.8 = 0.2V \quad (3-55)$$

驱动管采用 P 管来调整电压的输出。LDO 正常工作时，驱动管工作在饱和状态，有

$$I_{OUT} = \frac{1}{2} \mu_p C_{ox} \frac{W_p}{L_p} (V_{GS} - V_{thp})^2 \quad (3-56)$$

$V_{GS}$  可取最小工作电压， $\mu_p$ 、 $C_{ox}$ 、 $V_{thp}$  由工艺决定，根据设计指标中最大输出电流可计算出功率管的最小宽长比。晶体管设计时采用多个叉指方式，以减小功率管的寄生电容，提高电路的稳定性。

### 3.2.2.7 其他控制电路的设计

LDO 整个设计中需要设计一些控制电路来完成模式转换的功能，见图 3-10。STD 控制信号为 1.8V 电平，供电电压为 5V 电压，所以需要将该 STD 控制信号转换为 5V 电平以控制误差放大器的控制晶体管。图中设计的施密特电路主要作用是在电源上电时生成一段延时的高电平信号，在带隙基准和误差放大器电路还没响应前控制误差放大器电路的 PMOS 管  $M_{12}$ ，使驱动管截止，减缓的低压差（LDO）线性调整器 IP 输出电压过压的情况。

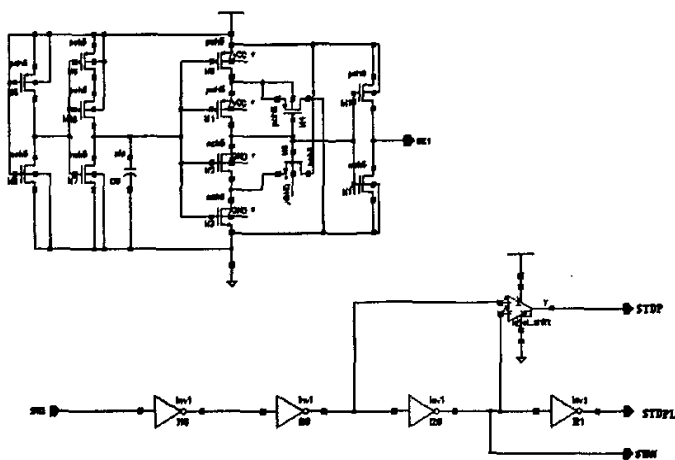


图 3-10 控制电路图

## 3.3 版图设计

版图设计主要工作是将电路转化成用于芯片生产制造的数据 GDSII，是集成电路芯片设计中的重要步骤之一，是集成电路芯片的成功的关键因素之一。集成电路版图设计需要借助于 EDA(电子设计自动化)系统完成电路的版图设计和验证工作。

### 3.3.1 版图设计方法

本次 LDO IP 设计采用 0.18um 低功耗 CMOS 工艺。此工艺中版图设计规

则复杂，每个器件都必须遵循几十条甚至上百条设计规则，因此版图设计工作量巨大。所谓版图设计规则，是指为了芯片制造过程中保证电路的功能和一定的成品率而提出的一组最小尺寸，如最小线宽、线条之间的最小间距、最小可包围等。版图设计中必须严格遵守集成电路制造工艺的版图设计规则；否则，轻则会降低电路性能和芯片的成品率，重则会导致电路元器件功能和芯片功能直接失效。

为了简化版图设计工作，本版图设计利用了 cadence 提供的版图设计 EDA 工具 virtuoso\_xl，并采用了 PDK 数据包进行版图设计工作。PDK 数据包提供了工艺中可使用器件的参数化版图（pcell），工程师在版图设计中只需修改一些器件参数就可得到对应的满足设计规则的器件版图。virtuoso\_xl 工具还可自动调用 PDK 数据包根据电路原理图生成电路元器件版图，并将各元器件的连接关系以飞线高亮线显示，工程师可以方便的完成元器件的版图连接工作。

### 3.3.2 版图设计考虑

LDO IP 版图设计属于精细的模拟版图设计，因此版图设计的除了需要满足版图设计规则，还需考虑工艺偏差对电路的影响。LDO IP 版图见附录 1，版图设计中主要考虑了以下因素。

1. 将大尺寸的晶体管，特别是驱动管和放大管采用“叉指结构”，以减少源漏面积和栅级电阻；
2. 为了减小误差放大器的失配，版图设计中将差分放大管的拆分成多个并联的晶体管并交叉对称放置，同时在靠外的版图两端添加对称的 MOS 管，以减少工艺偏差对放大管的影响；
3. 反馈电阻版图的需要考虑对称，电阻拆成多个串联的单元电阻，每段串联的单元电阻具有相同宽度和长度；电路中实际电阻为单元电阻的整数倍，这样可以最大程度的保证反馈网络电阻的比值不受工艺制造的影响；
4. LDO 输出电流大，需要足够宽的金属线保证电源和输出端不被烧断；
5. 正常工作时流过驱动管电流非常大，局部温度比其他地方高，电路中其他关键的元器件尽量远离驱动管；
6. 正常工作时驱动管电流过大更易导致闩锁效应（latch up）的发生，版图设计中应给驱动管加双层保护环；
7. 用做电流镜的晶体管保持对称和尽量靠近，每个指状的晶体管具有相同的长和宽。

### 3.3.3 版图验证

版图设计完成后需要对版图进行版图验证，以保证满足版图设计规则和确

版图与电路图一致。版图验证包括设计规则检查(DRC)、电气规则检查(ERC)、版图和电路原理图对照(LVS)。本次设计使用mentor graphics公司的版图验证工具calibre完成版图验证工作<sup>[20]</sup>。

#### 3.3.3.1 DRC 检查

Design Rule Check 是设计规则检查,简称DRC。它主要用来检查版图是否满足设计规则。calibre 中提供了许多的指令来完成DRC检查,主要有最小宽度检查、最小距离检查、最小包围检查等。验证中使用calibre对LDO IP版图进行DRC检查,观察calibre的输出报告中错误,修改版图,重新运行DRC检查,直到calibre报告版图中无DRC错误。calibre的DRC运行命令见附录2。

#### 3.3.3.2 ERC 检查

Electrical Rule Check 是电气规则检查,简称ERC。它是验证电气连线是否有短路现象、节点是否开路 and 短路。本次设计中使用calibre对版图中电源地的短路进行了着重检查,确保版图中电源和地线正确性。ERC检查通常和LVS检查同时运行,calibre工具ERC运行命令与LVS相同,见附录2。

#### 3.3.3.3 LVS 检查

Layout Versus Schematic 是版图与原理图对照比较,简称LVS。它一般用于电路版图与电路网表一致性的比较,也可用于两个电路网表或两个版图(经过提取)之间的一致性比较。本次设计使用calibre对版图进行LVS检查,确保版图和电路图之间无以下类型错误。

1. 版图上丢失原理图应有的器件;
2. 版图上存在原理图上没有的器件;
3. 版图与原理图电路中器件参数值不同;
4. 版图与原理图电路节点连接数不一致;
5. 版图与原理图电路节点连接器件不一致;
6. 原理图和版图的网表不一致。

calibre 工具 LVS 运行命令见附录 2。

### 3.4 本章小结

本章首先介绍了本次低压差(LDO)线性调整器IP设计指标;接着讨论了基准电流源、基准电压源、OTA运算放大器、反馈网络电阻、模式控制电路的设计思想和考虑的因素,并详细的分析了这些电路结构的原理、特性和功能,最后简单的描述了低压差(LDO)线性调整器IP版图设计和验证方法,并指出了版图中设计中考虑的因素。



## 第4章 电路仿真和分析

电路结构确定之后，设计者需要对电路进行模拟仿真。电路仿真是电路设计环节中的关键步骤之一；通过仿真可以模拟电路工作情况，分析电路的工作特性参数。本次设计利用了 0.18 $\mu\text{m}$  CMOS 低功耗工艺 spice 模型和 HSPICE 仿真器对电路进行仿真<sup>[19]</sup>，通过观测仿真波形合理调整电路参数，确保各模块功和整体电路满足设计要求。

### 4.1 基准电流源仿真

基准电流源的仿真采用 HSPICE DC 解析，分别对温度和电源两个变量做 DC 扫描解析，分析基准电流源的输出电流情况。

#### 4.1.1 基准电流与温度的关系

图 4-1 给出了典型的工艺条件下，温度 DC 分析的结果。横轴方向为温度，分别取 -40 $^{\circ}\text{C}$ 、-10 $^{\circ}\text{C}$ 、25 $^{\circ}\text{C}$ 、55 $^{\circ}\text{C}$ 、85 $^{\circ}\text{C}$ 、110 $^{\circ}\text{C}$ ，纵轴为基准电流的大小。图中不同的曲线代表了电源电压分别取 1.8V、2.5V、3.3V、5V、5.5V、6V 条件下，基准电流源与温度的变化曲线。

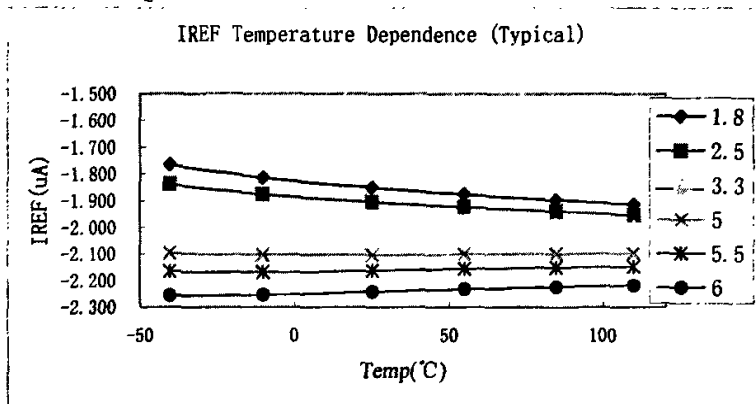


图 4-1 基准电流与温度的关系

从图中可以得出参考电流源在 2 $\mu\text{A}$  左右，温度变化对基准电流源的影响在不同的电源电压下有不同的特性；电源电压为 1.8V 时，基准电流的大小随着温度的上升而减少；电源电压为 5.5V 时，基准电流的大小随着温度的上升而增加；电源电压为 3.3V 时，温度的上升对基准电流的大小影响很小。电源为 1.8V 时基准电流为最小，电源为 6V 时基准电流最大；相同电源电压条件下，参考电流源随温度变化时的最大偏差为 0.2 $\mu\text{A}$  左右。

#### 4.1.2 基准电流与电源电压的关系

图 4-2 给出了典型的工艺条件下，电源电压 DC 分析的结果。横轴方向为

电源电压，分别取 1.8V、2.5V、3.3V、5V、5.5V、6V，纵轴为基准电流的大小。图中不同的曲线代表了温度取 -40℃、-10℃、25℃、55℃、85℃、110℃ 条件下，基准电流源与电源电压的变化曲线。

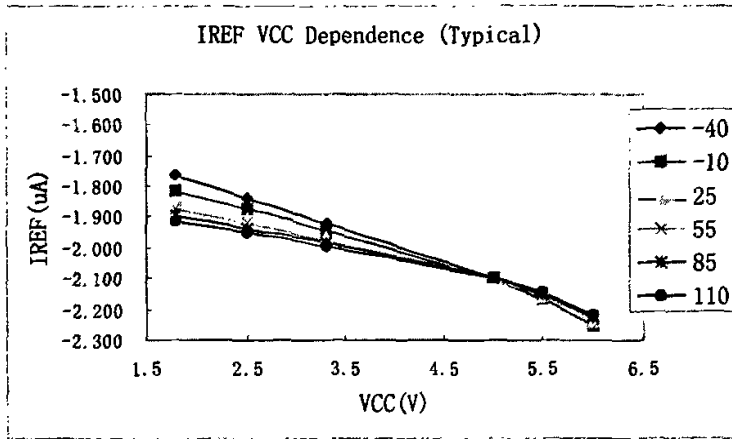


图 4-2 基准电流与电源电压的关系

从图中可以得出参考电流源在 2uA 左右，基准电流的大小随着电源电压的上升而增加；相同温度条件下，基准电流随电压变化时的最大偏差为 0.4uA 左右。

## 4.2 基准电压源仿真

基准电压源的仿真采用 HSPICE DC 解析，分别对温度和电源两个变量做 DC 扫描解析，分析基准电压源的变化曲线。

### 4.2.1 基准电压与温度的关系

图 4-3 给出了典型的工艺条件下，温度 DC 分析的结果。横轴方向为温度，分别取 -40℃、-10℃、25℃、55℃、85℃、110℃，纵轴为基准电压的大小。图中不同的曲线代表了电源电压分别取 1.8V、2.5V、3.3V、5V、5.5V、6V 条件下，基准电流源与温度的变化曲线。

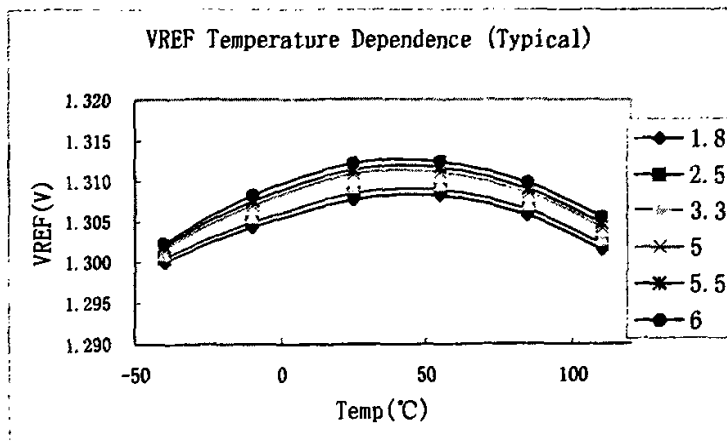


图 4-3 基准电压与温度的关系

从图中可以看出基准电压在 1.305V 左右变化，基准电压最小为 1.3V，最大为 1.312V 左右。相同电源电压条件下，温度较低时，基准电压开始时随着温度上升而增大；温度到 55℃左右时，基准电压到达峰值；温度继续升高后，基准电压随着温度上升而减小。基准电压在温度的变化范围内的最大偏差为 12mV 左右。

#### 4.2.2 基准电压与电源电压的关系

图 4-4 给出了典型的工艺条件下，电源电压 DC 分析的结果。横轴方向为电源电压，分别取 1.8V、2.5V、3.3V、5V、5.5V、6V，纵轴为基准电压的大小。图中不同的曲线代表了温度分别取 -40℃、-10℃、25℃、55℃、85℃、110℃ 条件下，基准电压与电源电压的变化曲线。

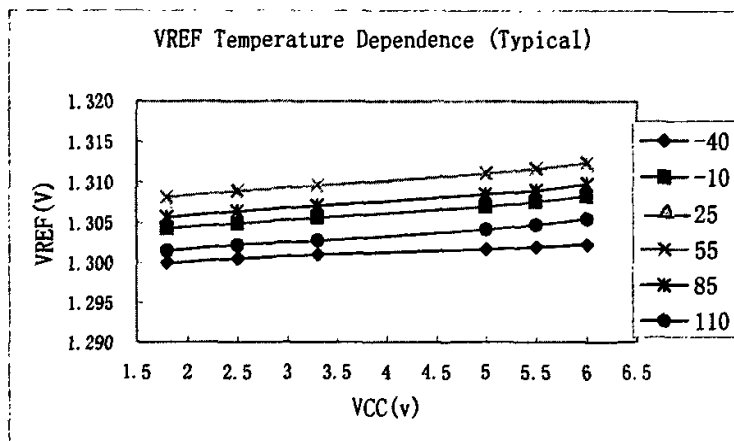


图 4-4 基准电压与电源电压的关系

从图中可以看出参考电压源在 1.305V 左右变化，基准电压最小为 1.3V 左右，最大为 1.312V 左右。相同温度条件下，基准电压随着电压的增加而小幅增加；基准电压在电压的变化范围内的最大偏差为 12mV 左右。

### 4.3 LDO IP 仿真

基准电流和基准电压模块的工作特性得到仿真确认后，接着我们仿真 LDO IP 输出电压特性和工作的稳定性。利用 HSPICE 直流 (DC) 分析可以观测 LDO IP 输出电压特性，并能得到 OTA 运放的直流工作点；LDO IP 稳定性分析需要利用 HSPICE 交流小信号 (AC) 仿真来模拟开环特性。由于 LDO IP 有工作模式和等待模式两种工作方式，因此电路需要针对这两种情况分别进行仿真。

#### 4.3.1 等待模式

等待模式下，LDO IP 输出电压和工作稳定性是仿真考虑的重点。将 STD

端电压设为  $1.8\text{V}$  ( $V_{\text{STD}} = 1.8\text{V}$ )，使 LDO IP 设置到等待模式下工作，使用 HSPICE 仿真器对电路进行 DC 仿真和 AC 仿真。

#### 4.3.1.1 输出电压 VDD 与电源电压 VCC 的关系

图 4-5 给出了典型工艺条件下，等待模式下 LDO IP 电源电压 DC 扫描仿真结果，它表征了输出电压 VDD 随电源电压 VCC 变化的关系。横轴方向为电源电压 (VCC)，变化范围为  $1.8\text{V} \sim 6\text{V}$ ，纵轴为 LDO IP 输出电压 (VDD) 的大小。图 4-5 曲线的仿真输入条件为：温度  $T$  为  $25^\circ\text{C}$ ，负载电流  $I_{\text{OUT}}$  分别为  $0\text{mA}$ 、 $1\text{mA}$ 、 $10\text{mA}$ 。表 4-1 给出图 4-5 中曲线上的一些关键点仿真结果值。

图 4-5 中负载电流为  $0\text{mA}$  时的曲线位于纵轴的最上方； $10\text{mA}$  时位于纵轴的最下方； $1\text{mA}$  时曲线在这两者之间。分析图 4-5 和表 4-1 中数据可以得到以下结论。

1. 相同负载时输出电压随着电源电压的增加而增加；
2. 在电源电压低于  $2\text{V}$  时，LDO IP 输出电压 (VDD) 急剧下降，表明 LDO IP 失去了电压调制作用，因此压差为  $0.2\text{V}$ ；
3. 电源电压 VCC 为  $2\text{V}$ ，输出负载为  $10\text{mA}$  时，LDO IP 输出电压 VDD 最小，为  $1.812\text{V}$ ；电源电压 VCC 为  $6\text{V}$  时，输出负载为  $0\text{mA}$  时，LDO IP 输出电压 VDD 电压最大为  $1.835\text{V}$ ；
4. 相同负载电流的条件下，输出电压 VDD 随着电源电压的升高的最大变化值为  $22\text{mV}$ ；
5. 相同电源电压下，输出电压随着负载电流的加大而减小；负载电流从  $0\text{mA}$  到  $10\text{mA}$  时，输出电压的变化很小，为  $2\text{mV}$  左右。

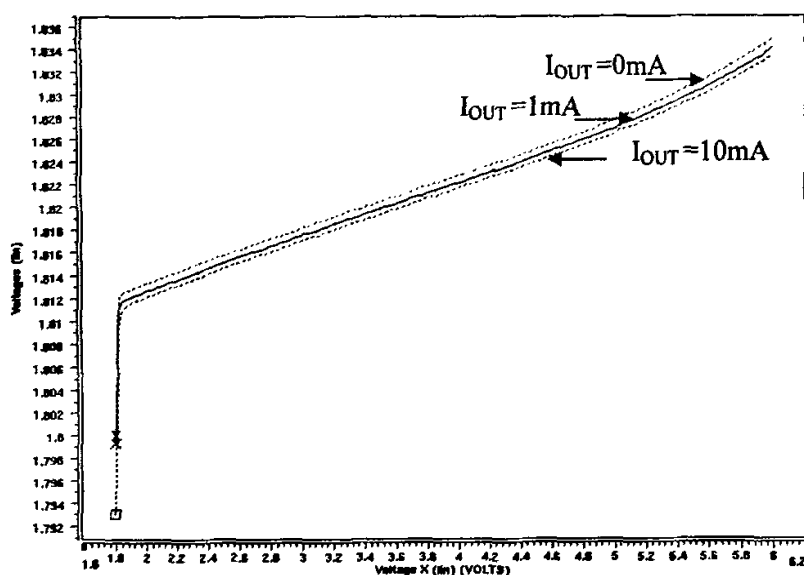


图 4-5 等待模式下输出电压 VDD 与电源电压 VCC 的关系

输入电压 VCC (V)	不同负载电流下的输出电压 VDD (V)		
	$I_{OUT}=0mA$	$I_{OUT}=1mA$	$I_{OUT}=10mA$
2	1.813	1.813	1.812
6	1.835	1.834	1.833
输出电压差值	0.022	0.021	0.021

表 4-1 等待模式下输出电压的仿真值

从仿真结果可知，在温度为 25℃输出电压满足 LDO IP 等待模式下的设计指标 1.7v~1.9v。

#### 4.3.1.2 工作电流 $I_Q$ 与电源电压 VCC 的关系

图 4-6 给出了典型工艺条件下，LDO IP 等待模式下工作电流随电源电压变化的关系。横轴方向为电源电压（VCC），变化范围为 1.8V~6V，纵轴为 LDO IP 工作消耗的电流  $I_Q$  的大小。图 4-6 曲线的仿真输入条件为：温度 T 为 25℃，负载电流分  $I_{OUT}$  别为 0mA、1mA、10mA。表 4-2 给出图 4-6 中曲线上的一些关键点仿真结果值。

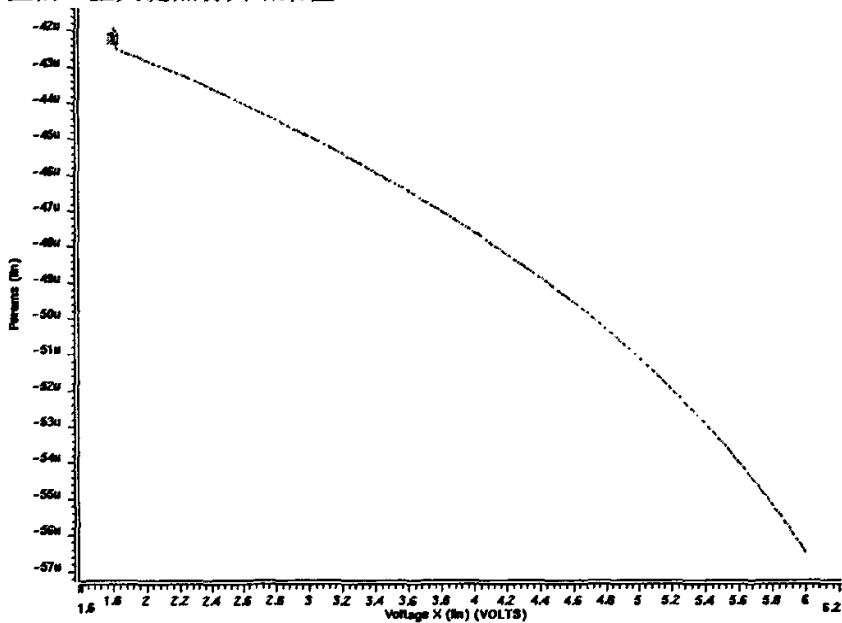


图 4-6 等待模式下工作电流与电源电压 VCC 的关系

输入电压 VCC (V)	不同负载电流下的工作电流 $I_Q$ (uA)		
	$I_{OUT}=0mA$	$I_{OUT}=1mA$	$I_{OUT}=10mA$
2	42.8	42.8	42.8
6	56.5	56.5	56.5

表 4-2 等待模式下工作电流仿真值

图 4-6 负载为 0mA、1mA、10mA 时的  $I_Q$  曲线几乎重合在一起，表明工作电流不随负载电流的改变而改变。从图 4-6 中还可得知，工作电流随着电源电压的增大而快速增加；电源电压 2V 时，等待模式工作电流最小，从表 4-2 中可知为 42.8 $\mu$ A；电源电压 6V 正常工作时，等待模式工作电流为最大，从表 4-2 中可知为 56.5 $\mu$ A。

从仿真结果可知，在温度为 25 $^{\circ}$ C，LDO IP 等待模式下消耗的工作电流的小于设计指标 60 $\mu$ A。

#### 4.3.1.3 LDO IP 稳定性分析

LDO IP 的 OTA 运算放大模块工作在负反馈环路中，因此仿真时需要将对 LDO IP 进行开环交流小信号分析。

图 4-7 给出了典型工艺条件下，LDO IP 等待模式下的开环频率响应曲线。横轴坐标为频率，以 10 的对数表示；左边的纵轴坐标为输出电压放大倍数，以分贝表示；右边的纵轴坐标为输出电压的相位。图 4-7 曲线的仿真输入条件为：温度 T 为 25 $^{\circ}$ C，负载电流为 1mA，负载电容为 3nF，电源电压 VCC 为 2V。

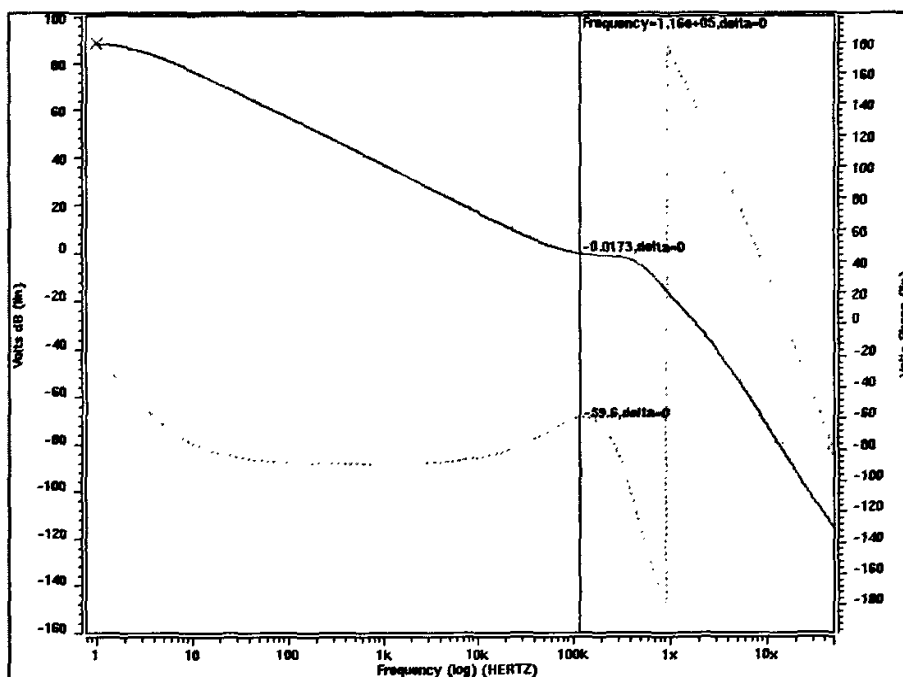


图 4-7 等待模式下 LDO IP 开环频率响应曲线

图中黑色曲线为输出电压的增益，蓝色曲线为输出电压的相移；从图中可以看出当输出电压增益降到 0db 时，LDO IP 系统的相位裕度为 130 $^{\circ}$  左右，说明了 LDO IP 系统能稳定工作，负反馈环路不会形成振荡。

4.3.2 工作模式

工作模式下，除了考虑 LDO IP 输出电压和工作稳定性外，仿真还需考虑 LDO IP 的建立时间和输出纹波等性能参数。将 STD 端电压设为低电平 ( $V_{STD}=0V$ )，使 LDO IP 设置到等待模式下工作，使用 HSPICE 仿真器对电路进行 DC 仿真、AC 仿真和瞬态仿真。

4.3.2.1 输出电压 VDD 与电源电压 VCC 的关系

图 4-8 给出了典型工艺条件下，工作模式下 LDO IP 电源电压 DC 扫描仿真结果，它表征了输出电压 VDD 随电源电压 VCC 变化的关系。横轴方向为电源电压 (VCC)，变化范围为 1.8V~6V，纵轴为 LDO IP 输出电压 (VDD) 的大小。图 4-8 曲线的仿真输入条件为：温度 T 为 25℃，负载电流  $I_{OUT}$  分别为 0mA、20mA、40mA、60mA、80mA、100mA、120mA。表 4-3 给出图 4-8 中曲线上的一些关键点仿真结果值。

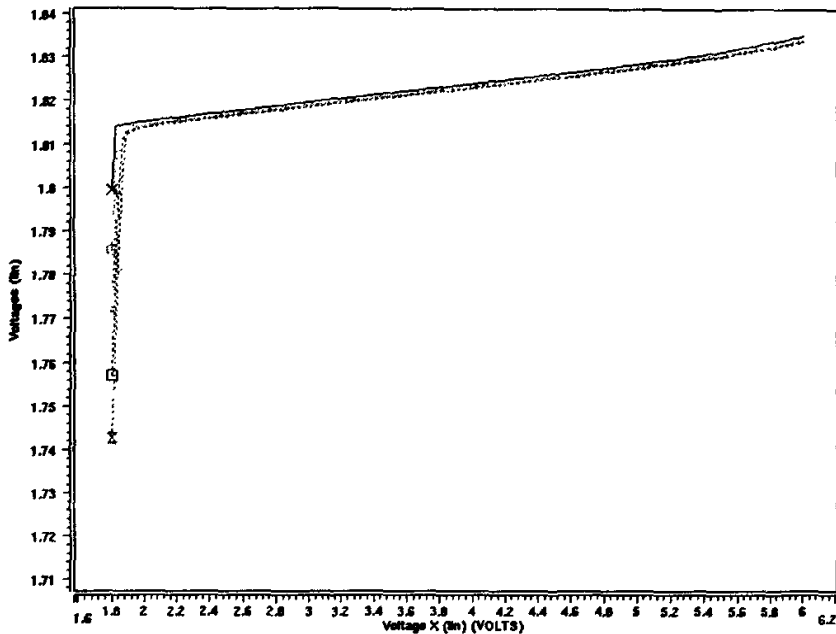


图 4-8 工作模式下输出电压 VDD 与电源电压 VCC 的关系

输入电压 VCC (V)	不同负载电流下的输出电压 VDD (V)						
	$I_{OUT}$ =0mA	$I_{OUT}$ =20mA	$I_{OUT}$ =40mA	$I_{OUT}$ =60mA	$I_{OUT}$ =80mA	$I_{OUT}$ =100mA	$I_{OUT}$ =120mA
2	1.8151	1.8144	1.8142	1.8139	1.8137	1.8135	1.8133
6	1.835	1.8342	1.834	1.8338	1.8336	1.8335	1.8333
输出电压差值	0.0199	0.0198	0.0202	0.0199	0.0199	0.0200	0.0200

表 4-3 工作模式下输出电压仿真结果

图 4-8 中负载电流  $I_{OUT}$  为 0mA 时的曲线位于纵轴的最上方, 20mA、40mA、60mA、80mA、100mA、120mA 依次往下排列。分析图 4-8 和表 4-3 可以得到以下结论。

1. 相同负载时输出电压随着电源电压的增加而增加;
2. 在电源电压低于 2V 时, LDO IP 输出电压 (VDD) 急剧下降, 说明 LDO IP 对电压失去了调制作用, 因此压差为 0.2V;
3. 电源电压 VCC 为 2V、输出负载为 120mA 时, LDO IP 输出电压 VDD 最小, 为 1.8133V; 电源电压 VCC 为 6V 时, 输出负载为 0mA 时, LDO IP 输出电压 VDD 电压最大为 1.835V;
4. 相同负载的条件下, 输出电压 VDD 随着电源电压的升高的最大变化值为 20.2mv;
5. 相同电源电压下, 输出电压随着负载电流的增大而减小; 负载电流从 0mA 到 120mA 时, 输出电压的变化很小, 为 2mV 左右。

从仿真结果可知, 在温度为 25℃ 输出电压满足 LDO IP 等待模式下的设计指标 1.7v~1.9v。

#### 4.3.2.2 工作电流 $I_Q$ 与电源电压 VCC 的关系

图 4-9 给出了典型工艺条件下, LDO IP 工作模式下工作电流随电源电压变化的关系。横轴方向为电源电压 (VCC), 变化范围为 1.8V~6V, 纵轴为 LDO IP 工作消耗的电流  $I_Q$  的大小。图 4-9 曲线的仿真输入条件为: 温度 T 为 25℃, 负载电流分  $I_{OUT}$  别为 0mA、20mA、40mA、60mA、80mA、100mA、120mA。表 4-4 给出图 4-9 中曲线上的一些关键点仿真结果值。

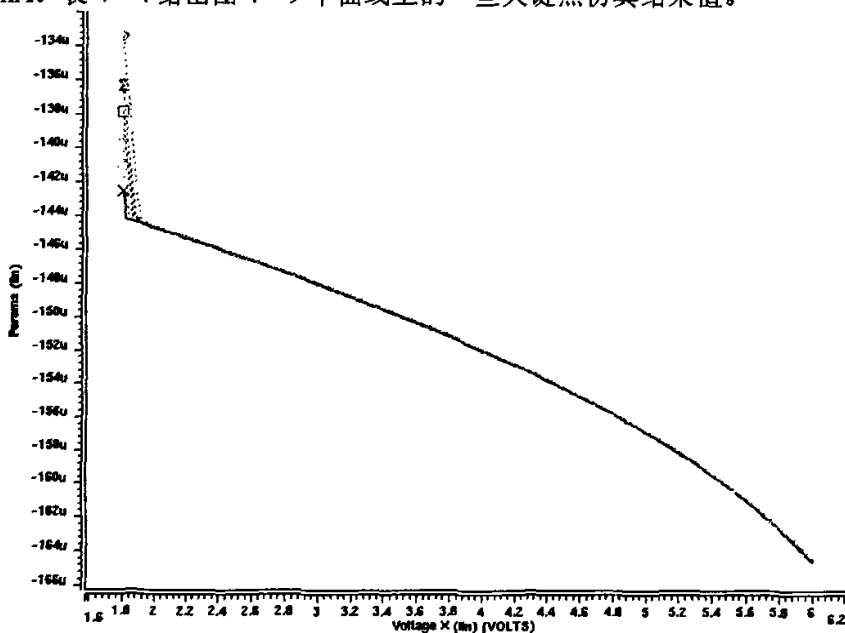


图 4-9 工作模式下工作电流与电源电压 VCC 的关系



输入电压 VCC (V)	不同负载电流下的工作电流 $I_Q$ ( $\mu A$ )						
	$I_{OUT}$ =0mA	$I_{OUT}$ =20mA	$I_{OUT}$ =40mA	$I_{OUT}$ =60mA	$I_{OUT}$ =80mA	$I_{OUT}$ =100mA	$I_{OUT}$ =120mA
2v	145	145	145	145	145	145	145
6v	165	165	165	165	165	165	165

表 4-4 等待模式下工作电流仿真值

图 4-9 负载为 0mA、20mA、40mA、60mA、80mA、100mA、120mA 时的  $I_Q$  曲线几乎重合在一起，说明工作电流不随负载电流的改变而改变。从图 4-9 中还可得知，工作电流随着电源电压的增大而快速增加；电源电压 2V 时，工作模式工作电流最小，从表 4-4 中可知为 145 $\mu A$ ；电源电压 6V 正常工作时，工作模式工作电流为最大，从表 4-4 中可知为 165 $\mu A$ 。

从仿真结果可知，在温度为 25℃，LDO IP 工作模式下消耗的工作电流的小于设计指标 200 $\mu A$ 。

#### 4.3.2.3 LDO IP 稳定性分析

图 4-10 给出了典型工艺条件下，OTA 等待模式下的开环频率响应曲线。横轴坐标为频率，以 10 的对数表示；左边的纵轴坐标为输出电压放大倍数，以分贝表示；右边的纵轴坐标为输出电压的相位。图 4-10 曲线的仿真输入条件为：温度 T 为 25℃，负载电流为 100mA，负载电容为 3nF，电源电压 VCC 为 2V。

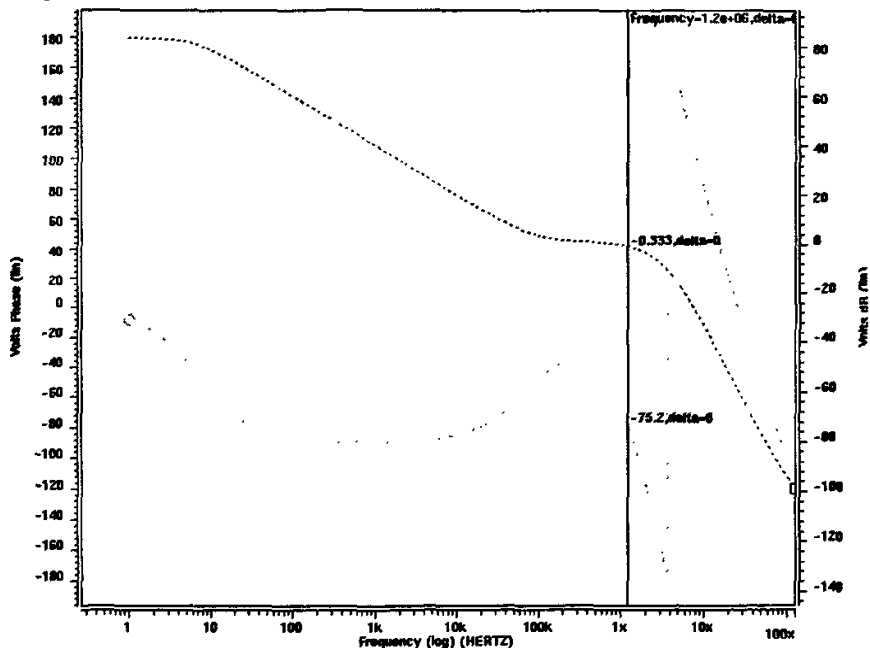


图 4-10 工作模式下 LDO IP 开环频率响应曲线

图中红色曲线为输出电压的增益，蓝色曲线为输出电压的相移；可以看出当输出电压增益降到 0db 时，LDO IP 系统的相位裕度为  $105^\circ$  左右，说明了 LDO IP 系统能稳定工作，负反馈环路不会形成振荡。

#### 4.3.2.4 LDO IP 建立时间

电源上电时，LDO IP 应在正常工作模式下工作，LDO IP 输出稳定的电压需要一定的时间，可以利用瞬态仿真模拟 LDO IP 上电时的工作情况。

图 4-11 给出了典型工艺条件下的，电源电压为 2V、3V、4V、5V、6V 情况下的输出电压波形。横轴方向为仿真时间，纵轴为 LDO IP 输出电压（VDD）。图 4-11 曲线的仿真输入条件为温度为  $25^\circ\text{C}$ ，负载电流  $I_{\text{OUT}}$  为 0mA，负载电容为 3nF。

图 4-11 中从左至右的曲线分别为电源电压为 6V、5V、4V、3V、2V 时的输出电压曲线图；可以看出电源电压越高时，LDO 线性稳压器 IP 输出电压建立时间越短；电源电压为 6V 时，建立时间为最短 16us；电源电压为 2V 时，建立时间为最长 40us；在电源电压 2V-5.5V 的工作范围内，LDO IP 输出电压建立时间多都小于设计指标值 50us。

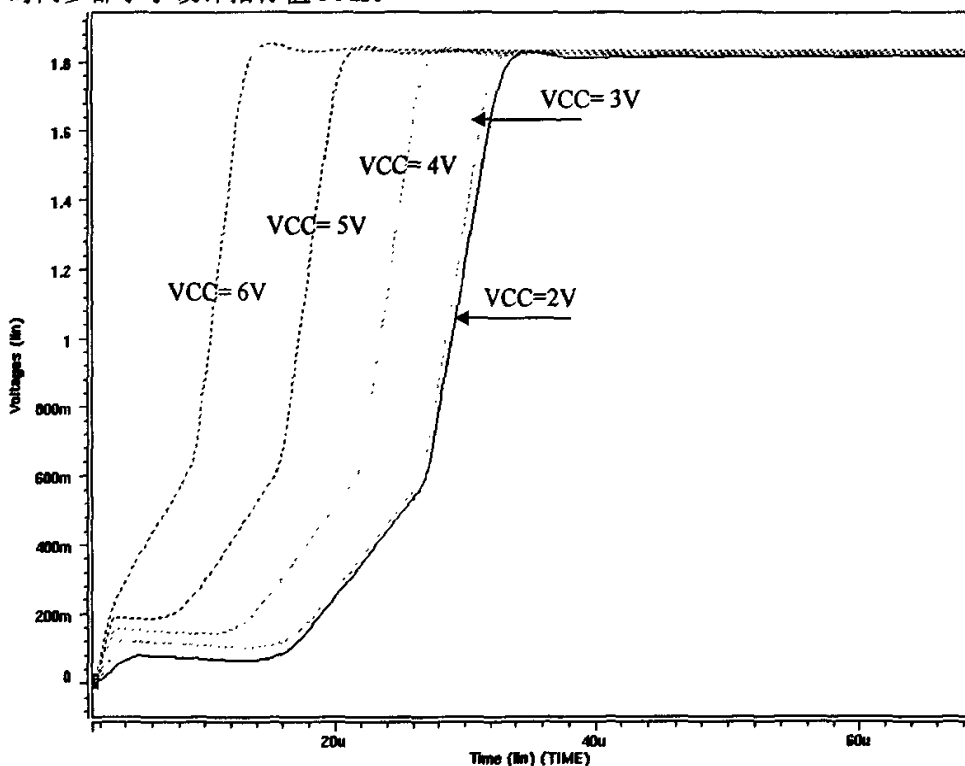


图 4-11 LDO 输出电压波形的建立时间

#### 4.3.2.5 LDO IP 输出纹波

当负载电流快速变化并且幅度过大时，LDO IP 输出电压会突然的下降，产生输出纹波。实际电路应用环境中需要考虑这种因素，通过瞬态仿真可以模拟

电路的这种特性。

图 4-12 给出了典型工艺条件下的，负载电流 5 $\mu$ s 内从 0mA 到 100mA 线性变化时，电源电压为 2V、3V、4V、5V、6V 情况下的输出电压波形。横轴方向为仿真时间，左边纵轴为 LDO IP 输出电压（VDD），右边纵轴为负载电流  $I_{OUT}$ 。图 4-11 曲线的仿真输入条件为温度为 25℃，负载电流 5 $\mu$ s 内从 0mA 到 100mA 变化，负载电容为 3nF。

图 4-12 中当负载电流从 0mA 增加到 100mA 时，输出电压 VDD 首先开始下降；当下降到 1.55V 左右时，输出电压接着开始上升，一直稳定到 1.8V 左右；整个过程中，输出电压纹波最高的幅度为 0.25V，优于设计指标 0.3V。

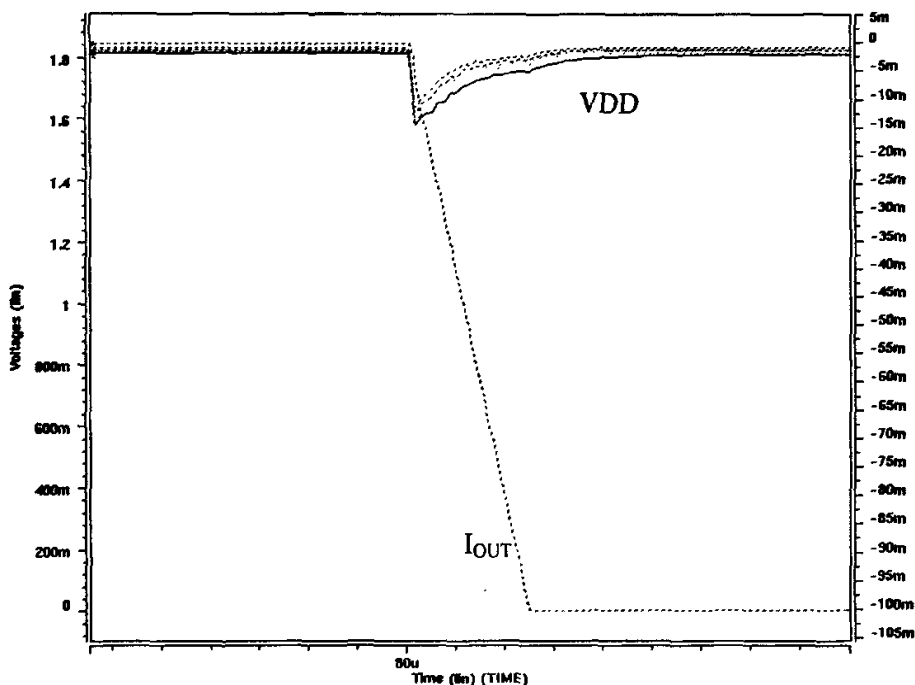


图 4-12 负载电流变化时 LDO IP 输出电压纹波

#### 4.4 本章小结

本章主要对 LDO IP 电路进行 HSPICE 仿真，给出了基准电流源、基准电压源、LDO IP 的直流、交流、瞬态仿真结果。通过对仿真结果的分析可以得出，整个 LDO IP 电路能工作在稳定状态；提供稳定的调制电压（1.8v）；两种模式下的工作电流和输出电压满足设计要求；LDO IP 建立时间和输出纹波都在电路设计指标之内。

## 第5章 流片测试结果

### 5.1 LDO IP 的测试结果

本章我们将着重测试 LDO IP 测试芯片两种工作模式下的不同负载电流条件下的输出电压，测试芯片图见附录 3。

#### 5.1.1 等待模式的输出电压

在常温下取 100 个测试芯片设置不同电源电压和负载电流进行测试。电源电压范围在 2V~5.8V 内，每隔 0.2V 测试一次负载电流分别为 0mA、10mA、20mA、30mA、40mA、50mA、60mA 时 LDO IP 的输出电压，取这 100 个芯片相同电源电压和负载电流条件下的输出电压平均值，得到表 5-1 中数据。

电源电压 VCC (V)	负载电流 $I_{OUT}$ (mA)						
	0	10	20	30	40	50	60
2	1.789	1.766	1.745	1.722	1.700	1.678	1.653
2.2	1.789	1.767	1.745	1.723	1.701	1.679	1.657
2.4	1.790	1.768	1.746	1.724	1.701	1.680	1.657
2.6	1.790	1.768	1.746	1.724	1.702	1.680	1.658
2.8	1.794	1.769	1.747	1.724	1.702	1.680	1.658
3	1.797	1.770	1.747	1.725	1.703	1.680	1.658
3.2	1.800	1.773	1.749	1.726	1.704	1.681	1.659
3.4	1.805	1.778	1.755	1.732	1.708	1.686	1.662
3.6	1.808	1.781	1.757	1.734	1.711	1.687	1.664
3.8	1.812	1.785	1.762	1.739	1.715	1.692	1.669
4	1.816	1.789	1.765	1.742	1.719	1.696	1.672
4.2	1.818	1.791	1.768	1.744	1.721	1.698	1.675
4.4	1.820	1.792	1.768	1.745	1.722	1.698	1.675
4.6	1.801	1.778	1.756	1.734	1.711	1.689	1.667
4.8	1.805	1.781	1.759	1.737	1.715	1.692	1.670
5	1.811	1.787	1.764	1.742	1.720	1.697	1.675
5.2	1.819	1.794	1.772	1.750	1.727	1.705	1.682
5.4	1.831	1.806	1.783	1.761	1.738	1.716	1.693
5.6	1.848	1.823	1.800	1.777	1.754	1.732	1.709
5.8	1.871	1.845	1.822	1.799	1.776	1.754	1.731

表 5-1 等待模式下的输出电压测试结果

表 5-1 中数据形成一个横轴为电源电压，纵轴为输出电压的曲线图，如图 5-1 所示。

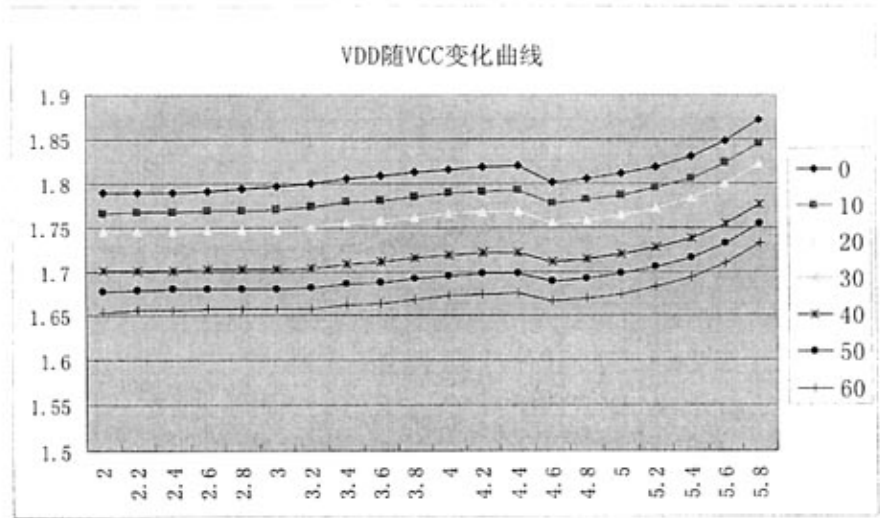


图 5-1 等待模式下输出电压与电源电压的关系

从表 5-1 和图 5-1 中可以看出，随着负载电流的增加输出电压下降；LDO IP 工作在等待模式下驱动电流小于 40mA 时，输出电压都在 1.7V~1.9V 范围内。因此，LDO IP 在等待模式下负载电流为 1mA，输出电压满足电路设计指标。

### 5.1.2 工作模式的输出电压

如同等待模式下测试一样，在常温下取 100 个测试芯片设置不同电源电压和负载电流进行测试。电源电压范围在 2V~5.8V 内，每隔 0.2V 测试一次负载电流分别为 0mA、10mA、20mA、30mA、40mA、50mA、60mA 时 LDO IP 的输出电压，取这 100 个芯片相同电源电压和负载电流条件下的输出电压平均值，得到表 5-2 中数据。

电源电压 VCC (V)	负载电流 $I_{out}$ (mA)						
	0	10	20	30	40	50	60
2	1.805	1.782	1.760	1.737	1.714	1.691	1.663
2.2	1.806	1.779	1.756	1.733	1.710	1.687	1.664
2.4	1.806	1.779	1.756	1.733	1.710	1.687	1.665
2.6	1.806	1.779	1.756	1.733	1.711	1.688	1.665
2.8	1.807	1.780	1.757	1.734	1.711	1.689	1.665
3	1.808	1.781	1.758	1.735	1.712	1.689	1.667
3.2	1.810	1.783	1.760	1.736	1.713	1.690	1.668
3.4	1.813	1.785	1.762	1.739	1.715	1.692	1.669
3.6	1.818	1.792	1.769	1.746	1.722	1.699	1.676
3.8	1.823	1.798	1.776	1.753	1.730	1.708	1.685
4	1.825	1.798	1.774	1.751	1.728	1.705	1.681
4.2	1.828	1.801	1.777	1.754	1.731	1.707	1.684
4.4	1.829	1.802	1.779	1.755	1.732	1.709	1.686
4.6	1.806	1.783	1.761	1.739	1.717	1.694	1.672
4.8	1.807	1.784	1.762	1.740	1.717	1.695	1.673
5	1.808	1.785	1.763	1.741	1.718	1.696	1.674
5.2	1.810	1.787	1.764	1.742	1.720	1.697	1.675
5.4	1.812	1.789	1.766	1.744	1.721	1.699	1.677
5.6	1.815	1.791	1.769	1.746	1.724	1.701	1.678
5.8	1.819	1.794	1.772	1.749	1.727	1.704	1.681

表 5-2 工作模式下的输出电压测试结果

表 5-2 中数据形成一个横轴为电源电压，纵轴为输出电压的曲线图，如图 5-2 所示。

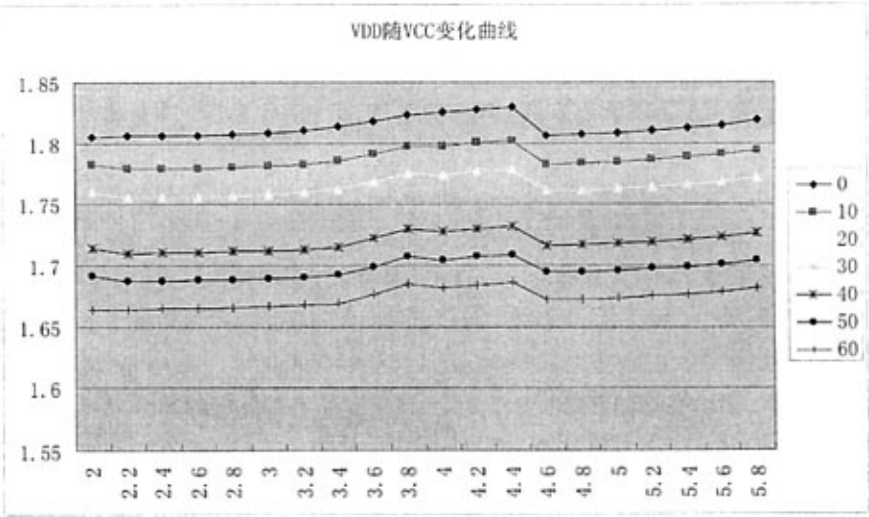


图 5-2 工作模式下输出电压与电源电压的关系

从表 5-1 和图 5-1 中可以看出，随着负载电流的增加输出电下降；LDO IP 工作在等待模式下驱动电流小于 40mA 时，输出电压在 1.7V~1.9V 范围内；当驱动电流大于 40mA 时，输出电压超出了 1.7V~1.9V 范围；驱动电流为 10mA 的曲线最接近标准的输出电压值 1.8V。由于工艺偏差和较大的寄生电阻电容参数的影响，流片结果与仿真结果存在较大的差异。

## 结论

本文设计了一种可应用于 SOC 设计中的小功率直流稳压电压的 LDO 线性调整器 IP，该电路不需配以其他外部电路元器件即可直接嵌入 SOC 芯片设计中构成完整的直流稳压电源解决方案。该电路具有宽的输入电压范围（+2V~+5.5V），输出电压为 1.8V；它还提供等待模式和工作模式两种工作方式，工作在等待模式下只需消耗小的工作电流（60uA），并能提供 1mA 的输出电流，工作在正常工作模式下可以提供大的输出电流（100mA），因此，它特别适用于智能卡类 SOC 设计。本电路采用 0.18 微米 CMOS 低功耗工艺，泄漏电流非常小。同时，该电路设计的主要特点有：-40℃ ~ +75℃ 的温度范围、0.2V 的压差、输出电压范围为 1.7V~1.9V、低工作电流：等待模式下 60uA、大的输出电流：工作模式下最大 100mA、在 5us 内输出电流从 0mA 到 100mA 变化时输出纹波不超过为 0.3v、短的输出电压建立时间 50us。电路采用 PMOS 调整管作为电压控制电流源(VCCS)，提供稳定输出电压所需的负载电流。我们利用 HSPICE 仿真软件，对整个电路进行了功能仿真和量化仿真，仿真结果均满足设计指标。

本论文第一章介绍了低压差（LDO）线性调整器电路的发展和研究意义；第二章讲述了电路的模块结构、工作原理和重要的性能指标；第三章主要描述了电路设计的实现和电路版图设计；第四章对电路进行 HSPICE 仿真分析，并针对仿真结果，结合电路设计具体要求进行讨论；第五章展示了电路的流片测试结果。

流片测试结果显示，电路实测性能与仿真存在差异。由于时间关系，完成对流片测试结果与仿真结果的对比研究，未能详细定位电路流片结果与仿真结果不同的原因。因此，还需要有人将此电路的设计工作继续进行下去。同时由于本人的水平有限，对其中的某些关键问题并未能进行深入的分析研究。文中定有许多不足之处，敬请各位老师和读者不吝赐教。



## 致谢

本文是在导师洪志良教授悉心指导和鼓励下完成的。论文的选题、电路设计具体工作和论文撰写工作都凝聚着导师的智慧和辛勤的工作。在硕士论文的写作过程中，洪老师牺牲许多时间，阅读我的拙作，给我提出宝贵的建议，使我的论文几易其稿，最终得以顺利完成。在这里，我要向她表示深深的谢意。

在攻读硕士学位期间，洪老师渊博的知识、严谨的治学态度和一丝不苟的工作作风给我留下了深刻的印象，使我受益匪浅。在此谨向导师洪志良教授表示衷心的感谢和崇高的敬意。感谢张军鹰老师等在学习和生活上给予我的关心和支持。

在本文的写作过程中，华虹 NEC 同事王楠、姚翔、朱瑶华、童红亮等同事给了我很大的支持，使本文得以顺利完成，在此表示感谢。

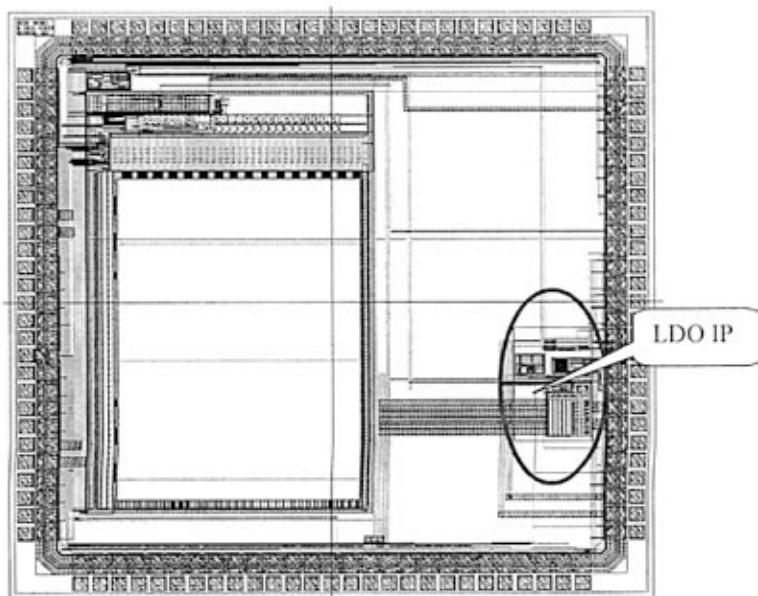
最后，感谢复旦大学给了我良好的学习环境，多年的培养。感谢曾经教育和帮助作者的所有老师、朋友、同事、家人。衷心感谢百忙之中抽出时间参加论文评阅和评议的各位专家学者，感谢他们为审阅本文所付出的辛勤劳动。

## 参考文献

- [1] 方佩敏. 高效大电流低压差线性稳压器. 通用元器件, 2000,11
- [2] 赖凡. 低压差电压调节器技术发展动态. 微电子学, 2004, 34(4): 413-417
- [3] 方佩敏. 如何选择便携式产品电源 IC. 今日电子, 2000, 5
- [4] Chester Simpson, Linear and Switching Voltage Regulator Fundamentals, National Semiconductor Application note. 1999
- [5] 方佩敏. 新型大电流、低压差线性放大器. 今日电子, 2001, (5):23-24  
<http://www.epc.com.cn/magazine/20060105/4878.asp>
- [6] Tom Kugelstadt, Fundamental Theory of PMOS Low-Dropout Voltage Regulators, TI Company, Inc., 1999
- [7] 刘其贵, 李建中, 郭振东, 魏同立. CMOS 单片 LDO 线性稳压器的设计, 电路与系统学报, 2002, 7 (4)
- [8] Phillip E. Allen, CMOS ANALOG Circuit Design, 北京:电子工业出版社
- [9] Bang S. Lee. Technical, Review of Low Dropout Voltage Regulator Operation and Performance, TI Company, Inc.,1999
- [10] Behzad Razavi, Design of Analog CMOS Integrated Circuits, 北京:清华大学出版社
- [11] Y. P. Tsividis,R. W. Ulmer, A CMOS Voltage Reference, IEEE J. of Solid-State Circuits, Vol 13, pp. 774-778, Dec. 1978
- [12] 刘恩科, 朱秉升, 罗晋生. 半导体物理学, 北京: 国防工业出版社 1997
- [13] P.R.Gray,R.G. Meyer. Analysis and design of analog integrated circuits. 4th Ed. Wiley, New York, 1999
- [14] Bang-Sup Song, Paul R. Gray, A Precision Curvature-Compensated CMOS Bandgap Reference, IEEE J. Solid-StateCircuits, Vol. SC-18, No. 6, Dec. 1983
- [15] R.Jacob Baker, Harry W.Li, David E.Boyce, CMOS Circuit Design, Layout, and Simulation, 北京:机械工业出版社
- [16] P. E. Allen and M. B. Terry, The Use of Current Amplifiers for High Performance Voltage Amplification, IEEE J. Solid-StateCircuits,Vol.SC-15, No.2, pp.155-162, Apr.1980
- [17] B. J. Baliga, Impact of VLSI technology on power devices, in SSDM Dig., Abstr. A-1-2, pp. 5-9, 1990
- [18] Jeff Falin, ESR, Stability, and the LDO Regulator. TI Company, Inc., 2002
- [19] HSPICE Simulation and Analysis User Guide. Synopsys, Release V-2004.03,

[20] Calibre Verification User's Manual, Mentor Graphics, 2002.5

## 附录 1 LDO IP 测试芯片版图



## 附录 2 calibre 版图验证运行命令

### DRC 检查

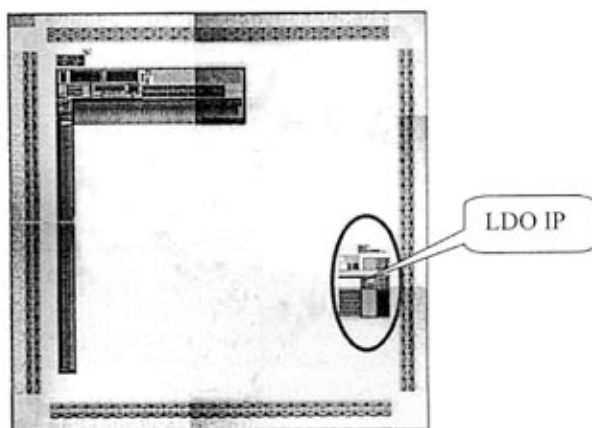
```
Calibre -drc rulefile > log
```

### LVS 检查

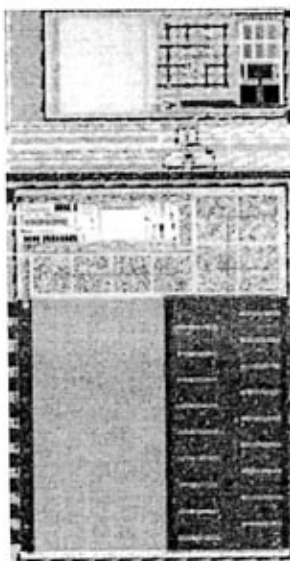
```
Calibre -lvs -spice layout.net -hier rulefile > log
```

## 附录 3 LDO IP 测试芯片图

测试芯片图



测试芯片中的LDO IP 模块图



作者: 刘轶  
学位授予单位: 复旦大学

## 相似文献(10条)

### 1. 会议论文 王玺,何怡刚,刘美容,苏旷宇 基于SOC嵌入式核测试结构的研究 2006

以复用嵌入式核测试为目标的测试策略是现今解决SOC测试问题的基础,IEEEP1500嵌入式核测试组织已经在SOC测试壳,测试壳与测试存取通道之间接口和测试接口语言方面取得了一定的成果,但关于核的测试结构的具体实施,相应的测试存取机构的选取和设计方面还未予标准化.本文从测试复用的角度,研究了可复用IP核以及系统芯片SOC的测试结构,介绍了IEEEP1500嵌入式核测试外壳和另外一种测试外壳结构Test Shell,主要探讨了IEEEP1500的串行TAM和并行TAM,即基于测试总线 and 基于CAS-BUS的存取机制,并给出其在SOC中的应用.

### 2. 期刊论文 许川佩,戴葵,马丽, XU Chuan-pei, DAI Kui, MA Li 基于量子进化算法的层次型SOC测试结构优化 - 计算机工程与应用 2008, 44 (14)

以减少系统芯片SOC测试时间为目标,研究了层次型SOC的多层次TAM优化问题.根据嵌入式IP核的分类,将层次型SOC测试结构优化转变成了平铺型SOC测试结构优化,并建立了基于量子进化算法的数学模型.通过对群体的观测,决定IP核在测试访问机制上的分配以及当前群体中的最佳个体,实现了包含TAM-ed且wrapped的嵌入式核的层次型SOC测试结构优化.针对国际标准上系统芯片验证表明,与GA、ILP和启发式算法相比,该算法能够获得更短的测试时间.

### 3. 期刊论文 车彬,樊晓桢, Che Bin, Fan Xiaoya 基于IDDQ扫描的SOC可测性设计 - 计算机测量与控制 2009, 17 (8)

超深亚微米工艺和基于可复用嵌入式IP模块的系统级芯片(SoC)设计方法使测试面临新的挑战,需要研究开发新的测试方法和策略;本文首先介绍了在CMOS集成电路中的IDDQ测试方法,介绍其基本原理,展示了测试的优越性,CMOS IC本质上是电流可测试,IDDQ和功能测试相结合,可大大改善故障覆盖率,提高测试的有效性;最后提出了一种基于IDDQ扫描的SOC可测性方案,是在SoC扫描测试中插入IDDQ的测试方法,这是一种基于BICS复用的测试技术,并给出了仿真结果最后得出结论.

### 4. 学位论文 魏岩 SOC中可复用IP核的测试技术与应用 2009

随着半导体工艺的发展和设计水平的提高,芯片(IC)设计业已进入了系统级芯片(SOC)时代.单个芯片上集成了更多数量的晶体管,能够完成更加复杂的功能.另外由于日益紧迫的市场要求,芯片的设计周期变得很短,大量地运用预先设计好的标准知识产权(IP)核来构建SOC芯片的方法逐渐成为主流.所以,当前SOC芯片的两个显著特点是规模巨大和大量的嵌入式IP核.但是如此大规模的芯片其制造故障也会随之提高,这就对芯片测试提出了更高的要求,不仅需要更加精确的时序控制,还需要花费更长的芯片测试时间,这都会导致测试成本的提高.当前SOC芯片内部大量地采用IP核,由于IP核的使用、授权、保护等限制措施也会给测试带来更多的挑战,使得SOC中复用IP核的测试成为限制IC设计发展的瓶颈问题,因此对此问题的研究具有重要的理论价值和实际意义. 本文在深入研究嵌入式芯核测试(IEEEStd1500)标准的基础上,设计并实现了嵌入式芯核复用的测试系统,该系统包括硬件系统和软件系统:硬件系统围绕IEEEStd1500标准规定的测试结构而展开,包括测试壳(Wrapper)模块和测试控制器(TAP)模块的设计;软件系统以Std1500TAM测试策略为核心展开,包括测试向量的生成、测试信息的提取策略.此外还基于FPGA试验平台应用Std1500TAM测试策略,设计了测试仿真模型,以公认的基准测试电路ITC'02为测试对象进行测试.

从仿真和实际测试的结果来看:测试方法正确,测试系统的软硬件设计达到了预定的设计目标,各项指标基本符合嵌入式核测试复用的各项要求.只要加以改进,就可以达到实用化的程度.

### 5. 期刊论文 鲍芳,赵元富,杜俊, BAO Fang, ZHAO Yuanfu, DU Jun 具备兼容性和层次性的SOC测试控制结构设计 - 微电子学 2008, 38 (2)

IP核的集成问题是SOC设计的关键,测试集成更是无法回避的难题.因此,灵活高效的测试控制结构成为SOC可测试性设计的重要研究内容.文章分析了IEEE Std 1149.1对传统IC芯片内部和外部测试的整体控制能力;剖析了IEEE Std 1500TM对嵌入式IP核测试所做规定的标准性和可配置性.在此基础上,提出了一种复用芯片级测试控制器的测试控制结构,该结构能兼容不同类型的IP核,并且有助于实现复杂SOC的层次性测试控制.

### 6. 期刊论文 车彬,樊晓桢, CHE Bin, FAN Xiao-ya SoC可测性技术研究 - 测控技术 2009, 28 (6)

超深亚微米工艺和基于可复用嵌入式IP模块的系统级芯片(SoC)设计方法使测试面临新的挑战,需要研究开发新的测试方法和策略.介绍了可测试性设计技术常用的几种方法,从芯核级综述了数字逻辑模块、模拟电路、内存、处理器、第三方IP核等的测试问题,并对SoC可测试性设计策略进行了探讨,最后展望了SoC测试未来的发展方向.

### 7. 学位论文 任小军 面向测试复用的测试环和SOC DFT结构设计的研究 2006

本文对面向测试复用的测试环和SOC DFT结构设计进行了研究.文章介绍了面向嵌入式IP核测试的相关标准和IEEEP1500标准的研究状况,重点研究了SOC系统级测试架构的设计和IP测试环的选取与改进,详细分析了目前常用的几种测试环结构和测试环单元电路,提出了一种新的双向传输测试环的思想,并给出了这种测试环单元电路的一种实现方法,保证在正常功能模式状态或者某些特定测试状态下,该测试环单元电路能够在控制信号作用下,实现向IP核输入数据或者读出IP核的数据.采用这种测试环单元,可以满足带有双向数据传输端口的IP核的测试环插入要求,有利于提高整个系统的故障覆盖率.

### 8. 期刊论文 王永生,肖立伊,毛志刚,叶以正 SoC的可测试性设计技术 - 同济大学学报(自然科学版) 2002, 30 (10)

基于可复用的嵌入式IP(intellectual property)模块的系统级芯片(SoC)设计方法使测试面临新的挑战,需要研究开发新的测试方法和策略.结合系统级芯片的可测试性设计技术所面临的技术难点,详细介绍了当前系统级芯片的可测试性设计技术,分析了各种系统级芯片的可测试性设计技术的特点及其优缺点,着重讨论了国际工业界内针对系统级芯片测试的方案:IEEE P1500和虚拟插座接口联盟(VSIA)测试访问结构.

### 9. 会议论文 王永生,叶以正,毛志刚 SoC的可测试性设计技术 2002

基于可复用的嵌入式IP(Intellectual Property)模块的系统级芯片(SoC)设计方法使测试面临新的挑战,需要研究开发新的测试方法和策略.结合系统级芯片的可测试性设计技术所面临的技术难点,详细介绍了当前系统级芯片的可测试性设计技术,分析了各种系统级芯片的可测试性设计技术的特点及优缺点,着重讨论了国际工业界内针对系统级芯片测试的方案:IEEE1500和虚拟插座接口联盟(VSIA)测试访问结构.

### 10. 学位论文 董晓军 手机音视频处理芯片的低功耗设计 2004

SoC(片上系统System on Chip)已经成为集成电路的发展趋势.与传统的系统相比,片上系统具有很多优势,比如它将系统中IC数目降到最低,体积缩小跟成本降低是可以预期的,而把所有电路浓缩到一颗芯片使得不同模块间彼此的连接距离都相当短,可以增加执行效率和减小耗电量,同时系统中外部连接数目的减少也提升了可靠度. 本文的设计就是一个低功耗SoC,它是一个面向手机多媒体应用的芯片,可同时实现MIDI、ADPCM、MP3等音乐格式的解码,同时有CMOS Sensor接口,具有拍摄、预览和简单图像处理等功能.该芯片同时提供对双LCD显示屏的支持,可直接控制主副LCD显示屏或由外部手机主处理芯片旁路控制LCD显示屏.支持外接SD卡,可直接读取或存储数据.整个芯片包括ARM7TDMI、JPEG、PLL、DAC、IOPAD、低功耗状态转换电路以及30K字节的RAM和3M字的程序波表ROM.在芯片的设计中,对一款手机芯片的面积、嵌入式IP的利用、低噪声、可测试性设计等进行了研究,特别是在低功耗设计方面,结合该芯片的实际情况和特殊要求进行了实现.

在低功耗方面,主要从电源管理、时钟管理、总线管理、IOPAD处理、物理版图等方面进行实现,同时为了满足设计的复用性,定制了特殊的IO,同时支持8位和16位的CPU接口,与外部数码相机、SD卡等之间的接口电平可以是1.8V或者

3.3V，使得说芯片在不同的系统开发中的兼容性大大提高。该芯片为众多需要集成数字音视频处理嵌入式芯片的设计比如手机和掌上电脑等提供了一个低成本低功耗的解决方案。本文的手机音视频处理芯片，采用了SMIC 0.18um单层多晶6层铝线N阱工艺设计和流片。芯片的面积包括PAD和划片槽)为6000um<'\*>6000um。工作电源有3.3V模拟电源，3.3V / 1.8V数字IO电源和1.8V芯核数字电源。

本文链接: [http://d.g.wanfangdata.com.cn/Thesis\\_Y1170595.aspx](http://d.g.wanfangdata.com.cn/Thesis_Y1170595.aspx)

下载时间: 2010年5月5日