Vol. 31 No. 6 Dec. 2008

Implement of Windowing in ROIC

WANG Lei, XIE Liang, XIA Xiao-juan, SUN Wei-feng*
(School of Electronic Science and Engineering, Southeast University, Nanjing 210096, China)

Abstract: An implement of windowing in ROIC(Readout Integrated Circuit) is presented. The principle, structure, function and logic design of the circuit, made from windowing ROIC, are studied and the designs of ROIC are verified by computer simulation results. This module can provide many functions, such as readout from destined pixel, window size, starting address and readout sequence. It can not only full windows readout to ensure wide field of view, but also readout from destined regional, so as to improve the transfer rate.

Key words: infrared focal plane array; ROIC; windowing; simulation

EEACC: 7250G

读出电路中的开窗口读出方法实现

王 磊,谢 亮,夏晓娟,孙伟锋*

(东南大学电子科学与工程学院,南京 210096)

摘 要:主要研究了一种应用于读出电路中的开窗口读出方法。详细描述了开窗口读出电路的工作原理,电路功能和逻辑设计,并通过计算机仿真验证了电路设计的正确性。该方法可以实现任意开窗,即从指定像素开始读出,窗口大小、起始地址和读出顺序均可控;不但可以满像素输出保持大的视场,而且可以任意指定图像中的一个区域开窗口读出,大大提高了图像输出的速率。

关键词:红外焦平面;读出电路;开窗口;仿真

中图分类号:TN495

文献标识码:A 文章编号:1005-9490(2008)06-1883-04

红外焦平面器件是一种光电摄像器件,其作用 是将空间光辐射信号转变为具有一定时序的电信 号[1],一般由红外焦平面探测器阵列和红外焦平面 读出电路两部分构成,红外焦平面器件因其放置在 光学系统的焦平面位置而得名^[2-3]。

作为红外焦平面主要部件之一的读出电路,在整个红外系统中是十分重要的一个环节,其性能优劣直接影响到红外焦平面阵列,甚至整个红外系统的性能。读出电路的主要功能是对探测器感应的微弱电信号进行前置处理(如积分、放大、滤波和采样/保持等)及信号的并/串行转换[4-5]。

目前由于读出电路的基本模块发展已经成熟,人 们将注意力逐渐转移到增强焦平面阵列功能和减少 整个系统的复杂性方面。正在研制中的第三代灵巧 焦平面其中一个重要功能就是开窗口功能,即允许一 个大的焦平面窗口作为低帧速率的采集传感器工作, 维持宽视场、高灵敏度和适度的数据速率;另一方面, 又能起一个约定传感器的作用,即以高的帧速率输出 一个窄的视场,同时保持适度的总数据速率^[68]。

1 电路设计

1.1 电路功能设计

要实现开窗口读出,电路需包括数据寄存器,行地址选择电路,行窗口大小控制电路,列地址选择电路, 级窗口大小控制电路,框图如图1所示。

数据寄存器主要用于传输和锁存 DATA 数据。 数据寄存器的输出为行、列起始地址和窗口大小,用 来控制读出像素的大小和范围。

行地址选择电路的主要作用是将二进制的行地 址转换成格雷码编码的行地址来进行计数。

收稿日期:2008-03-31

作者简介:王 磊(1983-),男,攻读硕士学位,主要从事数模混合集成电路的研究与设计,harewanglei@163.com; 孙伟锋(1977-),男,博士,副教授,主要从事功率器件与集成电路的研究、设计,swffrog@seu.edu.cn.

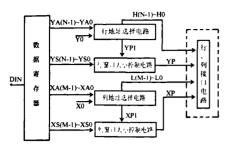


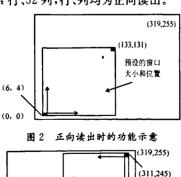
图 1 读出电路整体框图

行窗口大小电路主要用于对行窗口大小进行计数,并且当计数到满足窗口大小时结束行选。

列地址选择电路的主要作用是将二进制的列地 址转换成格雷码编码的列地址来进行计数。

列窗口大小电路主要用于对列窗口大小进行计数,并且当计数到满足窗口大小时结束该行的列选。

通过上述电路,不仅可以按正常的满像素读出图像,也可以通过人为设置起始位置和窗口大小进行开窗口读出,并且带有读出方向可选和溢出控制功能。共有四种读出方向:分别为两种行读出方向:从上到下、从下到上,两种列读出顺序:从左到右、从右到左,一共是四种读出组合。图 2、图 3 和图 4分别示出开窗口读出电路正向读出、反向读出和和发生读出溢出时的功能示意图。其中图 2表示窗口起始地为(6,4),窗口大小为 128 行,128 列,行、列均为正向读出;图 3表示窗口起始地址为(311,245),窗口大小为 128 行,128 列,行、列均为反向读出;图 4表示窗口溢出的情况,其中窗口起始地址为(268,132),预设窗口大小为 128 行、128 列,实际窗口大小为 124 行、52 列,行、列均为正向读出。



預设的窗口 大小和位置 (184,118)

图 3 反向读出时的功能示意图

读出电路总的工作过程描述如下:电路上电以后,在每一帧的行选信号到达以后,行地址选择电路首先进行计数前的置位,置位的起始地址根据数据

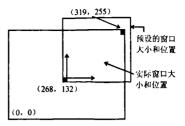


图 4 发生读出溢出时的功能示意图

寄存器输出的行起始地址得到,之后在此基础上进行计数,同时行窗口大小控制电路也进行计数前的置位,起始窗口大小根据数据寄存器输出的行窗口大小得到,之后在此基础上进行计数。正常情况下,当行窗口大小电路计数到满足预设的行窗口大小时,产生行选结束信号,该帧的读出结束。溢出情况下,虽然行窗口大小电路还未满足行窗口大小,但是行地址选择电路已经计数到第一行(反向读出时)或者最后一行(正向读出时),此时也会产生行选结束信号,结束该帧的读出。

在每一行的列选信号到达以后,列地址选择电路首先进行计数前的置位,置位的起始地址根据数据寄存器输出的列起始地址得到,之后在此基础上进行计数,同时列窗口大小控制电路也进行计数。时到窗口大小根据数据寄存器输出的列窗口大小得到,之后在此基础上进行计数。正常情况下,当列窗口大小电路计数到满足预设的列窗口大小时,产生列选结束信号,该行的读出结束。溢出情况下,虽然列窗口大小电路还未满足列窗口大小,但是列地址选择电路已经计数到第一列(反向读出时)或者最后一列(正向读出时),此时也会产生列选结束信号,结束该行的读出。读出电路一帧的工作流程如图 5 所示。

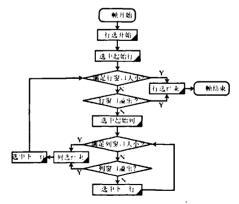


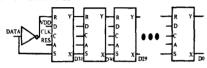
图 5 读出电路一帧的工作流程图

1.2 电路逻辑设计和功能仿真

本设计采用 CMOS0. 5 μ m 双硅三铝工艺实现, 阵列规模为 320×256。

1.2.1 数据寄存器的设计

数据寄存器模块主体由 32 个下降沿触发主从RS 触发器构成的锁存器组成,数据长度为 32 位。电路框图如图 6 所示。 32 位数据通过输入端 DATA 串行置入锁存器,用于控制窗口起始位置和窗口大小。按先后顺序依次为 D_{31} , D_{30} … D_{6} 。 32 位输出数据包括 7 位控制行起始地址的 $YA_{6} \sim YA_{6}$,7 位控制行窗口大小的 $YS_{6} \sim YS_{6}$,8 位控制列起始地址的 $XA_{7} \sim XA_{6}$,8 位控制列窗口大小的 $XS_{7} \sim XS_{6}$,这里的行、列起始地址分别作为行、列地址选择电路的输入;行、列窗口大小分别作为行、列窗口大小控制电路的输入。



困 6 数据寄存器模块电路框图

1.2.2 行地址选择电路的设计

行地址选择电路模块主要采用加法计数器构 成,如图 7 所示,其内部结构与数据寄存器模块所用 的主从 RS 触发器相类似,配合一些门电路来完成 初始地址的置入与计数功能。行地址选择电路输入 为行起始地址 YA。~YA。,行输出顺序改变信号 Y_0 ,输出为格雷码编制的行地址 $H_0 \sim H_0$,以及翻转 读出信号 H₂, H₂ 与 H₆~H₆ 组成电路的 8 位输出 行地址,电路的翻转读出功能是靠最高位 Hz 实现 的。采用格雷码编码的原因在干格雷码属干可靠性 编码,是一种错误最小化的编码方式,使用格雷码编 码的数字信号在进行数模转换时可以使电路产生的 尖峰电流脉冲减至最小。当 Y_0 为 0 时,输出最高 位 H₂ 与 YA₆ 相同,此时行读出方向为顺序读出; 当 Yo 为 0 时,输出最高位 H₇ 与 YA。相反,此时行 读出方向为反向读出。在这部分电路中,由行地址 选择电路的输出配合行溢出控制部分电路还可以达 到行窗口溢出控制,其原理是当行地址计数到结束 行(反向读出时为第一行,正向读出时为最后一行) 时,行溢出控制电路产生行地址溢出信号 YP1。

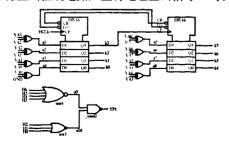


图 ? 行地址选择电路结构框图

1.2.3 行窗口大小控制电路的设计

行窗口大小控制电路的主要结构采用同上面类似的加法计数器构成。其输入为行窗口大小 YS。~YS。,输出为 Z。~Z。以及 Z,,Z,用于控制行选的结束。电路开始计数之前,会首先进行置位,Z。~Z。的起始值大小为 YS。~YS。的反。之后电路正常计数,这 样 当 Z,~Z。 计 到 由 011111111 转 变 成 10000000 时,刚好满足窗口大小。此时电路产生行窗口大小标志信号 YP。无论是行地址溢出还是满足行窗口大小时,电路均会产生行选结束信号 YP。行窗口大小控制电路结构框图如图 8 所示。

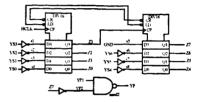


图 8 行窗口大小控制电路结构框图

1.2.4 列地址选择电路的设计

列地址选择电路输入为列起始地址 XA7~ XA。,列地址的选择分成两步完成,首先是把原始的 二进制地址 XA7~XA。加上 00110000,对应于十进 制的 96,然后在八位二进制数的最低位添 0 变成九 位。这样做的原因是芯片共有 320 列,而九位地址 最大可以寻址 512 列,不做任何处理的话就会出现 溢出,经过处理后,去掉头尾的两个 96 正好等于 320。实现这一步的电路如图 9 所示。经过第一步 处理之后,电路的输出为 WL₈~WL₁。第二步是把 二进制的 WLs~WL1 还有添上的最低一位 0 转换 成格雷码并且进行计数。转换后的格雷码最小为 001010000,对应于十进制的 96,最大为 101010000, 对应于十进制的 415,寻址范围刚好是 320,并且对 称分布,电路的翻转读出功能是靠最高位实现的,最 高位为 0,列读出方向为顺向读出;最高位为 1,列读 出方向为反向读出。实现这一步的电路结构与行地 址选择电路类似,只是计数器的模数应为 320。由 这一步的输出配合列溢出控制电路还可以达到列窗 口溢出控制,其原理是当列地址计数到结束列(反向 读出时为第一列,正向读出时为最后一列)时,列溢 出控制电路产生列地址溢出信号 XP1。

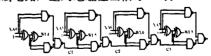


图 9 列地址选择第一步实现电路

1.2.5 列窗口大小控制电路的设计

列窗口大小控制电路的主要输入为列窗口大小

 $XS_a \sim XS_o$,输出为 $W_7 \sim W_o$,用于控制列选的结束。 电路开始计数之前,会首先进行置位, $W_7 \sim W_o$ 的起始值大小为 $XS_a \sim XS_o$ 的反。之后电路正常计数,这样当 $W_7 \sim W_o$ 计到 111111111 时,刚好满足窗口大小,此时电路产生列窗口大小标志信号 XP_2 。无论是列地址溢出还是满足列窗口大小时,电路均会产生列选结束信号 XP_o 这部分电路结构与行窗口大小控制电路类似,只是计数器的模数应为 320。

1.2.6 仿真结果

仿真软件使用 Cadence 中的 verilog-XL, 0. 5 um DPTM 工艺库。

图 10 为读出电路一帧时序图。选择的行窗口 是满像素输出,行读出方向为正向读出。其中 FSYNC 为帧同步信号,LSYNC 为行同步信号,在 一帧时间内,256 行依次导通。



图 10 读出电路一帧的工作时序图

参考文献:

- [1] 张华斌,张庆中,红外焦平面阵列技术现状和发展趋势[J].传感器世界,2005(5);6-10.
- [2] 沈晓,丁瑞军,读出电路数字模块设计[J]. 激光与红外,2007 (9),985-989.
- [3] 杨彪·颜夕宏. 红外焦平面阵列读出电路设计[J]. 半导体光电, 2005(3),88-90.
- [4] 刘成康. 紅外無平面阵列 CMOS 读出电路研究[D]. [博士学位 论文]. 重庆: 重庆大学, 2001.

图 11 为读出电路一行时序图。假设选择的列窗口是满像素输出,列读出方向为正向读出。在一行时间内,320 列依次导通。

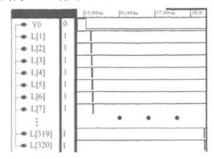


图 11 读出电路一行的工作时序图

2 结论

依据读出电路目前的发展趋势,必须设计一些高性能的电路关键模块。本文所研究的应用于红外焦平面的开窗口读出电路可以实现任意开窗,并且窗口大小、起始地址和读出顺序均可控;具有广泛的适应性,除可以应用于红外焦平面以外,还可用于 CMOS 图像传感器读出电路、紫外焦平面读出电路等。以像素单元为 320×256 为例,对电路进行了功能和逻辑设计并且通过仿真验证了设计的可靠性。

- [5] 沈晓燕. 非致冷紅外焦平面阵列 CMOS 读出电路设计及其仿真[D]. [硕士学位论文]. 南京: 南京理工大学, 2002.
- [6] Kozlowski L. 2 64 GaAs Readout for IRFPA Application [C]//SPIE. 1992. 1684. 131-138.
- [7] Hsieh Chih-Cheng, Wu Chung-yu. A New Cryogenic CMOS Readout Structure for Infrared Focal Plane Array[J]. IEEE J, Solid-state Circuit, 1997,32(8):1192-1199.
- [8] Scribner D. et al. Infrared Focal Plane Array Technology[J]. Proc IEEE, 1991, 79(1):66-85.