

华中科技大学

博士学位论文

瞬态增强的无电容型LDO设计

姓名：邹志革

申请学位级别：博士

专业：微电子学与固体电子学

指导教师：邹雪城

20070521

## 摘 要

集成稳压器正向着高功率密度、高可靠性、高效率三个方向迈进，低压差线性稳压器（Low Dropout Regulator, LDO）作为其中的一员，被越来越广泛地应用到便携式电子产品中，并向着片上系统（System on Chip, SoC）集成的方向发展。由于应用简单、便于集成的优点，无电容型 LDO 成为各类应用的首选。与传统的 LDO 相比，无电容型 LDO 在稳定性和瞬态特性上存在着较大缺陷，其稳定性和瞬态特性是其设计中的最大挑战。本文系统的论述了瞬态增强无电容型 LDO 的设计考虑、方法和过程。

本文围绕无电容型 LDO 的瞬态特性、无电容型 LDO 的稳定性、模拟集成电路的设计流程、LDO 的基本设计指标等四个主要方面进行了研究。

研究并总结了 LDO 的设计指标。研究了 LDO 的每一个设计指标，给出每一个指标的含义、产生原因以及各指标的相互关系，更新和修正了部分设计指标的详细表达式。基于指标的研究，得出设计中要考虑的折衷关系。

论文研究了模拟集成电路的设计流程。研究了模拟集成电路的模型类别，重点研究了基于宏模型的模拟集成电路设计流程。给出了运算放大器的宏模型具体设计方法，并基于该模型，提出了“宏模型 + 晶体管级电路”的混合宏模型建立方法，并以 LDO 的设计实例验证了该方法的高效率。

论文研究了无电容型 LDO 的环路稳定性。本文提出了一种改进的阻尼系数控制（Damping Factor Control, DFC）频率补偿技术，使得无电容型 LDO 在单位增益带宽以内只有一个主极点，保证了负载电流在大范围变化时的系统稳定性。本文为基于 DFC 频率补偿技术的无电容型 LDO 进行了细致的计算和推导，建立的详细的行为级模型和宏模型，依靠行为级模型和宏模型的仿真结果指导了晶体管级电路的设计与实现。

论文还研究了无电容型 LDO 的瞬态响应特性。本文首先研究了传统 LDO 的瞬态

响应特性，作为对比，重点研究了无电容型 LDO 的瞬态特性，分析了所有影响瞬态特性的因素。针对影响瞬态特性的重要因素，提出了一种基于简单电压比较的无电容型 LDO 的瞬态增强方法。该方法基于基本运算放大器、基本反向器、推挽输出级，在 LDO 负载瞬态变化时，能为调整管栅极提供额外的驱动电流，有效提高无电容型 LDO 的瞬态响应速度。

基于上述研究，本论文设计了一款基于 HHNEC 0.25 $\mu\text{m}$  标准 CMOS 工艺的瞬态增强无电容型 LDO 电路，应用在无线传感器网络节点基带 SoC 芯片中。给出了详细的设计流程，包括芯片规格定义、模块划分和指标推导及确定、混合模型验证各模块指标、晶体管级电路设计、仿真和验证。该 LDO 电路的工作电压为 2.0V ~ 3.3V，在提供 100mA 负载电流的情况下电压差仅为 50mV，负载瞬态变化时的最大输出电压过冲量为 90mV，由于电源电压变化和负载变化引起的输出电压误差达到 0.039%，整个电路的静态电流为 44 $\mu\text{A}$ 。

关键词：LDO，无电容型，瞬态响应增强，稳定性，宏模型，阻尼系数控制，频率补偿

## **Abstract**

Integrated voltage regulator has become of high power density, high reliability and high efficiency. As a member of regulators, low dropout regulator (LDO) has been widely used in portable products, which develops in the direction of System on Chip (SoC). For its simple application and easy integration, the capacitor-less LDO is the best choice. Compared with the conventional LDO, capacitor-less LDO has a great drawback of stability and transient response, which is the most challenging part. Design consideration, design method and design flow of transient-enhanced capacitance-less LDO are discoursed in this thesis in detail.

Researches include transient response, stability of capacitor-less LDO, design flow of analog Integrated Circuit and the basic specification of LDO.

At first, the specification of LDO is reviewed and summarized. Each spec. of LDO is researched, updated and corrected, including the definition, influencing factor and the relationship of each other.

Secondly, the design flow of analog integrated circuit has been researched. All level modeling type of analog integrated circuit is researched, especially for the macro-modeling. Detail macro model of operation amplifier is presented, based on which, the mixed macro model with “Macro model + Transistor level circuit” is introduced to increase the design efficiency and facility.

Thirdly, the loop stability of the capacitor-less LDO has been researched. A modified Damping Factor Control (DFC) frequency compensation method is proposed. The new LDO scheme provides full range ac stability from 50 $\mu$ A to 100mA load current by only one pole frequency lower than unity gain frequency. Detail calculation and derivation for the DFC technology based cap-less LDO are given out. The behavior and macro model are built, which are the guide to design and realize the transistor level circuits.

At last, the transient response of capacitor-less LDO has been researched. The transient response of capacitor-less LDO is analyzed in comparison with the traditional LDO first. The influence factor to the transient response of capacitor-less LDO is analyzed, based on which a novel transient-enhanced method for capacitor-less LDO is proposed. Basic operational amplifier, inverter and push-pull driver are introduced to increase the slew rate current of the pass device gate when the load current is changed, so the transient response is enhanced.

A 100mA, 1.8V, transient-enhanced capacitor-less LDO voltage regulator was designed in the HHNEC 0.25 $\mu$ m standard CMOS technology, which was applied to a base band SoC chip in wireless sensor network nodes. Detail design flow is given out, including circuit spec. derivation, sub-circuits dividing, transistor level circuit design, and simulation and so on. The simulation shows that the LDO consumes only 44 $\mu$ A of ground current with a dropout voltage of 50mV under 100mA load current. The maximum over-shoot voltage is 90 mV and the output voltage error is only 0.039 % due to the line regulation and load regulation.

**Keywords:** Low Dropout Regulator, Capacitance-less, Transient-Enhanced, Stability, Macro-Model, Damping Factor Control, Frequency Compensation

## 独创性声明

本人声明所呈交的学位论文是我个人在导师指导下进行的研究工作及取得的研究成果。尽我所知，除文中已经标明引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的研究成果。对本文的研究做出贡献的个人和集体，均已在文中以明确方式标明。本人完全意识到本声明的法律结果由本人承担。

学位论文作者签名：

日期： 年 月 日

# 学位论文版权使用授权书

本学位论文作者完全了解学校有关保留、使用学位论文的规定，即：学校有权保留并向国家有关部门或机构送交论文的复印件和电子版，允许论文被查阅和借阅。本人授权华中科技大学可以将本学位论文的全部或部分内 容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存和汇编本学位论文。

本论文属于 保 密□，在\_\_\_\_\_年解密后适用本授权书。  
不保密□。

(请在以上方框内打“√”)

学位论文作者签名：

指导教师签名：

日期： 年 月 日

日期： 年 月 日

# 1 绪 论

集成稳压器正向着高功率密度、高可靠性、高效率三个方向迈进，低压差线性稳压器（Low Dropout Regulator, LDO）作为其中的一员，以其工作电压低、输出噪声低、体积小以及应用简单的特点，被越来越广泛地应用到便携式电子产品中，并向着片上系统（System on Chip, SoC）集成的方向发展。本章首先讲述课题的研究背景以及 LDO 芯片的发展趋势，基于本文的研究内容是无电容型 LDO，第三节给出了无电容型 LDO 的研究现状，由此得出选题的依据，第四节归纳了本文的主要研究内容和论文组织结构。

## 1.1 课题背景

现代电子设备离不开电源电路，电源电路的性能好坏，往往决定了电子设备的寿命和性能。电源管理芯片将各种外部电源（电池、市电）经过变换后，为电子设备提供稳定、可靠的电源。除了稳定、可靠的基本要求外，现代电子设备对电源芯片提出了更多的要求，比如：高效率、快速响应、低噪声、高功率密度、高电源抑制比、安全保护等等。

### 1.1.1 电源管理芯片应用背景

电源管理芯片是一种不同电压之间的桥接和转换芯片。在一个电子系统中，由于多个电压的并存，电源管理芯片将会长期存在。多个电压并存的原因很多，主要包括：

（1）一个电子系统中，会存在多种不同功能的芯片，其半导体生产工艺也不尽相同。主流的数字集成电路工艺中， $0.5\mu\text{m}$  CMOS 工艺的标准工作电压为 5V， $0.18\mu\text{m}$  CMOS 工艺的标准工作电压为 1.8V，而且，随着工艺尺寸的减小，降低芯片工作电压将成为必然的趋势<sup>[1, 2]</sup>。虽然工艺尺寸的减小意味着芯片面积减小、工作频率增加、功耗的降低，但是，工艺尺寸的减小同时意味着芯片生产成本的大幅增加。为达到电子系统的性价比最优，芯片采用何种工艺实现需要进行折衷考虑，由此带来一个系统中多个电源电压的存在。

（2）低功耗是当前电子产品设计中的重要挑战<sup>[3, 4]</sup>。数字电路中占主要地位的是

动态功耗，其与供电电压的平方成正比。降低数字电路的工作电压，成为减小芯片功耗的最有效手段<sup>[3]</sup>。但是，模拟和接口电路却受到净空（Head-room）和驱动能力的限制，往往要求采用比数字电路更高的工作电压<sup>[5]</sup>。因此，一般的数模混合电路中，模拟电路的供电电压要高于数字电路的供电电压。受到芯片引脚数目和印制电路板（Printed Circuit Board，PCB）板上芯片数目的限制，整个芯片由外部单电源供电，在片内通过电源管理电路提供多种电源电压，成为大规模的数模混合芯片电源电路的发展趋势。

（3）当今的手持电子设备中，多以锂离子电池或者碱性电池提供电力。电池电压一般相对固定，不容易满足电子设备中多种电源电压的需求，这需要在系统级或者芯片级中将一种电压变换为多种电压。电池在使用过程中，其电压会变化，对于电源要求较高的系统而言，也需要电源管理芯片来提供一个始终恒定的电压。

可见，在一个电子系统中，为优化电路的性能和成本，往往提供多个电源电压。随着 SOC 的逐渐发展，在一颗芯片中采用多个电源电压也变得越来越常见<sup>[6]</sup>。

#### 1.1.2 电源管理芯片分类

在电子产品的电源应用中，电源的变换包括：（1）整流，即交流（AC）电源变换为直流（DC）电源；（2）逆变，即 DC 变换为 AC；（3）变频变相，即 AC 变换为 AC；（4）直流变压，即 DC 变换为 DC。将一种直流电压变化为另外一种直流电压的电源管理模式有如下三种：

（1）LDO 线性稳压器适用于降压变换。从基本原理来说，LDO 根据负载的变化情况来调节自身的输出电阻，从而保证输出端的电压恒定不变。在小型应用时只要求输入和输出旁路电容即可构成完整的应用方案。由于采用线性调节原理，LDO 输出噪声和纹波很小，很适合锂电池充电<sup>[7-9]</sup>、音频放大器<sup>[10, 11]</sup>和 RF 电路<sup>[12-14]</sup>供电。其转换效率可以简单地看作输出与输入电压之比，只适合于输入输出电压差较小的场合。

（2）电荷泵式（Charge Pump）电压变换器<sup>[15]</sup>，是一种利用泵电容（而非电感或变压器）来储能的直流-直流（DC-DC）变换器，它们能产生高于或低于输入电压的输出电压，也可以用于产生负电压。由于电路是开关工作的，电荷泵结构也会产生一定的输出纹波和电磁干扰。受到电容容量的限制，电荷泵最大输出电流一般小于 300mA，效率最高在 80% 左右。电荷泵只需外接陶瓷电容，从而有助于节省电路板面积，为要求效率高于 LDO 器件、而空间不够或成本预算不足的应用提供了一种解决方案。



(3) 电感型开关式 DC-DC 变换器利用电感储能<sup>[16, 17]</sup>, 不论是升压变换器(Boost) 降压变换器(Bulk) 还是升压降压变换器(Boost-Bulk, CUK, SEPIC), 都可以实现最高的电源转换效率。由于电路复杂, 与线性稳压器或电荷泵式电源相比, 开关式 DC-DC 变换器要求更大的芯片面积。先进封装技术使得开关晶体管能集成到器件中, 减少了外围器件, 使用时只需外接一个电感和必要的输入、输出电容, 可以使整个方案的体积进一步减小, 但由于功率器件的开关动作, 使输出电压存在较大的纹波。开关式 DC-DC 变换器一般用在对系统效率较高、对噪声要求不高的场合。

三种电源的优缺点在表 1-1 中进行了比较。由于各自具有不同的特点, 所以在不同的应用领域, 可以选择不同的电源类型<sup>[18]</sup>。在某些特殊的领域, 可以将这三种电源进行组合, 构成性能更佳电源管理系统<sup>[19, 20]</sup>。

表 1-1 三种直流/直流变换电源对照表

电源类型	主要优点	主要缺点	主要应用领域
电荷泵	成本适中、效率适中	噪声大、精度不高	效率高于 LDO 器件、而空间不够或成本预算不足的应用
电感型 DCDC 变换器	高效率、升压降压	高成本、面积大、噪声大、低负载时效率降低	输入输出电压差值大, 对效率要求较高的领域。
LDO	低成本、低噪声、高响应速度、精度高	效率低、只能降压	输入电压和输出电压差较小、对系统噪声敏感领域

## 1.2 LDO 芯片发展趋势

由于开关式电源和线性电源各自具有的优缺点, 两种电源目前没有一种取代另外一种的趋势, 可以预计在较长一段时间内, 两种电源将并存。低压差线性稳压器(LDO) 是电源管理芯片技术中相对成熟的一种, 其结构简单, 输出噪声和纹波都很小, 很适合于对噪声敏感的系统应用中。另外, LDO 具有体积小、应用简单的特点, 因此越来越广泛地为便携式电子产品所使用, 其市场增长率超过了电源管理芯片整体的平均增长率<sup>[21]</sup>, 成为了电子系统电源管理必不可少的模块之一。

前人在提高 LDO 工作效率、降低 LDO 电压差、增强 LDO 环路稳定性、提高电源的负载调整率和线性调整率、提高输出电压精度等做出了诸多努力。

### 1.2.1 LDO 的应用趋势

早期的 LDO 电源产品多以独立的模块芯片出现, 这是由当时的电子系统中芯片功能相对简单和独立决定的。随着 SoC 的发展, 要求尽可能地减少外围电路, 越来越

多的模块被纳入芯片内部，而 LDO 简单的结构和占用面积小的优点，使其很容易与其他模块一起集成到 SoC 芯片上<sup>[6, 22, 23]</sup>。

由于开关式电源和线性电源各自具有的优缺点，一种新的应用趋势是将开关式电源和线性电压组合在一起，构成复杂的多电源供电系统。对于输入和输出电压相差较大的应用场合，如果对电源的噪声要求较高，可以采取的供电模式是“DCDC+LDO”，即先用电感储能式开关电源对电压进行大范围变化，再利用 LDO 对输出电压进行调整。这种“双模式”供电，既提高了系统效率，又尽可能降低了电源的噪声<sup>[19, 20]</sup>。

由于各功能模块的工作和待机状态、电源噪声要求、负载驱动能力、瞬态响应速度等的不同需求，在一个系统中往往存在多个独立的 LDO 模块和 DC/DC 模块<sup>[24]</sup>。“DCDC + LDO”的双模式供电得到越来越普遍的应用，国外不少知名 IC 公司均提供了这类芯片及应用解决方案。

例如，电源管理芯片第一大提供商美国国家半导体（NS）的多功能电源管理单元 LP3970 内置了 11 个线性稳压器，其中 8 颗负责驱动数字负载，而另外 3 颗负责驱动模拟负载，LP3970 还有 2 个电感式 DC/DC 降压稳压器、1 个后备电池充电器及 4 个通用输出，可为应用处理器提供稳压供电。通过 I<sup>2</sup>C 接口，应用处理器可以对 LP3970 进行数字控制，根据负载情况动态调节电源电压来节省功耗<sup>[25]</sup>。图 1-1 给出了一个 2007 年初 3G 手机的电源管理解决方案<sup>[26]</sup>。

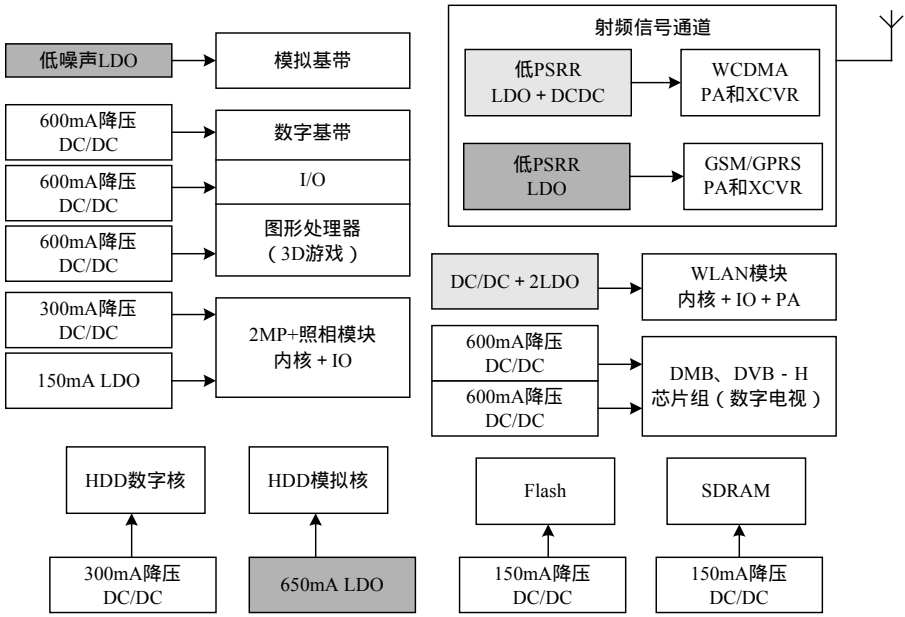


图 1-1 一种 3G 手机的电源解决方案示例

对于成本、引脚数目有限的应用中，前人设计了首先采用开关电容（电荷泵）电路将输入电压进行抬升，后级用线性电源进行精确调节的电源方案<sup>[27, 28]</sup>。

在上述应用中，无论是“DCDC + LDO”，还是单独的 LDO，均要求有高精度、低噪声的 LDO 作为最终的电源输出级。

### 1.2.2 LDO 的工艺趋势

早期的电源管理芯片，包括 LDO 芯片都采用双极型（Bipolar）工艺，这归功于双极型工艺的耐高压和大驱动能力<sup>[29]</sup>。随着 CMOS 工艺技术的发展，原先采用双极型工艺的芯片，逐步被廉价的 CMOS 工艺所取代。对于片内要求集成 LDO 模块的超大规模数模混合芯片，由于数字电路采用 CMOS 工艺几乎是唯一的选择，模拟电路和 LDO 电路也要选用与之兼容的 CMOS 工艺。对某些性能要求较高的芯片，也可以选用成本较高的 BiCMOS 工艺。

LDO 芯片中占用面积最大的关键器件是连接输入电压和输出电压的调整管（Pass Transistor）。调整管在早期一般选择双极型器件，主要是 NPN 达林顿管和 PNP 管。采用 NPN 达林顿管作为调整管，其最小压差一般在 2.5V~3V 之间；采用 PNP 管作为调整管，其最小压差可以降到 0.3V~0.6V 之间。采用 CMOS 管只需要一个 MOS 管的饱和压降  $V_{SD, SAT}$ ，一般都在 0.3V 以下，有些工艺甚至可以做到 0.1V 以下。四种调整管的主要区别在于最小压差电压，压差电压如图 1-2 所示。

从第二章的叙述可知，LDO 芯片的主要功耗在于调整管上的电压降。为进一步提高 LDO 的工作效率，LDO 的调整管现在通常选用 MOS 器件。

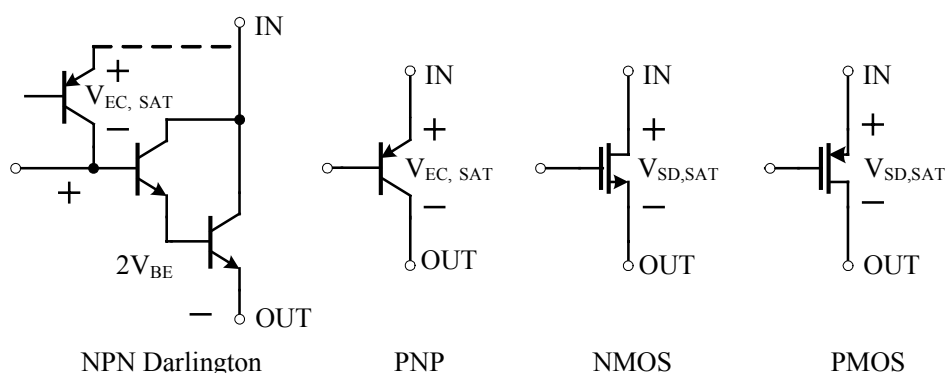


图 1-2 LDO 中三种不同的调整管结构

### 1.2.3 LDO 的技术趋势

电池供电的手持电子设备中，电池的寿命是设计人员在考虑电源管理方案中最关心的。LDO 是电源管理芯片中使用最广泛，要求也最苛刻的模块之一。随着电子系统对电源要求的提高，传统的 LDO 已经不能满足人们对芯片效率、噪声、瞬态特性等高级性能指标的要求。因而，高性能 LDO 的研究依然是电源管理芯片领域的研究热点。当今 LDO 设计的主要技术趋势体现在如下五个方面：

- 高效率和超低压差电压

效率永远是电源设计中最值得关注的问题<sup>[30, 31]</sup>。一般而言，芯片的静态功耗是一个常量，当负载变化时，芯片的效率也会在一定范围变化。用户希望电源在不同的负载情况下都能获得较高的效率。LDO 电源中提高效率的主要来源是降低调整管的电压差，以及尽可能减小芯片的偏置电流。此时需要折衷考虑的是，减小芯片的偏置电流将使得 LDO 的压摆率（Slew Rate，SR）降低，进而降低输出电压的瞬态响应速度。

数字集成电路越来越多地采用深亚微米 CMOS 晶圆制造工艺，这使 CPU 和 DSP 内核电压降至 1V 以下。这将需要一类新型电源管理芯片，这种 IC 必须接受低电压输入并提供低于 1V 的输出电压，并且具有合理的输出电流、高转换效率、低噪声以及外形扁平 and 布板紧凑的特点。在许多手持式设备应用中，存在着一种向低电压和超低压差（VLDO）发展的趋势，从一个低电源轨来供电的需求变得非常引人注目<sup>[32]</sup>。随着 LDO 输入电压的降低，其调整管上的电压差变得越来越苛刻。

- 高集成度和高功率密度

高集成度和高功率密度是当今电源设计中的一种趋势，用户希望现在的电源产品能做的越来越紧凑，并能集成越来越多的功能。目前，电源管理芯片厂商正尝试把线性稳压器、DC - DC 转换器、PWM 控制器、LDO 和充电 IC 等不同元件集成到单个器件上<sup>[6, 23, 33]</sup>。例如，在 DC-DC 上集成 LDO 或 MOSFET 以提供完整的电源解决方案。通过智能选择，在轻载的时候 LDO 代替 DC/DC 转换器工作，有利于实现更小的噪音以及更高的效率。高度集成可以提升电源性能，集成之后的电源变成一个密封的模块，电源连线之间的电感、电磁干扰等大大减少。更多的集成意味着外部更少的元件数量，减少外部元件的变数，能带来更高的可靠性，并简化其设计。很明显，功率集成技术将越来越简化电源的结构，更方便用户使用。

- 低噪声

SoC 系统复杂和集成度高的特点，带来了不可避免的电源干扰问题。SoC 中模拟

电路和数字电路越来越靠近，布局布线越来越复杂，尤其像开关电路（数字电路）产生的噪声很容易通过寄生电容耦合到电源线和地，引起电源的波动，再加上芯片外部未经调节的电源存在波纹，两者成为电源噪声的内因和外因<sup>[34]</sup>。像 DRAM<sup>[35]</sup>、ADC<sup>[36]</sup>、锁相环<sup>[37]</sup>、EEPROM 和 RF<sup>[13]</sup>这类电路，电源噪声会直接影响其工作性能，芯片中的 LDO 除了为不同电路提供稳定的输出电压外，还应能滤除电源的波动<sup>[38]</sup>。

#### ● 无输出滤波电容

稳定性是 LDO 设计指标中首先需要满足的最基本要求。传统的 LDO 一般都需要在输出端外接电容以保证稳定，此补偿方法的可靠性取决于该外接电容的等效串联电阻（Equivalent Series Resistance, ESR）值的大小<sup>[31, 39-42]</sup>。应用工程师需根据 LDO 芯片要求选用具有特定 ESR 值范围的外接电容，这将提高应用的复杂度和应用成本，而且这个外接稳定电容会占用一定的 PCB 板空间，使得产品的体积受到限制。其次，就外接电容本身来说，其 ESR 值会受工艺、温度、使用时间等多种因素的影响，一旦偏离其适用范围值，将直接恶化 LDO 的性能，甚至使其不能稳定<sup>[41]</sup>。另外，对于在超大规模集成（VLSI）电路或片上系统（SoC）而言，系统中的 LDO 如果在片内集成电容，会大幅增加芯片面积；如果采用片外电容，则需要增加芯片的引脚。所以，无论从 SoC 的应用成本和 LDO 自身可靠性而言，需要从系统设计上进行改进，设计一种无需输出电容就能实现自稳定的无电容型<sup>1</sup>（Cap-less 或者 Cap-free）LDO 电路<sup>[32, 43-47]</sup>，成为当今 LDO 设计的热点技术。

#### ● 高瞬态响应

在射频 IC 中，对电源的基本要求是低噪声和快速的瞬态响应。瞬态加强的 LDO 是理想的选择<sup>[48]</sup>。

从节能的角度看，暂时不工作的电路（芯片）应该处于关闭模式或者待机模式，一旦需要其正常工作，系统电源应该在启动信号发出后的几个系统时钟内完全准备好，通常是  $1 \sim 2\mu\text{s}$ <sup>[49]</sup>。同时，要求电源提供越来越大的电流和越来越大的电流摆率（Slew Rates, SR）。例如，Intel 公司的奔腾（Pentium）4 1.8GHz 处理器对电源的要求是：电压  $1.575\text{V} \sim 1.75\text{V}$ ，电流  $52.7\text{A}$ ，摆率  $510\text{A}/\mu\text{s}$ <sup>[50]</sup>。

LDO 系统中由于增益带宽积（GBW）和压摆率 SR 的限制，输出电压无法瞬态跟踪负载电流的快速变化。对外表现出的现象是：输出电源将会之后于负载电流的变

---

<sup>1</sup> 注：无电容型包括两种：一种是对电容的选择无任何要求，即 Cap-free；另外一种无需外接电容，依靠片内  $100\text{pF}$  以下电容即可实现环路稳定，即 Cap-less。本文所设计的无电容型 LDO，凡不做特殊说明者，均指后者。

化，而且输出电压还会出现过冲（Over-Shoot）和短时振荡。现代电子设备对电源的瞬态响应品质提出了越来越高的要求，电路设计工程师们也为提高 LDO 的瞬态响应速度从电路结构上提出了许多新的创意<sup>[50, 51]</sup>。

### 1.3 无输出电容型 LDO 技术现状

传统的LDO结构中，输出端需要并联一个微法级的电容（我们称该电容为输出电容）。该电容除了具有滤波和稳压的作用之外，还有助于LDO的环路稳定性和瞬态特性。无输出电容型LDO将面临稳定性变差和瞬态特性变差的双重压力。本节将讨论这两个方面的挑战，引出本文的研究重点。

#### 1.3.1 无电容型 LDO 的稳定性挑战

传统LDO中的输出电容具有重要作用，利用芯片外接的大电容及其ESR电阻产生一个左半平面零点，对系统进行相位补偿以保证LDO的环路稳定<sup>[31, 41, 52-55]</sup>。图1-3说明了传统LDO是如何通过ESR产生的零点来保证系统稳定的。由ESR产生的零点必须位于单位增益频率(UGF)的左侧，并且有足够的距离，以使UGF处的相移不超过 $135^\circ$ ，这样，才能使LDO有 $45^\circ$ 的相位裕度。

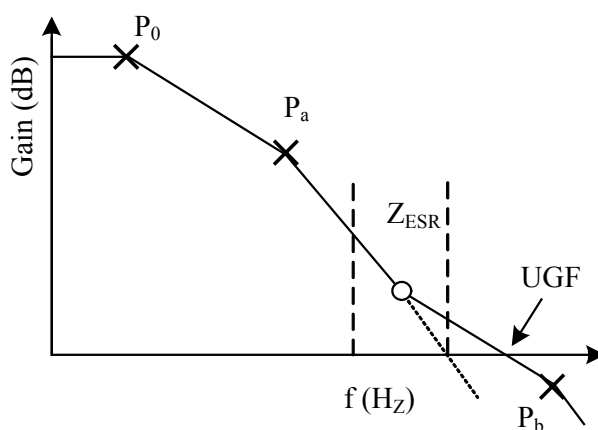


图1-3 LDO在外部ESR补偿条件下的幅频率响应

然而，这种补偿方法必然要求ESR阻值限定在一定范围内，即存在一个最大和最小值，以维持系统稳定。若是超出此范围，系统将不具备足够的相位裕度而处于不稳定的状态。

由此可见,此补偿方法的可靠与否很大程度上取决于外接电容 ESR 值的大小。应用工程师需根据不同的 LDO 芯片选用具有特定 ESR 值的外接电容,这将提高应用的复杂度和成本。而且,ESR 为寄生电阻,其阻值的大小随工艺、温度、使用时间等多种因素的影响,很难被精确的监控,从而使这种补偿方法随环境等因素的变化而变得极其不稳定。

对于无电容型LDO,系统零极点位置出现了巨大变化:没有输出端微法级的电容,系统主极点不再位于输出节点;没有输出电容上的ESR电阻,系统零点将由其它机理产生。为此,无电容型LDO中的环路稳定性需要重新考虑<sup>[56]</sup>。

### 1.3.2 无电容型 LDO 的瞬态特性挑战

同传统型LDO相比,在分析无电容型LDO的瞬态响应时,最大区别在于电路结构上少了输出端的大电容。在传统LDO中,该输出端的大电容是一个非常重要的电荷储存和提供器件,能有效减小由于负载电流阶跃变化时输出电压的跌落 $V_{dip}$ 和电压过冲 $V_{peak}$ 。因此,输出电容越大,输出电压受负载瞬态变化的影响越小。对于无电容型LDO,负载的阶跃变化必须依靠调整管的快速响应,即调整管的栅极电压根据负载的变化快速响应。由于调整管的栅极寄生电容非常巨大,导致环路的电压摆率(SR)不够,即无电容型LDO比普通LDO的瞬态响应特性差。

在巨大的摆率要求面前,由于电源输入端的ESL和阻抗的因素,大电容起到的作用越来越低<sup>[50]</sup>。为此,需要从电路结构上进行改进,在不过多增加系统功耗的前提下,提高无电容型LDO的瞬态响应速度。这是无电容型LDO设计中的第二大挑战。

### 1.3.3 无电容型 LDO 的环路稳定性研究现状

目前无片外稳定电容或称与外接电容无关的LDO技术已成为研究热点。近几年来已有不少文献提出各种各样的设计方法,如采用低导通电阻的调整管、极点控制频率补偿(PCFC)技术、动态米勒补偿技术、多零极点对补偿技术和阻尼系数控制(DFC)频率补偿技术等等。

#### (1) 低导通电阻调整管

在无电容 LDO 技术上, TI 公司的产品化工作做得比较好。以 TPS731xx 为例,

该芯片采用 BiCMOS 工艺,并使用 NMOS 作为调整器件,其低的调整管导通电阻  $R_{ON}$  使得输出极点不再成为系统的主极点,使得 LDO 具有超低压差(典型值为 30mV)和无需外接电容的特性。

DMOS 结构采用扩散结而不采用光刻工艺形成的 MOS 沟道。这种结构下的倒导通电阻  $R_{ON}$  非常低,使得其输出电容不受限制,甚至可以完全不用输出电容器。因此,DMOS 工艺给 LDO 设计带来了新的发展前景<sup>[21, 57]</sup>。

但是,功率 DMOS 首先要有工艺的支持,标准 CMOS 工艺一般不能满足制作要求。虽然可以用大于  $1\mu\text{m}$  的 CMOS 工艺集成侧向的 DMOS 管生产 IC,但这种方法仅适用于低集成度的 IC 制造。值得注意的是,采用标准 NMOS<sup>[58]</sup>或 N 型 DMOS 有一个突出的障碍,就是要求栅电压高于源电压,要满足这一要求,就需要稳压器外加电源的电压高于被调节的电压,或在芯片上加一电荷泵。尽管在许多应用中,外加的系统电压可高于所需要的调节电压,但是,需要这种外加电压的稳压器的使用和应用范围会受到很大的限制。而通过电荷泵改变栅电压的能力限制了稳压器对负载电流增加的瞬态响应能力,并且也将增加芯片尺寸、复杂度和噪声。

## (2) 极点控制频率补偿

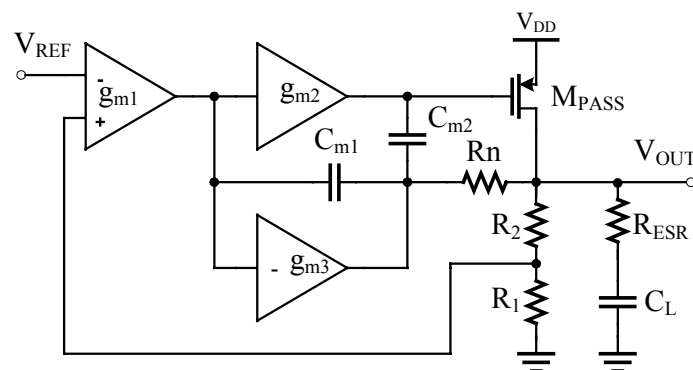


图 1-4 采用 PCFC 补偿的 LDO

采用极点控制频率补偿 ( Pole Control Frequency Compensated , PCFC ) 的技术基于网络密勒补偿 ( Nested Miller Compensated , NMC ) 技术。基于 PCFC 技术的 LDO 框图如图 1-4 所示<sup>[40]</sup>。在一般 NMC 补偿的基础上,增加前馈跨导级  $g_{mf2}$  和调零电阻 ( Nulling Resistor )  $R_n$ , 该结构可以在一定电流和温度变化范围内保证系统获得良好的稳定性,并且稳定性不受外接滤波电容的 ESR 值影响。另外,该结构提高了系统带宽,可以获得快速响应的特性。但是,负载的变化会影响主极点的位置,从而使得系统的稳定性随之变化。



### (3) 零点补偿技术

如图 1-5 所示，在误差放大器的第二级使用密勒补偿技术<sup>[42, 59]</sup>，它串联了在线性区工作的一个 PMOS 管作为动态可调电阻，由此可根据负载情况动态调节系统零点的位置，以保证稳定性。

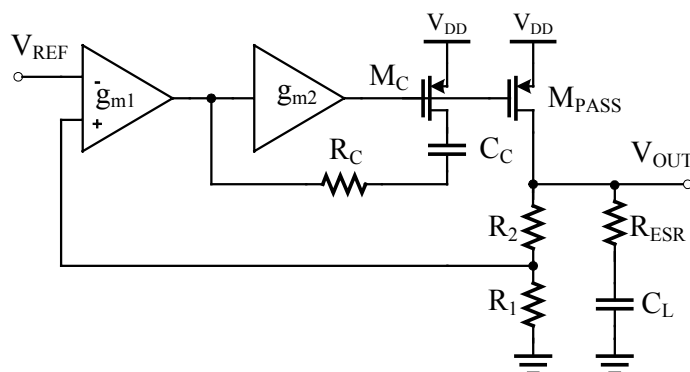


图 1-5 采用动态米勒补偿的 LDO

C.-L. Chen 提出了一种修改的动态零点补偿技术，当负载变化时自动调整零点位置，使得负载在很大范围变化时依然能保持系统稳定<sup>[60]</sup>。

这两种方法一个明显的缺点是，其用于分裂主次极点的巨大补偿电容  $C_C$ ，将占用非常大的版图面积，提高了芯片的生产成本。

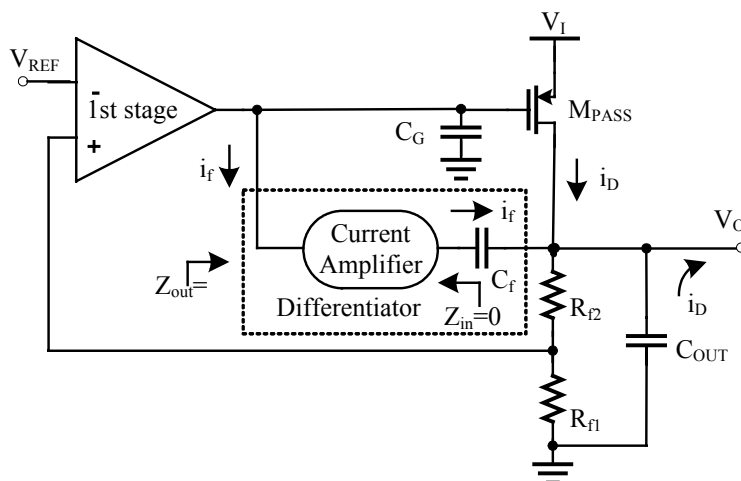


图 1-6 通过微分器分离极点的 LDO

如图 1-6 所示，Milliken 等人在调整管的输入端和输出端之间加入了一个微分器，将调整管输入节点和输出节点的两个极点进行分离，通过密勒效应增加右半平面零点来保证无输出电容的系统稳定性<sup>[46, 49]</sup>。

但是，负载电流从最大跳变到 0 时的瞬态响应时间远长于从 0 跳变到最大负载电流的时间，而且其设计的误差放大器表现出较大的噪声。

Huang 等人设计了超低工作电压下的无电容型 LDO<sup>[32]</sup>，通过改进的交流增强技术<sup>[44]</sup>，利用输出节点和误差放大器之间的密勒电容，将主极点由输出节点移动到误差放大器的输出节点，从而大大降低的对输出电容的要求。问题是前者在低电源电压情况下的输出电压稳定时间较长，而且作者并未给出全电流范围内的系统稳定性测试结果，后者在接大负载电容时输出电压稳定时间可以接收，可是当不接负载大电容时，输出电压稳定时间和过冲电压不能接受，并未实现真正的无电容设计。

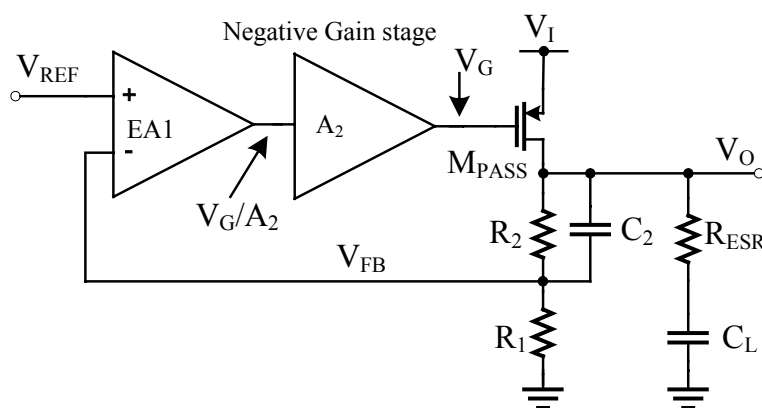


图 1-7 Leung 提出的零点补偿方案

Ka Nang Leung 还在原有普通 LDO 结构基础上，在误差放大器的输出级增加一个缓冲级  $A_2$ ，以增加环路增益<sup>[61]</sup>，如图 1-7 所示。在反馈网络端增加一个小电容，产生了一个频率比 ESR 电阻补偿零点更高频率的第二零点。由于环路增益和带宽的同时提高，系统的瞬态响应和稳定性得到了同时保证。但是，该 LDO 的结构中依然需要较大的输出电容（ $\mu\text{F}$  级），与传统 LDO 不同的是，该电路可以允许选择较低的 ESR 电阻，从而减小了负载瞬态变化时的输出电容跌落和过冲。

Liangguo Shen 将频率相关反馈因子（Frequency-dependent feedback factor）技术应用到 LDO 中，通过在反馈电压和误差放大器的输入点之间加入频率相关反馈因子电路，在系统中增加了一个低频零点，该零点使得芯片的稳定性不再需要输出电容的 ESR 电阻来提供<sup>[62]</sup>。该技术的电路示意图如图 1-8 所示。

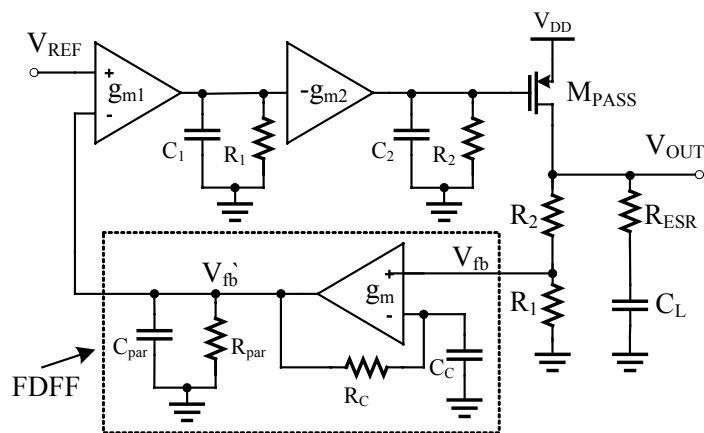


图1-8 频率相关反馈因子技术

#### (4) 多零极点对抵消技术

多零极点对抵消技术是一种将米勒补偿和左半平面零点补偿技术相结合的 LDO 频率补偿方法<sup>[45]</sup>。

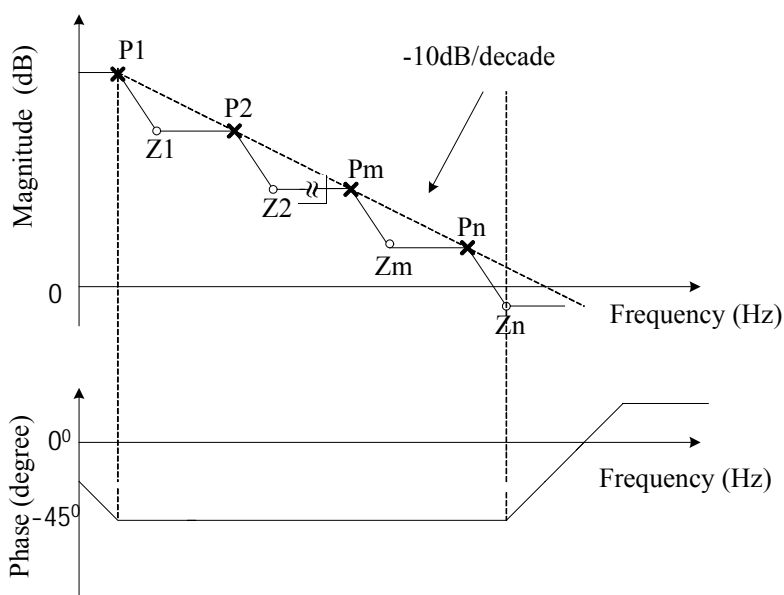


图 1-9 多零极点对补偿频率响应

图 1-9 中， $P_1$ 、 $P_2 \dots P_m$ 、 $P_n$  为系统极点， $Z_1$ 、 $Z_2 \dots Z_m$ 、 $Z_n$  为对应的补偿零点，零点 - 极点对以连串的形式出现。设计时如将零点  $Z_i$  ( $i=1, 2 \dots n$ ) 频率设计在 10 倍于极点  $P_i$  频率处，那么由于每个零点 - 极点对的相互抵消作用，从  $P_1$  到  $P_n$  的环路总相移就可控制在  $45^\circ$  左右，则不论是从外部引入一极点还是在内部某极点做何变动，系统都可以达到足够的相位裕度。

在不接入电容负载的情况下，系统相位余度过大，瞬态响应性能则不佳。另外，

该方案最大的问题在于其对调整管的结构进行了改变，这依赖于调整管中使用的电阻精度，而且该设计方案中在调整管上的电压降过大，严重影响了芯片的工作效率。另外增加的一系列串联电阻电容来产生多个零极点，就将使得版图面积大大增加。

### （5）有源电容技术

有源电容技术对LDO的拓扑结构没有任何改变，只是将以往保持系统稳定和高瞬态特性的外接无源大电容用片内的有源电容替代<sup>[63]</sup>。有源电容其实就算在运放的输入端的并接一个电阻，依靠运放的增益带宽积产生一个等效电容。这样在不占用过多芯片面积的情况下产生一个大容量的电容。

### （6）阻尼系数控制

这种方法是通过在内部增加阻尼系数控制（DFC）单元，实现对系统极点位置的重新分配。一个典型的 DFC 单元由负增益级和反馈电容组成<sup>[43]</sup>，如图 1-10 所示：

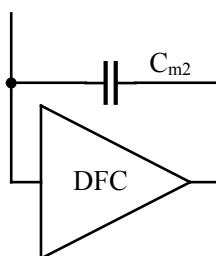


图 1-10 DFC 单元示意图

对由误差放大器、缓冲器和调整管组成的三级放大结构，该 DFC 模块可以插入到缓冲器与误差放大器之间。这种补偿方法对内部具有大电容节点的电路非常有效，提高了系统的瞬态特性。不过，因其复杂的电路结构而产生的巨大静态电流而使其难以应用于低功耗的应用场合。另外，阻尼系数控制技术在低负载电流情况下的稳定性较差。

#### 1.3.4 无电容型 LDO 的瞬态增强技术研究现状

传统 LDO 电路结构中，存在着系统的瞬态响应和其它众多指标的设计折衷考虑，比如功耗和瞬态响应速度，负载电流能力和瞬态响应速度等等，如何提高 LDO 的瞬态响应速度本身就是 LDO 设计中的挑战之一。对于无输出电容型 LDO 而言，瞬态响应情况比有输出大电容的情况更加糟糕。为此，如何在保证输出电压精度和环路稳定性的基础上，增强无电容型 LDO 系统的瞬态响应速度，成为当今 LDO 的研究热点。

为提高无电容型LDO的瞬态特性，前人从多方面进行了探讨，取得了一定的成果。

用于增强LDO瞬态特性的技术主要包括：零点补偿技术、调整管栅极驱动技术、负载电流泻放技术、负载电流复制技术。这些技术直接或者间接的提高了压摆率和环路带宽，增强了LDO的瞬态响应速度。对这些技术的总结请参见本文4.3节。

## 1.4 论文主要研究内容和结构安排

本论文的研究目的在于设计一款适合于 SoC 集成的无电容型 LDO 芯片（电路）。为此，围绕无电容型 LDO 的环路稳定性和负载瞬态特性及其设计方法等方面展开了研究，主要研究内容包括：

（1）基于宏模型的模拟集成电路设计流程研究。模拟集成电路的系统设计有多种方式，本文讨论了这些方式。重点研究了基于宏模型的模拟集成电路设计流程。研究并给出了模拟集成电路中使用最普遍的运算放大器的详细宏模型。通过 LDO 的设计实例验证了该设计流程的合理性。

（2）研究了无电容型 LDO 的瞬态响应特性。作为对比，本文先研究了传统 LDO 的瞬态响应特性，重点研究了无电容型 LDO 的瞬态特性，分析了所有影响瞬态特性的因素。在归纳前人在无电容型 LDO 的瞬态增强措施基础上，提出了一种新的无电容型 LDO 的瞬态增强方法。

（3）研究了无电容型 LDO 的环路稳定特性。作为对比，本文先研究了传统 LDO 的环路稳定性，重点研究了无电容型 LDO 的环路稳定性。归纳了前人在环路稳定性上采取的种种措施，重点将阻尼系数控制（Damping Factor Control, DFC）技术应用到本文的电路设计中。

（4）从系统结构和电路设计上实现了一款无电容型瞬态增强的 LDO 芯片。通过宏模型确定系统各模块设计指标，依据这些指标指导电路设计，对宏模型和晶体管电路的仿真结果进行对照，以确保电路设计能完全符合设计指标的要求。

后续章节中，本论文基于 LDO 的基本设计指标，针对无电容型 LDO 的特殊应用领域，采用先考虑 LDO 的环路稳定性负，再考虑 LDO 的载瞬态特性的设计次序，设计了一款新型的瞬态增强的无电容型 LDO 芯片。全文安排如下：

第一章介绍了本课题的研究背景和研究意义，给出了 LDO 的发展趋势以及无输出电容型 LDO 的设计挑战和研究现状。

第二章介绍了 LDO 的相关集成知识，主要包括 LDO 的工作原理，LDO 的设计

指标。讨论了 LDO 设计中的最基本考虑，即调整管的设计以及环路稳定性的设计。为了保证足够负载电流提供能力的基础上尽可能增加 LDO 的瞬态响应速度，给出了可以让调整管工作在线性区的科学依据。本章还分析了传统 LDO 和无电容型 LDO 的频率特性。

第三章首先简要介绍了模拟集成电路的模型类别，接着重点研究了基于宏模型的模拟集成电路设计流程。本章给出了运算放大器的详细宏模型设计方法，并基于该模型，建立 LDO 的“宏模型 + 晶体管级电路”的混合宏模型，进而提高模拟集成电路的设计效率。

第四章研究了 LDO 的瞬态特性。传统 LDO 的输出大电容可以保证负载突然变换时输出电压的恒定，因此无电容型 LDO 的瞬态特性大大变差。本章在科学总结前人在改善无电容型 LDO 的瞬态特性的基础上，提出了一种新的瞬态响应增强措施，通过在负载瞬态变换时为调整管栅极提供额外的驱动电流，达到增强无电容型 LDO 的瞬态响应特性的目的。

第五章设计并实现了一个基于 HHNEC 0.25 $\mu\text{m}$  CMOS 工艺的瞬态增强无电容型 LDO 芯片。重点分析了 DFC 频率补偿技术的原理及其在无电容型 LDO 中的应用情况。本章体现了通过理论推导建立宏模型，通过宏模型指导电路设计的基于宏模型的模拟集成电路设计流程。

第六章给出了第五章设计的瞬态增强的无电容型 LDO 的整体仿真结果。

第七章总结全文，并对瞬态增强的无电容型 LDO 设计进行了展望。

## 2 LDO 原理与理论基础

设计满足要求的、合适的 LDO 线性稳压器，需要综合考虑其系统参数的各项指标的折衷关系。所设计的 LDO 应具有足够的负载能力、良好的稳定性和快速的瞬态响应性能等，这些性能受 LDO 本身的结构和工作状态等条件的影响，在设计时要充分考虑。本章首先介绍一个典型 LDO 稳压器的基本原理，接着介绍了 LDO 的各项设计指标，再在此基础上讨论 LDO 设计中各项指标的优化和折衷。本章还讨论了 LDO 调整管的设计方法，并从理论上给出了调整管电流增大的措施。另外，本章还研究了 LDO 的稳定性。

### 2.1 LDO 工作原理

#### 2.1.1 LDO 电路结构

LDO 稳压器的典型电路结构如图 2-1 所示，主要由调整管（Pass Element）、基准电压电路（Reference）、误差放大器（Error Amplifier, EA）及采样电阻网络（Sampling Network）等组成。实际的芯片中一般还包括过压、过温等保护电路。从电路稳定性而言，通常在 LDO 的输出端与地之间接滤波电容和稳压电容。

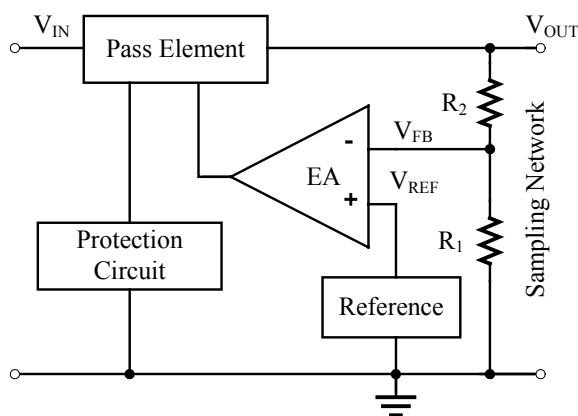


图 2-1 LDO 稳压器典型电路结构图

调整管可以是任何类型的晶体管，实际的 LDO 应用中经常使用 NPN 达林顿管、PNP 管、NMOS 管和 PMOS 管<sup>[64]</sup>。下面的分析中，假设调整元件为 PMOS 管。LDO 的工作原理是：电路上电后，电路启动形成基准电压  $V_{REF}$ 。误差放大器的反相端输入

采样电阻  $R_1$  及  $R_2$  对输出电压  $V_{OUT}$  采样的反馈电压  $V_{FB}$ ，有：

$$V_{FB} = V_{OUT} \frac{R_1}{R_1 + R_2} \quad (2-1)$$

同向端输入参考基准电路产生的基准电压  $V_{REF}$ ，误差放大器的输出将改变调整管的导通程度，通过改变其导通电阻，最终实现稳定输出。我们知道运算放大器工作在大信号状态下，其两个输入端是可以视为“虚短”的，即误差信号  $V_{ERR} = V_{REF} - V_{FB}$  应趋近于零，由此我们推断  $V_{REF} = V_{FB}$ ，则 LDO 稳定输出电压  $V_O$  为：

$$V_{OUT} = V_{REF} \left(1 + \frac{R_2}{R_1}\right) \quad (2-2)$$

(2-2) 式成立的前提是输入电压  $V_{IN}$  比输出电压  $V_{OUT}$  高出一定值，能保证调整管流过正常的电流和足够的调节范围；另外误差放大器的增益要求足够大。

### 2.1.2 LDO 电压调节原理

如果 LDO 的调整管工作在饱和区，则调整管可以看作是一个电压控制电流源。该电流源可以通过戴维南电路和诺顿电路的转换，得到一个恒压源的形式，如图 2-2 所示。对于图 2-2 右侧的恒压源电路，它能够随着负载的线性变化而改变自身的输出阻抗，从而实现输出电压恒定的目的。如果 LDO 的调整管工作在线性区，调整管本身可以看作是一个线性电阻，整个 LDO 也可以等效成图 2-2 右侧的电路，其中电压  $V$  即为输出电压， $R_O$  即为 LDO 的等效输出电阻。

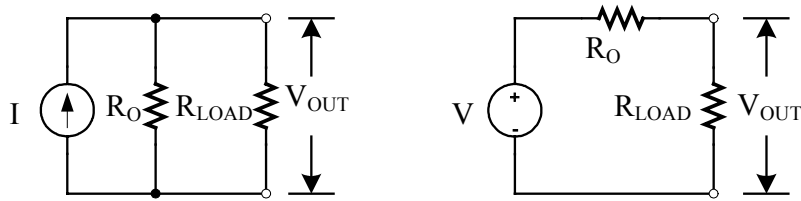


图 2-2 LDO 等效电路示意图

对于图 2-2 右侧的恒压源电路，其等效输出阻抗  $R_O$  必须远小于电路负载阻抗  $R_{LOAD}$  (即， $R_O \ll R_{LOAD}$ )，这样才能够保证负载电阻在一定范围内变化时，输出电压是一个恒定的值。电压源的输出电压如下：



$$V_{OUT} = V \times \frac{1}{1 + \frac{R_O}{R_{LOAD}}} \quad (2-3)$$

当 LDO 空载 (即  $R_{LOAD} \rightarrow \infty$ ) 时, 输出电压等于输入电压 ( $V_{OUT\_MAX} \approx V_{IN}$ ), 达到 LDO 输出的最高电压。随着负载电阻从无穷大逐渐降低, 输出电压也随之降低。为方便描述, 此处定义一个参数: 输出电压误差率  $E_{VO}$ 。 $E_{VO}$  被定义为: 电压源空载 ( $R_{LOAD} \rightarrow \infty$ ) 时的输出电压 ( $V_{OUT\_MAX}$ ) 与其有负载时的输出电压 ( $V_{OUT\_LOAD}$ ) 的差值的百分率:

$$E_{VO} = \frac{V_{OUT\_MAX} - V_{OUT\_LOAD}}{V_{OUT\_MAX}} \times 100\% \quad (2-4)$$

用  $V_{IN}$  代替  $V_{OUT\_MAX}$ ,  $V$  替换  $V_{OUT\_LOAD}$ , 将式 (2-4) 带入式 (2-3) 中, 则电压误差率可用电阻  $R_O$ 、 $R_{LOAD}$  的比值来表示:

$$E_{VO} = \frac{R_O}{R_O + R_{LOAD}} \times 100\% \quad (2-5)$$

由上式可以看出, 输出电压误差率  $E_{VO}$  随着负载电阻 ( $R_{LOAD}$ ) 的降低而升高。为使电压误差率最小化, 需要一个能够感应负载变化的电路, 并通过反馈调整可变内阻, 使其与负载的比值为—常量:  $R_{IN}/R_{LOAD}=k$ 。即  $R_{IN}$  与  $R_{LOAD}$  成线性关系。这样就实现了线性调整。

对于输入电压的变化, 由于 LDO 的环路负反馈作用, 使得输出采样电压严格跟随参考电压, 保证了输出电压不受输入电压波动的影响。

## 2.2 LDO 设计指标

衡量 LDO 性能的指标较多, 这些指标的满足程度决定了 LDO 性能的好坏<sup>[65]</sup>。本节将详细介绍 LDO 的设计指标。从对这些指标的分析过程中我们发现, 这些指标不是孤立的, 指标和指标之间往往互相影响。因此, 在设计 LDO 时, 要对上述设计指标进行折衷考虑。

### 2.2.1 电压差

图 2-3 给出了一个 LDO 稳压器的典型应用电路, 该芯片的输出电压由内部反馈

网络固定，即输出电压不可调。调整管仅仅相当于一个受控电阻，该电阻上的压降即为 LDO 的电压差（Dropout Voltage）。该电压差  $V_{dropout}$  与开路电阻  $R_{ON}$  有关，即：

$$V_{dropout} = V_{IN} - V_{OUT} = I_{OUT} R_{ON} \quad (2-6)$$

式中  $V_{IN}$  为输入电压， $V_{OUT}$  为输出电压。

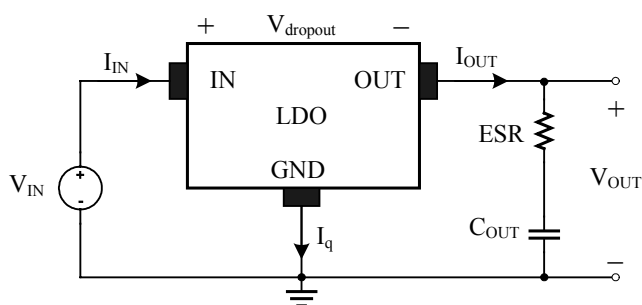


图 2-3 LDO 稳压器典型应用电路

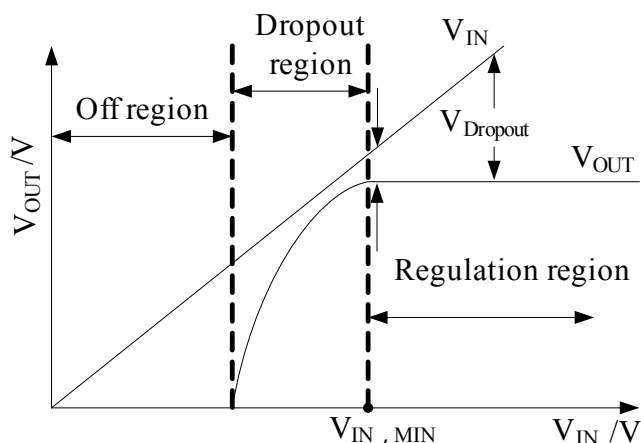


图 2-4 LDO 的输入输出特性

在图 2-4 中所示的 LDO 稳压器输入输出特性中，随着输入电压  $V_{IN}$  下降，LDO 从调整区域进入下降区域，输出电压  $V_{OUT}$  无法保持在预定值，LDO 失去调整功能。调整区和下降区的交界点的输入电压值是 LDO 系统保证正常输出电压的最低输入电压值，如图中的  $V_{IN, MIN}$  所示。此时的输入电压和输出电压的差值是 LDO 系统的最小电压差。在实际设计 LDO 电路时，为了达到更高的转换效率，常常希望电压差尽可能小，同时要求输入电压高于  $V_{IN, MIN}$ 。

### 2.2.2 静态电流

静态电流 (Quiescent Current), 即为芯片接地电流, 是指 LDO 正常工作时内部消耗的电流的总和, 等于电源输入电流和输出负载电流的差值。低的静态电流对于提高稳压器的效率, 延长电池寿命是必须的。由图 2-3 可知, 静态电流可以定义如下:

$$I_q = I_{IN} - I_{OUT} \quad (2-7)$$

式中  $I_{OUT}$  是输出电流,  $V_{OUT}$  为输出电压,  $I_q$  为静态电流。

LDO 的静态电流主要是各电路模块的偏置电流(例如带隙参考、误差放大电流以及保护电路), 其次是调整管通过采样电阻网络到地的漏电流。

如果采用双极型晶体管作为调整元件, 其基极驱动电流正比于输出电流, 该基极驱动电流是双极型调整管 LDO 静态电流的重要组成部分。可见, 双极型晶体管作为调整管的 LDO 具有先天的大静态电流。

对于 MOS 晶体管, 由于它是电压控制器件, LDO 的静态电流独立于负载电流。在实际应用中, 由 MOS 晶体管构成的 LDO 稳压器是必然趋势。

### 2.2.3 效率

LDO 稳压器的效率 (Efficiency) 受静态电流和输入输出电压的影响, 定义为:

$$\eta = \frac{I_{OUT} V_{OUT}}{(I_{OUT} + I_q) V_{IN}} \cdot 100\% \quad (2-8)$$

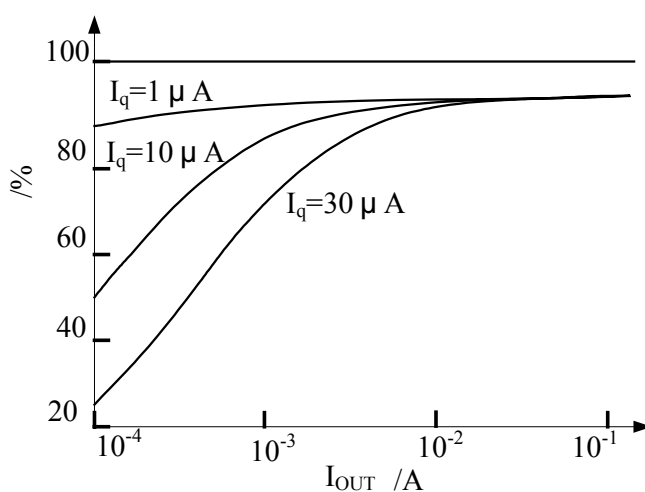


图 2-5 不同静态电流下的芯片效率示意图

输入与输出电压之差为调整管上的压降  $V_{dropout}$ , 是决定效率的固有因素。当负载

电流一定时，压降大小直接决定了芯片的功耗。由于输出电压为恒定值，当输入电压较高时，LDO 的效率急剧下降，由此还带来严重的散热问题，加剧芯片老化。芯片的静态电流是限制效率的另外一个因素，静态电流越小，系统的效率越高。在 LDO 负载较轻时，低静态电流的 LDO 对效率提高非常显著。图 2-5 给出了不同静态电流下效率的示意图。

第一章已经阐述过，在便携式应用中，电池寿命越来越受到人们的重视。因此，如何尽可能的提高 LDO 的效率是设计人员的努力方向之一。为提高芯片效率，在 LDO 设计中应降低  $I_q$  和  $V_{dropout}$ ，应用时应减小输入和输出电压之间的差值，即选择尽可能低的输入电压。

#### 2.2.4 输入阻抗和输出阻抗

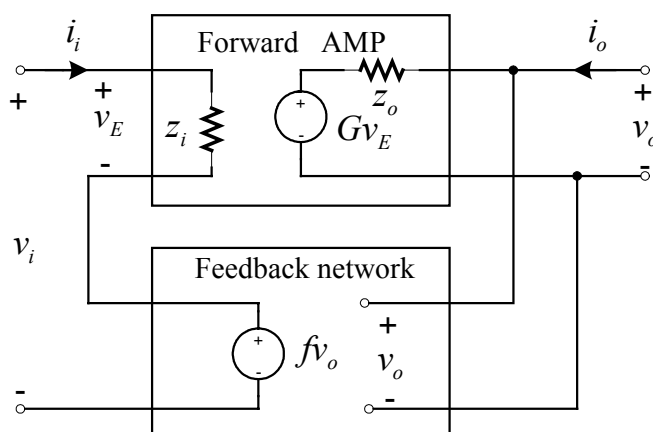


图 2-6 LDO 的输入输出电阻示意图

传统的 LDO 结构可以看作上图所示的基本“串联——并联负反馈”网络，包括正向的放大器网络和反馈电阻网络。从图 2-6 中可以得到 LDO 系统的闭环增益为：

$$\frac{v_o}{v_i} = \frac{G}{1 + Gf} \quad (2-9)$$

式中  $v_o$  和  $v_i$  分别为 LDO 的小信号输出和输入电压， $G$  为 LDO 正向放大器增益，包括误差放大器、缓冲级、调整管等增益之积。 $f$  为反馈电阻网络的增益。由于放大器增益非常大 ( $G \gg 1$ )，系统的闭环增益约等于  $1/f$ 。一旦输入电压固定 (LDO 系统中往往为带隙基准源)，则输出电压固定。

由图 2-6 可以轻松得到 LDO 系统的输入阻抗和输出阻抗<sup>[29]</sup>，依次为：

$$Z_{I,LDO} = \frac{v_i}{i_i} = (1 + Gf)Z_i \quad (2-10)$$

$$Z_{O,LDO} = \frac{v_o}{i_o} = \frac{Z_o}{1 + Gf} \quad (2-11)$$

式中  $i_i$  和  $i_o$  分别为输入和输出电流， $Gf$  为环路增益， $Z_i$  和  $Z_o$  分别为误差放大器的输入阻抗和 LDO 的开环等效输出阻抗。式 (2-10) 和式 (2-11) 可知，由于反馈网络的缘故，系统的输入阻抗增加为原来的  $(1 + Gf)$  倍，输出阻抗减小为原来的  $1/(1 + Gf)$ 。输出阻抗由于反馈环路变得很低，大大增强了 LDO 的带负载能力。

对于传统结构的 LDO 电路，输出端往往有大电容，依靠其 ESR 进行频率补偿以保证环路稳定性，则其等效系统输出阻抗为：

$$Z_{O,LDO} = \frac{v_o}{i_o} = \frac{R_{ds} \parallel (R_{ESR} + Z_{load}) \parallel (R_1 + R_2)}{1 + Gf} \quad (2-12)$$

式中  $R_{ds}$  为调整管的导通电阻， $R_{ESR}$  为输出电容的等效串联电阻， $Z_{load}$  为输出电容的等效阻抗， $R_1$  和  $R_2$  均为反馈网络的采样电阻。

### 2.2.5 负载调整率

负载调整率 (Load Regulation) 表征了 LDO 稳压器负载变化对输出电压的影响程度。定义为在输入电压不变的情况下，负载变化引起的输出电压的改变（即： $\Delta V_{OUT}/\Delta I_{OUT}$ ）对输出电压的比值，即

$$S_I = \frac{\Delta V_o}{\Delta I_o V_o} \times 100\% \quad (2-13)$$

这里  $\Delta V_o$  是输出负载变化引起的输出电压变化量； $\Delta I_o$  是负载的变化量。

为方便计算出传统结构 LDO 的负载调整率，给出了图 2-7 所示的示意图。假设负载变化  $\Delta I_o$ ，则输出电压的变化  $\Delta V_o$ ，在负载电流和电压变化之前的稳定状态下，有  $V_{REF} = V_{FB}$ ，即：

$$V_{REF} = V_O \frac{R_1}{R_1 + R_2} \quad (2-14)$$

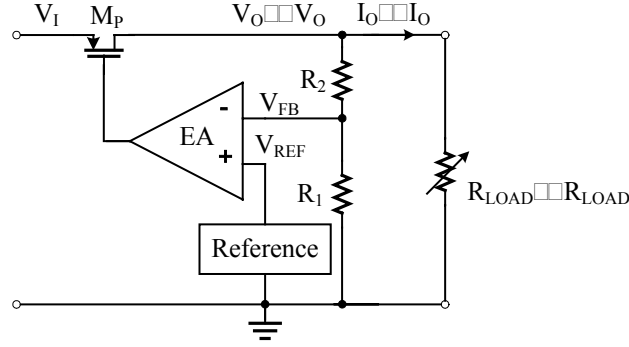


图 2-7 计算负载调整率的示意图

负载电压变化致使反馈电压变化为：

$$V_{FB} = (V_O \pm \Delta V_O) \frac{R_1}{R_1 + R_2} \quad (2-15)$$

新的反馈电压和参考电压进行误差放大，并经调整管二次放大，假设误差放大器的增益跨导为  $g_E$ ，调整管的增益跨导为  $g_{Mp}$ ，得到输出电流的变化量为：

$$\Delta I_O = (V_{FB} - V_{REF}) g_E g_{Mp} = \Delta V_O \frac{R_1}{R_1 + R_2} g_E g_{Mp} \quad (2-16)$$

从而，可以得到负载调整率的值：

$$S_I = \frac{\Delta V_O}{\Delta I_O V_O} = \frac{1}{g_{Mp} g_E} \left( \frac{R_1 + R_2}{R_1} \right) \frac{1}{V_O} 100\% \quad (2-17)$$

从 (2-17) 式可以看出， $g_{Mp}$  及  $g_E$  值越大，反馈系数越大，则负载变化引起的输出电压的变化越小，则输出电压越稳定，亦即稳压器的负载调整性能越好。其实，式 (2-17) 可以表示为如下的等式：

$$S_I = \frac{1}{Gf} \frac{1}{V_O} 100\% \quad (2-18)$$

式 (2-18) 表示 LDO 的负载调整系数反比于环路增益  $Gf$ 。环路增益越大，则负载调整性能越好。因而，在 LDO 的设计中，通常需要设计较高的开环增益  $G$ ，该增益一般在误差放大器级实现。某些应用中，如果单级放大器达不到增益需求，则可

以设计多级运放。当然，多级运放面临着稳定性的严峻考验。

### 2.2.6 线性调整率

线性调整率 (Line Regulation) 表征稳压器输入电压大小变化对输出电压的影响程度。定义为负载不变的情况下,输入电压变化引起的输出电压的变化(即  $\Delta V_O/\Delta V_I$ ),对输出电压的比值,即:

$$S_V = \frac{\Delta V_O}{\Delta V_I V_O} \times 100\% \quad (2-19)$$

这里  $\Delta V_O$  是输入电压变化引起的输出电压变化,  $\Delta V_I$  是输入电压的变化量。由于负载阻抗远  $R_{LOAD}$  小于反馈网络阻抗 ( $R_1 + R_2$ ), 故 LDO 输出节点的等效阻抗约等于负载阻抗  $R_{LOAD}$ 。输出电压的变化量可以看作是输入电压的变化量经过调整管的导通电阻  $r_O$  和负载阻抗  $R_{LOAD}$  的分压值, 即:

$$\Delta V_O = \Delta V_I \frac{r_O}{r_O + R_{LOAD}} 100\% \quad (2-20)$$

将 (2-20) 式代入 (2-16) 式, 得到:

$$\frac{\Delta V_O}{\Delta V_I} = \frac{1}{(r_O + R_{LOAD}) g_{Mp} g_E} \left( \frac{R_1 + R_2}{R_1} \right) 100\% = \frac{1}{(r_O + R_L) Gf} 100\% \quad (2-21)$$

从 (2-21) 式可以看出, LDO 的线性调整率和负载调整率具有相似的特性, 即环路增益越大, 其线性调整率越好。但不同的是, 线性调整率与调整管导通电阻和负载电阻之和有关。电阻越大, 输出电压越不受输入电压的影响。

增强 LDO 的负载调整能力和线性调整能力, 最有效的措施是增大其开环增益。

### 2.2.7 温度特性

理想的 LDO 不受芯片温度和环境的影响, 能始终提供一个稳定的输出电压。可是, 即使是精心设计的带隙基准源, 也会随着片内器件温度的变化, 而使输出电压发生偏移。这是因为, 集成电路中的任何器件, 都有一定的温度系数 (Temperature Coefficient, TC), 即片内电阻值、电容值、MOS 管的导通速度和跨导增益等各种特性在器件温度发生变化时, 均会发生变化。

从LDO的电路结构分析，误差放大器要将检测的输出电压和参考电压进行误差放大，进而控制调整管，得到恒定的输出电压。由于LDO的环路增益非常大，可以得到输出电压满足式(2-2)的规律。理想的差分放大器可以忽略输入端的失调电压(Offset Voltage,  $V_{os}$ )，然而实际的差分放大器由于电路本身的原因， $V_{os}$ 必然存在。该失调电压 $V_{os}$ 也可以等效到放大器的输入端口，与参考电压一道，来影响输出电压的精度。即(2-2)可以重新写为：

$$V_{OUT} = (V_{REF} + V_{os}) \left(1 + \frac{R_2}{R_1}\right) \quad (2-22)$$

现今集成电路工艺下，无法实现大温度范围内（例如0 ~ 85）不受温度影响的恒定基准电压。带隙基准电压源可以实现较小的温漂，但显然不能为0。

不同工艺的差分放大器，其输入失调电压 $V_{os}$ 也存在差异。共射级差分对的等效输入失调电压<sup>[29]</sup>为：

$$V_{os} = V_T \ln \left[ \left( \frac{R_{C2}}{R_{C1}} \right) \left( \frac{A_2}{A_1} \right) \left( \frac{Q_{B1}}{Q_{B2}} \right) \right] \quad (2-23)$$

式中， $V_T$ 为双极型晶体管PN结的热电压， $R_C$ 为输入管的负载电阻， $A$ 为输入管的发射极面积， $Q_B$ 为输入管单位面积内的杂质数量。

PN结的热电压与器件温度成线性关系：

$$V_T = kT / q \quad (2-24)$$

式中， $k$ 为波尔兹曼常数， $T$ 为以开尔文表示的稳定， $q$ 表示电子的电荷。

共源级差分对的等效输入失调电压<sup>[29]</sup>为：

$$V_{os} = \Delta V_{th} + \frac{1}{2} (V_{GS} - V_{th}) \left( -\frac{\Delta R_L}{R_L} - \frac{\Delta(W/L)}{(W/L)} \right) \quad (2-25)$$

式中， $V_{th}$ 为MOS管的阈值电压， $V_{GS}$ 为MOS管的栅源控制电压， $R_L$ 为输入管的负载电阻， $W$ 和 $L$ 分别为输入对管的沟道宽度和长度。

MOS管的阈值电压随温度升高而降低，下降率通常在-0.5~4mV/°C之间<sup>[29]</sup>。

上述分析可知，温度的变化会引起LDO的输出电压发生一定的漂移。漂移量主要由电压基准源的温度特性和误差放大器的输入失调电压决定。这种漂移量可用输出电压的温度系数进行衡量，温度系数TC定义为：



$$TC = \frac{1}{V_O} \frac{\partial V_O}{\partial T} = \frac{(\Delta V_{REF} + \Delta V_{OS})(1 + R_2 / R_1)}{V_O \Delta T} \approx \frac{(\Delta V_{REF} + \Delta V_{OS})}{V_{REF} \Delta T} \quad (2-26)$$

此处  $\Delta V_{REF}$  是参考电压在整个温度变化范围  $\Delta T$  内的偏移量， $\Delta V_{OS}$  是误差放大器的输入失调电压在整个温度变化范围  $\Delta T$  内的偏移量。

为减小 LDO 的温度系数，设计低温漂的参考电压源和低温漂输入失调电压的运算放大器。从前面的分析可知，双极型工艺的差分运放将先天的具有更小的输入失调电压和温漂。因此，如果成本允许的话，双极型工艺将是更合适的选择。

### 2.2.8 精度

LDO 的精度  $\alpha$  (Accuracy) 定义为：所有可能带来 LDO 输出电压偏离理想值的情况下，输出电压偏离理想值的比例。精度定义了是输出电压总的变化量，可能影响到输出电压精度的因素包括：线性调整率、负载调整率、参考电压源的偏移、误差放大器输入失调电压的温度漂移和输出电压的瞬态变化量等。具体包括线性调整量 ( $\Delta V_{SV}$ )，负载调整量 ( $\Delta V_{SI}$ )，基准电压源漂移量 ( $\Delta V_{REF}$ )，误差放大器输入失调电压的漂移量 ( $\Delta V_{OS}$ )，采样电阻的误差 ( $\Delta V_{RFB}$ ) 和温度因子 ( $\Delta V_{TC}$ )。LDO 的精度表达式为<sup>[52, 66]</sup>：

$$\alpha = \frac{|\Delta V_{SV}| + |\Delta V_{SI}| + \sqrt{\Delta V_{REF}^2 + \Delta V_{OS}^2 + \Delta V_{RFB}^2 + \Delta V_{TC}^2}}{V_O} \times 100\% \quad (2-27)$$

其中对精度影响最大的是基准电压源的漂移。在 LDO 芯片设计中，克服基准电压源大幅度漂移的常见方法是对基准电压进行微调。设计低温度系数的带隙基准源是 LDO 设计中重要技术之一。

### 2.2.9 瞬态特性

LDO 的瞬态特性 (Transient Response) 包括两个方面：线性瞬态响应和负载瞬态响应。线性瞬态响应表示电源电压产生突变后，输出电压的响应情况；负载瞬态响应表示 LDO 的负载输出产生突变后，输出电压的响应情况。由于芯片在正常工作时的供电电压相对稳定，而负载电流经常出现切换，因此，在这两种瞬态响应中，在 LDO 的应用中，最容易被人们关注的是负载瞬态响应。本文在分析和提高 LDO 的瞬态特性时，均是针对负载瞬态特性。

图 2-8 给出了负载电流出现阶跃后的输出电压响应示意图。从图中我们可以看出，如果负载电流  $I_{OUT}$  有一个从小到大的阶跃，输出电压会产生一个大的跌落，在  $\Delta t_1$  时间内降低  $V_{dip}$ 。之后输出电压开始趋向于平衡状态，经过  $\Delta t_2$  时间后，输出电压达到稳定的平衡状态，此时的输出电压比轻负载情况的输出电压低  $V_{diff}$ 。如果负载电流出现一个从高到低的阶跃，输出电压会产生一个大的峰值，在  $\Delta t_4$  时间内上升  $V_{peak}$ 。之后输出电压开始趋向于平衡状态，经过  $\Delta t_5$  时间后，输出电压达到稳定的平衡状态，此时的输出电压比重负载情况的输出电压高  $V_{diff}$ 。

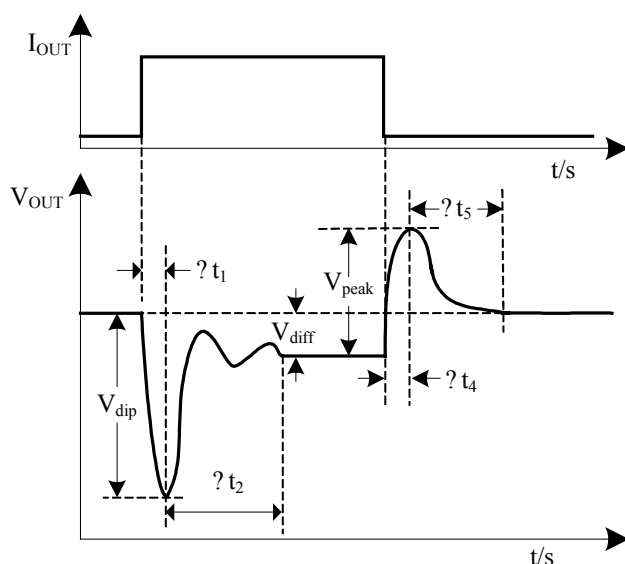


图 2-8 LDO 输出电压典型负载瞬态响应示意图

LDO 系统的瞬态响应是衡量 LDO 系统性能的一个重要指标。这主要是因为一般 LDO 的负载电路正常工作都会有噪声容限的要求。当负载发生阶跃变化时，LDO 的输出电压变化范围一定要在此范围内，才能保证电路不会因为电源失效而影响正常工作。同时 LDO 的响应速度也决定了负载变化时，电源电路恢复到正常状态的能力。总之，快速的瞬态响应是我们设计 LDO 电路所一直追求的。

瞬态特性应该包括两种不同角度的考虑：（1）负载电流突变是引起的输出电压的最大变化量，理想的情况是：即使负载电流发生突变，也不会影响到输出电压的变化，即输出电压的变化量为零；（2）输出电压恢复到稳定的初态所需要的时间，理想情况下该时间为零。LDO 的瞬态特性设计目标是，较小的过冲电压（ $V_{dip}$  和  $V_{peak}$ ），以及较短的恢复时间（ $\Delta t_1 + \Delta t_2$  和  $\Delta t_3 + \Delta t_4$ ）。

传统 LDO 电路中，输出端所接的大电容能较好的降低过冲电压。无电容型 LDO 将面临着更大的挑战。本文第四章，将详细分析介绍传统 LDO 和无电容型 LDO 的瞬态特性，此处不再赘述。

## 2.2.10 输出噪声电压

噪声有两种表示形式。第一种是噪声谱密度 ( Output Noise Density )，一条曲线显示了不同频率下的噪声 (  $V/\sqrt{Hz}$  )。另外一种是集输出噪声 ( Output Noise Voltage )，通常称为输出噪声电压，用均方根表示 (  $V_{rms}$  )<sup>[67]</sup>。

LDO 总的噪声来源参见示意图 2-9。可能对 LDO 产生噪声的因素包括：反馈电阻网络热噪声，参考基准源噪声，误差放大器的噪声，调整管热噪声和闪烁噪声。

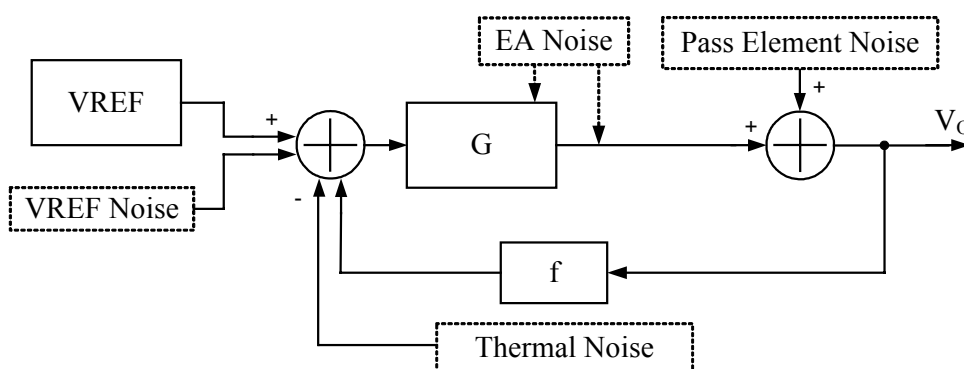


图 2-9 LDO 噪声来源示意图

LDO 的主要噪声来源是带隙基准源。减小带隙基准源噪声最通常的方法是在带隙输出端接低通滤波器，这就尽可能的减小了噪声在误差放大器级的进一步放大。

LDO 的第二个噪声来源是输出电压反馈电阻网络的热噪声。电阻上的热噪声将被送往误差放大器进行放大。热噪声单边谱密度表示为：

$$S_v(f) = 4kTR \quad (f > 0) \quad (2-28)$$

式中  $k$  为波尔兹曼常数 (  $k = 1.38 \times 10^{-23} J/K$  )， $T$  为开尔文温度， $R$  为电阻值。降低反馈电阻网络的热噪声最简单的方法是减小反馈网络电阻值。但这样的后果是 LDO 的输出端将有更多的静态电流通过反馈电阻流向地，芯片效率降低。

图 2-9 中的另外两个噪声来源，包括误差放大器的噪声和调整管的噪声，由于其不是加在增益最大的误差放大器输入级之前，其被放大的程度不大，因而在实际电路设计中可以忽略不计。

在 LDO 设计中，为减小输出电压的噪声，常用的方法是：设计低噪声的参考电压源，以及在反馈网络的噪声和功耗上进行折衷考虑。另外，从版图设计上增加合适的隔离，也可以减小噪声的影响。

### 2.2.11 电源抑制比

电源抑制比（Power Supply Rejection Ratio, PSRR）是在所有频率范围内，输出电压变化量（即纹波）与电源电压变化量（纹波）的比值，也可定义为从输入电源端到输出端的小信号增益。对于 LDO 电路而言，其电源电压即为输入电压。因此，电源抑制比常用分贝（dB）表示为：

$$PSRR = 20 \lg \frac{\Delta V_O}{\Delta V_I} \quad (2-29)$$

LDO 电源抑制比的概念与其线性调整率有类似之处，后者考虑的低频大信号下，输入电压变化对输出电压的影响；而电源抑制比则考虑的是交流小信号下，输入电压对输出电压的影响，在不同的输入信号频率下，其对输出电压造成的影响是不同的。

通过电源抑制比，可以评估电路抑制电源线引入噪声的能力，其在 AMP、ADC、DAC、RF 等应用方面都是一个很关键的参数，直接影响电路的信噪比。

LDO 的电源抑制比与带隙参考源、LDO 的拓扑结构和输出负载都有关系，外接旁路电容  $C_b$  可以提高该项性能。

Gupta 给出了 LDO 的 PSRR 的简单模型<sup>[68]</sup>，如图 2-10 所示。PSRR 可以表示为电源变化经过两个阻抗网络分压后的结果，两个阻抗网络分别是输入电压和输出电压之间的调整管导通电阻，以及输出电压和地之间的所有阻抗之和。根据环路增益的不同，Gupta 给出了不同情况下的 PSRR 模型。但该模型并不准确，并未清楚描述在某一确定环路增益下的 PSRR。

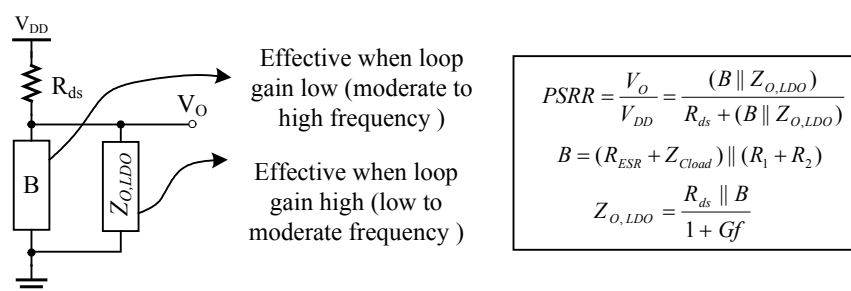


图 2-10 Gupta 给出了 LDO 的 PSRR 的简单模型<sup>[68]</sup>

为此，笔者建立了新的 PSRR 模型，如图 2-11 所示。设计输出节点到地的小信号阻抗为  $A$ ，则有：

$$Z_{O,LDO} = R_{ds} \parallel A \quad (2-30)$$

式中， $Z_{O,LDO}$  为 LDO 的闭环等效输出阻抗，参见式 (2-12)。令：

$$B = (R_{ESR} + Z_{Cload}) \parallel (R_1 + R_2) \quad (2-31)$$

由式 (2-12) 和 (2-31)，则可得阻抗  $A$  的表达式为：

$$A = \frac{R_{ds} B}{(1 + Gf)(R_{ds} + B) - B} = \frac{R_{ds} B}{(1 + Gf)R_{ds} + GfB} \quad (2-32)$$

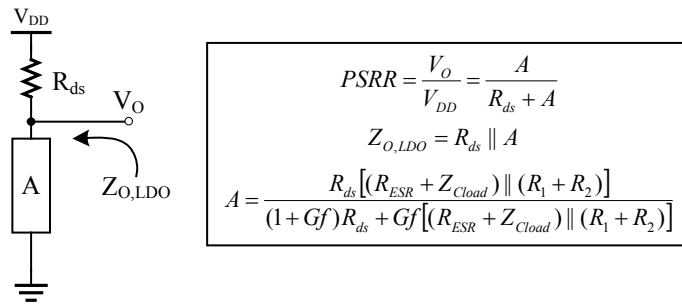


图2-11 经过笔者改进的LDO PSRR模型

对于 LDO 环路而言，系统至少具有两个极点，分别在 LDO 的输出节点和调整管的输入节点，如果误差放大器为二级运放，或者误差放大器和调整管之间存在缓冲级，则系统具有三个极点。存在一个极点以上的系统，其闭环增益在低频为一固定值，系统频率一旦超过主极点频率，增益将逐步降低。

因此，环路增益  $Gf$  将随着工作频率的增加而降低。低频下，环路增益  $Gf \gg 1$ ，则电源抑制比为：

$$\begin{aligned} PSRR &= \frac{\frac{R_{ds} \parallel (R_{ESR} + Z_{Cload}) \parallel (R_1 + R_2)}{Gf}}{R_{ds} + \frac{R_{ds} \parallel (R_{ESR} + Z_{Cload}) \parallel (R_1 + R_2)}{Gf}} \\ &= \frac{R_{ds} \parallel (R_{ESR} + Z_{Cload}) \parallel (R_1 + R_2)}{GfR_{ds} + [R_{ds} \parallel (R_{ESR} + Z_{Cload}) \parallel (R_1 + R_2)]} \end{aligned} \quad (2-33)$$

高频率下，环路增益  $Gf \rightarrow 0$  则电源抑制比为：

$$PSRR = \frac{(R_{ESR} + Z_{Cloud}) \parallel (R_1 + R_2)}{R_{ds} + (R_{ESR} + Z_{Cloud}) \parallel (R_1 + R_2)} \quad (2-34)$$

## 2.3 调整元件的选择和设计

### 2.3.1 调整管的选择

调整管是 LDO 控制环路中至关重要的一部分，它的选择主要决定于工艺技术和 LDO 性能的需要，同时它的选择直接决定了 LDO 系统的电压差（Dropout Voltage）特性和负载电流提供能力。对调整管的基本要求是：在保证大负载电流能力的同时，希望调整管具有最小的导通压降或导通电阻。

根据前文的分析，相对于双极型晶体管而言，MOS 管是电压驱动器件，具有更小的导通压降，更适合于对 LDO 的工作效率要求严格的环境。但是，从驱动速度方面考虑，MOS 管作为电压控制元件，电压是存储在栅极电容上的，因此改变栅极电压就需要对栅电容充放电，那么速度上就慢一些，而双极型晶体管作为流控器件，其瞬态响应比 MOS 管的要好。因而，双极型晶体管更适合于瞬态要求严格的环境。随着人们对 LDO 技术的研究深入，发明了不少采用 MOS 管做调整管的瞬态增强 LDO 电路。

同样是 MOS 管做调整管，人们更倾向于选择 PMOS 管作为调整管，这是出于调整管驱动信号提供的方便考虑。对于 NMOS 管而言，其栅极驱动电位  $V_G$  要求比输出电压  $V_O$  高出 NMOS 管的阈值电压，可以表示为  $V_{GS} = V_{TH} + V_{OV}$ ，其中  $V_{OV}$  为 MOS 管的过驱动电压。

而输入电压  $V_I$  只比输出电压  $V_O$  高出 LDO 的电压差  $V_{dropout}$ ，即为 MOS 管的饱和压降  $V_{SAT}$ 。为提高 LDO 效率，电压降  $V_{dropout}$  一般为 0.2V 左右，比如标准 CMOS 工艺的阈值电压为 0.7V。从而，出现了调整管的栅极驱动电压  $V_G$  要比输入电压  $V_I$  高出至少 0.5V。为此，往往将误差放大器的输出用电荷泵电路进行升压，以驱动 NMOS 管。采用 NMOS 管作为调整管的 LDO 电路示意图参见图 2-12。如果采用 PMOS 管，则其栅极驱动信号的提供要容易得多。

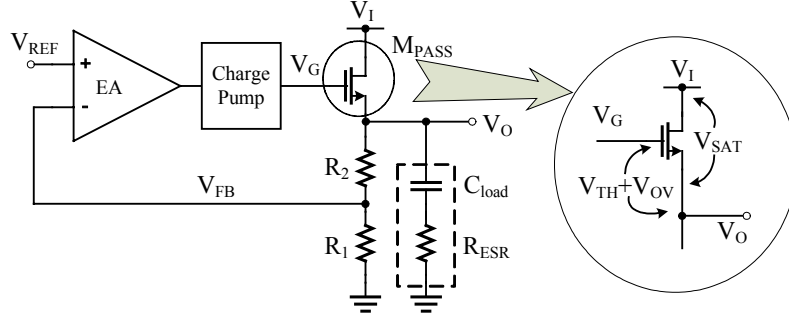


图 2-12 NMOS 作为调整管的驱动信号提供示意图

### 2.3.2 调整管的设计

MOS 工艺下，定义  $V_M$  为 MOS 管单位沟道长度的沟长调整电压（类似于双极型晶体管得 Early 电压），它反比于 MOS 管的沟长调整系数  $\lambda$  [69]。

$$V_M = \frac{1}{\lambda L} \quad (2-35)$$

式中， $L$  为 MOS 管的沟道长度。

MOS 管的漏源电流可以用图 2-13 的示意图表示。当 MOS 管工作在饱和区，则漏源电流  $I_D$  为 [70]：

$$I_D = \frac{1}{2} \mu C_{OX} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (2-36)$$

式中， $\mu$  为 MOS 管载流子迁移率， $C_{OX}$  为单位面积的栅氧化层电容， $V_{GS}$  是其源栅电压之差， $V_{TH}$  为 MOS 管阈值电压， $W$ 、 $L$  分别为调整管的宽、长尺寸。

前人的设计中，通常让调整管工作在饱和区，即 LDO 的输出电流不随输入电压的变化而变化，同时保持输出电压的恒定 [52, 64]。

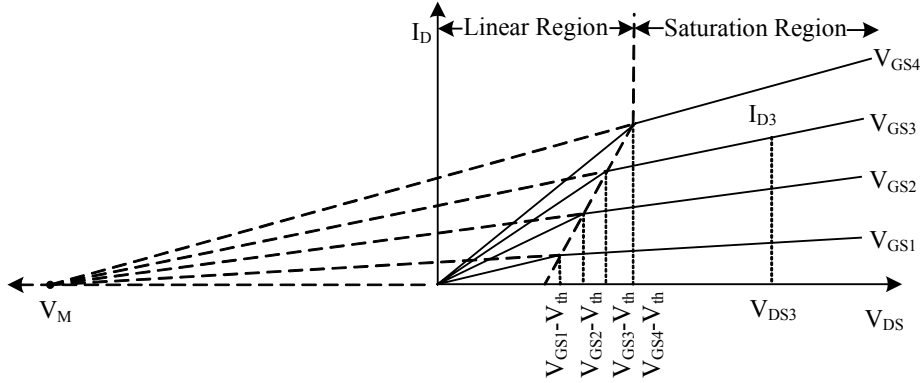


图 2-13 MOS 管电流特性示意图

由图 2-13 可得 MOS 工作在某一漏源电流  $I_{Di}$  下的导通电阻  $R_{DSi}$  :

$$R_{DSi} = \frac{V_{DSi}}{I_{Di}} = \frac{V_{DSi}}{\frac{1}{2} \mu C_{OX} \frac{W}{L} (V_{GSi} - V_{TH})^2 (1 + \lambda V_{DSi})} \quad (2-37)$$

上式中,  $V_{GSi}$  和  $R_{DSi}$  分别表示第  $i$  个  $V_{GS}$  下的栅源电压和导通电阻。当 LDO 工作在

调整区域和下降区域的交界点, 即调整管具有最小的电压差时,  $R_{DSi} \propto \frac{L}{W(V_{GSi} - V_{TH})^2}$ 。

可见, 为尽可能减小调整管上的导通压降, 需要设计尽可能小的  $R_{DSi}$ 。最通行的方法是增大调整管尺寸, 即选用工艺允许的最小沟道长度和尽可能大的沟道宽度。

需要强调的是, 此处的调整管导通电阻是调整管的大信号输出阻抗, 而非 MOS 管的小信号输出阻抗  $r_o$ 。由图 2-13 可知:

$$r_o = \frac{1}{\lambda I_D} = \frac{V_{GSi} + V_M}{I_{Di}} \quad (2-38)$$

如果调整管离开饱和区进入线性区的话, 从图 2-13 可以看出, 此时的调整管大信号输出阻抗即为小信号输出阻抗。线性区的漏源电流为:

$$I_D = \mu C_{OX} \frac{W}{L} \left[ (V_{GS} - V_{TH}) - \frac{1}{2} V_{DS} \right] V_{DS} \quad (2-39)$$

则深线性区的 MOS 管等效为一个线性电阻:



$$R_{DS} \approx \frac{1}{\mu C_{OX} \frac{W}{L} (V_{GS} - V_{TH})} \quad (2-40)$$

由式(2-40)可知，饱和区和线性区的等效电阻具有相似的性质，增加其宽长比均可以减小其导通电阻。

上面的分析可知，增大调整管的宽长比既可以增大 LDO 的负载电流提供能力，还可以减小 LDO 调整管的导通电阻，从而提高系统效率。但是，调整管宽长比的增大不能是无限制的。后面的分析可知，增加调整管的尺寸将增加调整管的栅极等效电容，降低了 LDO 的瞬态响应速度，同时可能使调整管输入节点变为系统主极点，影响到环路的稳定性。因此，调整管的尺寸需要同时考虑 LDO 的系统效率、瞬态响应速度和环路稳定性，并进行折衷考虑。

### 2.3.3 调整管电流提高措施

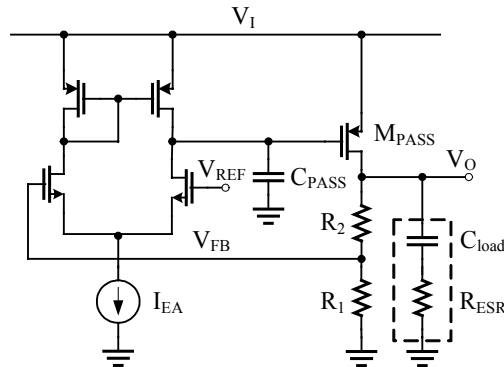


图2-14 LDO中效率和速度的折衷示意图

如图2-14所示的简单LDO结构中，运算放大器的尾电流  $I_{EA}$  即为LDO的静态电流  $I_q$ ，该电流决定了大尺寸调整管栅极等效电容  $C_{PASS}$  的充电和放电电流。低的静态电流不可避免导致慢的调整管栅极电压摆率 ( $I_q / C_{PASS}$ )，LDO的瞬态响应变差。另外，增大调整管的尺寸也会增大其亚阈值电流，使得空负载时，浪费很多不必要的功耗。而且，调整管的栅极电容较大，如果前一级放大器的输出阻抗非常高的话，将使调整管栅极节点产生系统的主极点，改变极点位置和频率的将直接影响到环路稳定性。最后，大尺寸器件在版图设计需要考虑很多问题，比如：连接线的线电阻和线电容、线电流密度、热耗散功率、其他寄生的器件等。总之，在LDO设计中，为了满足负载电流的要求而采用大尺寸调整管，这同时将受到芯片版图、稳定性和摆率等的要求限制。

因此，我们希望在保持调整管尺寸一定的前提下，尽可能的挖掘调整管的电流提供能力。电流增强技术主要有如下一些方法：

#### （1）衬底偏置效应

无论是工作在饱和区还是线性区，MOS 管电流都正比于过驱动电压  $V_{OV}$ ，提高过驱动电压能增大电流。根据 MOS 阈值电压的公式<sup>[70]</sup>：

$$|V_{TH}| = |V_{TH0}| + \gamma \left( \sqrt{2|\phi_f| + V_{SB}} - \sqrt{2|\phi_f|} \right) \quad (2-41)$$

式中， $|V_{TH0}|$  为  $V_{SB} = 0$  时的阈值电压， $\gamma$  为衬底偏置系数， $\phi_f$  为波尔兹曼电势。

当  $V_{SB} < 0$  时（但绝对值不能比 2 倍  $\phi_f$  小）的阈值电压将比  $V_{SB} = 0$  时的阈值电压小。这样，在同样的  $V_{GS}$  下，阈值电压变小意味着过驱动电压  $V_{OV}$  增大，MOS 管的导通电阻将减小，电流将增大。Rincon-Mora 提出了在 PMOS 调整管的源级和漏极之间加一个肖特基二极管，从而降低了调整管的导通电阻，增大了负载电流提供能力<sup>[52]</sup>。

#### （2）调整管工作在线性区

文中 2.3.2 节设计的调整管工作在饱和区，其调整管尺寸往往较大。栅极寄生电容在几十 pF 级别，由于调整管的密勒效应，导致栅极节点的等效电容接近 1000pF，产生了无电容型 LDO 的主极点，或者是传统 LDO 的次主极点。

为此，通过进一步增大调整管的栅源电压，在保证一定的 Dropout 电压情况下，可以增大输出电流。出现的变化是，此时的 PMOS 管已经离开饱和区，进入了线性工作区<sup>[43, 51, 61]</sup>。

从图 2-15 可以看出，LDO 工作在稳压区时调整管处于饱和区，表现为一压控电流源。图中  $P_1$  点具有该点负载电流下最低的电压降，同时调整管位于线性区和饱和区的边缘。保持 LDO 输入电压和输出电压均不变，即调整管的  $V_{DS}$  不变，此时如果负载电流增大，则通过反馈环路的控制来增大调整管的栅源电压，例如图中所示的由先前的  $V_{GS2}$  变化到  $V_{GS3}$ ，则显然负载电流会增加，静态工作点由  $P_1$  变化到  $P_2$ ，如果进一步增加栅源电压，则负载电流更大。反之，当负载电流减小，则调整管工作在饱和区，静态工作点由  $P_1$  变化到  $P_0$ 。

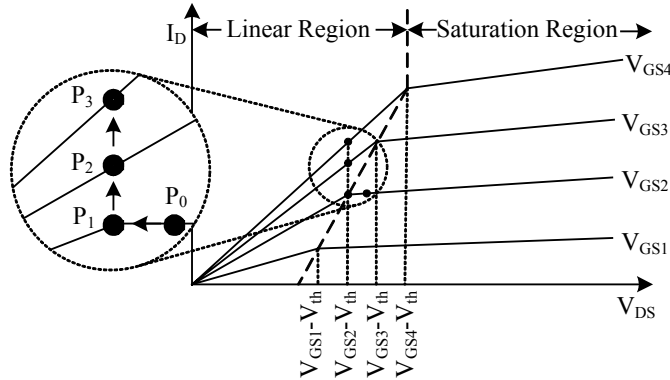


图 2-15 工作在线性区的调整管电流增加示意图

一个最简单的极限情况如下：输入电压为  $2V \sim 5V$ ，要求输出电压为  $1.8V$ ，显然，如果选择 PMOS 管作为调整管， $V_G = 0V$  时，调整管有最大的输出电流。此时  $|V_{GS}| = 2 \sim 5V$ ， $|V_{DS}| = 0.2 \sim 3.2V$ ，在输入电压较低时，有  $|V_{DS}| < |V_{GS} - V_{TH}|$ ，调整管工作在线性区。

在电路设计中，需要增大误差放大器的输出电压摆幅，即调整管输入控制电压的摆幅，从而使调整管能提供尽可能大的输出电流。

## 2.4 LDO 的稳定性研究

### 2.4.1 传统 LDO 的频率响应

为了研究传统 LDO 系统的稳定性，下面将分析其电路的频率响应特性。图 5-1 所示为系统的 AC 小信号模型<sup>[65]</sup>，此处调整元件选择 PMOS 管。

为分析该系统的环路稳定性，首先要在图 2-16 中所示反馈回路的 A 点断开环路，然后再分析系统环路的传输函数，也即  $V_{FB}$  和  $V_{REF}$  之间的传输函数为：

$$A_{V,loop} = \frac{V_{FB}}{V_{REF}} = \frac{g_a R_{par}}{1 + s R_{par} C_{par}} \times (g_p Z_o) \times \frac{R_1}{R_1 + R_2} \quad (2-42)$$

这里我们设误差放大器为一阶模型，即只考虑其输出主极点对系统稳定性的影响， $R_{par}$

和  $C_{par}$  分别是误差放大器和调整管连接点的对地等效电阻和电容， $g_a$  和  $g_p$  分别是误

差放大器和调整元件的等效跨导， $Z_o$  是输出端的等效阻抗，其表达式为：

$$Z_o \approx \frac{R_{ds}(1 + SR_{ESR}C_o)}{[1 + S(R_{ds} + R_{ESR})C_o] \times [1 + S(R_{ds} \parallel R_{ESR})C_b]} \quad (2-43)$$

其中， $C_o$  是LDO的输出端外接的大电容，其串联等效电阻为  $R_{ESR}$ ；旁路电容  $C_b$  ( $C_b \ll C_o$ )，同时选择低ESR的电容作  $C_b$ ，并忽略其ESR； $R_{ds}$  是调整管的导通电阻，一般有  $R_{ds} \gg R_{ESR}$ 。

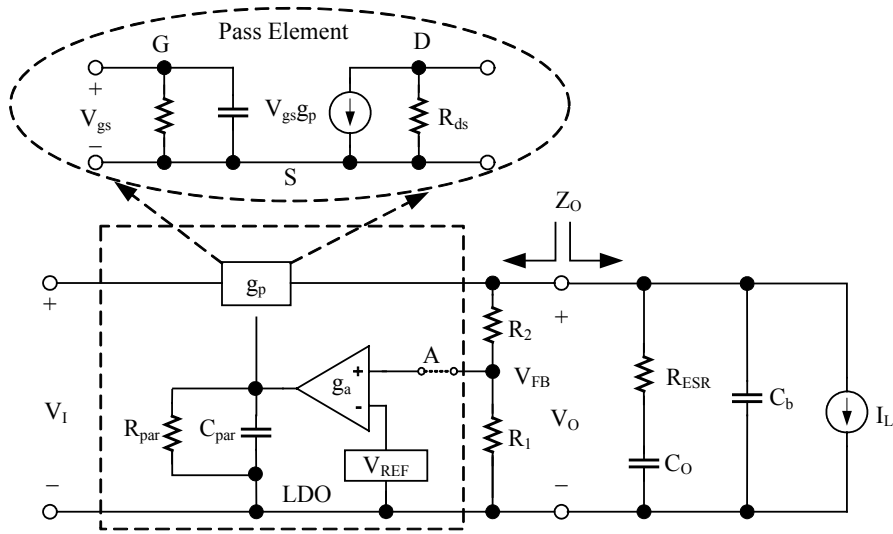


图2-16 LDO小信号模型

结合式 (2-42) 和 (2-43) 可以得出影响LDO系统稳定性的主要零极点如下：

$$P_o \approx \frac{-1}{2\pi R_{ds} C_o} \approx \frac{-I_L}{2\pi V_M C_o} \quad (2-44)$$

$$P_b \approx \frac{-1}{2\pi R_{ESR} C_b} \quad (2-45)$$

$$P_a \approx \frac{-1}{2\pi R_{par} C_{par}} \quad (2-46)$$

$$Z_{ESR} \approx \frac{-1}{2\pi R_{ESR} C_o} \quad (2-47)$$

其中， $R_{ds} \approx V_M / I_L$ ， $V_M$  为PMOS管的沟长调整电压。主极点 $P_o$ 由输出电容  $C_o$  和负载电阻 $R_L$ 的并联构成；极点 $P_a$ 由  $R_{par}$  和  $C_{par}$  并联构成，它处于LDO系统的内部；极

点 $P_b$ 由旁路电容 $C_b$ 和 $C_o$ 的等效寄生电阻 $R_{ESR}$ 并联构成；零点 $Z_{ESR}$ 由 $R_{ESR}$ 和 $C_o$ 串联构成。据此可以粗略地在图2-17中画出零极点分布示意图。

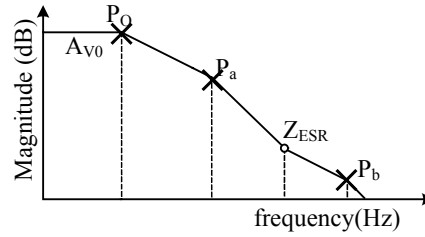


图 2-17 LDO 频率响应的简要幅频响应波形图

#### 2.4.2 传统 LDO 稳定性的影响因素

由系统主要零极点在波特图中的位置分布可以分析系统的稳定性。当系统稳定时，相位裕度至少要达到 $45^\circ$ 以上，若是需要在响应速度和过冲量之间折衷，相位裕度应在 $60^\circ$ 左右。

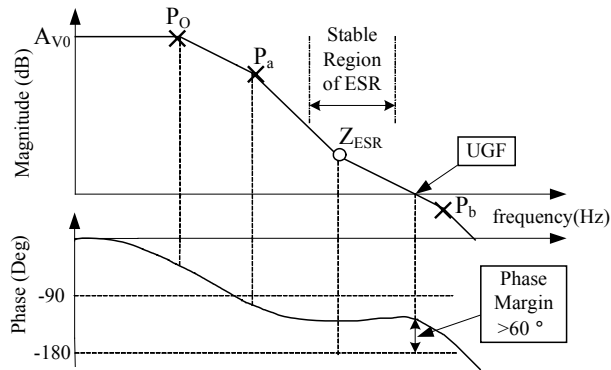
传统LDO一般是利用外接大电容（一般在微法级别）及其ESR产生一左半平面零点对系统进行相位补偿。对图2-17所示的波特图，四个主要零极点都位于单位增益带宽（Unity Gain Frequency，UGF）之前。在左半平面内，一个频率为 $\omega_0$ 的单极点对在其对应频率处滞后 $45^\circ$ ，在 $10\omega_0$ 处滞后 $90^\circ$ ，而零点则与之正好相反。于是，图2-17所示系统的相位裕度必然小于 $45^\circ$ ，从而导致系统不稳定。故必须要求 $P_b$ 位于单位增益带宽之后，同时零点补偿务必在单位增益带宽之前。

##### （1）输出电容ESR值的影响

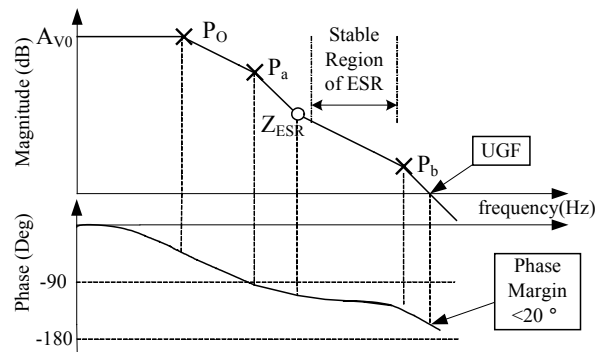
由（2-45）和（2-47）两式可知， $P_b$ 和 $Z_{ESR}$ 都与 $R_{ESR}$ 有关，在 $C_o$ 和 $C_b$ 一定的情况下，就应精确考虑 $R_{ESR}$ 的取值范围。图2-18中给出了三种不同的ESR对应的波特图，分析其对系统相位裕度的影响。

零点 $Z_{ESR}$ 和极点 $P_b$ 均取决于外接电容 $C_o$ 的 $R_{ESR}$ 值，当 $R_{ESR}$ 值变化时， $Z_{ESR}$ 和 $P_b$ 将做相同方向的变化。图2-18中（a）图补偿的零点使系统具有超过 $60^\circ$ 的相位裕度，足够使系统稳定；（b）图因为 $R_{ESR}$ 过大， $Z_{ESR}$ 和 $P_b$ 将同时向原点方向移动，使极点 $P_b$ 移到UGF以内，环路的总相移为：

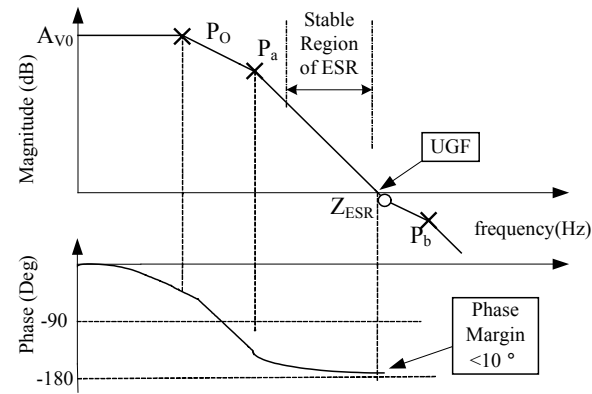
$$\text{Arg}[L(j\omega_0)] = \tan^{-1}\left(\frac{\omega}{|P_0|}\right) + \tan^{-1}\left(\frac{\omega}{|P_a|}\right) - \tan^{-1}\left(\frac{\omega}{|Z_{ESR}|}\right) + \tan^{-1}\left(\frac{\omega}{|P_b|}\right) \quad (2-48)$$



(a)具有合适的  $R_{ESR}$



(b)较大的  $R_{ESR}$



(c)较小的  $R_{ESR}$

图 2-18 不同  $R_{ESR}$  对系统稳定影响示意图

由于 $P_0$ 、 $P_a$ 和 $Z_{ESR}$ 位于相对比较低的频率处,故其相移分别为  $-90^\circ$ 、 $-90^\circ$ 和 $+90^\circ$ ,又 $P_b$ 移至UGF以上,其相移大于  $-45^\circ$ ,因此环路的总相移将大于  $-135^\circ$ ,即系统相位裕度小于 $45^\circ$ ,系统将不再稳定。

(c) 图因为ESR过小,则 $Z_{ESR}$ 和 $P_b$ 将同时向远离原点方向移动,如图5-3 (c) 所示,这时, $Z_{ESR}$ 移至UGF以外,则环路的总相移:

$$\text{Arg}[L(j\omega_0)] = \tan^{-1}\left(\frac{\omega}{|P_0|}\right) + \tan^{-1}\left(\frac{\omega}{|P_a|}\right) - \tan^{-1}\left(\frac{\omega}{|Z_{\text{ESR}}|}\right) \quad (2-49)$$

由于 $Z_{\text{ESR}}$ 在UGF以下,故由其引起的正相移将小于 $45^\circ$ ,同理可算出此时系统的相位裕度也将小于 $45^\circ$ ,系统仍然不能稳定。

以上分析可知,为保证LDO稳压器的稳定性,必须要求其输出电容的 $R_{\text{ESR}}$ 在一定范围之内。

### (2) 负载对稳定性的影响

由式(2-44)可知LDO系统的输出极点是系统的主极点,该极点频率是输出电容和负载电流的函数,负载电流增加导致主极点向高频处移动。而系统的直流增益亦受负载电流的影响,主要体现在调整管这一级,调整管的本征增益为<sup>[15]</sup>:

$$A_{V,\text{Intrinsic}} = g_p \times r_{O,\text{Pass}} \propto \frac{1}{\sqrt{I_L}} \quad (2-50)$$

由上式及(2-44)可以看到,随着负载电流的增大,主极点向高频的移动速度比直流增益下降的速度要快,导致单位增益带宽的变大。在忽略其他极点频率微小改变的情况下,UGF的增大,必然会在环路增益降到零之前,更多的寄生极点导致更多的相移,减小系统的相位裕度,使系统变的不稳定。

### (3) 寄生极点的影响

前面仅仅分析了LDO系统的几个主要的零极点,然而在整个系统的环路当中还有一些需要关注的寄生极点,比如误差放大器输出连接调整管的节点导致的 $P_a$ 极点,两级运放作误差放大器时级联处产生的极点等。这里我们主要考虑 $P_a$ 极点的影响。

式(2-46)显示, $P_a$ 极点主要由运放的输出阻抗和调整管栅极对地的寄生电容决定。对LDO而言,要有良好的负载能力,就需要尺寸大的调整管, $C_{\text{par}}$ 就很大,若运放的输出阻抗也很大,则 $P_a$ 很有可能成为主极点,此时系统的频率特性就需要另行考虑。当我们希望 $P_a$ 高于单位增益带宽时,只能通过减小误差放大器的输出阻抗来实现。而运算放大器的输出阻抗主要取决于运放输出级的结构和偏置电流,同时在一定程度上决定于系统的精度和瞬态响应。因此,在LDO设计时应重点考虑其协调关系。

## 2.4.3 无电容型 LDO 的频率响应

传统LDO的系统主极点在输出节点,而无电容型LDO的极点分布和传统的LDO不同。调整管栅极总的寄生电容为:

$$C_g = C_{EAO} + A_{PASS} C_{GD} + C_{GS} \quad (2-51)$$

式中， $C_{EAO}$  为误差放大器的输出电容， $C_{GD}$  和  $C_{GS}$  分别是调整管的栅漏级电容和栅源级电容， $A_{PASS}$  为调整管工作为共源级放大器的小信号增益。

从上式可知，对于一个要求输出大电流的调整管而言，其栅极寄生电容往往高达数百皮法，加上误差放大器的输出阻抗较高，调整管栅极节点产生了无电容型 LDO 的主极点。无电容型 LDO 的极点构成如图 2-19 所示，极点位置分布如图 2-20 所示。

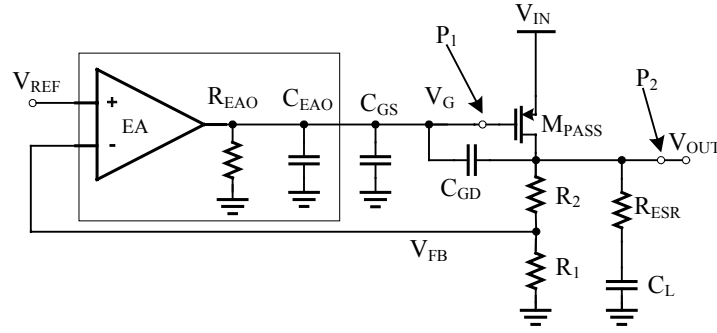


图 2-19 无电容型 LDO 的极点构成

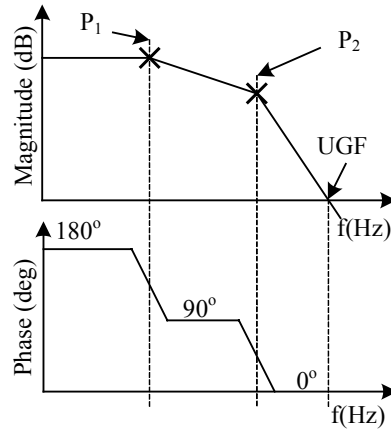


图 2-20 无电容型 LDO 进行频率补偿之前的极点分布

无电容型 LDO 的两个极点频率分别为：

$$\omega_{P1} = \frac{1}{R_{EAO} (C_{EAO} + A_{PASS} C_{GD} + C_{GS})} \quad (2-52)$$

$$\omega_{P2} = \frac{1}{[r_{O,PASS} \parallel (R_1 + R_2) \parallel R_{LOAD}] \cdot C_{LOAD}} \quad (2-53)$$



输出极点的频率与等效负载电阻值密切相关。等效输出电阻可表示为：

$$R_{LOAD} = \frac{V_{OUT}}{I_{OUT}} \quad (2-54)$$

当负载非常小即输出电流为 0 是，可以等效的看作负载电阻是无穷大；当负载最大即输出电流为所设计的最大电流时，等效负载阻抗达到最小值。可见，由于负载变化造成的极点频率的移动非常巨大。

## 2.5 设计指标的折衷

模拟集成电路的设计其实就是一门对各项设计指标进行折衷的艺术<sup>[70]</sup>。在LDO设计中需要折衷考虑的因素主要包括：效率、稳定性、瞬态响应速度、成本。

2.3.3节分析了调整管的尺寸对于芯片效率、输出电流能力和瞬态响应速度之间的折衷关系。另外，选择不同的开环增益、调整管栅极的驱动电流，以及不同的输出电容值，将带来LDO性能指标的不同。表2-1表示了在设计中的四项基本内容增大时，带来的LDO性能变化。

首先，当调整管的尺寸增加时，调整管导通电阻变小，使得某一固定负载电流下的电压降降低，从而提高了LDO芯片效率。调整管尺寸的增加，有助于提高环路增益，从而提高线性调整率和负载调整率，最终使得LDO的精度增加。但是，调整管尺寸的增加导致调整管栅极电容的增大，使得LDO的环路响应变慢，导致负载电流变化时的输出电压过冲量增大。另外，调整管尺寸增大后，电路结构不改变的情况下，环路稳定性设计上面临更严峻的考验。而且，调整管尺寸增大，会导致芯片面积增大，系统成本上升。

其次，通过增加放大器级数或者单级放大器增益来增大LDO的开环增益时，带来的最大好处是负载调整率、线性调整率的增大，输出阻抗的降低，从而带来LDO输出电压的精度提高。但是，增益和带宽往往是一对矛盾，增益提高通常是以带宽降低为代价的。带宽降低，意味着LDO的瞬态特性变差。另外，放大器级数的增加意味着环路稳定性的变差，而且，增大了设计的复杂性，致使芯片成本增加。

再次，当增大调整管输入级的尾电流，即增大调整管栅极电容的压摆率电流时，能有效改善LDO的瞬态响应特性，降低由于负载变化引起的输出电压过冲量。后果是，降低了芯片效率。

最后是关于输出电容的选择。选择大的负载电容，可以降低由于负载变化引起的输出电压过冲量。但是，在无电容型LDO中，该输出电容只能小于100pF，否则成本上无法忍受，另外，选择不同的电容值时还会带来环路稳定性的重新考虑。

表2-1 LDO设计中的折衷关系

Design Consideration	$R_{ON}$	$V_{dropout}$	$\eta$	$V_{peak}, V_{dip}$	$\alpha$	Stability	$I_{OUT}$	Cost
Dimension of Pass transistor (W/L)								
Open loop Gain (G)	-	-	-				-	
SR current of Pass transistor gate	-	-			-	-	-	-
Output Capacitor (Cload)	-	-	-		-		-	

## 2.6 小结

本章介绍了 LDO 的基本结构和 LDO 电压调节原理。作为一个功能独立的电路模块或者芯片，LDO 需要一系列指标来衡量。本章给出了一系列衡量 LDO 性能好坏的设计指标及定义。电压差和芯片静态电流共同决定了 LDO 的工作效率。为提高 LDO 工作效率，希望设计尽可能小的电压差和静态电流。LDO 类似于一个恒压源，要求尽可能高的输入阻抗和尽可能低的输出阻抗，增大环路增益可以同时提高输入阻抗和降低输出阻抗。LDO 的线性调整率表征了输出电压随电源电压的变化率，负载调整率表征了输出电压随负载大小的变化率，温度特性表征了输出电压随芯片温度的变化率，这些指标共同决定了 LDO 的输出电压稳定性，即输出电压精度。瞬态特性表示的是负载电流在出现瞬态变化时，输出电压的稳定程度。电路中的噪声带来了输出电压的误差。电源抑制比表示了输出电压对电压噪声的免疫能力。

调整管是 LDO 中最关键的器件，往往也是占用面积最大的器件，调整管的选择和设计往往决定了 LDO 的性能和成本。为此，本章讨论了调整管的设计思路以及电流增大措施。LDO 系统是一个多极点反馈系统，本章研究了传统 LDO 和无电容型 LDO 的频率响应特性，期望找到影响 LDO 环路稳定性的因素。LDO 的这些设计指标不是孤立的，相互之间有着密切的联系。在设计 LDO 时，需要对这些指标进行折衷考虑，以达到整个 LDO 系统各项性能指标的均衡和最优化。

### 3 LDO 建模和系统设计

在数字电路世界，分层建立的抽象模型允许我们轻松的进行行为级（Behavior Level）描述以完成设计意图，再轻松地将行为级的电路转换成寄存器传输级（Register Transfer Level, RTL）及器件级，实现“自顶向下”（Top-down）的设计流程。另外，可以对该流程逆向，快速完成电路设计的验证。在上述数字集成电路的设计流程中，依赖于代工厂（Foundry）的基本单元库，仿真和验证通常在行为级或者 RTL 级，仿真和验证速度要大大超过器件级。

模拟电路则复杂多了，至今仍然没有一个令人满意的“自动化”设计流程和工具，沿用至今的通用设计流程依然是“自底向上（Bottom-up）”。在模拟电路的系统结构设计上，我们期望能像数字电路设计那样，在开始器件级的电路设计之前能对系统有一个规划和定义，能确定系统的模块划分，以及每一个模块的基本性能指标。现在对模拟电路进行系统级设计的唯一途径是高级建模。常见的复杂模拟电路包括开关电源（DC-DC Converter）、锁相环（PLL）、 $\Sigma - \Delta$  调制器等等，都需要从建模开始。

本文设计的 LDO，是一个典型的闭环系统。对于一个多极点的闭环系统，其频率稳定性是设计中必须考虑的。另外，为提高电路性能，如何从结构上对电路进行结构改进和参数优化，比如提高系统的瞬态响应，增强系统稳定性，提高电源抑制比，提高输出电压精度等等，是电路设计中遇到的主要难题。对 LDO 进行系统建模，在开始器件级电路设计之前进行系统结构设计，显得非常必要。本章将介绍模拟电路的建模方法，并针对无电容型 LDO 电路建立宏模型，以设计出高性能的 LDO 电路，并对器件级 LDO 电路进行验证。

#### 3.1 模拟集成电路建模简介

与数字集成电路类似，模拟集成电路的模型从抽象到具体可以分为四级，如图 3-1 所示。电路的最高级模型是功能型模型，该模型能描述电路的信号流向和系统结构，但无法精确定义到每一个信号的具体参数和指标。图 3-2 为 LDO 的功能级模型。

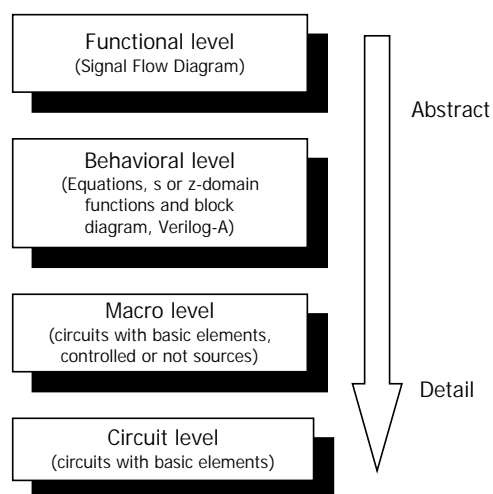


图 3-1 模拟集成电路的模型层次

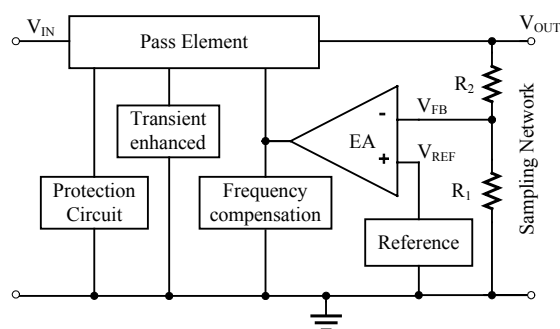


图 3-2 典型 LDO 的功能级模型

次高级模型是行为级模型，行为级模型通过一些等式、 $z$  域或者  $s$  域的函数对电路进行数值上的定义，也可以利用专门用于模拟集成电路设计的硬件描述语言 Verilog-A 对模拟电路进行行为级描述。行为级模型是对实际电路的高度抽象，利用更加简单的模型来替换实际电路。这种替换使得仿真时间大大缩短，效率大大提高。行为级建模的目的是划分电路系统的结构以及确定各模块的参数，以保证整个电路能正常工作，为实际的电路设计指明方向。

图 3-3 是一个简单 LDO 电路的行为级模型实例，该 LDO 电路包括误差放大器构成的第一级，调整管构成的第二级，以及反馈电阻网络构成的反馈级。误差放大器的低频增益为  $A_1$ ，调整管的低频增益为  $A_2$ ，两者各产生一个极点，极点频率分别为  $\omega_{p1}$  和  $\omega_{p2}$ 。

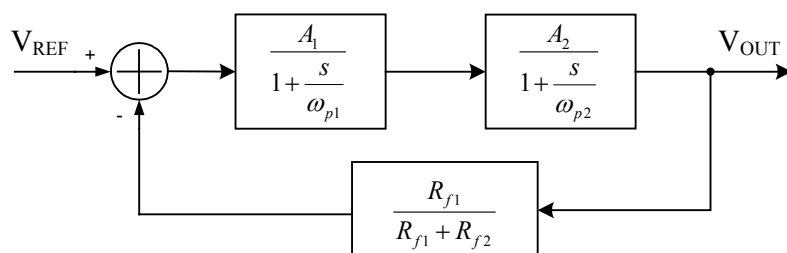


图 3-3 简单 LDO 的行为级模型实例

模拟电路的第三级模型为宏模型。宏模型由一些基本的元件和电源构成，已经可以看到电路的痕迹。基本元件包括电阻、电容、电感，以及需要简单模型支持的有源器件，如MOS管、BJT管和二极管。电源包括独立源和受控源，如最常见的电压控制电流源。宏模型非常接近于实际电路，它能代表实际电路的绝大部分特性（这依赖于宏模型的复杂程度）。我们希望通过宏模型能在电路设计和验证中能基本替代实际电路，在表征相同的电路特性时，大大缩短电路的仿真时间，早期的研究表明：用器件级电路进行仿真的时间通常是宏模型电路仿真时间的6~10倍<sup>[71]</sup>。图3-4是TI公司的一个运算放大器的宏模型示例<sup>[72]</sup>。

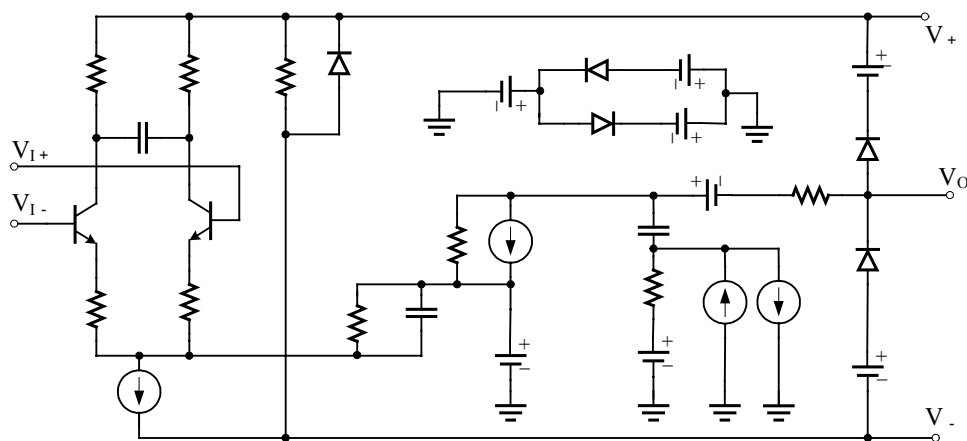


图 3-4 TI 公司的运算放大器宏模型

模拟电路的最底层模型即器件级电路。模拟集成电路器件级仿真软件源于美国加州大学伯克利分校自主开发的 Spice (Simulation Program with Integrated Circuit Emphasis)，后来发展成为模拟集成电路器件级仿真软件的美国国家标准。基于 Spice，衍生出许多其它版本，包括 Hspice、Pspice、Spectre 等等。基于 Spice 的仿真软件最能体现模拟集成电路的特性，这依赖于越来越精确的器件模型，比如 Berkeley 大学开发的 BSIM3V3 器件模型，其参数接近 200 个。但是，电路参数越精确，仿真所花时

间越多。对于复杂的模拟电路，特别是数模混合电路，仿真时间长的令人难以忍受。

## 3.2 基于宏模型的模拟集成电路设计流程研究

### 3.2.1 模拟集成电路设计流程现状

数字电路设计可以非常轻松的进入到 1 万个晶体管以上的电路规模。这得益于数字电路可以容易而且精确的将电路抽象成行为级描述，再根据代工厂提供的定义了时序信息的基本单元库，行为级电路可以自动的综合成晶体管级电路或者门级电路，同时还可以进行版图设计中的自动布局和布线。

模拟电路要进入到 1 万个晶体管以上的设计规模相对困难。原因有三：(1) 模拟集成电路难以抽象的描述。比如一个最基本的运算放大器单元，需要描述的指标包括：增益、单位增益带宽、多级运放的次主极点频率、输入阻抗、输出阻抗、共模输入范围、共模输出范围、摆率、电源抑制比、噪声、输入失调电压等等。指标的数量和描述的复杂程度要远远高出数字电路。(2) 模拟集成电路的基本单元远不如数字电路单一。数字电路的基本单元如逻辑门，结构相对单一，而模拟电路的基本单元则变化繁多。比如最常见的运算放大器，根据应用领域的不同可以分为：低噪声放大器、音频放大器、功率放大器等等，根据不同的结构可以分为：普通放大器、差分放大器、全差分放大器等等。在模拟集成电路的设计中，这类基本单元是整个设计工作的重要组成部分。而数字集成电路中的基本单元却几乎不用电路设计人员来完成。(3) 模拟电路设计缺乏强有力的 EDA 工具。

由于模拟电路设计的复杂性，当今无论是学术界还是工业界都缺乏高效的 EDA 工具，使得模拟电路设计不能像数字电路设计那样，轻松的采用“自顶向下”的设计流程。所有，现在的模拟集成电路依然采用的是“自底向上”的简单流程。不少 EDA 软件提供商期望改变这一现状，Cadence 公司基于 Virtuoso 平台，提出了全定制芯片设计中将“自顶向下”和“自底向上”两种流程向结合，寻找合适的“中间结合”点，期望能提高模拟/数模混合集成电路的设计效率<sup>[73]</sup>，但提升效果有限。Gielen 等人经过多年的探索，期望在模拟电路的设计中也采用类似于数字集成电路设计的“自动化”设计工具和设计流程<sup>[74]</sup>，实现高效率的“模拟电路设计自动化”<sup>[75]</sup>。目前的成果是，对于器件数目在 10~100 的小规模模拟电路单元，能实现类似于数字集成电路的“自动化”设计流程。然而，对于复杂的模拟和数模混合集成电路（例如锁相环、

数模/模数转换器等等)，由于其规模远远超出 100 个器件，至今还没有有效的方法能实现模拟电路的“自动化设计”。因此，在解决了最基本的 100 个器件的模拟电路的“自动化”设计流程之后，借助“层次化”的“自底向上”的设计流程，可以实现复杂 SoC 电路的“自动化”设计。无论是器件数目在 100 以内的小规模模拟电路，还是器件数目远远超过 100 的复杂模拟电路，自动化设计中依据的桥梁便是描述模拟集成电路的“宏模型”或者“行为级模型”（为了简洁，文中统称这两种模型为模拟集成电路的“抽象模型”），即宏模型和行为级模型是模拟集成电路在系统级和器件级设计之间的桥梁。

### 3.2.2 基于抽象模型的模拟集成电路设计流程

上一节介绍了模拟集成电路的宏模型和行为级模型在“自动化设计”中的作用。本节将详细介绍笔者提出的基于抽象模型的模拟集成电路设计流程。

类似于数字集成电路，模拟集成电路设计者希望从设计之初就能对整个电路的功能进行细致规划和模块划分，再对每个模块进行具体的器件级电路设计，这便是模拟集成电路“自顶向下”的设计流程。在对整个电路进行系统规划和模块划分时，需要从整个系统的角度来验证电路是否能正常工作，依据的标准是电路“抽象模型”的验证结果。对模拟集成电路建立“抽象模型”，是系统级设计的关键步骤。一旦建立了整个电路的“抽象模型”，就确定了整个电路的模块功能划分，以及每一个模块应该达到的设计指标。根据每一个模块的功能要求，以及详细的设计指标，进入到器件级的电路设计。器件级子电路的设计完成，标志着“自顶向下”设计流程的结束。

基于 Spice 的器件级电路仿真工具具有最高的仿真精度，但代价是需要花费极长的仿真时间。子模块电路的仿真往往不会占用过多的 CPU 时间，但是一旦将多个子模块组合成一个复杂的电路，其仿真时间往往让人难以忍受。因此，对于一个已经设计完成的模拟电路系统进行系统级的功能和性能验证是模拟集成电路设计的另一挑战。人们开发出了众多的模拟电路仿真工具（例如 Eldo 和 Nanosim），能在降低一定仿真精度的情况下，大大提高仿真速度。但是，这类工具依旧采取的是晶体管级的电路仿真，其仿真时间依然远大于“抽象模型”的电路仿真。

在整个电路的验证阶段，继续采用子电路的“抽象模型”来构成整个电路，可以大大缩短系统验证时间。只是，此处的“抽象模型”不是系统规划时的模型，而是在子模块电路设计并仿真完成之后修正了的“抽象模型”。对于一个子电路而言，修改

“抽象模型”的参数，使“抽象模型”的仿真结果与器件级电路的仿真结果尽可能的接近，直到两者的误差为无穷小。这样，修改过的“抽象模型”可以完全替代器件级的电路进行整个系统（芯片）的功能验证和性能仿真。采用“抽象模型”进行复杂电路的功能验证和性能仿真，可以大大缩短仿真时间。这种用子模块电路的“抽象模型”组成整个系统电路进行系统验证的方法构成了模拟集成电路的“自底向上”的验证流程。

模拟集成“自顶向下”的设计流程和“自底向上”的验证流程参见图 3-5 所示。

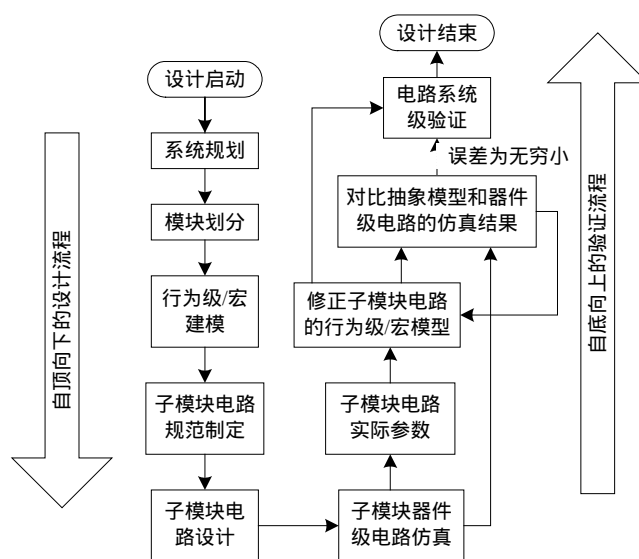


图 3-5 基于抽象模型的模拟集成电路设计流程

### 3.2.3 基本模拟单元抽象模型的建立方法

前节介绍了基于抽象模型的模拟集成电路设计流程。对于复杂的模拟集成电路，借助于抽象化的电路模型，能大大提高模拟集成电路系统验证和仿真的速度，其前提是我们能建立高度精确的抽象模型。

对模拟电路进行行为级/宏建模的方法主要包括：

（1）采用支持模拟电路行为级描述的语言对模拟电路进行行为级建模。目前已经取得商业用途的语言是 Verilog-A 和 VHDL-A。这两种语言具有相通之处，是一种高层次的模块化硬件描述语言，它用模块的形式来描述模拟系统及其子系统的结构和行为<sup>[76, 77]</sup>。

这两种模拟电路行为级描述语言对模拟电路的描述可以分成两种类型：一是行为描述，一是结构描述。行为描述是指用一些数学表达式或者传递函数来描述目标电路



的行为，其描述范围可以从基本的电阻电容到十分复杂的滤波器或其它模拟电路系统；而结构描述则是对各个子模块在系统中的用途以及子模块与子模块之间的连接关系进行描述，这可以理解为是对系统结构框图的描述。

Verilog-A 提供包括有限指数产生器 `limexp()`、积分产生器 `idt()`、微分产生器 `ddt()` 与延迟产生器 `delay()` 等许多用以描述模拟电路行为模块的函数。通过这些函数，可以定义出一些基本的模拟电路模块，如各种常见的运算放大器、带隙基准电源、模拟锁相环等电路，进而设计用于 SoC 设计的模拟电路 IP 核的行为级建模。再将这些模拟基本单元电路 IP 核的 Verilog-A 行为模型整合到支持混合信号仿真软件（如 Cadence 公司提供的 Spectre）中，根据仿真结果和实际要求的性能指标对添加的参数进行调整；也可以作为一个子系统整合到上一级电路中对上层电路进行仿真验证。

Verilog-A 被广泛的应用于模拟电路的行为级建模，而且可以和数字电路的设计进行良好的接口，便于数模混合集成电路的设计和验证。其优势体现在：采用微分代数方程系统来描述模拟电路的行为特性，可以大大降低所求解的系统方程的规模，大大提高仿真速度，而且使得混合系统可以在统一的 AMS 混合仿真器框架下得以仿真验证<sup>[78]</sup>。

（2）采用通用的数学建模工具直接对模拟集成电路进行行为级建模。最常用的数学建模工具是 Matlab，该工具应用普遍，形象直观，是复杂系统，特别是涉及到算法时进行行为级建模的有力武器。然而，Matlab 的仿真和验证几乎脱离了电路的概念，对于电路中简单的器件（例如电阻、电容和电感）都需要用传递函数进行描述。这不利于对电路的理解，而且增加了建模的难度。另外，采用 Matlab 建模的结果难以与数字电路进行混合仿真。

（3）采用通用的晶体管级电路仿真工具进行模拟电路的行为级建模，常用的平台是 Spice 和 Spectre。在这类平台上，对于一个模拟电路模块的描述，既支持晶体管级描述，也可以进行行为级描述。采用 Spice/Spectre 进行行为级建模，最大的好处在于行为级描述的电路或者网表，可以和晶体管级描述的电路一道，直接采用同一个仿真平台进行仿真验证。另外，基于 Spice/Spectre 的行为级建模中，对于复杂的模块采用行为级建模，对于简单的电路，可以依然沿用其晶体管级描述。这无遗简化了对模拟电路进行行为级建模的难度，灵活性强。

（4）其它一些纯数学的建模方法，比如符号分析法、数值逼近法、模型降阶法

等等<sup>[79]</sup>，由于要求的数学功底较深，至今未被大量使用，此处不再详细介绍。

### 3.3 简单 LDO 的“混合宏模型”建模

LDO 将输出电压与一固定的参考电压进行比较，从而控制调整管的导通程度，来得到一个稳定的输出电压，使其不受负载变化的影响。可见，LDO 是一个典型的闭环反馈系统，在具体的晶体管级电路设计之前，就通过抽象模型（行为级模型或者宏模型）确定好环路的零极点分布，或者通过改进电路结构，从而对零极点的分布进行调整，在保证环路稳定性的前提下提高电路的其它性能，以提高电路的设计效率。

为方便在统一的平台下进行电路设计和仿真，本文将建立基于 Spice/Spectre 平台的 LDO 宏模型。通过建立 LDO 的宏模型，反映如下的问题：

- （1）通过宏模型的 AC 分析，确保 LDO 的环路稳定性。此处需要考虑输出电容对环路稳定性的影响，以及稳定性的解决方案。
- （2）通过宏模型的瞬态分析，确保 LDO 足够好的负载瞬态响应，并尝试提出改进负载瞬态响应的方法。
- （3）通过调整运放的各项指标，明确运放性能与 LDO 性能的关系，给出改进电路结构的指定性意见。
- （4）建立详细精确的宏模型，可用于 LDO 的系统验证和仿真。

#### 3.3.1 运算放大器的宏模型背景介绍

根据第二章 LDO 的设计指标可知：运放的低频增益决定了 LDO 的诸多性能，比如负载调整率、线性调整率、输入阻抗和输出阻抗等等；运放的零极点分布影响着环路稳定性。为此，设计合适的运算放大器，是 LDO 设计的关键，有必要在开设运算放大器具体的电路设计之前，对运放的各项性能指标及结构给予限定。为此，本节介绍并设计运算放大器的宏模型，并基于该宏模型来设计 LDO 的电路结构。为了仿真和叙述的方便，本文只介绍基于 Spice 平台的宏模型设计方法。

在集成电路的大规模集成之前，特别是片上系统芯片（SoC）大规模流行之前，人们普遍使用着大量的各种不同特性的运算放大器，比如堪称运算放大器“经典”的  $\mu A741$ 。为便于工程师合理选用各个集成运放，集成运放提供商（例如 TI、仙童、国半、ADI、BURR-BROWN、凌特）提供了大量的基于 Pspice 平台的运算放大器的宏模型。这些宏模型多数被免费提供给电路设计人员，供其在完成整个电路的 PCB 板

设计和制作之前就清楚系统的各项性能指标。

这类由运放提供商给出的宏模型，均基于简化的物理模型方法。简化的物理模型方法是非常直观的建模方法，能够较为准确地分析电路中的多种内部非理想效应，并建立其对应的行为级模型，从而可以非常有效地帮助设计者在设计过程中，正确地了解电路的工作特性<sup>[79]</sup>。因而，在电路设计之初，可以有的放矢地改进电路的设计，以提高电路性能。Boyle 等人提出的集成运算放大器的建模方法是这类方法的典型<sup>[80]</sup>。

如图 3-6 所示，Boyle 给出的运放的宏模型是一个简化了的，由电阻、电容和受控源等线性元件以及少量二极管和三极管等非线性器件构成的电路。Boyle 在构建集成运放的宏模型时使用了两种方法，分别是“简化法”和“构建法”。“简化法”是将原有电路进行简化，保持原来的电路结构，用简单的理想元件代替原电路的非理想元件。Boyle 构建的宏模型的输入级采用的是“简化法”。“构建法”即根据电路的特性，重新构建一个新的电路结构，采用理想元件来完成原电路的功能。Boyle 构建的宏模型的中间级和输出级采用的是“构建法”。

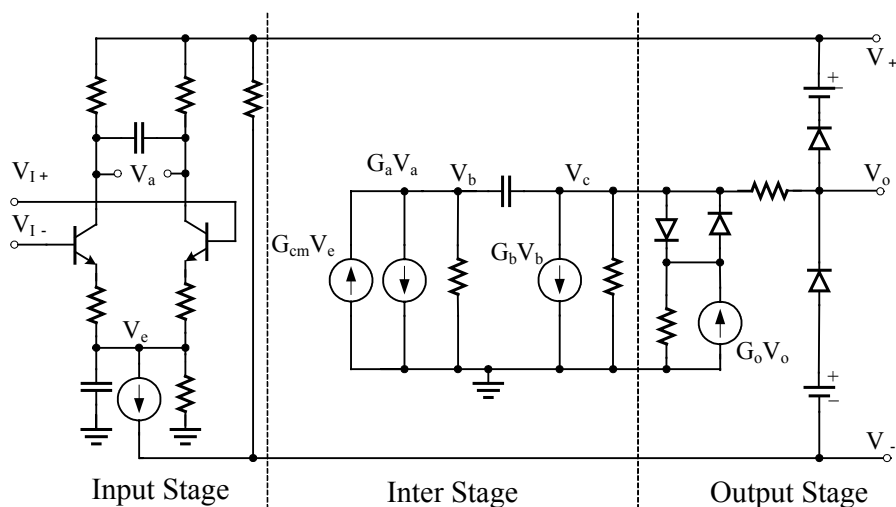


图 3-6 Boyle 等人提出的集成运算放大器的宏模型<sup>[80]</sup>

这两种方法各有优缺点。前者方法简单，但宏模型的优势没有得到更大提升，也没有完全理解电路的各项性能指标。后者尽管方法复杂，但通过受控源和简单的线性元件体现了电路的性能指标，提高了仿真速度，是真正意义上的宏模型。

各集成运放提供商大多采用了 Boyle 的将“简化法”和“构建法”相结合的建模方法，根据不同的电路结构、电路特性构建了大量的集成运放的宏模型。但是，此类方法严重依赖于电路的具体结构，通用性差，对于不同的电路结构，需要重新设计其

宏模型。

有时，我们期望能在已知（或有一个假定的初始值）运放的各项性能指标时，通过工具直接生成一个宏模型。模拟集成电路设计人员最常用的 Hspice 工具中提供了运放的“宏模型生成器”通过给定一些运放的设计指标，比如低频增益、单位增益带宽、共模抑制比、输入阻抗、输出阻抗等等，由 Hspice 工具自动生成一个符合要求的宏模型<sup>[81]</sup>。该方法看似容易实用，但存在巨大缺陷：首先是 Hspice 工具生成的运放宏模型结构固定且单一，无法满足结构日益更新的运放的使用需求；其次是如果运放的某些性能指标超出其限定范围，宏模型将不再正常工作。为此，采用 Hspice 自动生成运放的宏模型，一般仅限于通用的简单运放，使用范围受限。

### 3.3.2 运算放大器宏模型设计

在本文设计 LDO 时，需要修改运放的指标和结构以满足 LDO 的各项性能指标，无论是各集成运放提供商提供的宏模型，还是 Hspice 自动生成的宏模型，均有一定的局限性。本文基于 Phillip E. Allen 介绍的方法<sup>[82]</sup>，构建了应用范围更广、独立于运放结构的宏模型。

对于运放的宏模型，需要反映运放的最基本特性，即小信号增益特性、小信号频率特性、大信号静态特性。在一般的仿真和分析中，运放的大信号动态特性、噪声特性、电源抑制特性可以忽略。为方便叙述，图 3-7 直接给出了经笔者改进的运放宏模型。

运放的小信号增益包括了差模增益和共模增益。图 3-7 中的三个电压控制电流源  $G_{DM1}$ 、 $G_{CM1}$ 、 $G_{CM2}$  为中间级的第一级放大，将运放输入端的共模电源和差模电源分别放大，并合并到第一级输出电压  $V_1$ 。则第一级输出电压  $V_1$  的表达式为：

$$V_1 = [(V_{POS} - V_{NEG}) \cdot G_{DM1} + V_{POS} \cdot G_{CM1} + V_{NEG} \cdot G_{CM2}] \left( R_1 \parallel \frac{1}{SC_1} \right) \quad (3-1)$$

显然，第一级放大器产生了一个极点，极点频率为：

$$\omega_{p1} = \frac{1}{R_1 C_1} \quad (3-2)$$

如果要模拟产生第二个极点，只需在第一级放大之后再增加一级放大，则第二级放大的输出电压为：

$$V_2 = V_1 \cdot G_{DM2} \cdot \left( R_2 \parallel \frac{1}{SC_2} \right) \quad (3-3)$$

第二个极点的频率为：

$$\omega_{p2} = \frac{1}{R_2 C_2} \quad (3-2)$$

如果运放的输出负载包含电容，则还可以产生第三个极点和零点。

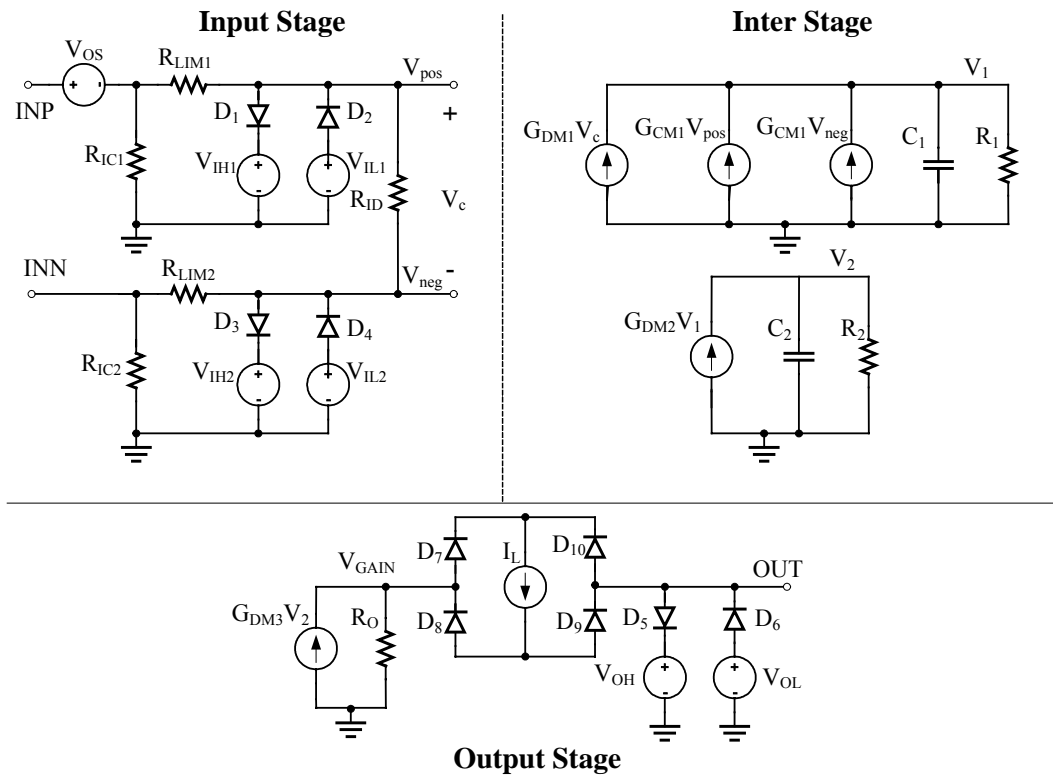


图 3-7 笔者改进的运算放大器宏模型

上述第一级放大和第二级放大均可以直接作为输出级，但这种模型的输出电阻不是一个定值，受信号频率的影响。为此，可以单独添加一级输出级，如图 3-7 所示，该运算放大器的输出电阻固定为  $R_O$ 。则该运放总的输出电压表示如下：

$$V_{OUT} = \left[ (V_{POS} - V_{NEG}) G_{DM1} + V_{POS} G_{CM1} + V_{NEG} G_{CM2} \right] \cdot \left( R_1 \parallel \frac{1}{SC_1} \right) G_{DM2} \left( R_2 \parallel \frac{1}{SC_2} \right) G_{DM3} \cdot R_O \quad (3-3)$$

在上述建模中，为了更简单的表示出运放的差模增益倍数，设  $R_1$ 、 $R_2$  均为  $1\Omega$ 。而  $R_O$  为运放的输出电阻。设  $G_{DM2} = 1$ ， $G_{DM3}$  在数值上为  $1/R_O$ 。则运放的差模增益为

$G_{DM1}$ 。

另外，为了建模的方便，本文设计的宏模型中二极管为理想二极管，即导通压降为 0，仅仅定义一个很小的反向饱和电流  $I_S$  即可。

为了对运放的共模增益和差模增益同时建模，此处引入了共模输入电阻  $R_{IC1}$  和  $R_{IC2}$ ，以及差模输入电阻  $R_{ID}$ 。

表 3-1 运放宏模型参数一览表

模型器件	器件含义	器件参数
RID	输入差模电阻	10MEG $\Omega$
RIC1、RIC2	输入共模电阻	100MEG $\Omega$
RLIM1 和 RLIM2	输入限流电阻	0.0001 $\Omega$
VIH1、VIH2	共模输入的高电平限制	4.5V
VIL1、VIL2	共模输入的低电平限制	0.5V
D1、D2、D3、D4	共模输入范围限制电路	$I_S = 1.0 \times 10^{-16}$ A
GDM1、GDM2、GDM3	差模增益电压控制电流源	GDM1 = 1000、GDM2 = 1、GDM3 = 0.001
GCM1、GCM2	共模增益电压控制电流源	GCM1 = 0.05、GCM2 = 0.05
R1、C1	第一级放大器输出电阻和电容	R1=1 $\Omega$ , C1=159u, $f_{p1} = 1kHz$
R2、C2	第二级放大器输出电阻和电容	R2=1 $\Omega$ , C2=0.0159u, $f_{p1} = 10000kHz$
RO	运放输出电阻	RO = 1k
GDM3	输出级电压控制电流源	GDM3 = 0.001
IL	输出限流独立电流源	IL = 2u
D7、D8、D9、D10	输出限流电路	$I_S = 1.0 \times 10^{-16}$ A
VOL、VOH	共模输入的低电平限制	VOL = 0.4V、VOH=4.6V
D5、D6	输入摆幅限制电路	$I_S = 1.0 \times 10^{-16}$ A

为了在宏模型中体现运放的共模输入范围 (CMRR)，引入了四个二极管和四个独立电压源，分别为：D<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub>、D<sub>4</sub>、V<sub>IH1</sub>、V<sub>IL1</sub>、V<sub>IH2</sub>、V<sub>IL2</sub>。在仿真中，如果在运放的输入端接入一理想电压源，在使得 D<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub> 和 D<sub>4</sub> 中的任何一个二极管导通时，流过二极管的电流将是无穷大，这破坏了任何一种仿真工具的算法要求。为此，在宏模型中加入两个限流电阻  $R_{LIM1}$  和  $R_{LIM2}$ 。

同理，输出电压摆幅由 D<sub>5</sub>、D<sub>6</sub>、V<sub>OH</sub> 和 V<sub>OL</sub> 决定。

运放的输出电流能力决定了运放的驱动电容性负载的压摆率 SR，在 LDO 设计中，

由于运放的输出要驱动调整管的栅极，对于大尺寸的调整管而言，大的运放输出电流决定了 LDO 快速的瞬态响应。为了对运放的输出电流能力进行建模，此处引入独立电流源  $I_L$ ，在四个理想二极管  $D_7$ 、 $D_8$ 、 $D_9$  和  $D_{10}$  的配合下，将运放的输出电流限制在了  $I_L$ 。

运放宏模型的器件名称、含义及缺省参数如表 3-1 所示。

上述宏模型在模拟运放的频率特性时采用了用电阻和电容构成极点的方法。如果要构成零点，需要增加节点，而且不如极点直观。spice 模拟电路仿真平台还支持三种简单的方法来设置宏模型的零、极点位置，这三种方法分别是：Laplace 转换法、零极点函数法、频率响应表法<sup>[81]</sup>。三种方法中零极点函数法最直观，能清楚的显示某受控源的零点和极点。例如在 Hspice 网表中添加的如下电压控制电流源：

GDM n+ n- POLE in+ in- 100 10k 0 / 1 1k 0

上述 spice 命令表示了一个电压控制电流源，其增益 100，零点频率为 10kHz，极点频率为 1kHz。输出与输入的函数关系为：

$$H(s) = \frac{100 \cdot (s - 10000)}{(s - 1000)} \quad (3-4)$$

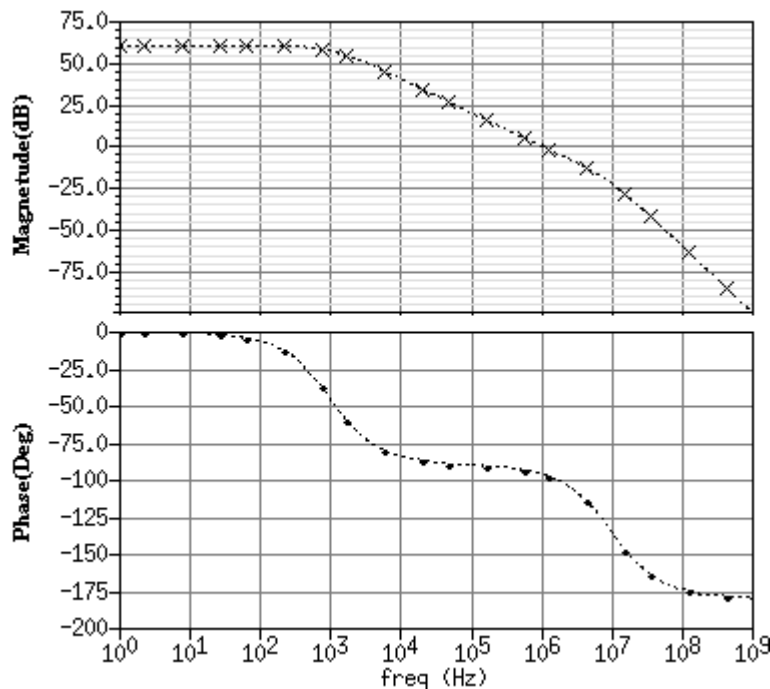


图 3-8 运放宏模型的开环频率响应波特图

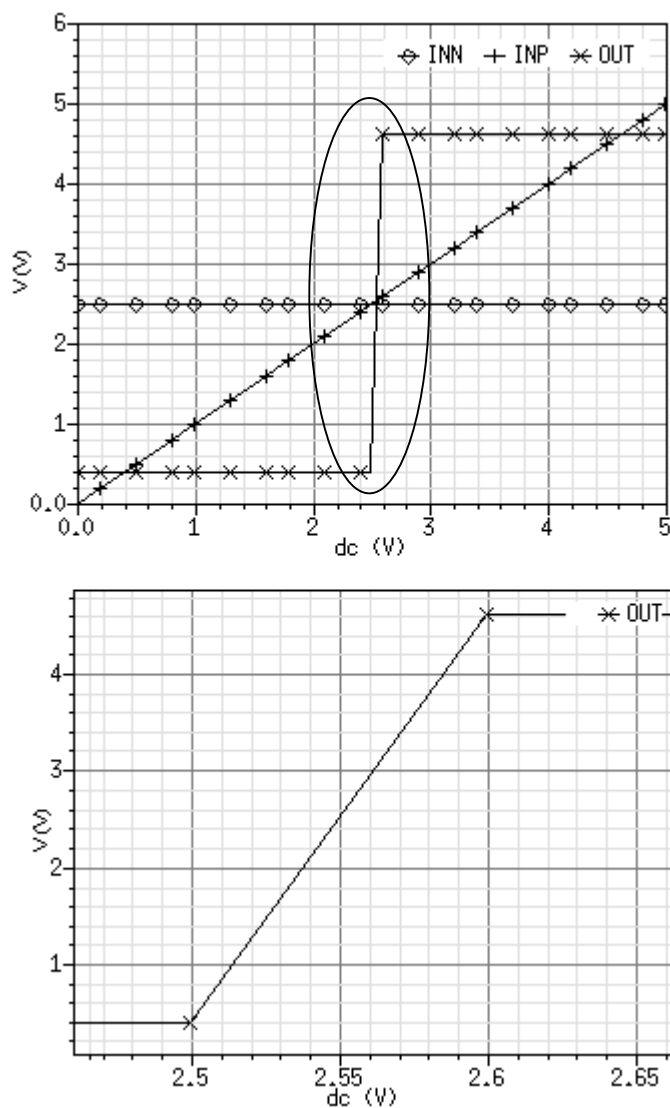


图 3-9 运放直流大信号响应

对上述建立的运算放大器的通用宏模型，分别进行交流分析、直流分析。图 3-8 为运放宏模型开环增益的交流小信号响应结果。从该波特图可以看出，运放的低频增益为 60dB，主极点频率为 1kHz，次主极点频率为 10MHz。此处仿真时为在运放的输出端加电容，整个运放只有两个极点。

图 3-9 为直流扫描的仿真波形。在运放的反向输入端添加一个固定电平，对正向输入端从 0V 扫描到 5V，从运放的输出电压波形可以看出，运放将正向输入端和反向输入端之间的差值进行放大，放大器的输出电压被限制在 0.4~4.6V 之间。

在运放宏模型的具体应用中，可以根据运放的具体结构、具体性能指标对宏模型



的参数进行修改。基本的修改中，可以改变图 3-7 模型中的电阻、电容、受控源增益等值，还可以通过改变独立电压源来改变运放的输入电压和输出电压范围。为了宏模型参数修改的直观和简单，第一级放大级和第二级放大级的输出电阻一般不需改变。

### 3.3.3 运算放大器宏模型在 LDO 中的应用

上一节建立了运放的基本宏模型，将其直接应用到 LDO 中，可以从系统参数和电路结构上来优化 LDO。为了更直观精确的建立基于运放的 LDO 电路，笔者采用了建立“混合宏模型”的方法。所谓混合宏模型，是指该模型以宏模型为主，部分电路采用实际的器件级电路，器件级电路的元件模型可以采用实际工艺的器件模型，也可以采用将该工艺进行简化的模型。器件模型的选择依据是仿真的精度，以及该器件在电路工作中体现的作业。一个简单的例子是，在 LDO 电路中，反馈电阻网络的电阻是否需要考虑其温度系数，取决于我们是否要考虑整个电路的温度特性。如果我们只关心并仿真 LDO 的直流和瞬态特性，电阻可以用理想值仿真。

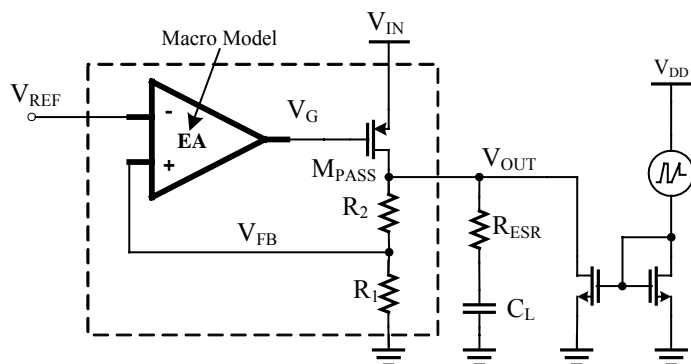


图 3-10 基本 LDO 的“混合宏模型”

笔者建立的 LDO “混合宏模型”如图 3-10 所示，该模型只实现了 LDO 的最基本结构和功能。为了仿真的方便，在 LDO 中加入了电流镜结构的负载电流源。在该混合宏模型中，误差放大器采用的是前一小节给出的基本宏模型。除了调整管  $M_{PASS}$  之外，其它所有器件均可以采用理想值或者最简单的一级模型。由于 P 型调整管的增益为负数，为了环路的稳定性，即实现整个环路的负反馈，运放的正向输入端接反馈网络的采样电压，反向输入端接电压基准。作为稳压和滤波用途，LDO 的输出端需并联一个  $\mu F$  级的电容，实际的电容还有 ESR 电阻。

表 3-2 LDO 混合宏模型仿真条件

Symbol	$V_{IN}$	$V_{REF}$	$V_{OUT}$	$I_{LOAD}$	$C_{LOAD}$	$R_{ESR}$
Value	3~5V	1.2V	2.4V	50mA	6 $\mu$ F	1 $\Omega$

在表 3-2 中给出的设计参考值下，对图 3-10 的混合宏模型进行仿真。对输入电源电压进行直流扫描，输出电压波形如图 3-11 所示。仿真结果可知当电源电压超过 2.6V 时，输出电压能稳定在期望的 2.4V。

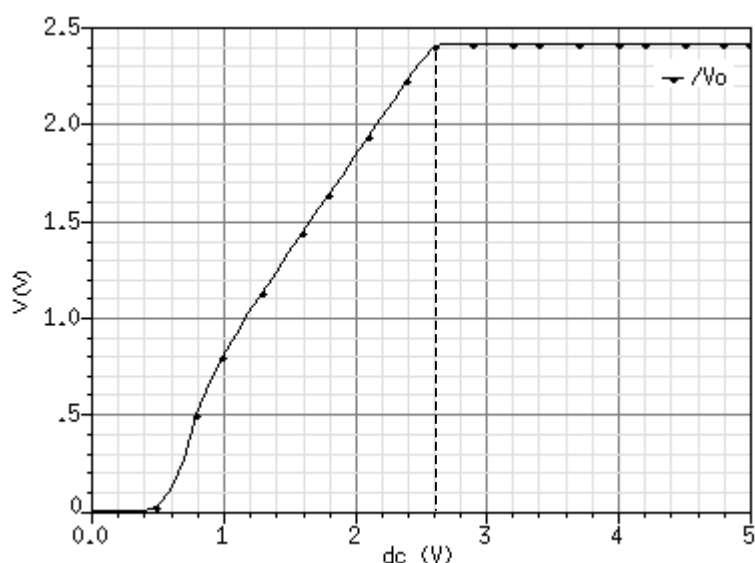


图 3-11 LDO 混合宏模型直流仿真结果

对图 3-10 的混合宏模型进行交流扫描，输出电压的幅频响应如图 3-12 所示。仿真结果可知低频增益达到 80dB，系统在单位增益带宽附近产生了一个零点，使得环路的相位裕度超过 50°，系统能稳定工作。

在 LDO 输出端加从 50mA 到 0 和从 0 到 50mA 的阶跃负载电流，瞬态分析的结果如图 3-13 所示。为比较不同的调整管栅极 SR 电流对负载瞬态响应带来的影响，在仿真中将运放宏模型输出级的限制电流  $I_L$  分别取 2 $\mu$ A、2.5 $\mu$ A、4 $\mu$ A 的三种情况。从仿真结果可以得出如下结论：(1) 该 LDO 的负载调整率并不理想，重负载电流下的输出电压为 2.415V，轻负载电流下的输出电压为 2.425V；(2) 不同的调整管栅极 SR 电流下，由于负载电流瞬态变化导致的输出电压跌落和峰值差别不大，这与之前理论分析中传统 LDO 的输出电压过程主要决定于输出电容完全符合；(3) 不同调整管栅极 SR 电流下，主要区别在于瞬态响应过程的第二阶段时间和过冲电压不同，这主要

是因为在栅极电位的建立过程中 ,大的栅极驱动电流有助于栅极电位的快速建立 (4) 该 LDO 的输出电压瞬时跌落为 65mV ,瞬态峰值为 45mV ,稳定时间大约为 10μs 左右。

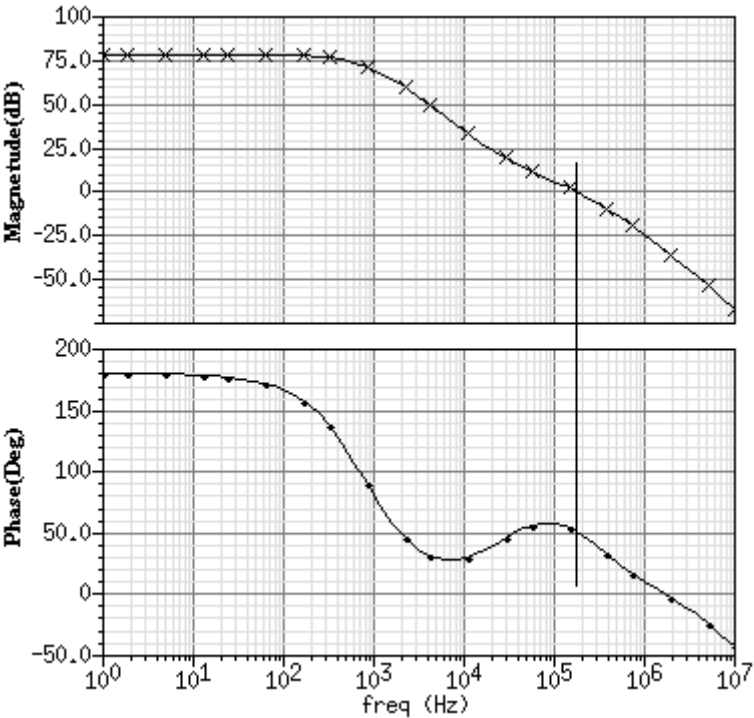


图 3-12 LDO 混合宏模型交流仿真结果

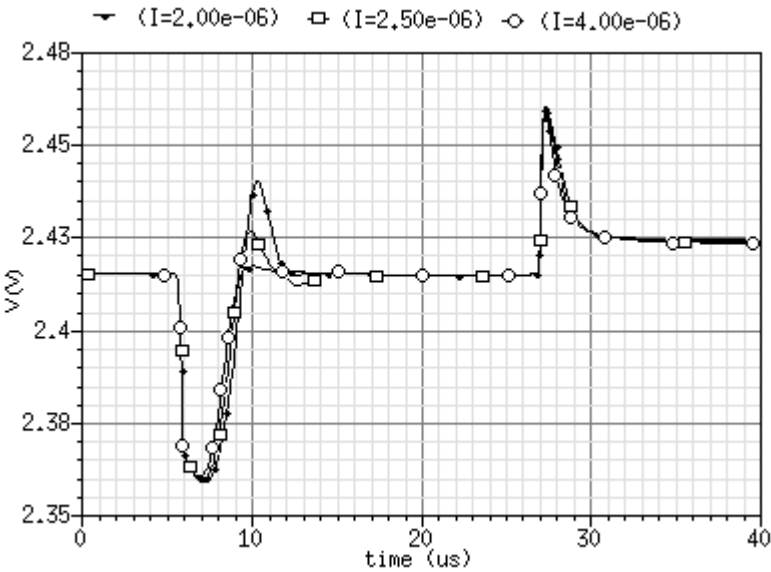


图 3-13 LDO 混合宏模型瞬态仿真结果

从上述基于运放宏模型的 LDO 仿真结果来看，基于该运放宏模型，辅以少量外围器件，可以详细的分析 LDO 的直流、交流、瞬态特性。

### 3.4 小结

在开始具体的电路设计之前，利用宏模型可以快速确定一个模拟电路系统中各个模块的设计指标，从而提高电路设计效率。另外，宏模型可以和晶体管级电路在同一个仿真平台进行仿真，使得模拟电路中不方便建立模型或者不必要抽象成模型的电路部分直接采用实际电路成为可能。通过这种既有宏模型又有晶体管级实际电路的“混合宏模型”电路，采用基于晶体管级的电路仿真工具进行仿真，大大提高了建模效率和电路设计效率。

本章分析了功能级模型、行为级模型、宏模型等抽象模型在模拟电路设计中的作用，重点研究并建立了模拟电路中使用最频繁的运算放大器宏模型，给出了基于宏模型的模拟集成电路设计流程。作为设计实例，本章将设计出的运放宏模型应用到 LDO 中，通过各种仿真，得到了 LDO 的各项性能指标。该实例还表明，本文设计的运放宏模型，完全可以取代实际电路，进行精细的仿真和验证，具有较强的通用型。

## 4 LDO 的瞬态响应研究

随着半导体技术的不断发展,电子设备对电源的要求日益提高。LDO 电源的传统指标中最重要的是输出电压的稳定程度,即输出电压精度、负载调整率、电压调整率。现代电子设备还要求 LDO 电源具有尽可能高的瞬态响应速度。本章首先详细分析了传统型 LDO 的瞬态响应过程,接着分析无电容型 LDO 的瞬态响应过程。从上述分析中,笔者将总结出影响 LDO 瞬态响应速度的因素。基于前人在提高 LDO 瞬态响应速度的研究成果,提出了一种无电容型 LDO 的瞬态增强措施,通过简单的电压比较电路,决定是否在负载电流瞬态变化时为调整管栅极电容提供额外的 SR 电流,在不降低其它性能指标的前提下加快 LDO 的瞬态响应速度。

### 4.1 传统 LDO 的瞬态响应分析

对传统 LDO 的瞬态分析将有助于理解 LDO 的瞬态响应过程,有助于对本文设计的无电容型 LDO 的瞬态分析和设计。

传统LDO在输出端并联一个微法级别的大电容。无论何种电容,都存在寄生的等效串联电阻(ESR)。该ESR电阻得到有效利用,依靠大电容及ESR电阻将产生一个零点,合理设置该零点位置,可以保证系统的稳定性<sup>[31, 41, 52-55]</sup>。另外,由于PCB板上和芯片内部的连线会寄生出等效串联电感(ESL),也对LDO的瞬态响应造成一定影响。

由负载电流变化引起输出电压变化产生的原因有二<sup>[83]</sup>:电流经过ESR电阻会产生一定的压降;其二,输出端的电容还会存在小量寄生的等效串联电感ESL,电感上电流的变化也会产生压降,也会引起输出电压的变化。

采用如图 4-1 的电路图来分析传统型 LDO 的瞬态特性。为便于分析,在 LDO 的输出端赋予一个从 0 阶跃到最大输出电流,再从最大输出电流阶跃至 0 的负载电流值。基于上述激励,输出电压的瞬态响应可以按照时间次序分为六个阶段,依次是:输出电压的瞬态下降过程、输出电压的稳定恢复过程、输出电压恒定过程、输出电压的瞬态上升过程、输出电压的稳定恢复过程、输出电压恒定过程。

当负载电流发生瞬态变化时,由于调整管栅极的大电容,使得环路响应速度较慢,调整管来不及做及时的反应,可以认为在负载瞬态变化期间,调整管提供恒定的电流,

即可以将调整管等效成为恒定的电流源。显然，负载变化需要的电流由输出端的大电容  $C_{OUT}$  提供。

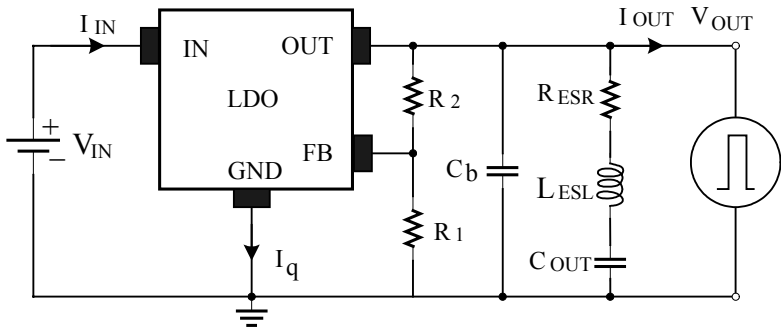


图 4-1 传统 LDO 瞬态响应电路图

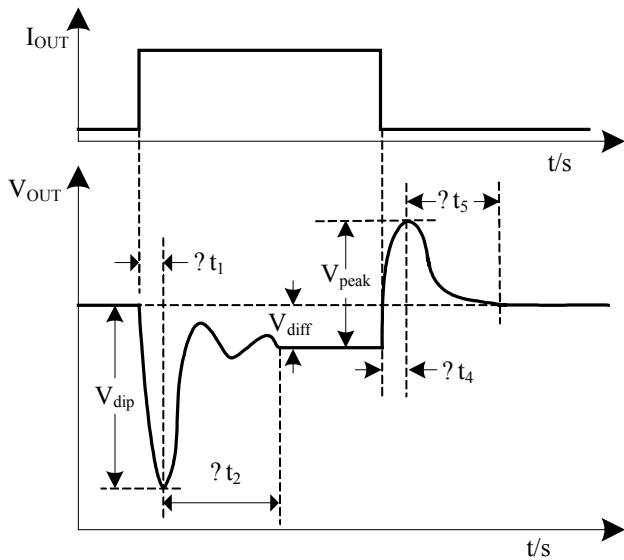


图 4-2 LDO 的瞬态响应波形示意图

此激励产生的 LDO 瞬态响应波形如图 2-8 所示，下面按照 LDO 的六个瞬态响应过程依次进行分析。为了叙述方便，此处重复 LDO 的瞬态响应波形图，如图 4-2 所示。

当负载电流从零阶跃到电路允许的最大值时，负载需要立刻从 LDO 抽取大量电流，如果 LDO 提供的电流不足以维持负载电流时，输出电压将被拉低。对传统 LDO 电路而言，由输出电容放电回路和调整管源漏电流两条通路提供负载电流。此时由于系统带宽的原因，调整管的栅极电位并未来得及响应，电流主要由负载电容通过放电提供。

在响应时间  $\Delta t_l$  内，输出电压会有一个负向的过冲值  $V_{dip}$ ，该值是瞬态响应中输出

电压的最大改变值之一，也是我们衡量瞬态性能的重要指标，其值可以用下式表示：

$$V_{dip} = \frac{I_{OUT,max}}{2\pi(C_{OUT} + C_b)} \Delta t_1 + \Delta V_{ESR} + \Delta V_{ESL} \quad (4-1)$$

这里  $\Delta V_{ESR}$  和  $\Delta V_{ESL}$  分别是输出电压变化在输出电容的 ESR 电阻和 ESL 电容上产生的压降。由上式我们可以看出  $V_{dip}$  是最大负载电流  $I_{OUT,max}$ 、响应时间  $\Delta t_1$ 、输出电容  $C_{OUT}$ ，旁路电容  $C_b$  和负载阶跃变化量的函数。可见，传统型 LDO 的输出大电容能有效降低负载电流正向阶跃时输出电压的跌落值。

输出电压达到最低值的响应时间  $\Delta t_1$  为整个环路中的阶跃响应时间之和，其中占主要成分的是输出端大电容的响应时间，其次是调整管栅极电容的响应时间（此处可以忽略其它响应时间，比如误差放大器的输入端栅极电容的响应时间）。在典型情况下，前者是系统闭环带宽  $BW_{cl}$  的函数，后者和调整管栅极电容  $C_{par}$  的 Slew-Rate 时间也密切相关，其表达式如下：

$$\Delta t_1 \approx \frac{1}{BW_{cl}} + 2\pi C_{par} \frac{\Delta V_G}{I_{SR}} \quad (4-2)$$

$$BW_{cl} = \frac{1}{2\pi C_{OUT} R_{OUT}} \quad (4-3)$$

式中  $\Delta V_G$  为负载阶跃变化后，调整管栅极电位的改变量， $I_{SR}$  为调整管的栅极驱动电流， $R_{OUT}$  和  $C_{OUT}$  分别为 LDO 输出端等效电阻之和和等效电容之和。

可见，对于一个 LDO 系统，输出端滤波电容越大，响应时间  $\Delta t_1$  越长。另外，调整管的尺寸和调整管的栅极驱动电流也会影响到瞬态响应的延迟时间  $\Delta t_1$ 。显然，调整管尺寸越大，响应越慢；栅极驱动电流越小，响应越慢。

将 (4-2) 和 (4-3) 带入 (4-1) 中可得：

$$\begin{aligned}
V_{dip} &= \frac{I_{OUT,max}}{C_{OUT} + C_b} (C_{OUT} R_{OUT} + C_{par} \frac{\Delta V_G}{I_{SR}}) + \Delta V_{ESR} + \Delta V_{ESL} \\
&\approx R_{OUT} I_{OUT,max} + \frac{I_{OUT,max}}{C_{OUT} + C_b} C_{par} \frac{\Delta V_G}{I_{SR}} + \Delta V_{ESR} + \Delta V_{ESL}
\end{aligned} \tag{4-4}$$

由式 (4-4) 可知，当负载电流从小突然变大后，其输出电压的瞬态跌落  $V_{dip}$  和输出电容成反比关系。为尽可能小的降低输出电压跌落，需要设计尽可能大的调整管驱动电流，或者选择尽可能大的输出电容。

可见，这里存在一个矛盾：电压跌落值与输出电容成反比，电压跌落时间与输出电容成正比。对于输出电容的选择，往往需要根据具体的应用需求、LDO 环路稳定性以及对系统瞬态响应的要求。

为了获得小的输出电压瞬态过冲，LDO 应该具有高的带宽、大的输出和旁路电容、低的 ESR 和 ESL。ESR 决定了选择何种电容，ESL 主要取决于 LDO 应用中输出端连线的长短。

当输出电容放电完毕后，系统并未稳定。此时进入 LDO 阶跃响应的第二个阶段，即输出电容充电阶段。经过了  $\Delta t_1$  时间后，调整管开始响应输出电压的变化。调整管一方面给负载提供电流，一方面给输出电容提供充电电流，直到输出电容达到稳定状态。

随着 LDO 负载阶跃响应变化结束，系统经过调整时间  $\Delta t_2$  后，输出电压重新稳定。此时的输出电压为重负载下的输出电压，该电压比轻负载下的输出电压减小了  $V_{diff}$ 。变化量  $V_{diff}$  产生的原因是由于负载电流在环路输出阻抗上的压降之差，本质原因是不同负载电流下，调整管的导通电阻不同。正是由于由不同负载电流下的输出电压差值  $V_{diff}$ ，才出现了 LDO 的负载调整率的概念。值得注意的是：不同的负载电流情况下的环路输出阻抗具有差异。可以用下式表示：

$$\begin{aligned}
V_{diff} &= R_{O,I_{OUT,max}} I_{OUT,max} - R_{O,I_{OUT,min}} I_{OUT,min} \\
&\approx R_{O,I_{OUT,max}} I_{OUT,max}
\end{aligned} \tag{4-5}$$

这里， $R_O$  是 LDO 系统的闭环输出阻抗，其值是 LDO 输出节点等效总阻抗的  $1/(1+Gf)$  倍，具体计算过程见本文第二章。 $I_{OUT,max}$  是负载阶跃变化量的终值（即最大



负载电流情况)， $I_{OUT,min}$  是负载阶跃变化量的初值（即最小负载电流情况）。 $V_{diff}$  直观地在负载瞬态响应中反映系统的负载调整能力。显然，减小  $V_{diff}$ （或者叫提高 LDO 系统的负载调整率）的方法是减小 LDO 输出节点的等效阻抗，或者增大系统的环路增益  $(1 + Gf)$ 。

而调整时间  $\Delta t_2$  的确定主要依赖于调整管输出电流对输出电容和旁路电容的驱动能力，以及系统开环频率响应的相位裕度等参数。输出电容和旁路电容越大，则调整时间  $\Delta t_2$  越长。相位裕度过大，意味着系统很稳定，则调整时间也将变长；相位裕度过小，意味着系统不稳定，则调整时间也会变长，甚至永远无法达到稳定状态。

一旦负载电流、负载电容电压、调整管电流达到稳定的状态，系统进入第三个阶段。在本阶段，由于负载电流不再变化，输出电压达到持续的稳定值。此时的输出电压为重负载下的输出电压，该电压比轻负载下的输出电压小  $V_{diff}$ 。

第四个阶段的产生是由于负载电流从较大值阶跃到较小值。此时，由于负载电流突然降为零，从调整管输出的电流只能通过反馈电阻网络和输出电容构成通路。该电流在输出电容上的充电会产生一个正向的过冲值  $V_{peak}$ ，LDO 输出电压从稳定值充电到最高值的响应时间  $\Delta t_4$ ，它们的表达式分别为：

$$V_{peak} \approx \frac{\Delta I_{OUT,max}}{C_{OUT} + C_b} \cdot \Delta t_4 + \Delta V_{ESR} + \Delta V_{ESL} \quad (4-6)$$

$$\Delta t_4 \approx \frac{1}{BW_{cl}} + C_{par} \frac{\Delta V_G}{I_{SR}} \quad (4-7)$$

从表达式上，我们看不出 LDO 从轻负载阶跃到重负载和从重负载阶跃到轻负载时两者的瞬态响应区别。仔细分析后发现其实两个过程的主要区别在于不同负载电流下的系统带宽是不同的。

$$BW_{cl} = \frac{1}{2\pi C_{OUT} R_{OUT,eq}} \quad (4-8)$$

$$R_{OUT,eq} = R_{o,LDO} \parallel R_{LOAD} = \frac{V_{OUT}}{I_{OUT}} \quad (4-9)$$

式中  $R_{OUT,eq}$  为 LDO 输出端总的等效电阻，等于 LDO 输出电阻  $R_{o,LDO}$  和负载电阻  $R_{LOAD}$  的并联。可见，负载电流越小，输出端的等效电阻越大，则 LDO 的带宽越小。所以，轻负载情况下，系统的闭环带宽较小；重负载电流情况下，系统的闭环带宽较大。两者带宽的不同导致了瞬态响应时间的差别，后者的瞬态响应要明显好于前者，即：

$$\Delta t_4 < \Delta t_2 \quad (4-10)$$

另外，两种情况下的 SR 电流也会不尽相同，导致两者在调整管栅极造成的瞬态响应延迟时间稍有不同。

由于负载电流不同导致的瞬态响应时间的不同，使得负载瞬态变化时的输出电压跌落  $V_{dip}$  和过冲  $V_{peak}$  存在差异，有如下关系：

$$V_{dip} > V_{peak} \quad (4-11)$$

当调整管给负载电容充电至电容最高电压后，系统并未稳定。此时进入 LDO 阶跃响应的第五个阶段，即负载电容放电阶段。负载电容的放电回路有两条，分别为反馈电阻网络和负载。与第二个阶段不同的是，此时的负载电容放电过程几乎不存在振荡现象（此处忽略输出电容的 ESL），一旦负载电容放电至其电位为某一最低电位，不会再有其它电流对负载电容充电，放电过程结束，系统达到稳定的输出电压，即为低负载情况下的输出电压。从最高电位下降到稳定电压的时间为  $\Delta t_5$ 。此时，输出电压的调整将主要取决于 LDO 系统的输出电容参数，即：

$$V_5 \approx V_{peak} - V_{diff} \quad (4-12)$$

$$\Delta t_5 \approx \frac{C_o + C_b}{I_{pull-down}} V_5 = \frac{(C_o + C_b) R_1}{V_{REF}} V_5 \quad (4-13)$$

其中， $I_{pull-down}$  为 LDO 分压网络流过的小电流； $V_{REF}$  是参考基准电压； $R_1$  是分压网络中接地的电阻。

当 LDO 输出电压由于空载而固定在一个固定值，调整管仅提供反馈电阻网络的静态电流，系统进入第六个阶段。在本阶段，由于负载电流为零，输出电压达到稳定值。

## 4.2 无电容型 LDO 的瞬态响应分析

同传统型 LDO 相比，在分析无电容型 LDO 的瞬态响应时，最大区别在于电路结构上少了输出端的大电容。在传统 LDO 中，该输出端的大电容是一个非常重要的电荷储存和提供器件，能有效减小由于负载电流阶跃变化时输出电压的跌落  $V_{dip}$  和电压过冲  $V_{peak}$ 。对于无电容型 LDO，负载的阶跃变化必须依靠调整管的快速响应，即调整管的栅极电压根据负载的变化快速响应。由于调整管的栅极寄生电容非常巨大，导致环路的电压摆率 SR 不够，即无电容型 LDO 比普通 LDO 的瞬态响应特性差。

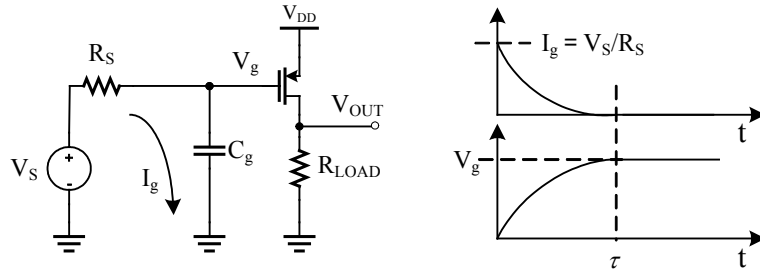


图 4-3 无电容型 LDO 的瞬态特性示意图

误差放大器的输出可以等效为如图 4-3 所示的诺顿电路形式，即电压源  $V_S$  和内阻  $R_S$  的串联。瞬态响应的过程如下：负载电流发生突变，表现为输出电压的变化，这要求调整管的栅极电压做及时的调制，使调整管的工作状态发生变化。由于栅极电容的存在，栅级电位充放电时间常数  $\tau$  为：

$$\tau = 2\pi \cdot R_s \cdot C_g = 2\pi \cdot \frac{V_s - V_g}{I_g} \cdot C_g \quad (4-14)$$

式中， $C_g$  为栅极的所有等效寄生电容之和， $V_g$  为稳定状态下的栅极电压， $I_g$  为栅极电容的充电电流，具体定义参见图 4-3 所示。调整管栅极输入节点的寄生电容  $C_g$  参见式 (2-51)，包括三部分：误差放大器输出电容  $C_{EAO}$ ，调整管栅极到漏极的电容  $C_{GD}$ ，调整管栅极到源级的电容  $C_{GS}$ 。

为缩短栅极电位的建立时间，可以减小栅极电容（即减小调整管尺寸）或者增加栅极驱动电流。

下面我们依然分六个阶段对未经任何改进的无电容型 LDO( 我们称之为原始无电容型 LDO ) 的阶跃瞬态响应进行分析。用于分析原始无电容型 LDO 瞬态响应的电路图如 4-4 所示。

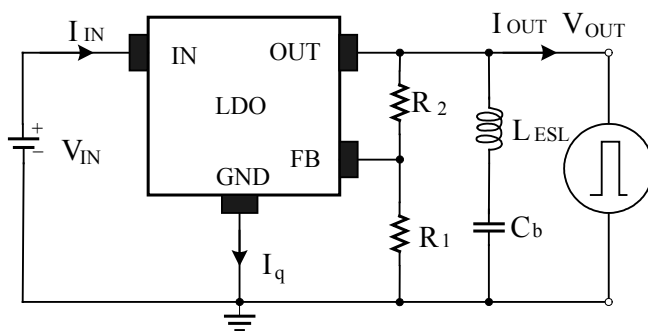


图 4-4 原始无电容型 LDO 的瞬态响应分析电路图

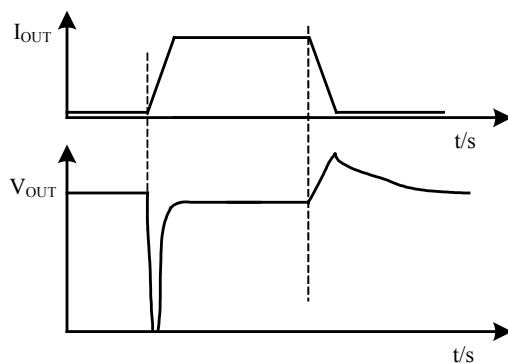


图 4-5 原始无电容型 LDO 的瞬态响应波形图

负载电流从最小值阶跃至最大值。此时调整管来不及提供大电流，电流只能从输出端的小电容（由于芯片面积和成本的限制，该电容通常要求在 100pF 以内，此处我们称之为旁路电容  $C_b$ ）提供。由于小电容存储的电荷有限，此时的输出电压将被拉到非常低的电位，最恶劣的情况是输出电压被下拉到系统最低电位，如图 4-5 所示。

计算电压跌落值和跌落时间时依然可以采用传统型 LDO 的计算公式（4-1）和（4-2），需要注意此时的输出电容仅剩下一个数量级是传统型 LDO 输出电容  $1/10^4 \sim 1/10^5$  的小电容。另外，由于输出端电容大幅减小，系统主极点和闭环带宽由调整管的栅极节点决定。在传统 LDO 中，决定  $\Delta t_l$  的主要因素是输出端的极点频率，而在原始无电容型 LDO 中，决定  $\Delta t_l$  的主要因素则是调整管栅极节点的极点频率。

上述分析中，无电容型 LDO 的  $\Delta t_l$  与传统 LDO 的  $\Delta t_l$  不存在数据量上的差异，但输出电容存在数量级上的差异，因此原始无电容型 LDO 电压跌落值远比传统型 LDO

恶劣。

输出电压从最低开始上升的调整过程。该过程中，原始无电容型 LDO 的瞬态过程与传统 LDO 的过程相同。因为输出电容大幅减小，输出电压达到稳定状态的时间与系统的相位裕度有关。

经过前两个过程，输出电压达到恒定的稳定状态。

负载电流从最大值阶跃到最小值。此时调整管的大电流流向反馈电阻网络和输出端的小电容，导致输出端电位的抬升，通过反馈网络，误差放大器将改变调整管的栅极电位，以减小调整管的输出电流。与传统型 LDO 相类似，原始无电容型 LDO 输出电压的过冲量见式 (4-16)。

$$V_{peak} \approx \frac{\Delta I_{OUT,max}}{C_b} \cdot (2\pi C_b R_{OUT,eq} + C_{par} \frac{\Delta V_G}{I_{SR}}) + \Delta V_{ESR} + \Delta V_{ESL} \quad (4-16)$$

此处的第四个阶段同第一个阶段相比，最大的不同之处在于输出等效电阻  $R_{OUT,eq}$ 。由于本阶段的电流大， $R_{OUT,eq}$  很小， $V_{peak}$  比  $V_{dip}$  小。另外，调整管的栅极驱动电流  $I_{SR}$  在负载阶跃变化时，体现为栅极电容的充电电流和放电电流，两者也不尽相同。

输出电压从最高开始下降的调整过程。该阶段的时间长短主要取决于系统的相位裕度。

输出电压稳定在固定值。

通过上述分析可知，如果不对原始无电容型 LDO 进行电路结构上的改进，其瞬态响应指标太差，无法正常使用。

改进的方法有二：(1) 改变调整管栅极电容的充放电时间，即尽可能缩短调整管栅极电位的建立时间，途径是增大调整管栅极驱动电流，或者是减小调整管栅极输入节点的等效阻抗和等效电容 (2) 改变负载电流的提供通路，即不再使用反应缓慢的调整管，直接选择其它电流通路，使得在负载瞬态变化时能迅速补充或者抽取负载电流。

### 4.3 LDO 的瞬态响应增强技术

前面两节的分析可以看出，影响 LDO 瞬态响应的因素包括：输出端电容值、输

出节点的极点频率、输出电容的寄生电阻 ESR 和寄生电感 ESL、调整管栅极电容值、调整管栅极驱动电流  $I_{SR}$ 、环路相位裕度等等。

从本文第二章的分析可以看出，提高 LDO 系统的瞬态响应速度，将对系统的其它特性带来不同程度的损失，比如：线性调整率下降、LDO 的负载电流驱动能力下降、环路稳定性变差等等。为此，本文在设计高速瞬态响应的 LDO 系统时，也必须考虑到不能降低其它电路的设计指标。

在不改变电路结构的基础上，可以从如下方面增强传统型 LDO 的瞬态响应。

在保证系统稳定的情况下，选择 ESR 和 ESL 尽可能小的电容作为输出端的滤波电容<sup>[84]</sup>。

常用的电容有三类：陶瓷电容、铝电解电容、钽电容<sup>[83]</sup>。陶瓷电容尺寸小、成本低、拥有较低的 ESR 和 ESL，但一般容量较小。铝电解电容容量大，但 ESR 和 ESL 也较大，除非需要选择大容量的电容值，一般不选择铝电解电容。钽电容尺寸小，但容量大，ESR 低，但 ESL 比陶瓷电容大，适合作为 LDO 的输出滤波电容，唯一的缺点是其成本较高。

但是该方法存在的缺陷是：系统稳定性往往要求选择适中的 ESR 值，而非越小越好。另外，对于无电容型 LDO，不存在输出电容及其 ESR 的选择问题。

从电路布局和 PCB 板制作上进行优化，尽可能降低输出端的 ESL。可以采取的方式是：让输出端的电容和负载尽量靠近 LDO 的输出引脚，增加输出端线宽。

该方法是无论何种电路结构下都应该努力优化的基本方法，并非是从芯片设计角度可以采取的措施。

在稳定时间允许的情况下，选择尽可能大的输出电容，可以有效减小输出电压的在负载瞬态变化时的过冲量。

该方法在输出电容受限的应用场合，或无电容型 LDO 中使用受到限制。而且，电容的增加也将延迟输出电压达到稳定状态的时间。

适当增加系统静态电流，特别是增加调整管栅极的驱动电流，可以有效减小输出电压的瞬时跌落和瞬时过冲。但是该方法的应用领域比较受限，特别是在人们对芯片功耗日益关注的今天。

减小调整管的尺寸。调整管的尺寸直接决定了 LDO 的输出电流能力，可以通过增大调整管尺寸来增加 LDO 的输出电流能力，但更好的方法是增大调整管的栅极

电压摆幅。通常情况下,调整管要求工作在饱和区。但增大了调整管的栅极电压摆幅,在保证 LDO 的输出电流能力情况下,可以大大缩小调整管的尺寸,从而增强 LDO 的瞬态响应。需要注意的是,此时调整管已经进入线性区工作<sup>[61]</sup>。

虽然上述五种基本方法能在一定程度上提高 LDO 的瞬态响应特性,但提高幅度毕竟有限,不能从根本上提高 LDO 的瞬态响应速度。再进一步提高 LDO 的瞬态响应特性,只能从电路结构上进行改进。由于传统 LDO 电路与无电容型 LDO 在结构上有一定的相似性,瞬态增强技术适合于这两种 LDO,这里一并讨论。

#### 4.3.1 零点补偿技术

传统的 LDO 结构中,为保证系统稳定性,在输出端并联大电容,依靠大电容的 ESR 电阻产生一个右半平面零点。ESR 电阻是系统稳定性的必要因素,但是其大小限制了 LDO 的瞬态响应。如果将用于补偿系统频率的零点不由输出大电容的 ESR 电阻产生,而由内部其它节点产生,在保证系统稳定性的同时,又降低了输出大电容的 ESR 电阻,最终降低了负载瞬态响应中的电压过冲值。零点补偿技术请参阅本文的 LDO 稳定性研究现状(1.3.2 节),此处不再赘述。

#### 4.3.2 调整管栅极驱动技术

为满足低电压差的需要,LDO 中调整管的尺寸通常较大,其栅极寄生电容可达数十皮法,对于采用单级运放的 LDO,在系统上电的过程中,调整管栅极的驱动电流不足以使该处电位迅速抬升,而将在很长一段时间(几十微秒)内维持在比较低的电位。这段时间调整管工作于深三极管区,不能对电源电压起到调整作用,输出电压将驱近于输入电压。仿真波形表现为在上电的瞬间出现很大的过冲电压。

从式(4-2)可知,影响 LDO 的瞬态响应时间的因素主要包括环路带宽和调整管栅极的 SR 时间。增大栅极的驱动电流能缩短栅极电容的 SR 时间,但代价是增加了系统功耗。

Al-Shyoukh 提出了一种小输出阻抗缓冲器驱动 LDO 调整管的方法<sup>[84]</sup>,如图 4-6 所示。通过在缓冲器中增加动态偏置旁路反馈,缓冲器的输出阻抗大大减小,使得调整管的栅极节点的极点频率被推向更高处,在不消耗额外功耗的情况下增大了调整管栅极的驱动能力。系统将次主极点右移到单位增益带宽频率点以右,不再依靠输出电容的 ESR 构成零点,来保证系统稳定性。这种方案对瞬态响应有效增强体现在两点:(1) LDO 输出电容的选择上不受 ESR 电阻的限制,从而能得到非常小的负载瞬态电

压过冲值。（2）通过反馈技术，加快调整管的栅极电容的充放电速度。

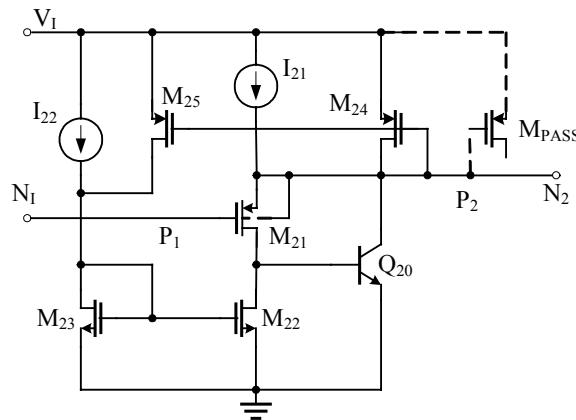


图 4-6 Al-Shyoukh 提出的小输出阻抗缓冲器电路

上图中， $Q_{20}$  和  $M_{24}$  就可以起到改善系统瞬态响应的作用。例如负载从小到大迅速变化时， $N_1$  点电压迅速降低， $M_{21}$  流过的电流增加，同时也增加了  $Q_{20}$  的基极电流，导致  $Q_{20}$  的集电极电流迅速增加，这样能迅速的泻放调整管  $M_P$  的栅极电容上的电荷，使得  $N_2$  节点的电压能迅速达到期望值。

另外，从小负载到大负载迅速变化时， $N_2$  节点电压将从高到低变化。由于  $M_{24}$  和  $Q_{20}$  的加入，使得  $P_2$  节点的输出电阻下降许多。

但是，该设计中的小输出阻抗缓冲器采用的是基于双阱 CMOS 工艺下的纵向 NPN 管，不利于标准 CMOS 工艺的实现。另外，该电路还要求有  $\mu F$  级的输出电容以保证足够的瞬态响应速度，不能无法应用在无电容型 LDO 中。

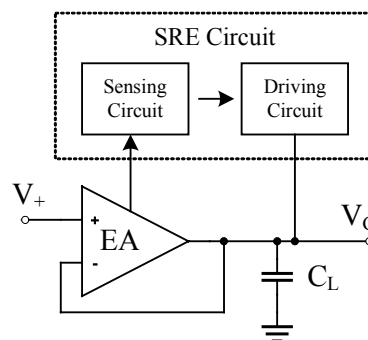


图 4-7 Lee 提出的摆率增强的栅极驱动电路

如图 4-7 所示，Lee 提出了一种工作在非反向单位增益结构的单级误差放大器（核心放大器）配合摆率增强技术（Slew Rate Enhanced, SRE），通过检测核心放大器的动态变化电流，以改变调整管的栅极电容的充放电电流，从而提高 LDO 环路的瞬态响



应速度<sup>[85]</sup>。而 SRE 电路仅仅产生一个动态的补偿电流，如果负载电流不变，则 SRE 电路仅仅有一个静态的漏电流。在不增加系统静态功耗的前提下完成调整管栅极电容的快速充放电。该电路在栅极电容为 470pF 的瞬态响应达到了 1nF 的瞬态响应能力。

Frederic Demolli 通过比较输出电压与参考电压，一旦输出电压低于某个阈值，将开启一条调整管栅极到地的电荷泻放回路，让调整管的栅极电位迅速降到合适的值<sup>[86]</sup>。图 4-8 给出该发明的示意图。很明显的，该电路只能改善负载电流从小到大的瞬态响应，而无法改善负载电流从大到小的瞬态响应。

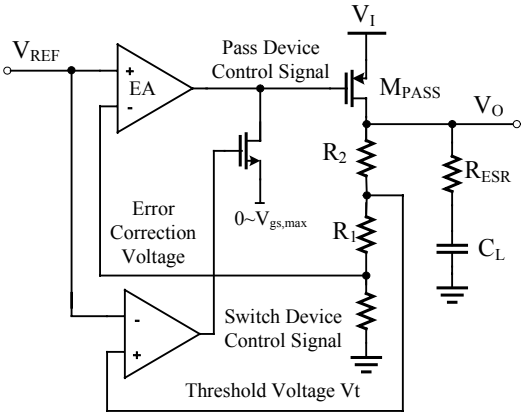


图 4-8 Demolli 提出的栅极电流摆率增强电路

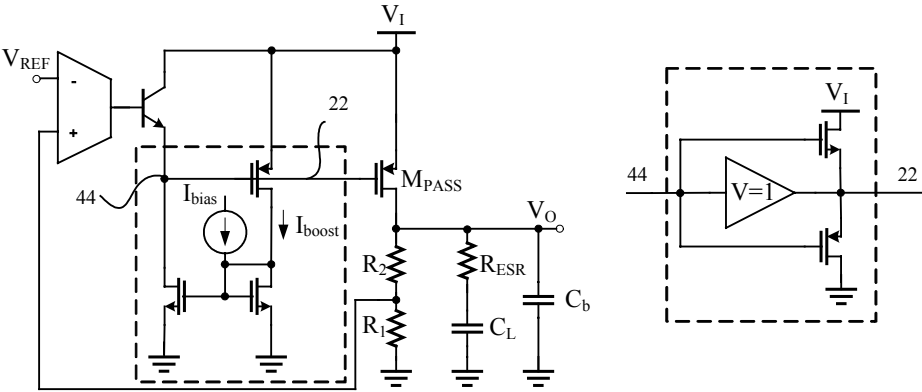


图 4-9 Rincon-Mora 提出的调整管栅极驱动摆率增强电路结构

Rincon-Mora 通过一个与调整管并联的电流侦测管来检测调整管的驱动电流，一旦调整管的电流有大的变化，通过正反馈网络迅速改变调整管的栅极电压，使调整管能响应负载电流的瞬态变化<sup>[87]</sup>。为了能让调整管的栅极电位能迅速达到稳定状态的高电位和低电位，该专利还提出了在调整管的栅极同时增加电容充电电路和放电电路的电路结构，如图 4-9 所示。

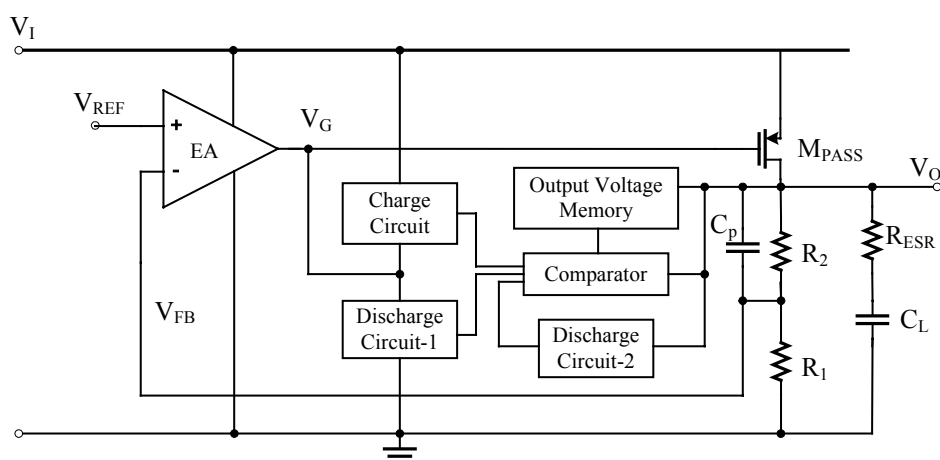


图 4-10 Heng Socheat 提出的瞬态响应增强方案

Heng Socheat 提出了图 4-10 所示的增强 LDO 瞬态响应的方案<sup>[88]</sup>。当负载稳定时，输出电压值被存储在“输出电压存储器”中。当负载电流瞬时变化时，次级比较器比较输出电压存储器电压和该波动电压，来判断负载电流是从小变大，还是从大变小。如果负载电流从小变大，“放电电路-1”将迅速反应，给调整管栅极大电容放电。这样，调整管 PMOS 进一步导通，使得输出电压瞬态跌落可以降到最低。当负载从大向小变化时，与负载从小到大变化不同时的是，除了“充电电路”导通给调整管栅极电容充电外，“放电电路-2”还将导通以拉低输出电压，降低了输出电压的瞬态过冲。

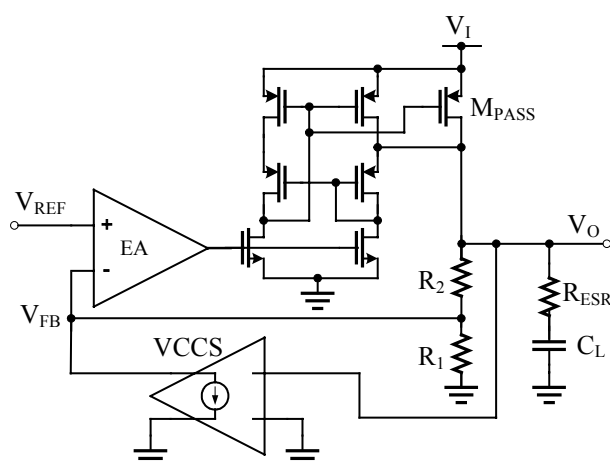
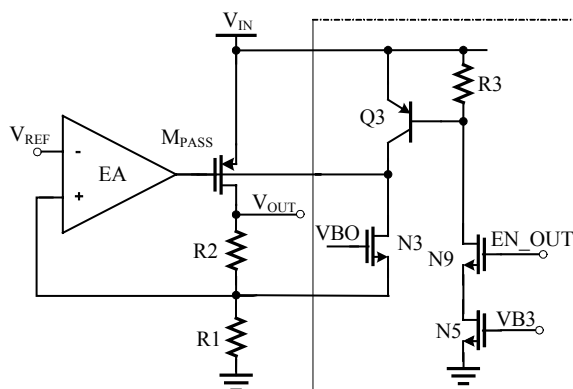


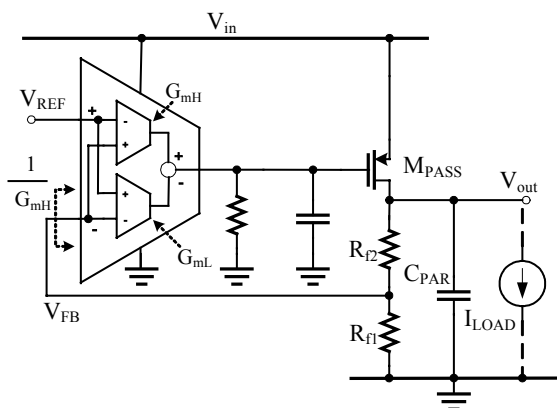
图 4-11 Chung-Wei Lin 提出的动态缓冲器电流电路结构

Chung-Wei Lin 提出了动态变化的缓冲器电流方案，即缓冲器电流大小正比于负载电流<sup>[89, 90]</sup>，如图 4-11 所示。从而有效降低了轻负载情况下芯片的静态电流，提高了芯片效率。在负载电流较大时，增加的缓冲器电流有助于提高瞬态响应速度。由于

李海波设计了一软启动电路如图 4-12 所示,使系统上电时输出电压平稳地上升至稳定值<sup>[91]</sup>。但这种电路只能给调整管的栅极提供充电电流,而无法使得调整管的栅极电压快速降低,使用具有一定局限。



Tsz Yin Man等人通过将误差放大器的输出级变为推挽式 ( Push-Pull ) 结构,在不增加误差放大器静态电流的同时,极大的增加了放大器的电流摆率,加快了调整管栅极电容的充放电速度<sup>[92]</sup>,电路结构示意图如图4-13所示。



### 4.3.3 负载电流泻放技术

77

使得负载电流从小到大瞬态变化时，能打开  $M_{P2}$  管，在 LDO 调整管还来不及响应时，通过  $M_{P2}$  为负载提供电流，从而让输出电压不至于降的太低。然而，作者没有考虑当负载电流瞬态从大变小的情况。另外，为了在负载瞬态变化时提供足够的电流， $M_{P2}$  要求较大的尺寸。

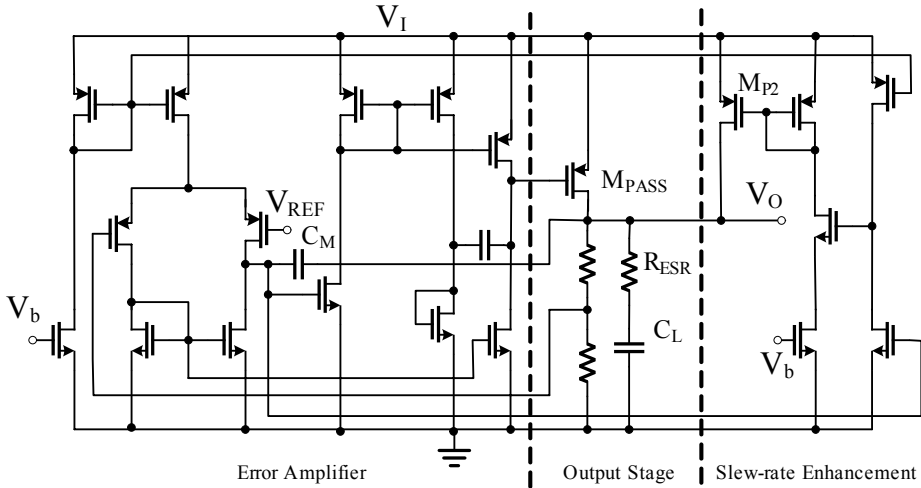


图 4-14 Huang 提出的摆率增强电路

Maity 在 LDO 的输出支路并联一条动态电荷泻放回路  $M_{NLEAK}$ ，当负载电流从最大突然降低时，电压侦测电路将输出电压的变化动态反馈到电荷泻放回路  $M_{NLEAK}$ ，及时将输出节点的电荷泻放掉，从而加强了 LDO 的瞬态响应速度<sup>[93]</sup>，系统电路图如图 4-15 所示。

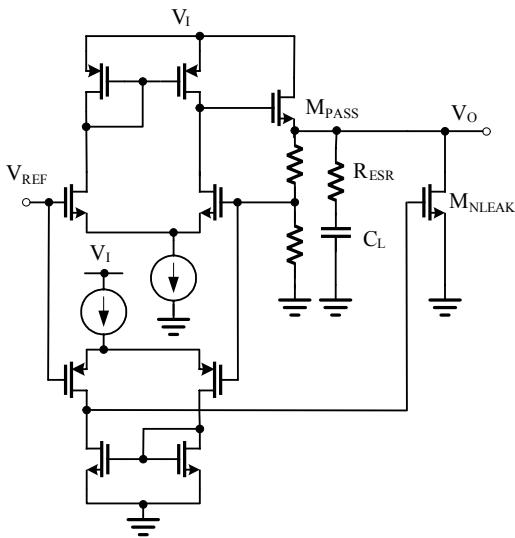


图 4-15 Maity 提出的负载电流动态泻放技术

但是，该方案最大的问题在于轻负载和重负载电流时，输出电压会有一定差异，该差异与参考电压进行比较，比如会导致在正常工作状态下或者负载瞬态变化过程中的泻放管持续导通，消耗了大量的功耗。另外，该方案缺乏一个负载电流从低突然增加时的电荷提供电路，不能迅速给负载充电；增加的输出电压侦测电路增加了系统的静态功耗。

#### 4.3.4 负载电流复制技术

Hazucha 通过将输出负载电流进行镜像复制，取其中的  $1/20$  作为环路构成部分，大幅增加了环路的响应速度。解决了环路增益带来的负载调整率和线性调整率，同时增大了环路带宽<sup>[94]</sup>，如图 4-16 所示。该方法在不增大芯片面积的前提下加快了瞬态响应速度，不过消耗了极大的功耗。

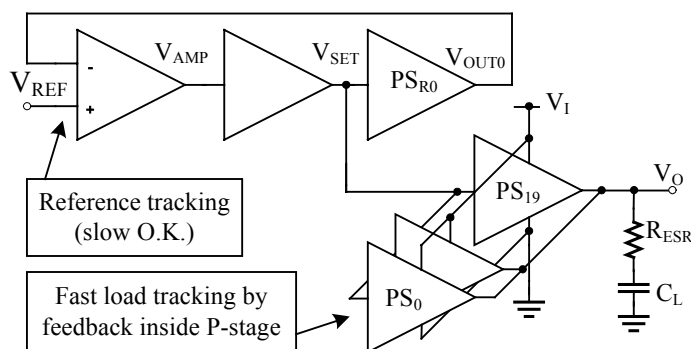


图 4-16 Hazucha 提出的瞬态增强 LDO 电路结构

#### 4.4 基于简单电压比较的 LDO 瞬态响应增强技术

LDO系统中的每一个MOS管都带来一定的延时，其中由于调整管的尺寸最大，其栅极寄生电容也最大，由此带来的延时最显著。无电容型LDO系统中，瞬态响应影响最大的就是调整管的传输延时，并非有电容型LDO系统中的负载电容充放电延时和环路带宽的影响。为了让调整管栅极电压在足够短的时间内达到稳定状态，要求其栅极驱动电流要足够大。提高调整管的响应速度，大多数LDO设计者通过降低调整管栅极节点的等效阻抗来缩短其充放电时间常数。通常情况下，调整管的前级为低输出阻抗的缓冲级<sup>[95]</sup>。采用这种缓冲级的方法很大程度上增强了传统LDO的瞬态响应速度。但是，该方法对无电容型LDO系统并不适合。

前人设计了诸多方法来解决调整管栅极电位不能迅速建立的问题<sup>[44, 84-89, 91, 92]</sup>。笔者

提出了一种新的方法增强无电容型LDO的瞬态特性，该方法将一种低温度系数的施密特触发器的设计思想<sup>[96-98]</sup>应用到LDO电路中，通过基本的电压比较器检测LDO输出电压是否出现瞬态过冲，一旦出现瞬态过冲，则为调整管栅极节点提供额外的充电和放电回路。

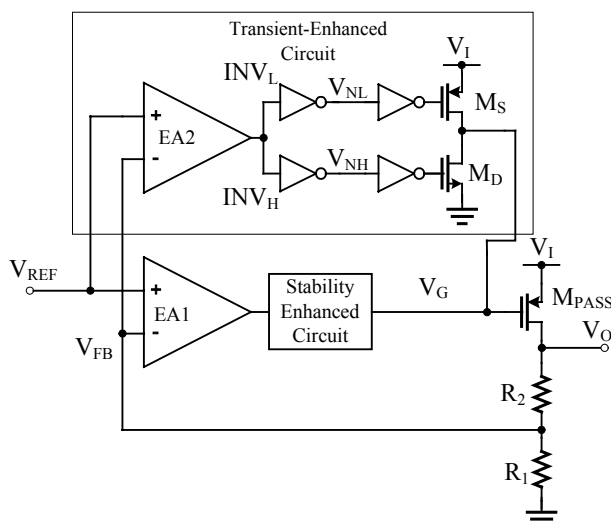


图 4-17 基于简单电压比较的瞬态增强 LDO 系统结构图

笔者提出的LDO瞬态增强电路如图4-17所示，在基本的无电容型LDO环路基础上，增加一个瞬态增强电路环，构成双环路的控制。其工作原理是：正常工作情况下，依靠主环路（EA1、稳定性增强电路、调整管、电阻反馈网络）对输出电压进行调整。由于环路增益大，使得输出电压恒定在期望值，保持 $V_{REF}$ 和 $V_{FB}$ 相等。在负载电流或者输入电压发生瞬态变化时，由于环路来不及响应，致使输出电压出现大的过冲量。该过冲量经过EA2的放大，输出一个大范围变化的电压。比如LDO的负载电流突然增大，输出电压出现较大的跌落，则EA2输出一个较高的电压，该电压致使 $INV_H$ 的输出由“1”翻转到“0”，则 $M_D$ 导通，能迅速为调整管的栅极电容提供一个放电回路，以尽快降低调整管栅极电压，使调整管迅速流过更大电流，以补充突然增大的负载电流。反之亦然，当LDO的负载电流突然变小时， $M_S$ 管导通，迅速给调整管栅极电容充电，亦抬高调整管栅极电位，亦减小调整管电流。当LDO输出电压与参考电压的差值在正常工作的范围以内时，EA2的输出电压处于一个中间电位，不足以促使高低电平检测反向器翻转，则 $M_S$ 和 $M_D$ 均不导通，此时瞬态增强电路环不对主环路产生任何影响。该瞬态增强环节波形示意图如图4-18所示。图中， $V_{MH}$ 和 $V_{ML}$ 分别指 $INV_H$ 和 $INV_L$ 的翻转阈值电压。

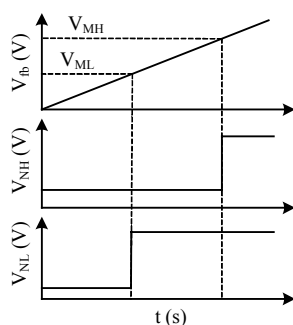


图4-18 瞬态增强环节波形示意图

可见，通过增加笔者提出的瞬态增强电路，当负载电压瞬态变化时，能为调整管栅极电容提供额外的电荷释放和提供回路，提高了调整管栅极的压摆率（SR），从而增加了LDO的瞬态响应速度。当输出电压接近于理想输出值时，瞬态增强环路不再起作用，由LDO的主环路完成输出电压的精确调整。

其实，如果直接在LDO的输出端提供充放电回路，即将上述瞬态增强电路的输出连接到LDO的输出，而不是调整管栅极，可以进一步增加LDO的瞬态响应速度。但是这种设计思路不太现实，为了能够给负载提供足够的电流以补偿负载电流的变化， $M_S$ 和 $M_D$ 的尺寸需要设计的足够大。这样，额外增加了大量的芯片面积，从成本上考虑并不划算。

## 4.5 小结

当今的电源应用中，除了要求 LDO 有高精度的输出电压和非常低的静态电流之外，LDO 的瞬态响应特性越来越受到人们的重视。

本章首先分析了传统 LDO 的瞬态特性，与传统 LDO 稍有区别的是，无电容型 LDO 由于没有输出电容，负载电流出现瞬态变化时，无法保持输出电压的恒定。因此，结构相同的 LDO 中，无电容型 LDO 要比传统 LDO 的瞬态特性差许多，无电容型 LDO 的瞬态增强技术是当今的技术热点。

本章详细分析了传统 LDO 的瞬态响应过程，给出了每个瞬态响应阶段的电压关系和时间关系。通过对比，分析了无电容型 LDO 的瞬态响应过程。分析并总结了前人在 LDO 的瞬态响应增强技术上取得的进步和最新成果，在此基础上，笔者提出了一种通过简单电压比较的方法，在负载瞬态变化时增加调整管栅极电位的建立速度。该方法通过电压放大器检测输出电压和参考电压的差值，一旦差值超过设定的阈值，

则通过高低阈值检测电路来给调整管的栅极提供充电额外的充电电流和放电电流。在不过多增加电路复杂性和静态电流的基础上，有效改善无电容型 LDO 的瞬态响应速度。该方案的具体电路实现见本文第 5 章。



## 5 瞬态增强的无电容型 LDO 电路实现

由第四章的分析可知,对于无电容型LDO而言,最大的设计挑战来自于其瞬态响应的急剧变差。如果不对无电容型LDO的负载瞬态特性进行改进,无电容型LDO将无法得到真正的实用。除了瞬态增强技术之外,无电容型LDO设计的关键还包括其环路稳定性。根据稳定性和瞬态增强考虑的先后,设计的途径分为两种:(1)首先设计一个稳定的LDO,再在快速响应要求下对稳定性进行优化;(2)首先优化LDO的瞬态响应速度,再考虑其稳定性设计。

本文将采取前一种设计途径,首先在分析LDO环路稳定性的基础上,设计一个环路稳定性良好的无电容型LDO,再基于该LDO,通过增加瞬态增强电路来改善无电容型LDO的瞬态响应。最后再对改进的LDO电路进行分析并改进由于瞬态增强电路带来的环路稳定性问题。

本章首先给出了无电容型LDO的设计指标。无电容型LDO的零极点位置与传统LDO有很大的区别,稳定性是首先需要解决的问题。本文采用了基于阻尼系数控制(DFC)的频率补偿方法,来确保无电容型LDO的环路稳定性。在宏模型和实际电路均成功实现无电容型LDO的设计之后,加入了前一章提出的瞬态响应增强电路。

本章还充分体现了宏模型在电路设计中的指导作用。无论是原始无电容型LDO的设计,还是瞬态增强的无电容型LDO设计,均是先用宏模型确定各模块设计指标,再用该指标来指导具体晶体管级电路的设计。

### 5.1 无电容型 LDO 的设计指标

本文设计的无电容型LDO源于国家“863”计划项目“无线传感器网络节点基带SoC芯片”。

无线传感器网络是新一代的传感器网络,具有广泛的应用前景,其发展和应用将会给人类生活和生产的各个领域带来深远影响<sup>[99]</sup>。已经引起了世界各国军事部门、工业界和学术界的极大关注。它在环境监测、高效农业、工业控制、医疗护理、物流管理、军事领域都有极强的应用潜力。美国商业周刊和MIT技术评论在预测未来技术发展的报告中,分别将无线传感器网络列为21世纪最有影响的21项技术和改变世界的10

大技术之一<sup>[100]</sup>。计划的目标是对无线传感器网络节点芯片设计过程中的关键技术进行研究与实现，最终实现一款低成本、低功耗、高安全性无线传感器网络节点基带SoC芯片。

该芯片的系统功能框图如图5-1所示，该SoC芯片中包括模拟电路、数字电路、还包括射频电路。如此庞大的系统中，为降低数字电路的动态功耗，希望使用较低的电源电压。为此，整个芯片的供电电压为2.5V，为模拟和射频电路等非数字电路提供电源，数字电路则需要降低电源电压。输出电压稳定、噪声极低的LDO成为数字电路供电系统的首选。

根据数字电路部分的供电需求，LDO电路的系统要求如表5-1所示。由于版图面积和芯片引脚的限制，该LDO电源选择“瞬态增强的无电容型LDO”。

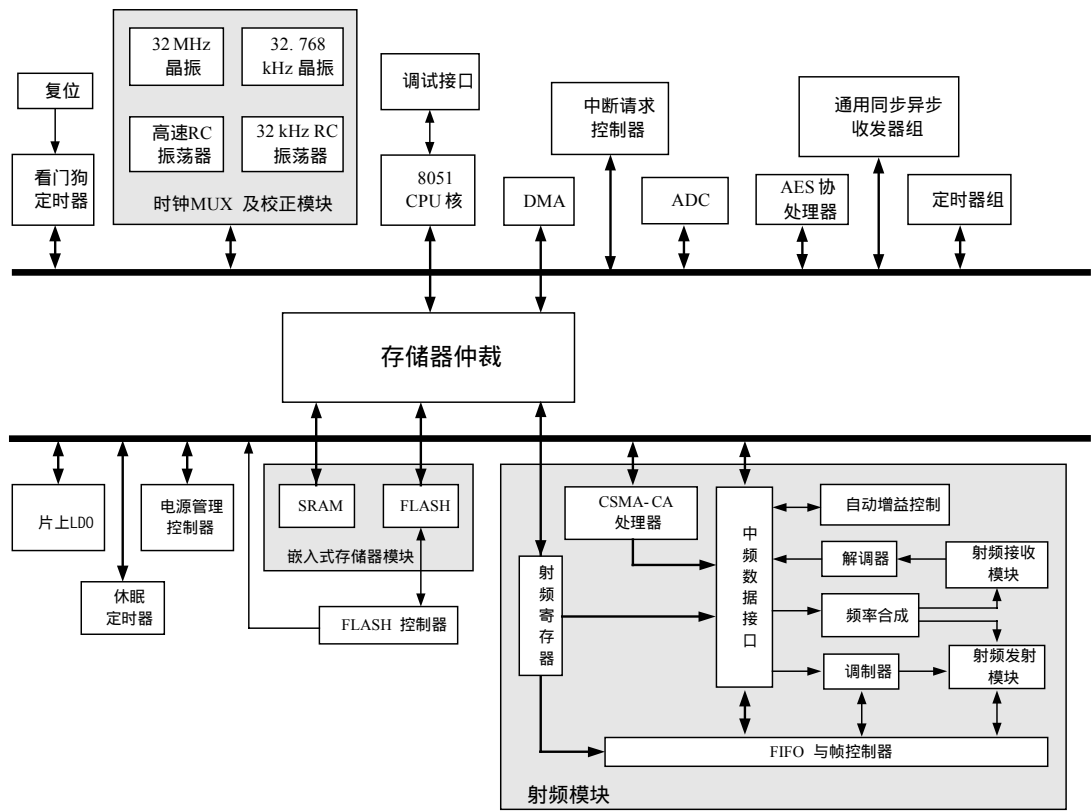


图 5-1 无线传感器节点芯片

无线传感器节点芯片选用的工艺是HHNEC 0.25 $\mu$ m CMOS工艺，本文设计的无电容型LDO也必须基于该工艺开展设计，该工艺的基本参数如表5-2所示。该表中的参数通过实际仿真得到，采用的是大尺寸晶体管，忽略了沟道长度调制效应。

表5-1 瞬态增强的无电容型LDO基本指标

Parameter	Value
Operation Voltage	2V~3.3V
Output Voltage	1.8V
Dropout Voltage	<0.2V
Output current	100mA
Quiescent Current	< 80 $\mu$ A
Line Regulation	<0.05%
Load Regulation	<0.05%
Setting Time	<4 $\mu$ s
Overshoot and Overdrop Voltage	<80mV
PSRR	<-40dB @100kHz
Process	HHNEC 0.25 $\mu$ m CMOS

表5-2 HHNEC 0.25 $\mu$ m CMOS工艺基本参数

Parameter	Value
VTP	-0.563 V
VTN	0.434 V
$\mu$ pCOX	35 $\mu$ A/V <sup>2</sup>
$\mu$ nCOX	178 $\mu$ A/V <sup>2</sup>

## 5.2 原始无电容型 LDO 系统设计

### 5.2.1 多级运放的频率补偿

对于本文设计的瞬态增强无电容型 LDO 芯片而言，首先需要解决的是无电容型 LDO 的环路稳定性问题，其次才是增强系统的瞬态响应速度。

未进行任何频率补偿的无电容型 LDO 为一个多极点的闭环系统。主极点位于调整管的栅极输入端，次极点位于 LDO 的输出节点。显然，如果一个闭环系统中的两个极点频率均比 UGF 低，则系统不能稳定工作。当次主极点比 UGF 低足够多时，系统成为一个完全的正反馈系统，系统将用于处于振荡状态。为了使系统能稳定工作，必须进行适当的频率补偿，以增加闭环系统的相位裕度或者幅值裕度。

为提高 LDO 的精度，同时增加环路稳定性，直接用单级放大器来驱动调整管的简单结构几乎没有实用价值。常见 LDO 的增益环节主要包括三个：误差放大器、缓冲器、调整管放大级，相当于一个三级的运算放大器。对于三级运放，简单分析的结果是：每一级放大器产生一个极点，则该系统有三个极点。前人对三级运放的稳定性和频率补偿进行了深入的研究<sup>[101-107]</sup>，主要研究结论列举如下：

(1) 多级运算放大器的频率补偿方法主要包括：简单密勒补偿 (Simple Miller Compensation, SMC)，多通道零点抵消 (Multipath Zero Cancellation, MZC)，嵌套式密勒补偿 (Nested Miller Compensation, NMC)，多通道嵌套式密勒补偿 (Multipath NMC, MNMC)，嵌套式 Gm-C 补偿 (Nested Gm-C Compensation, NGCC)，阻尼系数控制频率补偿 (Damping-Factor-Control Frequency-Compensation, DFCFC)。上述方法中，还可以结合选择是否使用调零电阻 (Nulling Resistor, NR)，或者选择调零电阻放置的位置。这些频率补偿方案各具特点，适用于不同的应用场合。

(2) Ka Nang Leung 对上述多种频率补偿方法进行了多方面的比较，比较结果如表 5-3 所示<sup>[102]</sup>。从该表可以看出，DFC 技术在三级运放的频率补偿中具有最多优势，唯一的劣势是在驱动小的负载电容时，DFC 技术不如其它频率补偿技术。但是，在其它应用场合下，DFC 技术显示出了明显的优势。

表 5-3 三级放大器的频率补偿方案比较

	Single	SMC	SMCNR	MZC1	MZC2	NMC	NMCNR	MNMC	NGCC	NMCF	DFC1	DFC2
DC Gain	-	O	O	O	O	++	++	++	++	++	++	++
Low Voltage	-	+	+	+	+	++	++	++	++	++	++	++
Low Power	++	-	O	+	+	-	O	-	++	++	++	++
GBW/PM@Small C <sub>L</sub>	++	O	O	O	+	-	O	+	O	+	-	-
GBW/PM@Large C <sub>L</sub>	++	O	O	O	++	-	-	O	-	O	++	++
SR/Ts	++	O	O	O	O	-	O	-	O	+	++	++
Capacitor Values	++	O	O	O	+	-	O	O	O	+	++	++
Pole-zero Doublet	++	++	++	++	O	++	++	O	++	++	++	++
++ = Excellent    + = Good    O = Moderate    - = Poor												

基于阻尼系数控制技术 (DFC) 的频率补偿技术在适当增加电路复杂性的基础上，无需采用大容量的片内补偿用电容，通过极点分离技术达到系统稳定。而且，该方案

对系统的瞬态增强也有一定效果<sup>[43]</sup>。选择 DFC 技术，对于本文设计的无电容型 LDO 有诸多优势，成为无电容型 LDO 设计的首选频率补偿方案。

为了深入理解 DFC 在无电容型 LDO 稳定性设计中的作用，本文先介绍阻尼系数控制的基本原理。

### 5.2.2 阻尼系数控制的基本理论

从本质上来说，一个 LDO 电路至少是由误差放大器和调整管构成的二阶系统，对 LDO 的瞬态特性分析就可由二阶系统的阶跃响应入手。一个二阶系统的典型传递函数可写成如下形式<sup>[108]</sup>：

$$\Phi(s) = \frac{C(s)}{R(s)} = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (5-1)$$

式中  $\omega_n$  为无阻尼自然振荡角频率， $\zeta$  称为阻尼系数。则系统的闭环特征方程为：

$$s^2 + 2\zeta\omega_n s + \omega_n^2 = 0 \quad (5-2)$$

该闭环特征方程的两个根为：

$$s_{1,2} = -\zeta\omega_n \pm \omega_n\sqrt{\zeta^2 - 1} \quad (5-3)$$

可见，二阶系统特征根（即闭环极点）的形式随着阻尼系数  $\zeta$  取值的不同而不同。

根据  $\zeta$  的不同取值，二阶系统的单位阶跃响应情况存在差别。

设输入为单位阶跃函数，则系统输出响应的拉氏变换表达式为：

$$C(s) = \Phi(s) \cdot R(s) = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \cdot \frac{1}{s} \quad (5-4)$$

对上式取拉氏反变换，即可求得相应的单位阶跃响应。下面将分析  $\zeta$  取不同值时，二阶系统的响应情况。

#### （1）过阻尼（ $\zeta > 1$ ）

当  $\zeta > 1$  时，系统具有两个不相等的负实数极点  $p_1 = -\zeta\omega_n + \omega_n\sqrt{\zeta^2 - 1}$  和  $p_2 = -\zeta\omega_n - \omega_n\sqrt{\zeta^2 - 1}$ ，它们在 S 平面上的位置如图 5-2 所示。

此时对式 (5-4) 式取拉氏反变换，可得到系统的输出响应如下：

$$C(t) = 1 + \frac{\omega_n}{2\sqrt{\zeta^2 - 1}} \left( \frac{e^{p_1 t}}{p_1} - \frac{e^{p_2 t}}{p_2} \right), (t > 0) \quad (5-5)$$

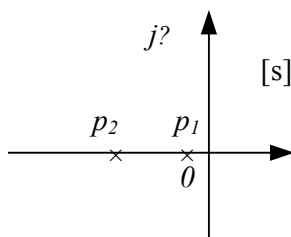


图 5-2 二阶系统两个负实极点

式 (5-5) 表明，系统的单位阶跃响应由稳态分量和瞬态分量组成，其稳态分量为 1，瞬态分量包含两个衰减指数项，随着  $t$  增加，指数项衰减，响应曲线单调上升，其响应曲线如图 5-3 所示。

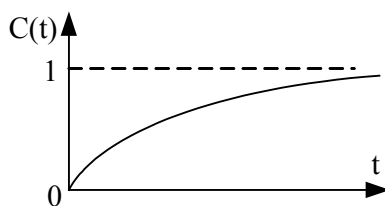


图 5-3 过阻尼二阶系统阶跃响应

如果  $\zeta \gg 1$ ，闭环极点  $p_2$  将比  $p_1$  距虚轴远得多，故  $e^{p_2 t}$  比  $e^{p_1 t}$  衰减将快得多。因此，在求取输出响应的近似解时，可以忽略  $p_2$  对系统输出的影响，把二阶系统近似看作一阶系统来处理。

## (2) 欠阻尼 ( $0 < \zeta < 1$ )

当  $0 < \zeta < 1$  时，系统在  $S$  平面的左半部分具有一对共轭复数极点，即  $p_1 = -\zeta\omega_n + j\omega_n\sqrt{1-\zeta^2}$  和  $p_2 = -\zeta\omega_n - j\omega_n\sqrt{1-\zeta^2}$ ，它们在  $S$  平面上的位置如图 5-4 所示。

由拉氏反变换求得系统的输出响应为：

$$C(t) = 1 - \frac{e^{-\zeta\omega_n t}}{\sqrt{1-\zeta^2}} \sin(\omega_d t + \theta), (t \geq 0) \quad (5-6)$$

式中  $\theta = \arccos \zeta$  ;  $\omega_d = \omega_n \sqrt{1 - \zeta^2}$  为阻尼自振频率。上式表明, 系统响应的稳态分量为 1, 瞬态分量是一个随时间  $t$  的增大而衰减的正弦振荡过程。振荡的角频率为  $\omega_d$ , 衰减速度取决于  $\zeta \omega_n$  的大小。系统的输出响应如图 5-5 所示。

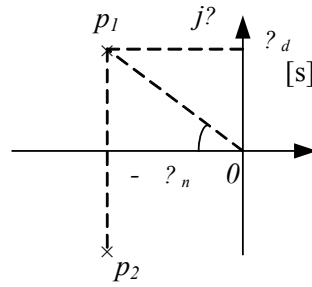


图 5-4 二阶系统两个共轭复数极点

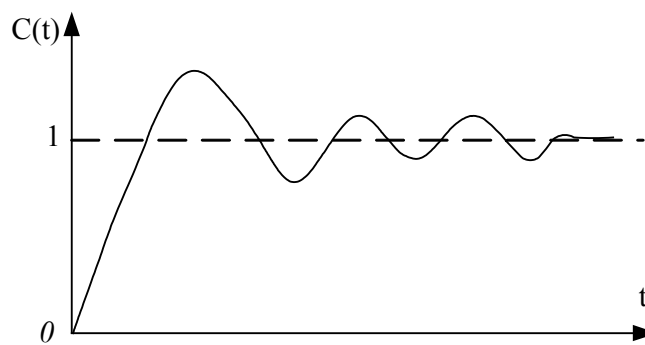


图 5-5 欠阻尼二阶系统阶跃响应

### (3) 临界阻尼 ( $\zeta = 1$ )

$\zeta = 1$  是系统输出响应为单调还是振荡过程的分界。当  $\zeta = 1$  时, 系统具有两个相等的负实数极点  $P_{1,2} = -\omega_n$ , 它们在  $s$  平面上的位置如图 5-6 所示。

此时 (5-4) 式可写成:

$$C(s) = \frac{\omega_n}{s(s + \omega_n^2)} = \frac{A_0}{s} + \frac{A_1}{s + \omega_n} + \frac{A_2}{(s + \omega_n)^2} \quad (5-7)$$

取拉氏反变换, 得到输出响应为:

$$C(t) = 1 - e^{-\omega_n t} - \omega_n t e^{-\omega_n t} = 1 - e^{-\omega_n t} (1 + \omega_n t), (t \geq 0) \quad (5-8)$$

式 (5-8) 表明, 当  $\zeta = 1$  时, 系统的输出响应由零开始单调上升, 最后达到稳态

值 1，其响应曲线如图 5-7 所示。

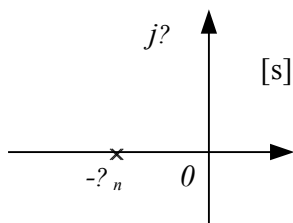


图 5-6 二阶系统的两个重实根

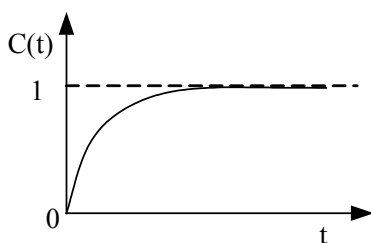


图 5-7 临界阻尼时二阶系统的阶跃响应

由以上分析可知，在不同的阻尼系数下，二阶系统的响应具有不同的特点，阻尼比  $\zeta$  是二阶系统的重要特征参数。 $\zeta$  越小，响应特性振荡得越厉害，随着  $\zeta$  增大到一定程度后，响应特性变成单调上升的。从过渡过程持续的时间看，当系统无振荡时，以临界阻尼时过渡过程的时间最短，此时，系统具有最快的响应速度。当系统在欠阻尼状态时，若阻尼比  $\zeta$  在 0.4 ~ 0.8 之间，则系统的过渡过程时间比临界阻尼时更短，而且此时的振荡特性也并不严重。因此，一般希望二阶系统工作在  $\zeta = 0.4 \sim 0.8$  的欠阻尼状态下，在工程实际中，通常选取  $\zeta = \sqrt{2}/2$  作为系统设计的依据。

### 5.2.3 基于阻尼系数控制的无电容型 LDO 环路设计

为提高 LDO 的负载调整率和线性调整率，我们希望尽可能大的环路增益。单级误差放大器和调整管叠加的环路增益难以达到 100dB，为此，本文在误差放大器和调整管之间增加一个缓冲级，既可以增大环路增益，又可以减小调整管的栅极等效阻抗（目的是增大调整管输入节点的极点频率）。

对于该三级运放结构的无电容型 LDO，选择 DFC 频率补偿方式保证环路稳定性<sup>[43]</sup>，系统框图如图 5-8 所示。



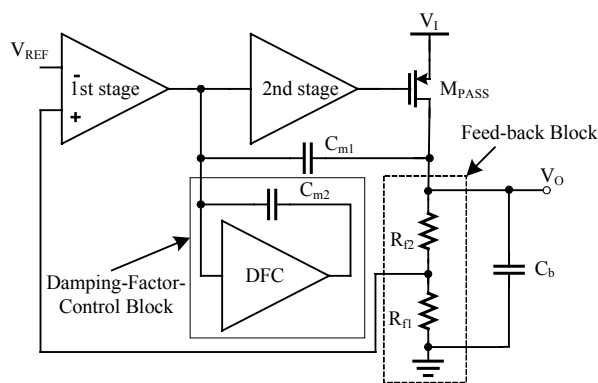


图 5-8 基于 DFC 补偿的 LDO 系统框图

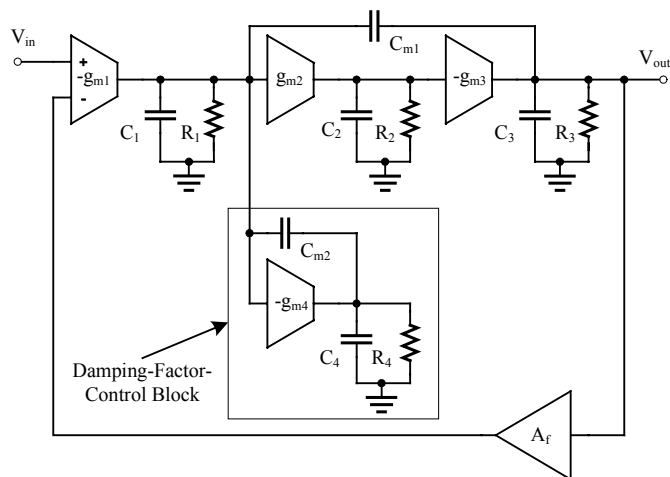


图 5-9 DFC 补偿的三级放大结构小信号等效电路模型

图 5-8 所示的基于 PFC 补偿的 LDO 系统可分为以下几个部分：高增益误差放大器作第一级，第二级是高增益大摆幅的缓冲级，大尺寸 PMOS 调整管是第三级，高精度带隙基准源提供参考电压源，反馈电阻网络，以及 DFC 单元和  $C_{m1}$  构成的密勒电容补偿电路。显然，该 LDO 的整体结构实质上是一个三级放大器，该闭环系统通过 DFC 单元以及级间密勒补偿分离极点以达到环路稳定。

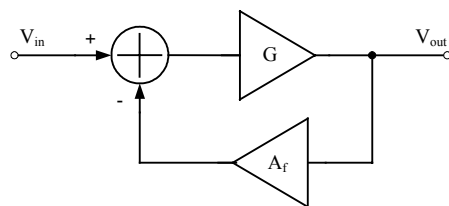


图 5-10 基于 DFC 补偿的 LDO 简化环路示意图

为分析基于 DFC 补偿原理的 LDO 频率响应，将其等效为如图 5-9 表示的三级放

大器模型，其开环增益环节电路的小信号等效电路如图 5-11 所示。图 5-9 中  $A_f$  为反馈电阻网络的增益，该反馈系统可以简化成图 5-10 所示的简单闭环系统。为分析简单，我们先求该系统的开环增益  $G$ ，再求环路增益  $L_o$ 。则：

$$L_o = G \cdot A_f \quad (5-9)$$

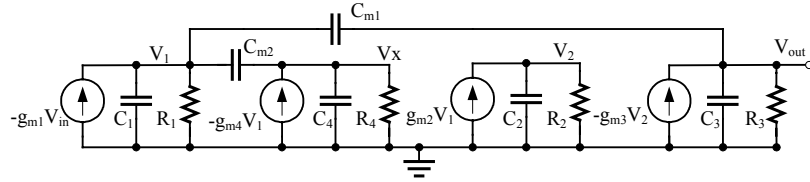


图 5-11 DFC 补偿的三级放大结构开环增益环节小信号等效电路图

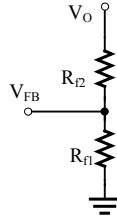


图 5-12 反馈网络电路图

反馈环节的具体构成参见图 5-12，输出电压与输入电压的传递函数是：

$$A_f = \frac{V_{FB}}{V_O} = \frac{R_{f1}}{R_{f1} + R_{f2}} \quad (5-10)$$

基于图 5-11，可以求得采用 DFC 进行频率补偿的三级运放的开环增益。根据节点电流公式可得：

$$\frac{V_1 - V_X}{\frac{1}{SC_{M2}}} - g_{m4}V_1 = \frac{V_X}{R_4 \parallel \frac{1}{SC_{M2}}} \quad (5-11)$$

$$-g_{m1}V_{in} = \frac{V_1}{R_1 \parallel \frac{1}{SC_{M2}}} + \frac{V_1 - V_X}{\frac{1}{SC_{M2}}} + \frac{V_1 - V_{out}}{\frac{1}{SC_{M1}}} \quad (5-12)$$

$$V_2 = -g_{m2}V_1 \left( R_2 \parallel \frac{1}{SC_{M2}} \right) \quad (5-13)$$

$$V_{out} = \left[ -g_{m3}V_2 + \frac{V_1 - V_{out}}{\frac{1}{SC_{M1}}} \right] \left( R_3 \parallel \frac{1}{SC_3} \right) \quad (5-14)$$

为简化计算过程，在计算中我们做如下的近似处理：

- (1) 忽略部分级间电容，即  $C_1=C_4=0$ ；
- (2) 放大器的输出电阻  $R_1$ 、 $R_4$  为无穷大；
- (3) 调整管的输入电容  $C_2$ ，输出的负载电容  $C_3$ ，密勒补偿电容  $C_{m1}$ ，DFC 补偿电容  $C_{m2}$  不可忽略。

经过上述假设，通过式 (5-11) 至 (5-14) 可以得到基于 DFC 补偿的 LDO 系统开环增益为：

$$\begin{aligned}
 G &= \frac{g_{m1}R_1R_3(-S^2C_{M1}C_2R_2 - SC_{M1} + g_{m2}g_{m3}R_2)}{(1 + g_{m4}R_1) + S \cdot [C_{M1}R_1(g_{m3}g_{m2}R_2R_3 + 1) + (C_2R_2 + R_LC_{M1} + R_LC_L)(1 + g_{m4}R_1)] + S^2 \cdot [(1 + g_{m4}R_1)R_3R_2C_2(C_{M1} + C_3) + C_{M1}R_1R_2C_2 + C_{M1}R_3R_3] + S^3 \cdot R_1R_2R_3C_{M1}C_2C_3} \\
 &\approx \frac{g_{m1}g_{m2}g_{m3}R_1R_2R_3 \left( 1 - S \frac{C_{M1}}{g_{m2}g_{m3}R_2} - S^2 \frac{C_{M1}C_2}{g_{m2}g_{m3}} \right)}{S^3R_1R_2R_3C_{M1}C_2C_3 + S^2R_1R_2R_3C_2(C_{M1} + C_3)g_{m4} + SR_1R_2R_3C_{M1}g_{m3}g_{m2} + (1 + g_{m4}R_1)} \\
 &\approx \frac{1 - S \frac{C_{M1}}{g_{m2}g_{m3}R_2} - S^2 \frac{C_{M1}C_2}{g_{m2}g_{m3}}}{S \cdot \frac{C_{M1}}{g_{m1}} \left[ 1 + S \frac{(C_{M1} + C_3)g_{m4}C_2}{g_{m2}g_{m3}C_{M1}} + S^2 \frac{C_2C_3}{g_{m2}g_{m3}} \right]}
 \end{aligned} \tag{5-15}$$

上式还可以近似成如下的形式：

$$G \approx \frac{g_{m1}g_{m2}g_{m3}R_1R_2R_3 \left( 1 - S \frac{C_{M1}}{g_{m2}g_{m3}R_2} - S^2 \frac{C_{M1}C_2}{g_{m2}g_{m3}} \right)}{(1 + SR_1R_2R_3C_{M1}g_{m3}g_{m2}) \left[ 1 + S \frac{(C_{M1} + C_3)g_{m4}C_2}{g_{m2}g_{m3}C_{M1}} + S^2 \frac{C_2C_3}{g_{m2}g_{m3}} \right]} \tag{5-16}$$

由式 (5-9)、(5-10) 和 (5-16) 可得基于 DFC 补偿的 LDO 环路增益为：

$$L_o = \frac{A_{dc} \left( 1 - S \frac{C_{M1}}{g_{m2}g_{m3}R_2} - S^2 \frac{C_{M1}C_2}{g_{m2}g_{m3}} \right)}{\left( 1 + \frac{S}{P_1} \right) \left[ 1 + S \frac{(C_{M1} + C_3)g_{m4}C_2}{g_{m2}g_{m3}C_{M1}} + S^2 \frac{C_2C_3}{g_{m2}g_{m3}} \right]} \tag{5-17}$$

式中，低频增益  $A_{dc}$  为：

$$A_{dc}(S) = \frac{R_{f1}}{R_{f1} + R_{f2}} g_{m1} g_{m2} g_{m3} R_1 R_2 R_3 \quad (5-18)$$

主极点频率  $P_1$  为：

$$P_1 = \frac{1}{R_1 R_2 R_3 C_{M1} g_{m2} g_{m3}} \quad (5-19)$$

则上述系统的增益带宽积为：

$$GBW(S) = A_{dc}(S) \cdot P_1(S) = \frac{R_{f1}}{R_{f1} + R_{f2}} \frac{g_{m1}}{C_{M1}} \quad (5-20)$$

该系统还存在另外两个零点，一个位于左半平面实轴，另外一个位于右半平面实轴，频率分别是：

$$Z_{1,2} = \frac{-1 \pm \sqrt{1 + 4g_{m2}g_{m3}C_2R_2^2/C_{M1}}}{2R_2C_2} \quad (5-23)$$

此时，系统环路增益的表达式可写为：

$$L_o = \frac{A_{dc} \left( 1 + \frac{S}{Z_1} \right) \left( 1 + \frac{S}{Z_2} \right)}{\left( 1 + \frac{S}{P_1} \right) \left[ 1 + S \frac{(C_{M1} + C_3)g_{m4}C_2}{g_{m2}g_{m3}C_{M1}} + S^2 \frac{C_2C_3}{g_{m2}g_{m3}} \right]} \quad (5-24)$$

#### 5.2.4 无电容型 LDO 环路中 DFC 参数设计

前一节推导出了基于 DFC 频率补偿的无电容 LDO 系统环路增益的表达式。从表达式 (5-24) 可以看出，系统是一个多零点多极点系统，合理配置零极点的位置，可以使环路达到稳定性和瞬态特性的最佳折衷。

对于 LDO 而言，负载的变化将直接改变三级运放输出级节点的等效电阻  $R_3$  和第三级运放的增益倍数  $g_{m3}$ 。当输出电流  $I_o$  增加时，PMOS 调整管的跨导  $g_{m3}$  按  $I_o$  的平方根关系增加，输出电阻  $R_3$  按  $I_o$  的倒数关系减小。即当负载很轻，即负载电流接近于零时， $R_3$  和  $g_{m3}$  分别处于最大和最小的情况。当负载电流为零时，环路增益最大，而主极点频率最低，这是系统稳定性最差的情况。当负载电流增大时，环路的增益降低，主极点频率向高频处移动，系统稳定性比零输出电流时更好。

环路增益分母的二次多项式部分写为：

$$F(s) = 1 + s \frac{(C_{M1} + C_3)g_{m4}C_2}{g_{m2}g_{m3}C_{M1}} + s^2 \frac{C_2C_3}{g_{m2}g_{m3}} \quad (5-25)$$

根据阻尼系数控制的基本理论，一个二阶系统具有如下的典型特征方程：

$$F(s) = 1 + s \left( \frac{2\zeta}{\omega_n} \right) + s^2 \left( \frac{1}{\omega_n^2} \right) \quad (5-26)$$

其中  $\zeta$  为阻尼系数， $\omega_n$  为无阻尼自然振荡角频率。比较上式与 (5-25)，可以明显地看出其阻尼系数和复极点的位置可由  $g_{m4}$  控制，而增益带宽由  $C_{m1}$  控制，同时还可看出系统的主极点已经不在输出端，而是由误差放大器的增益  $g_{m1}$  和补偿电容  $C_{m1}$  决定。

同时，可得由 DFC 频率补偿产生的极点频率为：

$$\omega_n = \sqrt{\frac{g_{m2}g_{m3}}{C_2C_3}} \quad (5-27)$$

则可以求得阻尼系数为：

$$\zeta = \frac{1}{2} \sqrt{\frac{C_2}{g_{m2}g_{m3}C_3}} \cdot \frac{g_{m4}(C_{m1} + C_3)}{C_{m1}} \quad (5-28)$$

由 5.2.2 节的分析可知：阻尼系数  $\zeta$  对系统的稳定性很关键。如果  $\zeta$  太小，则会出现频率尖峰，近似无阻尼振荡情况；如果  $\zeta$  过大，复极点会分离为两个实极点，呈现过阻尼状态。以上两种情况均会恶化环路的增益带宽积。理论证明<sup>[108]</sup>，当  $\zeta = 1/\sqrt{2}$  时，系统的过渡时间比临界阻尼时更短，并且振荡振幅也较小。此时可以得到  $C_{M1}$  的值：

$$C_{M1} = \frac{1}{\sqrt{\frac{2g_{m2}g_{m3}}{C_2C_3g_{m4}^2} - \frac{1}{C_3}}} \quad (5-29)$$

为了满足环路稳定性，需要将式 (5-24) 的零极点位置进行配置。系统的另外两个零点均位于实轴，一个为正零点，一个为副零点，其绝对值几乎相同，产生的相移相互抵消。但零点会使得幅值增加，为了系统稳定，要求这两个零点频率位于高频处。

需要考虑的只剩下主极点  $P_1$  和由于 DFC 频率补偿产生的两个极点  $P_{2,3}$ ，有：

$$P_1 = \frac{1}{R_1 R_2 R_3 C_{M1} g_{m2} g_{m3}} \quad (5-30)$$

$$P_{2,3} = \sqrt{\frac{g_{m2} g_{m3}}{C_2 C_3}} \quad (5-31)$$

为了使系统稳定，要求次主极点  $P_{2,3}$  比增益带宽积 GBW 大。而系统的相位裕度 PM 为：

$$PM = 180^\circ - \tan^{-1}\left(\frac{GBW}{P_1}\right) - \tan^{-1}\left[\frac{2\zeta\left(\frac{GBW}{P_{2,3}}\right)}{1 - \left(\frac{GBW}{P_{2,3}}\right)^2}\right] \quad (5-32)$$

上式中，由主极点产生的相移为  $90^\circ$ ，如果由次主极点产生的相移为  $30^\circ$ ，则系统总的相位裕度为  $60^\circ$ 。此时，系统处于稳定状态，而且具有最好的瞬态响应特性。基于 DFC 频率补偿的 LDO 环路增益的 Bode 图如图 5-13 所示。

为满足  $60^\circ$  的相位裕度，则要求：

$$P_{2,3} = 2\sqrt{2}GBW \quad (5-33)$$

由  $V_O = 1.8V$ ， $V_{REF} = 0.5V$ ，则反馈电阻网络中存在如下关系：

$$\frac{R_{f1}}{R_{f1} + R_{f2}} = \frac{5}{13} \quad (5-34)$$

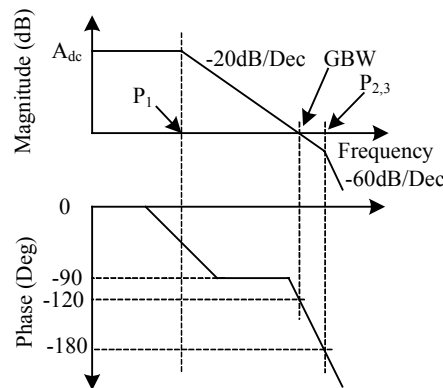


图 5-13 DFC 频率补偿的 LDO 环路增益的 Bode 图

由 ( 5-25 )、( 5-27 )、( 5-29 ) 和 ( 5-30 ) 式可知：

$$C_{M1} = \frac{10\sqrt{2}}{13} g_{m1} \sqrt{\frac{C_2 C_3}{g_{m2} g_{m3}}} \quad (5-35)$$

由 ( 5-25 ) ( 5-31 ) 可得：

$$g_{m4} = \frac{\sqrt{\frac{2g_{m2}g_{m3}C_3}{C_2}}}{\frac{13}{10\sqrt{2}} \frac{1}{g_{m1}} \sqrt{\frac{g_{m2}g_{m3}C_3}{C_2}} + 1} \quad (5-36)$$

为了使系统稳定，还要求  $Z_{1,2} > P_{2,3}$ ：

$$\frac{-1 \pm \sqrt{1 + \frac{4g_{m2}g_{m3}C_2R_2^2}{C_{M1}}}}{2R_2C_2} > \sqrt{\frac{g_{m2}g_{m3}}{C_2C_3}} \quad (5-37)$$

即： $C_{M1} < C_3$ 。

从上述分析中，我们可以看出，由于 DFC 增益级的输出电阻很大，而输出电容很小，故  $C_{M2}$  唯一的作用是传输  $g_{m4}V_1$  电流，因此  $C_{M2}$  取值的依据是成本和噪声特性的折衷：电容值越小，芯片成本越低，但带来的噪声越大。

### 5.2.5 原始无电容 LDO 系统宏模型

表 5-4 基于 DFC 频率补偿的 LDO 宏模型参数设计

	$g_m$ (S)	C(pF)	$R$ ( )	Gain (dB)	3db-pole (Hz)	Other Device
1 <sup>st</sup> Stage	8.85μ	0.08	11M	40	17.8k	
2 <sup>nd</sup> Stage	400μ	I <sub>o-low</sub> 13.6	615k	49	4.45k	$C_{M1}=0.1\text{pF}$
		I <sub>o-high</sub> 58			9.35k	
3 <sup>rd</sup> Stage	I <sub>o-low</sub> 14m	1.65	80	27.3	1M	
	I <sub>o-high</sub> 0.38	11.2	3.69	2.92	3850M	
DFC Stage	10.1μ	0.5	600k	15.8	52.8k	$C_{M2}=0.1\text{pF}$
Feed Back Stage			$R_{f1}=250K$ $R_{f2}=650K$	20lg(5/13)		$C_{OUT}=10\text{pF}$

在图 5-9 所示的基于 DFC 频率补偿的无电容型 LDO 系统框架中，各增益环节的增益大小、各增益环节的输入输出电阻和电容均会影响到 LDO 的性能，包括输出电压精度、稳定性、瞬态特性。对系统建立宏模型，目的是确定系统的零极点分布，指导系统的稳定性设计，最终指导晶体管级电路的设计。

表 5-4 给出了无电容型 LDO 结构的基本参数。此处的第一级为误差放大器，第二级为缓冲级，第三级为调整管。调整管的参数这里先给出，具体计算和仿真过程见 5.3 节。

需要说明的是，当 LDO 的负载不同时（表 5-4 中  $I_{O-low}$  代表负载电流为  $100\mu A$ ， $I_{O-high}$  代表负载电流为  $100mA$ ），调整管的工作状态会有很大变化，其增益、跨导、输出级的等效电阻、等效电容会有很大区别。此处建模不是很容易。简单的方法便是使用笔者在第三章提出的“混合宏模型”：调整管输出级（第三级）直接采用实际电路。为了文章的完整性，笔者实测出了两种不同负载电流下的第三级放大器各项参数，列举在表格中。由于第三级放大器的增益发生了大的变化，第三级的等效输入电容也因为密勒效应发生巨大变化。

此处研究各级运算放大器的增益、输入阻抗、输入电容、输出阻抗、输出电容的目的是确定环路稳定性，以及基本的 LDO 工作特性。为此，基本的宏模型即可完成小信号分析。图 5-14 左侧是运算跨导放大器的基本宏模型。为便于仿真，采用如图 5-14 右侧所示的简化等效模型。

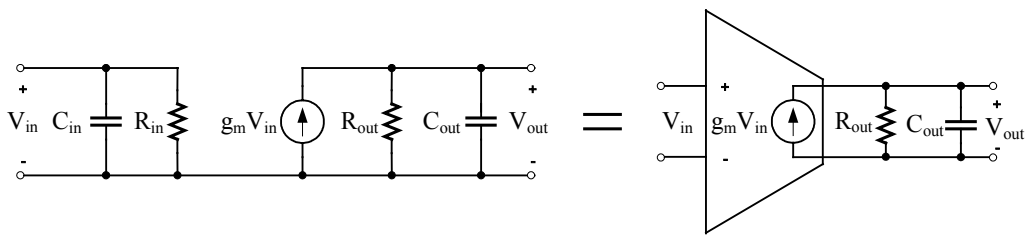


图 5-14 运算跨导放大器的基本宏模型

基于表 5-4 给出的各级放大器设计指标，对基于 DFC 频率补偿的无电容型 LDO 进行交流分析，得到如图 5-15 所示的频率响应波形。

从图 5-15 的波特图可以得出如下结论：（1）轻负载电流（ $100\mu A$ ）下 LDO 的环路增益达到  $110dB$ ，环路的单位增益带宽达到  $1.596MHz$ ，此时系统的相位裕度为  $50.67^\circ$ ；（2）重负载电流（ $100mA$ ）下 LDO 的环路增益达到  $85dB$ ，环路的单位增益带宽达到  $10.6MHz$ ，此时系统的相位裕度为  $52^\circ$ 。



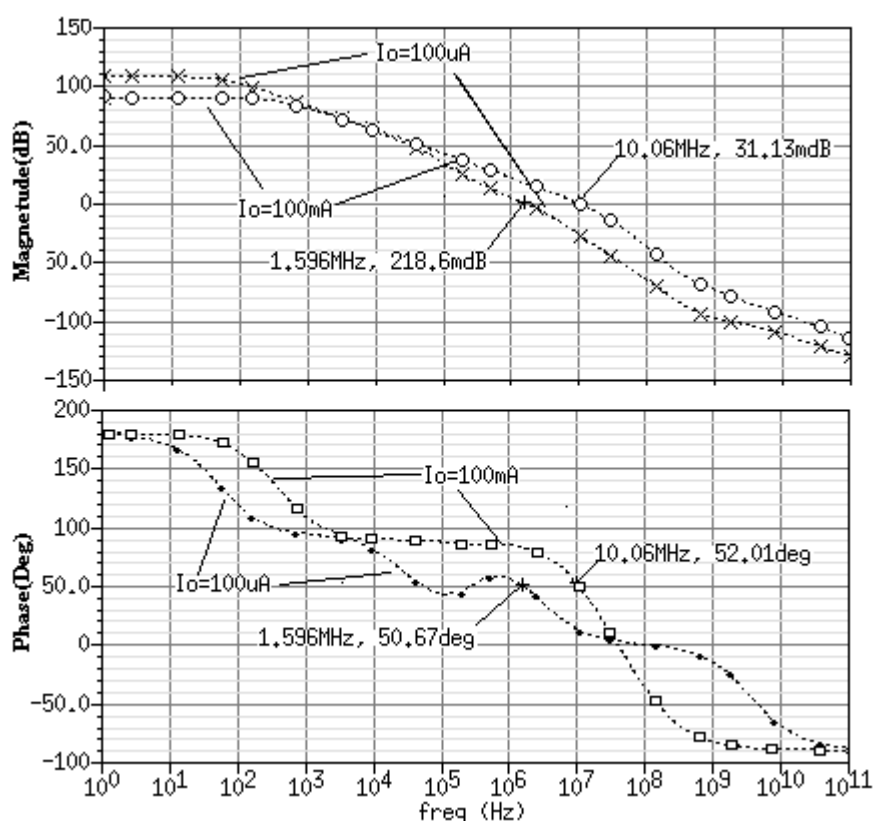


图 5-15 基于宏模型仿真的 LDO 环路增益波形

可见，无论是重负载，还是轻负载下，表 5-4 设计的宏模型参数均能保证环路的稳定性。而且，宏模型仿真得到的零极点分布与理论推导中期望的零极点分布相似，仅仅在轻负载电流下有稍微差别。

此处建模的目的是分析无电容型 LDO 的环路稳定性，因此用于仿真的宏模型只选择了运放的最基本模型，因而无法对 LDO 系统进行直流和瞬态特性进行仿真和分析。采用本文第四章设计的运放复杂模型，可以完成本 LDO 系统的直流分析。限于篇幅，此处略去。

## 5.3 原始无电容 LDO 电路设计

### 5.3.1 调整管设计

PMOS 调整管的尺寸是由芯片要求的最大输出电流和最小漏失电压决定的。作为输入端向负载提供输出电流的通道，调整管的宽长比越大，驱动负载的能力就越强。又由于 PMOS 调整管结构的 LDO 线性稳压器，其漏失电压正比于 PMOS 管的导通电

阻，因此调整管较大的宽长比也会降低漏失电压从而提高电源的转换效率。但如果一味地增大调整管的宽长比，其栅极寄生电容  $C_{par}$  也会增加，造成误差放大器摆率的降低；同时使相应的寄生极点左移，减小相位裕度，从而可能引起系统的不稳定。而且，过大尺寸的调整管给版图设计也带来了诸多问题。比如，连接线的线电阻和线电容、芯片面积、版图内部寄生效应等。反之，如果调整管宽长比过小，就会造成负载能力较弱，不能提供要求的输出电流，还可能使得调整管在较低的输入电压、大负载条件下较早地进入线性区，从而影响稳压器的瞬态响应特性。因此，应该综合以上因素为调整管选择适当的宽长比。

根据前文的分析，我们设计较大的调整管栅极驱动电压摆幅，让调整管工作在线性区，从而在不增大调整管尺寸的同时，保证了尽可能大的输出电流。选择最小的调整管漏源电压，即为系统要求的最低电压降  $0.2V$ ，当调整管  $|V_{SG}|$  越大，产生的漏极电流也越大。调整管栅极的最低电压可以为一个 MOS 管的过驱动电压，大约为  $0.2V$ 。则依据式 (2-39) 可得：

$$\begin{aligned}\frac{W}{L} &= \frac{2I_D}{\mu_P C_{OX} [(V_{SG} - V_{TH}) V_{SD} - V_{SD}^2]} \\ &= \frac{2 \times 100mA}{\mu_P C_{OX} \times [(2 - 0.2 - |V_{THP}|) \times 0.2 - 0.2^2]} = 8.1K\end{aligned}\quad (5-38)$$

当调整管工作在饱和区和线性区边缘时，有  $V_{SD} = V_{OV} = 0.2V$ ，则此时调整管的尺寸为：

$$\begin{aligned}\frac{W}{L} &= \frac{2I_D}{\mu_P C_{OX} (V_{SG} - V_{TH})^2} \\ &= \frac{2 \times 100mA}{\mu_P C_{OX} \times 0.2^2} = 142K\end{aligned}\quad (5-39)$$

对于上述两种极限情况，前者是理想情况下的最小尺寸，要求前一级运放的输出具有最大摆幅，最低输出电压达到  $0.2V$ 。该情况实际中比较难以实现。后者是当调整管始终工作在线性区的最小尺寸。因此，选择两种的中间尺寸，既能满足一定电压降下的足够负载电流，又能节省调整管面积。在瞬态响应可以满足要求的条件下，选择稍微大的尺寸，还有助于降低调整管的导通电阻，进一步降低 LDO 的电压降。为此，

本论文选择  $\frac{W}{L} = 40K$ ，为尽可能缩小调整管栅极电容，选择该工艺下最小的沟道长度，即  $L = 0.3\mu\text{m}$ 。则调整管的沟道宽度  $W = 30\mu\text{m}$ ，采用 400 个并联。

基于该尺寸，可以通过仿真得到各种不同负载电流情况下的调整管特性如表 5-5 所示。

表5-5 不同负载电流下调整管的特性

$I_{\text{LOAD}}$	$g_{\text{mp}}[\text{m A/V}^2]$	$r_o[\ ]$	$C_{\text{GD}}[\text{pF}]$	$C_{\text{GS}}[\text{pF}]$
50uA	2.40	46.2u	2.2	2.4
1mA	21.4	466.2u	2.2	4.2
50mA	351.7	65.0m	2.4	14.9
100mA	379.6	271.1m	3.1	15.3

### 5.3.2 误差放大器的设计

一般来说，误差放大器（Error Amplifier, EA）的主要设计参数包括：增益、输出阻抗、带宽、输出摆率电流、输出电压摆幅和静态电流等。EA 作为 LDO 环路的控制元件，在很大程度上决定着 LDO 的性能参数，比如线性调整率、负载调整率和输出阻抗都与 EA 的增益成反比。因此，误差放大器的设计至关重要<sup>[109]</sup>。

改善 LDO 系统的输出电压精度，需要增大系统的开环增益。然而，开环增益又受单位增益带宽频率的限制。因此很有必要仔细设计误差放大器的增益带宽乘积项。一般运放的增益是输入跨导和输出阻抗的乘积，为提高增益必须提高输出阻抗<sup>[70, 82, 110]</sup>。而输出阻抗和输出电容决定着寄生极点的位置，由前面的频率响应分析可知该极点对应频率必须高于单位增益带宽。为了解决这个矛盾，通过增加缓冲级，将高输出阻抗节点和大寄生电容节点隔离，以保证误差放大器的输出阻抗和缓冲级的输入电容组成的极点频率以及缓冲级的输出阻抗和调整管栅极输入电容组成的极点频率，都比单位增益带宽频率要高，如此可在一定程度上解决增益和带宽的矛盾。另外，高增益的运放一般都采用两级或多级放大，在运放级联过程中，频率补偿是一个需要重点考虑的问题。

此外，系统设计的瞬态响应需求也决定着误差放大器及缓冲级的拓扑结构和偏置电流大小。对不同的调整管类型，缓冲级的拓扑结构不同，如驱动 PMOS 管，需要产生足够低的栅级驱动压以得到大负载电流和低压差电压；同时也需要足够高的栅级电

压，以保证零负载条件下亚阈值电流足够小。此外，由前面的瞬态响应分析可知，缓冲级的偏置电流直接决定着负载瞬态响应中的响应时间和最大输出电压变化量。

总之，为提高 LDO 系统的性能，对误差放大器的设计 requirements 是：开环增益要尽可能高；单位增益带宽尽可能大；合理选择增益和带宽乘积项的大小；根据瞬态要求合理选择误差放大器缓冲级的拓扑结构；参照功耗要求，适当选择较大偏置电流等。此外，还要考虑运放噪声、失调和温漂等的设计，让噪声和失调都尽可能小，以满足高精度 LDO 系统的设计需要。

根据以上讨论，所设计的误差放大器如图 5-16 所示，电路参数见表 5-6。

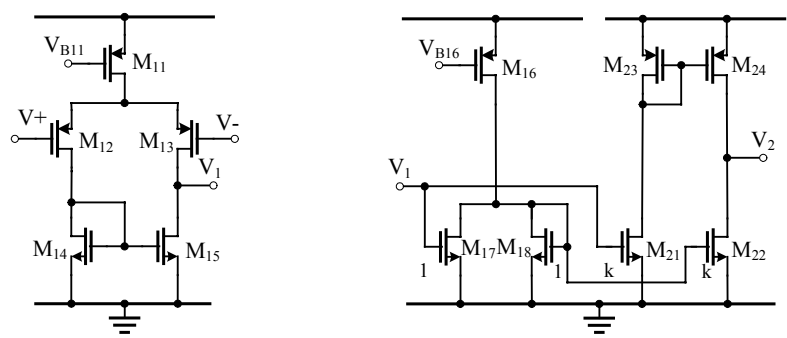


图 5-16 误差放大器电路原理图（左边为第一级，右边为第二级）

该误差放大器由两级构成，第一级为有源电流镜负载的差分输入放大结构，第二级为推挽输出的缓冲级，另外还有跨导提高结构。从（5-31）式可以看出，第二级跨导越大，则 DFC 补偿产生的极点离 GBW 越远。所以图中增加了由 M16、M17 和 M18 构成的跨导提高结构。M17 和 M18 的作用是把输入的  $V_1$  信号转换成  $-V_1$  输出， $V_1$  和  $-V_1$  分别加在 M21 和 M22 上。如果采用电流镜进行 k 倍电流放大，则第二级的等效跨导被放大 2k 倍，可以增强对 PMOS 调整管的驱动能力。此处选择放大 40 倍，即  $k=20$ 。

表 5-6 误差放大器电路器件参数

	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )	M
M <sub>11</sub> M <sub>16</sub>	3	1	1
M <sub>12</sub> , M <sub>13</sub>	4	0.6	1
M <sub>14</sub> M <sub>15</sub>	1	0.8	1
M <sub>21</sub> M <sub>22</sub>	1	0.8	20
M <sub>23</sub> M <sub>24</sub>	1.5	1	10
M <sub>17</sub> M <sub>18</sub>	1	0.8	1

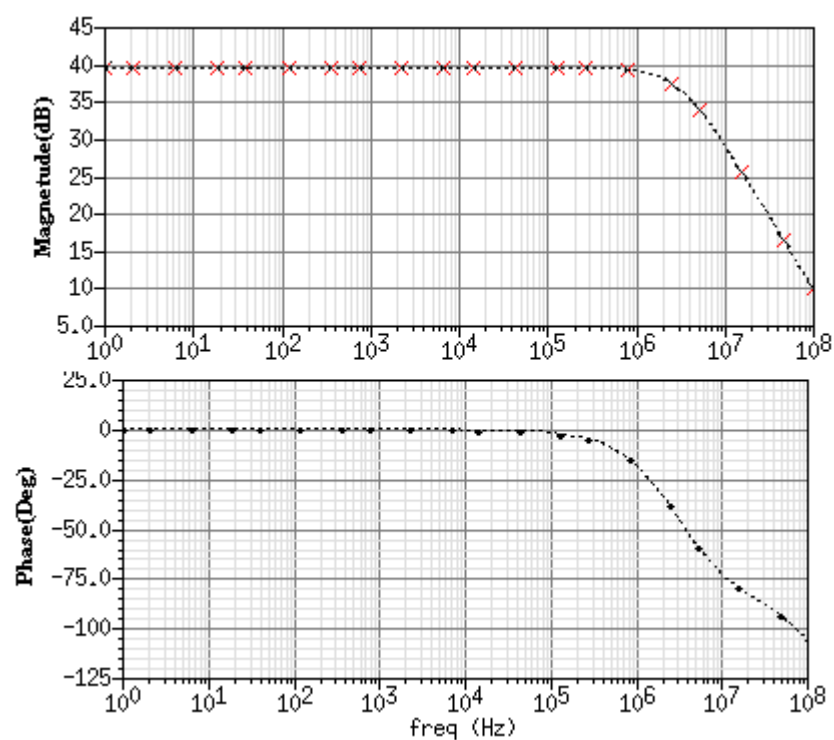


图 5-17 第一级运放增益曲线

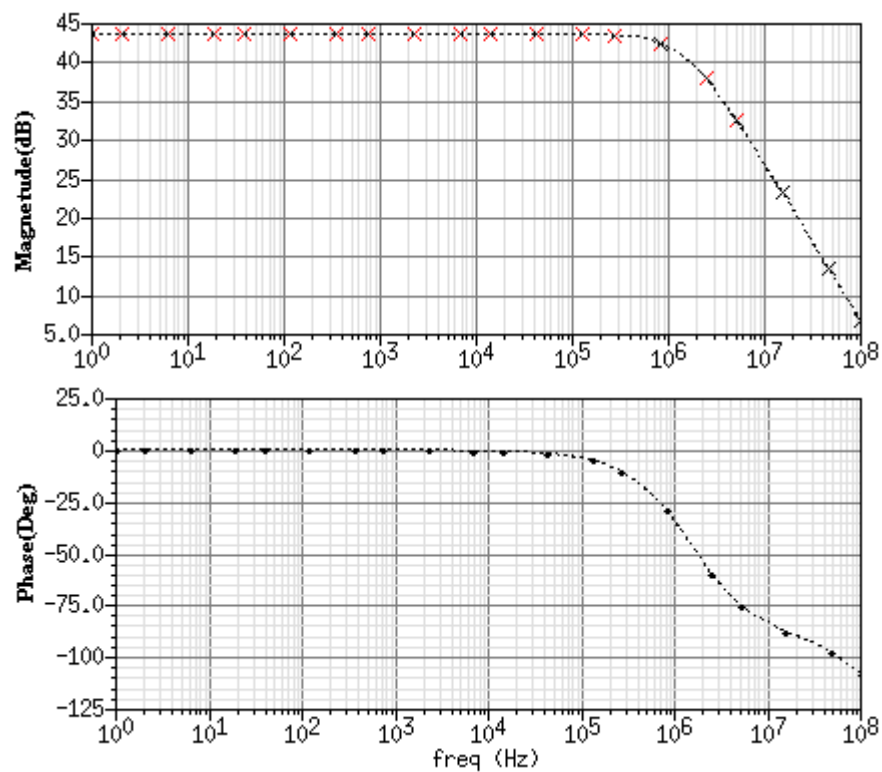


图 5-18 第二级运放增益曲线

### 5.3.3 DFC 频率补偿电路的设计

通过简单的电流源负载共源级放大器可以实现 DFC 环节，但输出共模电平会随着输入共模电平的变化而剧烈变化。为此，可以通过如图 5-19 所示的反馈环节来保持输出电压的相对恒定。当输入端电压  $V_1$  下降时，流过  $M_{D1}$  的电流降低，输出端电压  $V_4$  增加，流过  $M_{D3}$  的电流增加，则流过  $M_{D6}$  的电流减小，镜像到  $M_{D5}$  的电流也按一定比例减小。这样，保证了  $M_{D1}$  和  $M_{D5}$  的电流同向变化，有利于  $V_4$  节点保持恒定。

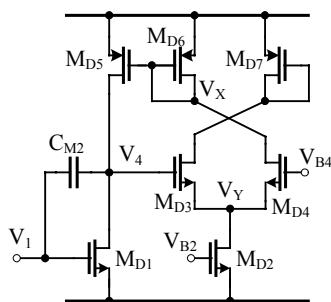


图 5-19 DFC 频率补偿电路

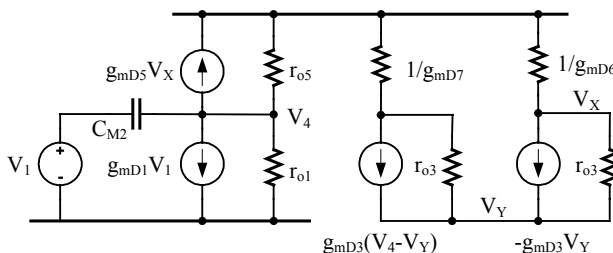


图 5-20 DFC 频率补偿电路的小信号等效电路

$$V_X = \frac{1}{2} \frac{g_{mD3}}{g_{mD6}} V_4 \quad (5-40)$$

$$V_4 = -(g_{mD5}V_X + g_{mD1}V_1)(r_{o5} \parallel r_{o1}) \quad (5-41)$$

$$\frac{V_4}{V_1} = -\frac{g_{mD1}(r_{o5} \parallel r_{o1})}{1 + \frac{g_{mD3}g_{mD5}(r_{o5} \parallel r_{o1})}{2g_{mD6}}} \quad (5-42)$$

表 5-7 DFC 频率补偿电路器件参数

	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )	M
M <sub>D1</sub>	1	0.8	1
M <sub>D2</sub>	1.2	1	1
M <sub>D3</sub> M <sub>D4</sub>	1	0.8	1
M <sub>D5</sub>	3	1	1
M <sub>D6</sub> M <sub>D7</sub>	1.5	1	1

设计的 DFC 环节各晶体管参数见表 5-7 ,图 5-21 为根据表 5-7 中参数设计的 DFC 环节的增益曲线。可见 , DFC 环节的低频增益为 14dB。

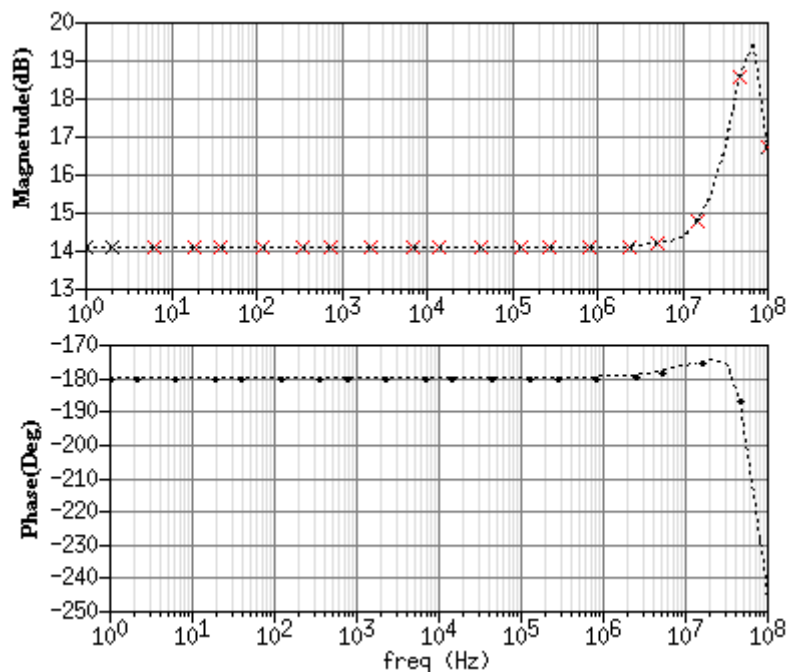


图5-21 DFC环节增益曲线

#### 5.3.4 原始无电容 LDO 的仿真

图5-22为基于DFC频率补偿的原始无电容型LDO电路图。该LDO包括：第一级误

差放大器，第二级缓冲级，DFC频率补偿级，调整管构成的第三级放大器，反馈电阻网络。

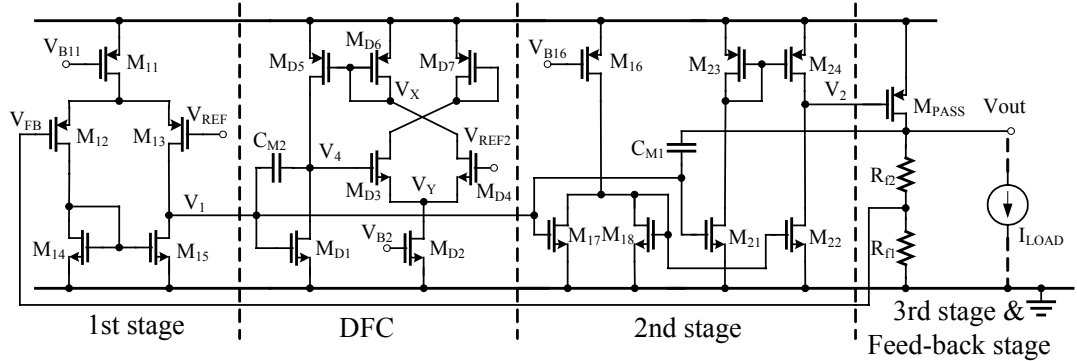


图5-22 基于DFC频率补偿的原始无电容LDO晶体管级电路图

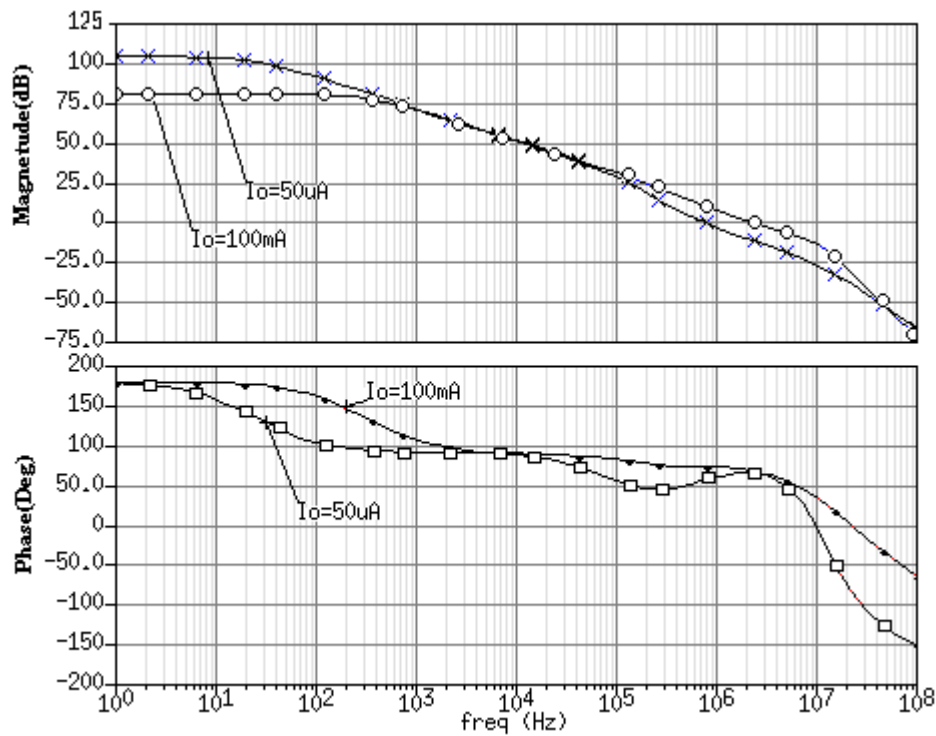


图5-23 原始无电容型LDO环路增益曲线

在满负荷负载电流100mA和轻负载电流50 $\mu$ A两种情况下 ,对该电路进行交流小信号分析，得到如图5-23所示的波特图。为清楚了解在不同负载电流下环路的稳定性，扫描了50 $\mu$ A、100 $\mu$ A、10mA、50mA、80mA、100mA负载电流下的系统相位裕度和单位增益带宽UGF，如图5-24所示。从这两组波形图可以得出的结论是：（1）环路的相位裕度在大电流时变差，但均能达到系统稳定。在系统满负荷的100mA电流下，系统的相位裕度降低最低的56°，在轻负载电流（50 $\mu$ A）下，系统相位裕度为67°，但



是更低的负载电流情况下，系统不再稳定。（2）随着负载电流的增大，环路的UGF逐渐减小，在满负荷负载电流下，降低到750kHz。

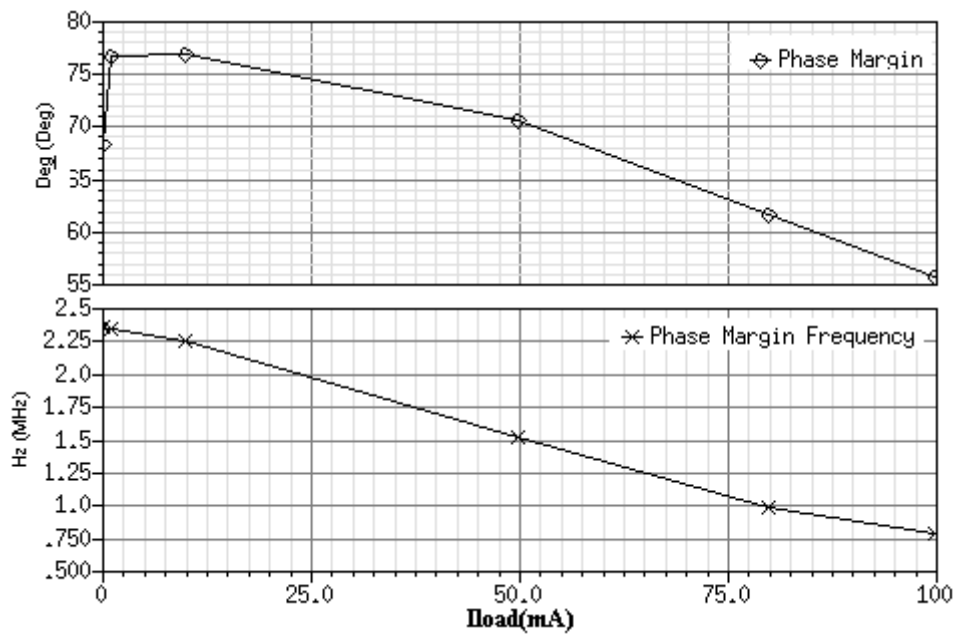


图5-24 不同电流下的环路增益相位裕度和UGF波形

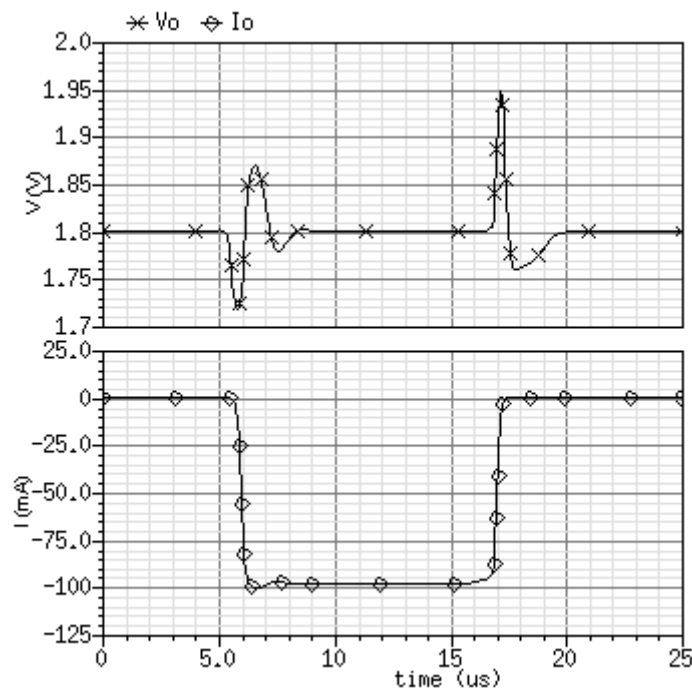


图 5-25 原始无电容型 LDO 负载瞬态响应曲线

为了对比增加瞬态增强环节后LDO的瞬态响应特性变化,此处还仿真了原始无电容型LDO的负载瞬态响应,得到如图5-25所示的波形。当负载电流在1 $\mu$ s时间内从50 $\mu$ A增大到100mA时,输出电压的瞬态跌落为80mV,在输出电压恢复稳定时,输出电压正向过冲70mV,经历3.5 $\mu$ s时间后,输出电压恢复到稳定的1.8V状态。当负载电流在1 $\mu$ s时间内从100mA降低到50 $\mu$ A时,输出电压瞬态峰值为140mV,在输出电压恢复稳定时,输出电压反向过冲40mV,经历3 $\mu$ s时间后,输出电压恢复到稳定的1.8V状态。上述瞬态过程中,电压过冲量最大为140mV,输出电压稳定时间最长为3.5 $\mu$ s。

可见,尽管没有采用本文第四章提出的瞬态增强环节,由于本电路采用了DFC频率补偿,让系统处于过阻尼状态,既保证了环路的稳定性,又保证了一定的瞬态响应特性。

#### 5.4 无电容型 LDO 的瞬态增强电路实现

该误差放大器可以采用和主环路误差放大器相同的电路结构,但需要的增益倍数不同,无法共用一个误差放大器。此处的误差放大器能反映输出电压 $V_{FB}$ 和参考电压 $V_{REF}$ 之间正常的差异。一旦输出电压出现过冲,过冲值超过设定值,则高低电平检测反向器动作,为调整管的栅极电荷提供充电或者放电回路。因此,误差放大器的增益要求合适。增益过大,将可能使得不同负载电流下,由于负载调整率现象引起的输出电压变化也产生了充电和放电回路的动作。增益过小,将使得输出电压出现非常大的过冲量时,充放电回路才动作,而主环路本身可能已经将调整管的栅极电位建立到了合适的电平,瞬态增强电路不起任何作用。

选择瞬态增强环节在检测到输出电压与参考电压之间的误差在50mV以上时,通过误差放大器EA2的放大,决定高低电平检测反向器是否翻转。设计的高翻转电平是 $(V_{DD} - 0.7)V$ ,低翻转电平是0.7V。为此,该误差放大器的增益选择为5倍。

依据反向器的定义<sup>[111]</sup>,反向器的翻转阈值 $V_M$ 满足如下关系式:

$$V_M = \frac{(V_{DD} - |V_{TP}|) + S \cdot V_{TN}}{1 + S} \quad (5-43)$$

式中,  $S = \sqrt{\frac{k_N}{k_P}}$ ,  $k_N = \mu_N C_{ox} (W/L)_N$ ,  $k_P = \mu_P C_{ox} (W/L)_P$ ,  $V_{TP}$  为 PMOS 管阈

根据电压翻转的要求,  $INV_H$  有较高的  $V_M$ ; 而  $INV_L$  有较低的  $V_M$ 。可依据式(5-43)设计反向器 MOS 管的尺寸。

表5-8 瞬态增强电路参数

	N(INV <sub>L</sub> )	P(INV <sub>L</sub> )	N(INV <sub>H</sub> )	P(INV <sub>H</sub> )	M <sub>S</sub>	M <sub>D</sub>	EA2
W ( μm )	10	0.3	3	4	2	2	
L ( μm )	0.3	10	3	1	10	15	
Gain							5

在验证瞬态增强环节的电路功能时，其输入信号可以直接从原始无电容型LDO的输出电压 $V_{FB}$ 和参考电压 $V_{REF}$ 取得，但瞬态增强环节的输出并不接入整个LDO环路中，观察瞬态增强环节在负载瞬态变化时的输出响应情况。

109

是在输出共模电平上增大 250mV，还是降低 250mV，都将导致相应的阈值检测反向器翻转。在图 5-27 所示的波形中，当 LDO 输出电压比 1.8V 低 50mV 时，控制 N 管导通的信号变高，使得推挽输出级的 N 管导通，将为调整管的栅极提供电流泻放通路，使调整管栅极电位迅速降低，从而增大调整管输出电流，以改善负载电流突然变大时导致的输出电压拉低现象。同理，一旦 LDO 输出电压比 1.8V 高 0.05V 时，将导致推挽输出级的 P 管导通，为调整管栅极提供充电电流。

从该环节的两个控制信号来看，能实现在 LDO 负载电流瞬态变化时，为调整管的栅极提供额外的驱动电流。该驱动电流的大小，需要在实际电路中反复调试得到，太大和太小均不好。调整该驱动电流的方法简单，改变推挽输出级的  $M_S$  和  $M_D$  尺寸即可。

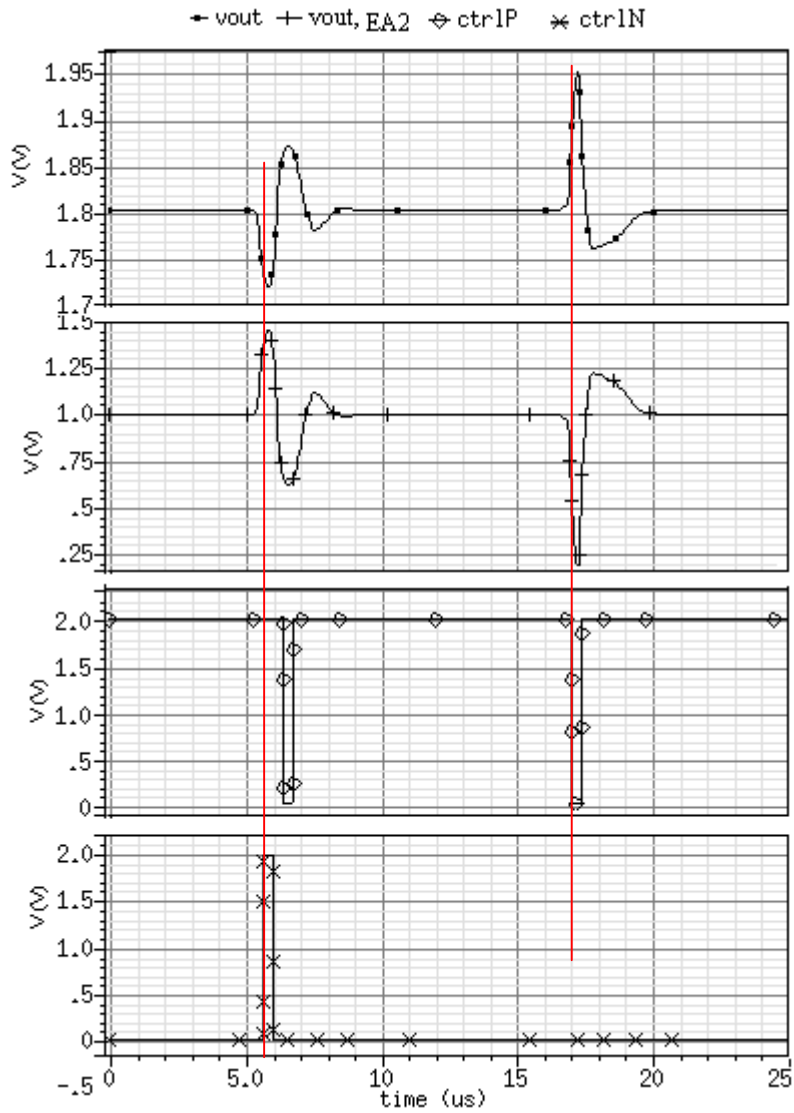


图5-27 瞬态增强环节重要波形

## 5.5 小结

本章完成了瞬态增强的无电容型LDO的具体电路设计。为了确定LDO的系统结构和各模块性能指标，首先为LDO建立了“混合宏模型”，基于该模型的分析 and 推导，得出了采用DFC频率补偿的无电容型LDO各模块重要设计指标。

在宏模型仿真通过的基础上，完成了原始无电容型LDO的晶体管级电路设计。实际电路的仿真结果与宏模型仿真结果具有很大的相似性，这说明宏模型指导了电路的设计。最后，给出了基于简单电压比较的LDO瞬态增强环节的具体电路实现。

## 6 LDO 整体性能仿真

前文设计了原始无电容型 LDO 线性稳压器电路，还设计了用于提高无电容型 LDO 瞬态响应速度的瞬态增强环节。本章将完成瞬态增强型无电容型 LDO 的整体性能仿真，并在本章最后以表格形式给出 LDO 电路的全部性能参数。为便于说明本文提出的瞬态增强电路的作用，本章将部分仿真结果进行了对比，以比较增加瞬态增强电路前后电路特性的改变。

### 6.1 直流特性仿真与分析

图 6-1 反映了整个电路的线性调整率。从图中可以看出，当电源电压在 2.0V ~ 3.3V 之间变化时，无论是重负载情况，还是轻负载情况，LDO 的输出电压变化均非常小。在 0A 和 100mA 负载电流下，全电压范围内输出电压的变化为 0.00045V。由式( 2-19 ) 可以计算得知，该 LDO 在全负载电流范围内的线性调整率为：

$$S_V = \frac{\Delta V_o}{\Delta V_i V_o} \times 100\% = \frac{1.80055 - 1.8001}{(3.3 - 2.0) \times 1.8} \times 100\% = 0.019\%$$

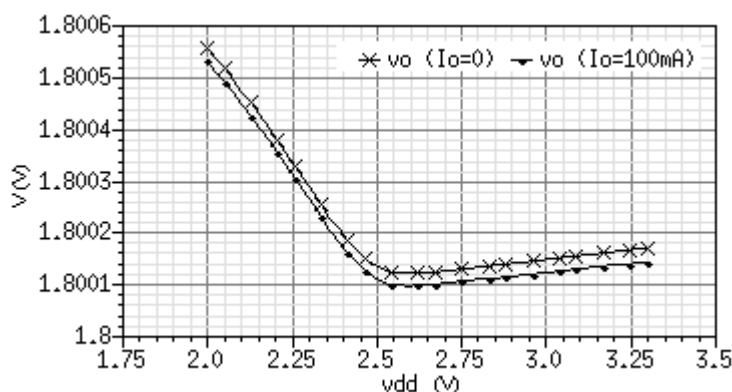


图 6-1 无电容型 LDO 的线性调整率仿真波形

图 6-2 给出了 LDO 的负载调整率波形。当负载电流从 0 变化到满负荷 100mA 时，输出电压从 1.800075V 下降到 1.800005V。变化范围为 0.07mV。由式( 2-13 ) 可以计算得知，该 LDO 的负载调整率为：

$$S_I = \frac{\Delta V_o}{\Delta I_o V_o} \times 100\% = \frac{0.07 \times 10^{-3}}{100 \times 10^{-3} \times 1.8} \times 100\% = 0.039\%$$

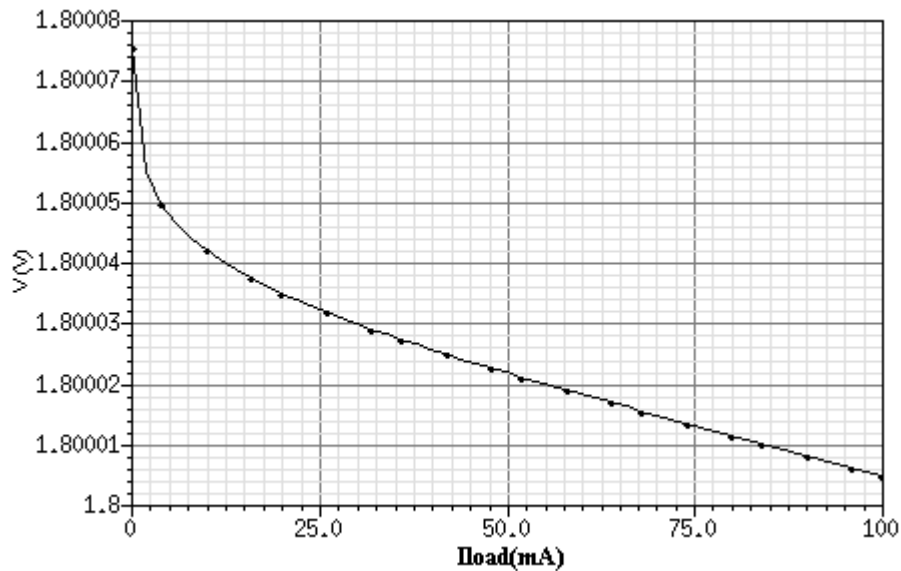


图 6-2 无电容型 LDO 的负载调整率波形

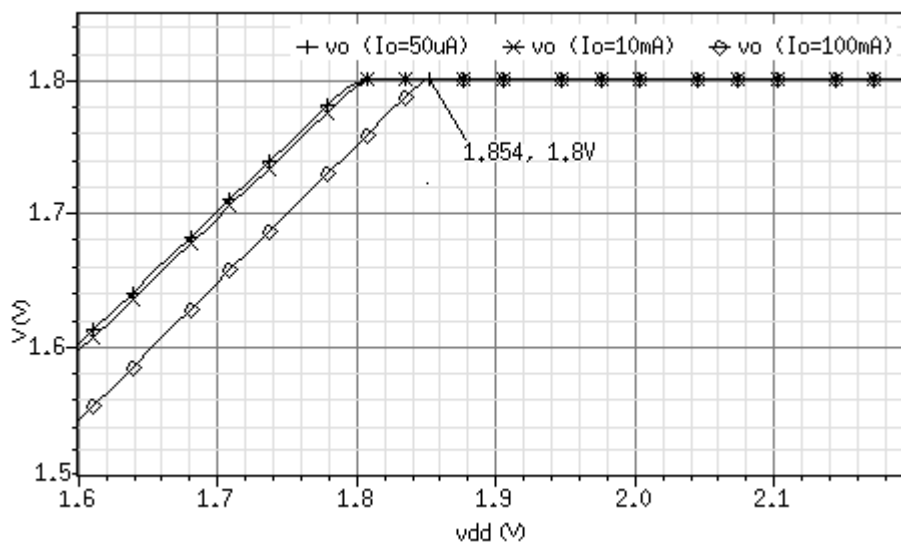


图 6-3 无电容型 LDO Dropout 电压降特性

图 6-3 所示为 LDO 稳压器的 Dropout 电压特性仿真结果。设计中该参数越小，意味着一是稳压器的输入可以越小，即输入接近于输出也可正常工作；二是低压差工作可减小功耗，这两点使 LDO 可延长电池的工作时间。这里仿真是在输出电压 1.8V，

负载电流分别为 50 $\mu$ A、10mA、100mA 三种情况下进行的。负载电流为 100mA 时是整个电路工作的最苛刻情况。由图中我们可以看到，输入电压一旦低于 1.85V，则输出电压无法保持在 1.8V，即 LDO 稳压器超出了其调整区，此时输入输出电压之差就为最小 Dropout 电压，约为 50mV，满足设计 Dropout 电压小于 200mV 的要求。当负载电流更小时，从仿真波形可以看出，LDO 的电压降更小，几乎接近于 0V。可见，本文选择稍微大一些的调整管尺寸，有助于降低 LDO 系统功耗，提高供电效率。

图 6-4 扫描了从 -40 至 85 温度下的输出电压特性。可得温度系数为：

$$TC = \frac{\Delta V_o}{V_o \Delta T} = \frac{1.8014 - 1.7924}{1.8 \times (85 + 40)} = 40 \text{ ppm}/^\circ\text{C}$$

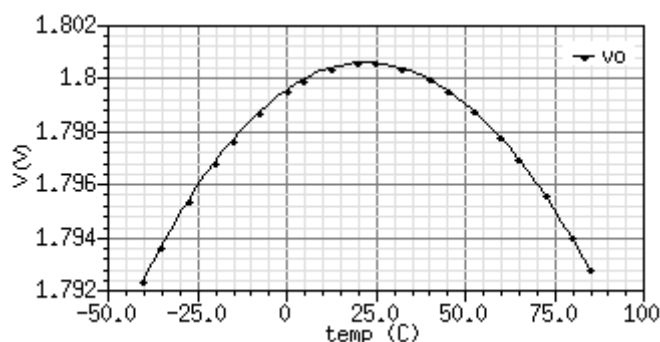


图 6-4 无电容型 LDO 输出电压的温度特性

## 6.2 瞬态特性仿真与分析

LDO 的瞬态性能是衡量其动态调整能力好坏的重要标准，尤其是线性瞬态响应和负载瞬态响应更是决定了 LDO 稳压器的适用范围。

图 6-5 为瞬态增强无电容型 LDO 的线性瞬态响应曲线。当电源电压从 2V 跳变到 3.3V 时，引起的 LDO 输出电压过冲最高值为 20mV；当电源电压从 3.3V 跳变到 2V 时，引起的 LDO 输出电压过冲最高值为 12mV。可见，由于电压瞬态变化造成的输出电压波动并不严重。

图 6-6 所示为瞬态增强无电容型 LDO 的负载瞬态响应曲线。当负载电流在 1 $\mu$ s 内从 50 $\mu$ A 跳变至 100mA 时，引起的 LDO 输出电压跌落为 60mV；当负载电流在 1 $\mu$ s 内从 100mA 跳变至 50 $\mu$ A 时，引起的 LDO 输出电压峰值为 90mV。



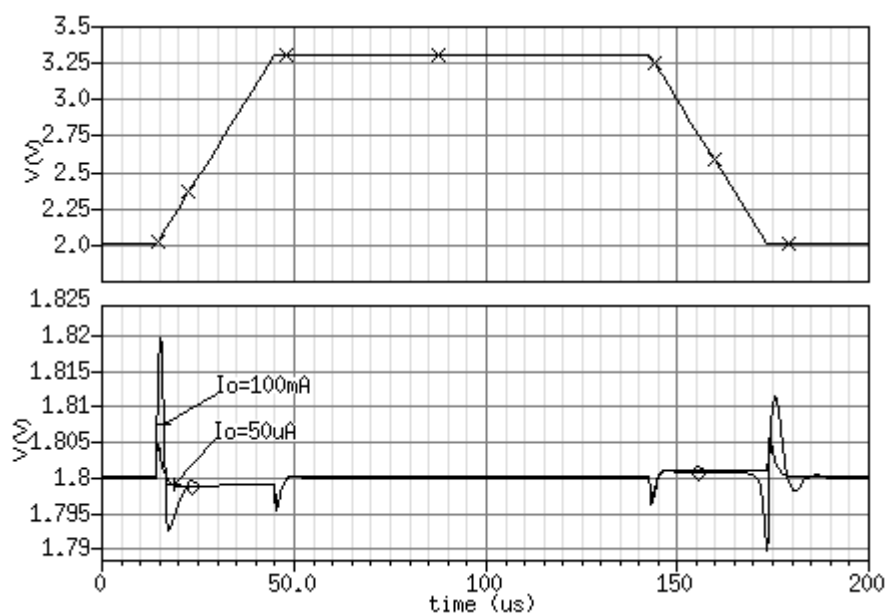


图 6-5 无电容型 LDO 线性瞬态响应曲线

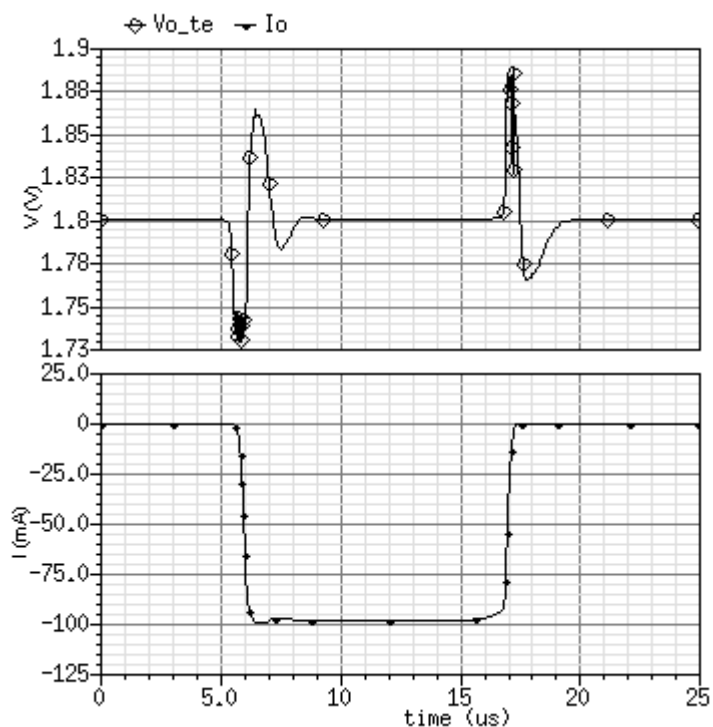


图 6-6 无电容型 LDO 负载瞬态响应曲线

图 6-7 给出了是否增加瞬态增强环节的两种无电容型 LDO 的负载瞬态响应波形对比图。图中， $V_{o\_ini}$  表示的是原始无电容型 LDO 的负载瞬态响应， $V_{o\_te}$  表示的是瞬态增强的无电容型 LDO 负载瞬态响应。将其局部放大，其中负载电流由小变大时的输出电压波形比较见图 6-8，负载电流由大变小时的输出电压波形比较见图 6-9。

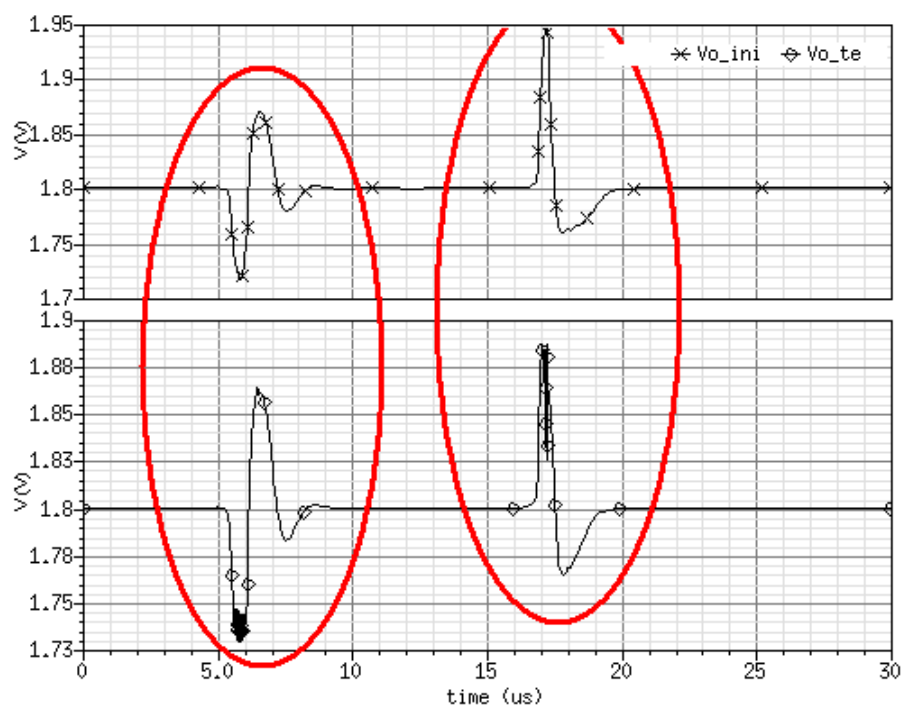


图 6-7 有无瞬态增强环节的两种无电容型 LDO 负载瞬态响应对比图

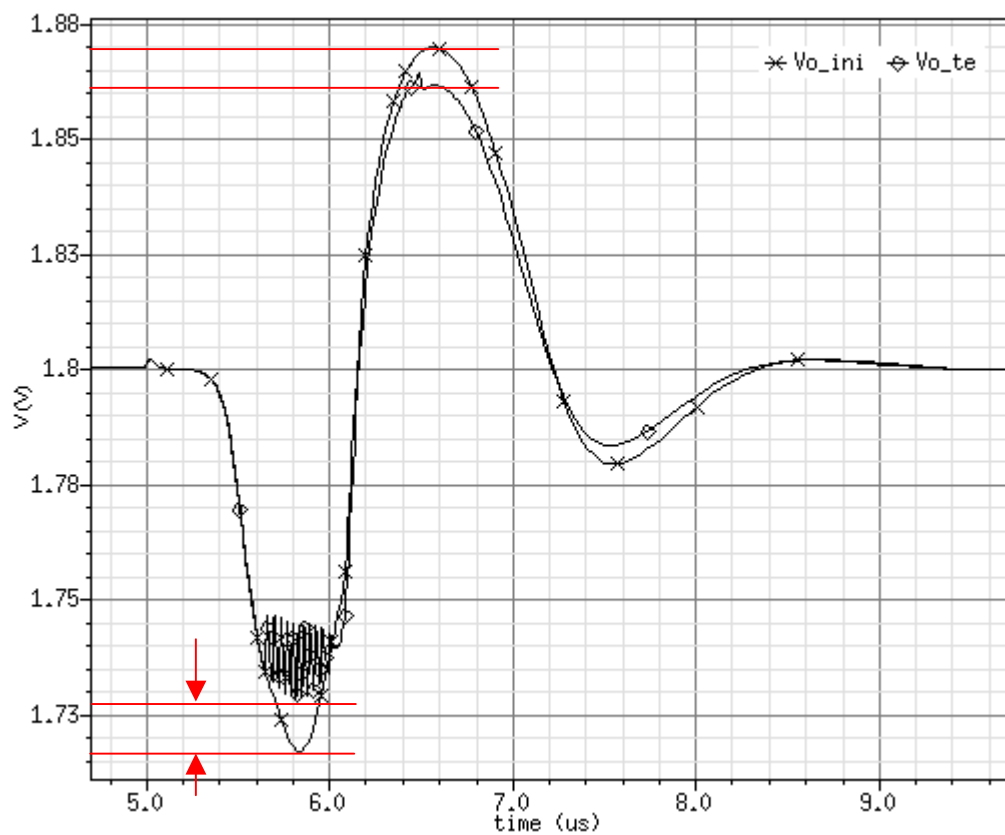


图 6-8 负载电流变大时的负载瞬态响应对比波形

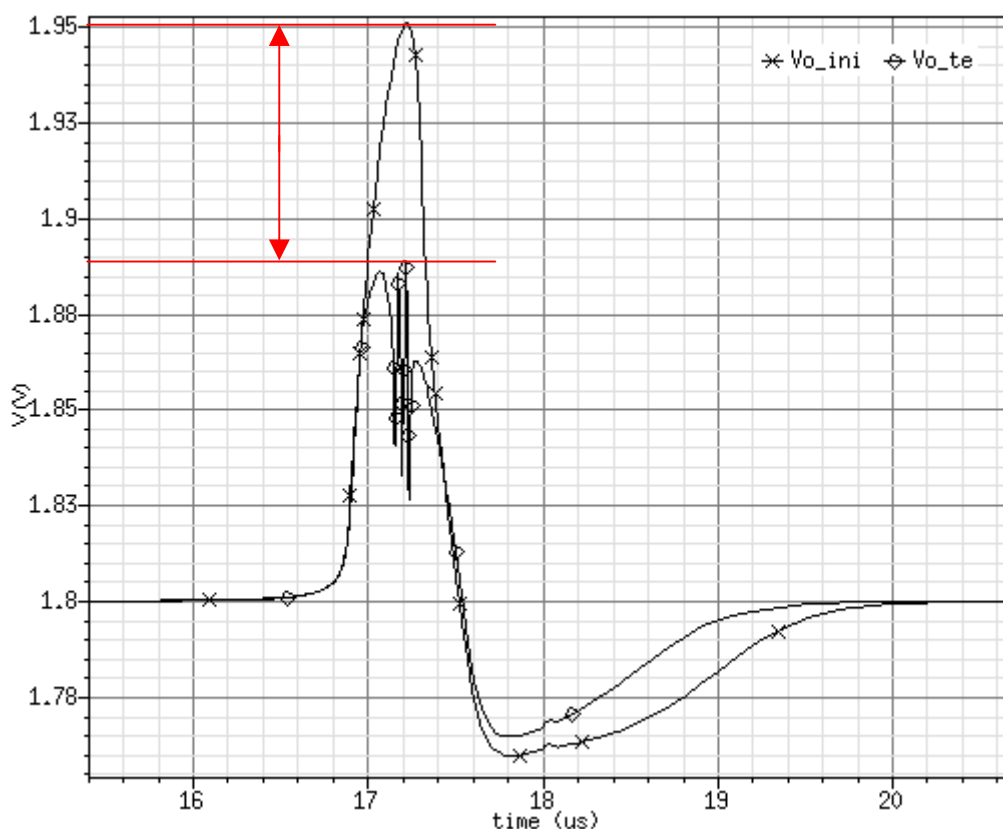


图 6-9 负载电流变小时的负载瞬态响应对比波形

由图 6-8 可知，通过瞬态增强环节，使得负载电流变大时引起的输出电压过冲量比原始无电容型 LDO 小 8mV，使得最终的负载瞬态响应过冲值低于 60mV。

图 6-9 可知，通过瞬态增强环节，使得负载电流变小时引起的输出电压过冲量比原始无电容型 LDO 小 60mV，使得最终的负载瞬态响应过冲值低于 90mV。

### 6.3 交流特性仿真与分析

在 LDO 线性稳压器的交流特性分析中，主要关注电路的相位裕度和电源抑制比 (PSRR)。其中相位裕度的仿真，在第五章中已给出了未增加瞬态增强环节的原始无电容型 LDO 的仿真波形，在增加瞬态增强环节之后，对原环路稳定性无任何影响，即有无瞬态增强环节，其相位裕度波形相同。因此，本节只给出整体电路的 PSRR 仿真波形。

图 6-10 所示为 LDO 对输入电源纹波抑制的仿真结果。仿真分为轻负载和重负载两种情况：轻负载电流时，低频时的电源抑制比高达 105dB，100 Hz 时电源抑制能力

开始下降；满负载电流时，低频时的电压抑制比达到 80dB，在 10kHz 时电源抑制能力开始下降。在 100kHz 的频率范围内，所有负载电流范围内 PSRR 均超过 30dB。无论是轻负载电流，还是重负载电流，当电源的频率超过 1MHz 之后，电源抑制能力下降到 0dB，这是由于无电容型 LDO 本身的结构所限制的。

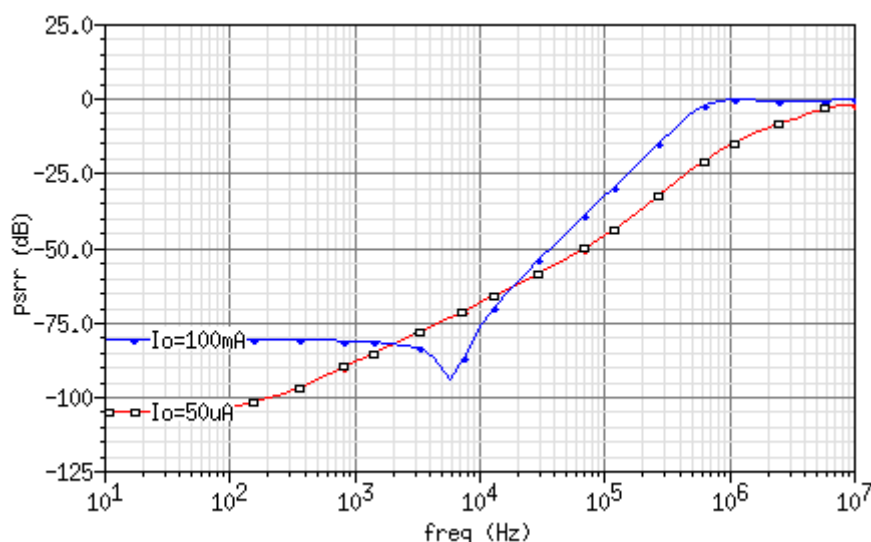


图 6-10 电源纹波抑制特性

## 6.4 小结

本文采用了文献[43]中的 DFC 单元来改善环路瞬态响应和稳定性，设计了更简化和低成本的频率补偿策略，得到了更大的带宽（比文献[43]高一个数量级）和更宽的稳定输出电流范围（系统能稳定工作的最低输出电流比文献[43]小一个数量级以上），从而大大减少了系统的动态调整时间和输出电压过冲量，同时放宽 LDO 稳定工作条件的负载电流限制。而通过增加一种基于简单电压比较的瞬态增强电路环，进一步改进了无电容型 LDO 的瞬态特性，现将两者以及文献[43]的结果比较于表 6-1。与原电路相比，本文改进之后得到更低的电压降、更小的密勒补偿电容、更低的负载瞬态变化过冲量：

- （1）本文设计的 LDO 电压差更低，在满负荷电流（100mA）时达到 50mV 的超低电压差，能更有效的节省 LDO 自身功耗。
- （2）负载电流低至 50 $\mu\text{A}$  时，环路依然稳定工作。
- （3）在更大的负载电流范围内，有更好的瞬态电压过冲量。

(4) 具有较高的输出电压精度和更好的电源抑制特性。

(5) 需要更小的片内密勒补偿电容，能有效节省芯片面积。

(6) 无需外接电容就能实现稳定，为 SoC 分布式局部供电的实现提供了低成本解决方案，减少了片外元件的使用。

表 6-1 LDO 系统性能汇总

Item	Ka Nang Leung's LDO in <sup>[43]</sup>	Proposed LDO	
		With TE	Without TE
Technology	0.6 $\mu$ m CMOS	0.25 $\mu$ m CMOS	
Threshold Voltage (V)	$V_{TN} \approx  V_{TP}  \approx 0.85$	$V_{TN} = 0.434V$ $V_{TP} = -0.563V$	
Supply Voltage (V)	1.5 to 4.5	2 to 3.3	
Output Voltage (V)	1.3	1.8	
Miller Capacitance	About 12pF	0.2pF	
Output Capacitance	0 to 10 $\mu$ F	10pF	
Temperature Coefficient (ppm/ )	38	40	
Supply Current ( $\mu$ A)	38	44	40
Dropout Voltage (mV)	200mV@100mA	50mV@100mA	
Max Overshot voltage (mV )	85mV@ 10mA to 100mA	60mV@ 50 $\mu$ A to 100mA	80mV@ 50 $\mu$ A to 100mA
Max Overshot voltage (mV )	95mV@ 100mA to 10mA	90mV@ 100mA to 50 $\mu$ A	150 mV @ 100mA to 50 $\mu$ A
Max Error due to Line and Load changes	$\pm 0.25\%$	0.039%	
Settling time ( $\mu$ s) @ worst case	2.0@ 100mA to 10mA	3.5 @ 100mA to 50 $\mu$ A	
PSRR (Iout=100mA)	-60dB@10Hz	-80dB@10Hz	
	-60dB@1kHz	-80dB@1kHz	
	-30dB@1MHz	-35dB@100kHz	

## 7 总结和展望

为设计一种应用于 SoC 系统中的无电容型瞬态增强 LDO 电路, 本文围绕无电容型 LDO 的瞬态特性、无电容型 LDO 的稳定性、模拟集成电路的设计流程、LDO 的基本设计指标等四个主要方面进行了研究。

(1) 研究了无电容型 LDO 的瞬态响应特性。传统 LDO 的输出大电容可以保证负载突然变换时输出电压的相对恒定, 无电容型 LDO 的瞬态特性大大变差。作为对比, 本文首先研究了传统 LDO 的瞬态响应特性, 重点研究了无电容型 LDO 的瞬态特性, 分析了所有影响瞬态特性的因素。基于影响无电容型 LDO 负载瞬态特性的几个因素, 提出了一种新的无电容型 LDO 的瞬态增强方法来最大调整管栅极等效电容的 SR 电流。该方法基于基本运算放大器、基本反向器、推挽输出级, 在 LDO 负载瞬态变化时增大调整管栅极的 SR 电流, 从而有效改善无电容型 LDO 的瞬态响应特性。

(2) 研究了无电容型 LDO 的环路稳定性。传统 LDO 依靠输出大电容的 ESR 电阻产生一个左半平面零点, 以保持 LDO 的环路稳定性。无电容型 LDO 无法使用输出大电容, 也无法利用 ESR 电阻进行零点补偿。基于三级运放的频率补偿方法, 本文提出了一种改进的 DFC 频率补偿方法, 通过设计合适的密勒补偿电容和 DFC 环节增益来配置系统的零极点位置, 使得无电容型 LDO 在单位增益带宽以内只有一个主极点, 保证了负载在大范围变化时的系统稳定性。

(3) 研究了模拟集成电路的设计流程。研究了模拟集成电路的模型类别, 重点研究了基于宏模型的模拟集成电路设计流程。给出了运算放大器的详细宏模型设计方法, 并基于该模型, 提出了“宏模型 + 晶体管级电路”的混合宏模型, 有助于提高模拟集成电路的设计效率。

(4) 研究并总结了 LDO 的设计指标。研究了 LDO 的每一个设计指标, 给出每一个指标的含义、产生原因以及各指标的相互关系, 更新和修正了部分设计指标的详细表达式。基于对 LDO 指标的分析, 汇总了 LDO 设计指标的折衷关系。

基于以上研究内容, 设计了一款基于 HHNEC 0.25 $\mu\text{m}$  CMOS 工艺的瞬态增强无电容型 LDO 芯片。给出了详细的设计流程, 包括芯片规格定义、模块划分和指标推导及确定、混合模型验证各模块指标、晶体管级电路设计、仿真和验证。

本文的主要创新点主要体现在如下五点：

(1) 提出了一种基于简单电压比较的无电容型 LDO 瞬态增强措施。该方法基于基本运算放大器、基本反向器、推挽输出级，在 LDO 负载瞬态变化时增大调整管栅极的 SR 电流，有效改善无电容型 LDO 的瞬态响应特性。

(2) 提出了一种改进的无电容型 LDO 频率补偿方式，通过设计合适的密勒补偿电容和 DFC 环节增益，使得无电容型 LDO 在单位增益带宽以内只有一个主极点，在很大的负载电流范围内提高了系统稳定性，同时保证了环路良好的瞬态特性。

(3) 提出并实现了一种基于“混合宏模型”的模拟集成电路设计流程。对复杂电路建立宏模型，简单电路直接使用晶体管级电路，建立“混合宏模型”。通过“混合宏模型”确定模拟电路各模块设计指标，依靠“混合宏模型”的仿真结果指导晶体管级电路的设计。

(4) 研究了 LDO，特别是无电容型 LDO 的瞬态特性、环路稳定性、PSRR 等特性，在总结前人研究成果的基础上，改进了各种特性的设计思路和分析模型。建立了详细的 LDO 设计指标。

(5) 设计并实现了一款高性能的无电容型 LDO 芯片。

尽管本文深入研究并实现了一个具有瞬态增强特性的无电容型 LDO 电路，并应用到了一颗大规模 SoC 中，但依然存在着需要改进和完善的地方，还可以深入研究并发掘新的研究课题。归纳一下，还可以从以下方面来完善瞬态增强的无电容型 LDO 的分析和设计。

(1) 本文设计的瞬态增强无电容型 LDO 是一颗大型 SoC 芯片的一部分，没有作为一颗芯片单独进行验证。后期可以单独流片并测试其各项性能指标，完善并形成一个可以配置的硬 IP 核。

(2) 本电路基于 HHNEC 0.25 $\mu\text{m}$  CMOS 工艺完成。随着半导体工艺的发展，芯片的特征尺寸、电源电压都会进一步缩小。在新的工艺下，文中提出的电路结构可能不再适用。模拟电路的低电压设计是今后的研究方向。

(3) 本文提出的设计方法先进，但具体电路构成和参数设置还可以进一步优化，比如芯片的静态电流还需进一步降低。

(4) 由于电路结构的限制，本文提出的瞬态增强无电容型 LDO 无法工作在零负载电流的情况。为解决该问题，还需从电路结构上进行改进。

## 致 谢

本研究工作和论文是在导师邹雪城教授的悉心指导下完成的。邹老师渊博的知识、严谨的治学态度、踏实的工作作风、平易近人的处事风格和豁达的胸襟让我受益良多。从邹老师的言传身教中，我不仅开阔了学术视野和思路，掌握了科学研究的方法，更体会到了为人处事的道理。在此，谨向邹老师表示我最崇高的敬意和最真心的感谢！

感谢刘三清教授，是刘老师带领我进入模拟集成电路设计的大门。感谢我的副导师雷鑑铭副教授在我选题以及研究过程中的指导和帮助。感谢超大规模集成电路与系统研究中心的张科峰副教授、刘政林副教授、陈晓飞博士、余国义博士、刘冬生博士、郑朝霞老师给我的工作提出的宝贵意见、指导帮助；感谢武汉集成电路设计工程技术研究中心刘增辉先生、杨琳女士以及其他同事们给予我的支持和帮助；感谢武汉亚芯微电子有限公司童建农博士和徐维峰先生给予的指导和帮助。

感谢余华师兄、曾永红、刘欢、王鲜、朱建华等博士生同学在我的学习和生活上给予的极大帮助和照顾。感谢杨诗洋、黄东栩、童志强、吴大军、李思臻、余凯、简文翔、李岩、胡渊、代小伍、李朝培、古安强等师弟师妹与我一起分享着项目研发过程中的酸甜苦辣。

我由衷地感谢为我日夜操劳并一贯支持我学业和事业的父亲母亲以及岳父岳母，没有你们的帮助和支持，我无法顺利完成自己的学业。

最后，我要感谢我的爱人金燕云，正是你的任劳任怨和无私付出，我才能顺利完成博士学业，正是你的关心和理解，我才觉得生活是如此美妙！最后，还有我们爱情的结晶——铭瑗，你将是我不懈努力奋斗的力量源泉！

邹志革

2008 年 5 月 1 日于华工园



## 参考文献

- [1] S. Asai, Y. Wada. Technology challenges for integration near and below 0.1  $\mu\text{m}$ . in Proceedings of the IEEE. 1997. 505 - 520.
- [2] R. Gonzalez, B.M. Gordon, M.A. Horowitz. Supply and threshold voltage scaling for low power CMOS. IEEE Journal of Solid-State Circuits, 1997, 32(8): 1210 - 1216.
- [3] Kiat-Seng Yeo, Samir S. Rofail. 低压低功耗 CMOS/BiCMOS 超大规模集成电路. 北京: 电子工业出版社. 2003 年 7 月. 2-7.
- [4] 邹志革, 邹雪城, 黄峰. 低压低功耗模拟集成电路设计技术及展望. 微电子学, 2006, 36(1): 60-65.
- [5] J.W. Fattaruso. Low-voltage analog CMOS circuit techniques. in VLSI Technology, Systems, and Applications, 1999. International Symposium on. 1999 286 - 289.
- [6] Chunlei Shi, B.C. Walker, E. Zeisel, et al.. A Highly Integrated Power Management IC for Advanced Mobile Applications. Solid-State Circuits, IEEE Journal of, 2007, 42(8): 1723 - 1731
- [7] Teofilo V L, Merritt L V, Hollandsworth R P. Advance Lithium-ion Battery Charger. IEEE Aerospace and Electronics Systems Magazine, 1997(12): 30-36.
- [8] Elias M F, Nor F M, Arof A K. Design of Smart Charger for Series Lithium-ion Batteries. Power Electronics and Drives System, 2005(2): 1485-1490.
- [9] Chia-Chun Tsai, Chin-Yen Lin, Yuh-Shyan Hwang, et al. A Multy-mode LDO-based Li-ion Battery Charger in 0.35 $\mu\text{m}$  CMOS Technology. in The 2004 IEEE Asia-Pacific Conference on Circuits and Systems. Taipei, TW: IEEE. 2004. 49-52.
- [10] Maxim. Selecting LDO Linear Regulators for Cellphone Designs 2001 [cited; APPLICATION NOTE 898]. Available from: [http://www.maxim-ic.com.cn/appnotes.cfm/an\\_pk/898](http://www.maxim-ic.com.cn/appnotes.cfm/an_pk/898).
- [11] D. Brooke, M. Plankensteiner. Integration of power and audio systems. Communications Engineer, IEE, 2003, 1(4): 32 - 35

- [12] S. Abedinpour, I. Deligoz, J. Desai, et al. Monolithic supply modulated RF power amplifier and DC-DC power converter IC. in Radio Frequency Integrated Circuits (RFIC) Symposium, 2003 IEEE: IEEE. 2003. 603 - 606
- [13] 刘冬生. 射频识别标签芯片关键技术的研究与实现: [博士学位论文]. 武汉: 华中科技大学. 2007. 85-90.
- [14] Dallas Semiconductor/Maxim. Selecting LDO linear regulators for cellphone designs. [cited; Application Note 898]. Available from: [http://www.maxim-ic.com/appnotes.cfm/appnote\\_number/898](http://www.maxim-ic.com/appnotes.cfm/appnote_number/898).
- [15] Jae-Youl Lee, Sung-Eun Kim, Seong-Jun Song, et al.. A Regulated Charge Pump With Small Ripple Voltage and Fast Start-Up Solid-State Circuits, IEEE Journal of, 2006, 41(2): 425 - 432
- [16] Simon S A. Power switching converter. 1995, New York: Marcel Dekker Press Inc. 41~47.
- [17] B.K. Bose, A. Banerjee Choudhury. New d.c.-d.c. convertor using square-loop cores and transistors. Electronics Letters, 1970, 6(1): 21 - 22
- [18] Maxim. Trading Performance for Cost in Portable Power Supplies. 2000 [cited; APPLICATION NOTE:]. Available from: [http://www.maxim-ic.com.cn/appnotes.cfm?an\\_pk=269](http://www.maxim-ic.com.cn/appnotes.cfm?an_pk=269).
- [19] TI. TPS61130 Datasheet. 2003 [cited; Available from: <http://www.ti.com>.
- [20] On Semiconductor. NCP1501 Datasheet: Dual Mode PWM/Linear Buck Converter. 2004 [cited; Available from: <http://www.onsemi.com>.
- [21] 赖凡. 低压差电压调节器技术发展动态. 微电子学, 2004, 34(4): 416-419.
- [22] Sai Kit Lau, Philip K. T. Mok, Ka Nang Leung. A Low-Dropout Regulator for SoC With Q-Reduction. IEEE Journal of Solid-State Circuits, 2007, 42(3): 658-664.
- [23] Akira Yamazaki, Kouhei Yamada, Satoshi Sugahara. A Frequency Compensation Technique for Variable Output Low Dropout Regulators. in Circuits and Systems, 2006. APCCAS 2006. IEEE Asia Pacific Conference on. 2006. 1595 - 1598
- [24] BROADCOM. BCM59001 Datasheet. 2006 [cited; Available from: <http://www.broadcom.com>.

- [25] National Semiconductor Inc. LP3970 Datasheet - Power Management Unit for Advanced Application Processors- 2006 [cited; Available from: [www.national.com/pf/LP/LP3970.html](http://www.national.com/pf/LP/LP3970.html)]
- [26] Vik Sangha. 3G 手机电源管理的设计挑战. 2006 10 月 24 日 [cited; Available from: <http://www.powersystems.eetchina.com>].
- [27] Wei. Chen, Wing-Hung Ki, Philip K. T. Mok, et al.. Switched-Capacitor Power Converters with Integrated Low Dropout Regulators. IEEE Symposium on Circuit and Systems, 2001, 2: 293-296.
- [28] 孙天威. 一种线性电荷泵稳压电路的设计: [硕士学位论文]. 长春: 吉林大学. 2006. 1-70.
- [29] P. R. Gray, P. J. Hurst, S. H. Lewis, et al.. Analysis And Design of Analog Integrated Circuits. 4th edition ed. 2001, New York: John Wiley. 6-86.
- [30] F. Goodenough. Low Dropout Linear Regulators. Electronic Design, 1996: 65-77.
- [31] G. A. Rincon-Mora, P. E. Allen. A low-voltage, low quiescent current, low drop-out regulator. IEEE J. Solid-StateCircuits, 1998, 33(1): 36-44.
- [32] W.-J. Huang, S.-I. Liu. Sub-1V capacitor-free low-dropout regulator. ELECTRONICS LETTERS, 2006, 42(24): 1-2.
- [33] R. Tantawy, E.J. Brauer. Performance evaluation of CMOS low drop-out voltage regulators. in Circuits and Systems, MWSCAS '04. The 2004 47th Midwest Symposium on. 2004. I - 141-4.
- [34] 时昕, 王东辉, 侯朝焕. 深亚微米 SoC 中的电源/地网络设计. 微电子学与计算机, 2004, 21(12): 198-206.
- [35] K. Itoh. Trends in megabit DRAM circuit design. in VLSI Technology, Systems and Applications, 1989. Proceedings of Technical Papers. 1989 International Symposium on. Taipei, Taiwan: IEEE. 1989. 21 - 27
- [36] Seung-Chul Lee, Young-Deuk Jeon, Kwi-Dong Kim, et al. A 10b 205MS/s 1mm2 90nm CMOS Pipeline ADC for Flat-Panel Display Applications. in Solid-State Circuits Conference, 2007. ISSCC 2007. Digest of Technical Papers. IEEE International. San Francisco, CA. 2007. 458 - 615

- [37] 张涛. 锁相环频率合成器的研究与设计: [博士学位论文]. 武汉: 华中科技大学. 2006. 2-8.
- [38] 胡建赞, 何艳. 低压降 CMOS 稳压器的电源噪声抑制分析. 微电子学, 2006, 36(6): 34-37.
- [39] 马勋, 张波. LDO 降压转换器的稳定性分析. 微电子学, 2004, 34(2): 142-145.
- [40] K. N. Leung, P. K. T. Mok, W. H. Ki. A novel frequency compensation technique for low-voltage low-dropout regulator. in in Proc. IEEE Int. Symp. Circuits Systems. 1999. 102-105.
- [41] Everett Rogers. Stability analysis of low-dropout linear regulators with a PMOS pass element. Texas Instruments Incorporated, Power Management, 1999: 10-12.
- [42] K. C. Kwok, P. K. T. Mok. Pole-Zero Tracking Frequency Compensation for Low Dropout Regulator. in IEEE International Symposium on Circuits and Systems. 2002. 735-738.
- [43] K. N. Leung, P. K. T. Mok. A capacitor-free CMOS low-dropout regulator with damping-factor-control-frequency compensation. IEEE J. Solid-State Circuits, 2003, 38(10): 1691-1702.
- [44] Wei-Jen Huang, Sao-Hung Lu, Shen-luan Liu. A Capacitor-free CMOS Low Dropout Regulator with Slew Rate Enhancement. in VLSI Design, Automation and Test, 2006 International Symposium on. 2006. 1 - 4.
- [45] Hsuan-I Pan, Chin-Hung Cheng, Chern-Lin Chen, et al.. A CMOS Low Dropout Regulator Stable With Any Load Capacitor. IEEE, 2004: 266-269.
- [46] Robert J. Milliken, Jose Silva-Martinez, Edgar Sánchez-Sinencio. Full On-Chip CMOS Low-Dropout Voltage Regulator. IEEE Transactions on Circuits and Systems - I: REGULAR PAPERS, 2007, 54(9): 1879-1890.
- [47] TOKO Inc. TK681XXAMF Datasheet. 2007 [cited; Available from: [http://www.toko.co.jp/products/en/ic/tk681xxamf\\_e.html](http://www.toko.co.jp/products/en/ic/tk681xxamf_e.html)].
- [48] Shan Yuan, B.C. Kim. Low dropout voltage regulator for wireless applications. IEEE, 2002, 2: 421 - 424
- [49] Robert Jon Milliken. A capacitor-less Low Drop-out Voltage Regulator with Fast

- Transient Response: [PHD Thesis]. TX: Texas A&M University. 2005. 103.
- [50] Jia Luo, Issa Batarseh, X.F. Gao, et al. . Transient Current Compensation for Low-voltage High-current Voltage Regulator Modules. IEEE J. Solid-StateCircuits, 2002: 223-228.
  - [51] Tsz Yin Man, Philip K. T. Mok, Mansun Chan. A High Slew-Rate Push-Pull Output Amplifier for Low-Quiescent Current Low-Dropout Regulators with Transient-Response Improvement. Transactions on Circuits and Systems-II: Express Briefs, 2007, 54(9): 755-759.
  - [52] Gabriel A. Rincon-Mora. Current efficient, low voltage, low dropout regulators. Electrical Engineering. Georgia: Georgia Institute of Technology. 1996. 198.
  - [53] Bang S. Lee. Understanding the stable range of equivalent series resistance of an LDO regulator. Texas Instrument Incorporated, Analog Applications Journal, 1999(11): 14-16.
  - [54] G. A. Rincon-Mora, P. E. Allen. Optimized frequency-shaping circuit topologies for LDO's. IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process, 1998, 45(6): 703-708.
  - [55] G. A. Rincon-Mora. Active capacitor multiplier in Miller-compensated circuits. IEEE J. Solid-State Circuits, 2000, 35(1): 26-32.
  - [56] Tsz-Fai Kwok, Wing-Hung Ki. A stable compensation scheme for low dropout regulator in the absence of ESR. in 33rd European Solid State Circuits Conference, 2007. ESSCIRC. Munich, Germany. 2007. 416 - 419
  - [57] D. Heisley, B. Wank, DMOS delivers dramatic performance gainsto LDO regulators. EDN, 2000, 45: 141–150.
  - [58] O. Chevalerias, F. Rodes, K. Salmi, et al. . 4-V 5-mA low drop-out regulator using series-pass N-channel MOSFET. Electron. Lett., 1999, 35: 1214–1215.
  - [59] 陈东坡, 何乐年, 严晓浪. 一种低静态电流、高稳定的 LDO 线性稳压器. 电子与信息学报, 2004, 28(8): 1526-1529.
  - [60] C.-L. Chen, W.-J Huang, S.-I. Liu. CMOS low dropout regulator with dynamic zero compensation. Electronics Letters, 2007 43(14): 234-235.

- [61] Ka Nang Leung, Philip K. T. Mok, Sai Kit Lau. A low-voltage CMOS low-dropout regulator with enhanced loop response. in IEEE ISCAS. 2004. 385-388.
- [62] Liangguo Shen, Zushu Yan, Xing Zhang, et al. Design of High-Performance Voltage Regulators Based on Frequency-Dependent Feedback Factor. in Circuits and Systems, 2007. ISCAS 2007. IEEE International Symposium on 2007. 3828 - 3831.
- [63] M. Loikkanen, J. Kostamovaara. A Capacitor-Free CMOS Low-Dropout Regulator in Circuits and Systems, 2007. ISCAS 2007. IEEE International Symposium on. New Orleans. 2007. 1915 - 1918
- [64] Bang S. Lee. Technical Review of Low Dropout Voltage Regulator Operation and Performance. Texas Instrument Application Report-SLVA072 1999. 1-24
- [65] Bang S. Lee, Understanding the Terms and Definitions of LDO Voltage Regulators. Texas Instrument Application Report, 1999, SLVA079: 210-216.
- [66] 徐研训. Low Operation Current Analog Integrated Circuits: [PHD Thesis]. Hsinchu, Taiwan: National Chiao-Tung University. 2002. 124.
- [67] John C. Teel. Understanding the load-transient response of LDOs. Analog Applications Journal, Texas Instruments Incorporated, 2005(2q): 5-7.
- [68] V. Gupta, G.A. Rincon-Mora, Prasun Raha. Analysis and design of monolithic, high PSR, linear regulators for SoC applications. in IEEE Intl. SoC Conf. Santa Clara. 2004. 311-315.
- [69] Kenneth R. Laker, Willy M. C. Sansen. Design of Analog Integrated Circuits and Systems. 1 ed. 1994, NY: McGraw-Hill, Inc. 35-42.
- [70] 毕查德·拉扎维著. 模拟 CMOS 模拟集成电路设计. 1st ed. 陈贵灿, 程军, 张瑞智等译. 西安: 西安交通大学出版社. 2003. 312-319.
- [71] G.R. Boyle, B.M. Cohn, D.O. Pederson, et al.. Macromodeling of Integrated Circuit Operational Amplifiers. IEEE Journal of Solid-State Circuits, 1974, SC-9(6): 353-363.
- [72] R. Mark Stitt Hubert Biagi, Bonnie Baker, Stephan Baier. Burr-Brown SPICE Based Maromodels. Burr-Brown: Application Bulletin 1995 [cited; Available from: <http://www.ti.com>].

- [73] Cadence. 芯片集成设计流程——全定制设计流程. 2006. [cited; Available from: <http://www.cadence.com.cn>.
- [74] Rob A. Rutenbar, Georges G. E. Gielen, Jaijeet Roychowdhury. Hierarchical Modeling, Optimization, and Synthesis for System-Level Analog and RF Designs. *Proceedings of the IEEE*, 2007, 95(3): 640-669.
- [75] G. Gielen, R. Rutenbar. Computer-aided design of analog and mixed-signal integrated circuits. *Proceeding of the IEEE*, 2000, 88(12): 1825-1854.
- [76] 刘帘曦, 杨银堂, 朱樟明等. 基于 Verilog-A 行为描述模型的 VCO 设计. *电路与系统学报*, 2005 10 (6): 25-28.
- [77] P.Frey, D.O. Riordan. Verilog-AMS:Mixed-Signal Simulation and Cross Domain Connection Modules. in *Proc IEEE Behavioral Modeling and Simulation Conference(BMAS)*. 2000. 2132-2136.
- [78] Pratt Gray L. Behavioral Modeling with VHDL-AMS. in *System-on-chip and IP Design Conference*. Santa clara, California, USA. 2002. 253-256.
- [79] 王伟. 开关电流电路行为级模型方法研究 : [博士学位论文]. 上海: 复旦大学. 2002. 119.
- [80] A.P. Chandrakasan, S. Sheng, R.W. Brodersen. Low-power CMOS digital design. *Solid-State Circuits, IEEE Journal of*, 1992, 27(4): 473 - 484.
- [81] Avant! Star-Hspice Manual. 2001 June [cited; Release 2001.2:[Available from: <http://www.avanticorp.com>.
- [82] Phillip E Allen. Douglas R Holberg, *CMOS Analog Circuit Design*. 2002: Oxford University. 214-217.
- [83] Brian M. King, Understanding the Load-transient Response of LDOs. *Texas Instrument Incorporated: Analog Applications Journal*, November 2000: 20-23.
- [84] Mohammad Al-Shyoukh, Hoi Lee, Raul Perez. A Transient-Enhanced Low-Quiescent Current Low-Dropout Regulator With Buffer Impedance Attenuation. *IEEE Journal of Solid-State Circuits*, 2007, 42(8): 1732-1742.
- [85] Hoi Lee, P.K.T. Mok, Ka Nang Leung. Design of low-power analog drivers based on slew-rate enhancement circuits for CMOS low-dropout regulators. *Circuits and*

- Systems II: Express Briefs, IEEE Transactions on, 2005, 52(9): 563 - 567.
- [86] Frederic Demolli, Rognac. Low-dropout Voltage Regulator with a Voltage Slew Rate Efficient Transient Response Boost Circuit. USA: Atmel Corp. Patent: US7199565. 2007. 1-11.
  - [87] Gabriel A Rincon-Mora. Low-dropout Voltage Regulator Incorporating a Current Efficient Transient Response Boost Circuit. USA: TI, Dallas, Tex. USPTO. Patent: US6046577. 2000. 9.
  - [88] Socheat Heng, Cong-Kha Pham. Quick response circuit for low-power LDO voltage regulators to improve load transient response. in International Symposium on Communications and Information Technologies, 2007. ISCIT '07. 2007 28 - 33.
  - [89] Chung-Wei Lin, Yen-Jen Liu. A Power Efficient and Fast Transient Response Low Drop-Out Regulator in Standard CMOS Process. in International Symposium on VLSI Design, Automation and Test, 2006. 2006. 1 - 4
  - [90] Chung-Wei Lin. Low-Dropout Voltage Regulator. China: Industrial Technology Research Institute, Hsinchu (TW). USPTO. Patent: US7,218,087 B2. 2007. 6.
  - [91] 李海波. 基于带隙比较结构 LDO 的设计及其与外接电容无关的动态频率补偿技术的研究: [硕士学位论文]. 武汉: 华中科技大学. 2007. 79.
  - [92] Tsz Yin Man, Philip K. T. Mok, Mansun Chan. A High Slew-Rate Push-Pull Output Amplifier for Low-Quiescent Current Low-Dropout Regulators with Transient-Response Improvement. Transactions on Circuits and Systems-II: Express Briefs, 2007, 54(9): 755-759.
  - [93] A. Maity, R.G. Raghavendra, P. Mandal. On-chip voltage regulator with improved transient response. in VLSI Design, 2005. 18th International Conference on 2005. 2005. 522 - 527.
  - [94] P. Hazucha, T. Karnik, B. A. Bloechel, et al. . Area-efficient linear regulator with ultra-fast load regulation. IEEE J. Solid-State Circuits, 2005, 40(4): 933-940.
  - [95] C. Stanescu. Buffer stage for fast response LDO. in 2003 International Conference of Circuits and Systems, Sinaia, Romania. 2003 357-360.
  - [96] 邹志革, 邹雪城, 简文翔等. 弛张振荡器在高精度体温计芯片中的应用. 固体电



子学研究进展, 2008, 已录用.

- [97] ZOU Zhi-ge, ZOU Xue-cheng, JIAN Wen-xiang, et al. RS Trigger Based Relaxation Oscillator for Temperature Measurement Circuit. The Journal of China Universities of Posts and Telecommunications, 2008, Accepted.
- [98] ZOU Zhige, ZOU Xuecheng, DAI Xiaowu, et al. Novel Schmitt Trigger with Wide Temperature Range. Wuhan University Journal of Natural Sciences, 2008, Accepted.
- [99] 孙利民, 李建中. 无线传感器网络. 北京: 清华大学出版社. 2005. 15-50.
- [100] MIT's Technology Review Magazine, Emerging Technologies that will change the world. 2004: MIT.
- [101] Ka Nang Leung, Philip K. T. Mok. Three-Stage Large Capacitive Load Amplifier with Damping-Factor-Control Frequency Compensation. IEEE Transactions on Solid-State Circuits, 2000, 35(2): 221-230.
- [102] Ka Nang Leung, Philip K. T. Mok. Analysis of Multistage Amplifier-Frequency Compensation. IEEE Transactions on Circuits and Systems—I: FUNDAMENTAL THEORY AND APPLICATIONS,, 2001, 48(9): 1041-1056.
- [103] Peng Xiaohong. Low-Power High-Performance Multistage Amplifiers:[ Ph.D. Thesis]. Leuven,Belgium: Katholieke Universiteit Leuven. 2004. 96.
- [104] Willy M.C. Sansen. Analog Design Essentials. 2006, Dordrecht, Netherlands: Springer. 263-290.
- [105] R. G. H. Eschauzier, L. P. T. Kerklaan, J. H. Huijsing. Operational Amplifier with Multipath Nested Miller Compensation Structure. IEEE Journal of Solid-State Circuits, 1994, 35(12): 1709-1717.
- [106] A. D. Grasso, G. Palumbo, S. Pennisi. Three-Stage CMOS OTA for Large Capacitive Loads with Efficient Frequency Compensation Scheme. IEEE Transactions on Circuits and Systems I: Regular Papers, 2006, 53(10): 1044-1048.
- [107] R. G. Eschauzier, L. P. T. Kerklaan, J. H. Huijsing. A 100-MHZ 100-dB operational amplifier with multipath nested Miller compensation structure. IEEE Journal of Solid-State Circuits, 1992, 27(12): 1709-1717.
- [108] 王敏, 秦肖臻. 自动控制原理. 北京: 化学工业出版社. 2003. 55-57.

- [109] Hua Fan, Quanyuan Feng, Design of OTA based on LDO regulator. Gutu Dianzixue Yanjiu Yu Jinzhan/Research and Progress of Solid State Electronics, 2007, 27(1): 100-103.
- [110] Behzad Razavi. Design of Analog CMOS and Integrated Circuits. New York: McGraw-Hill. 2001. 22-89.
- [111] Rabaey Jan M. Digital Integrated Circuits: a design perspective. 1996, USA: Prentice-Hall International, Inc. 111-112.

## 附录 攻读学位期间发表论文及专利

### 学术论文：

- [1] **ZOU Zhi-ge**, ZOU Xue-cheng, JIAN Wen-xiang, et al. RS Trigger Based Relaxation Oscillator for Temperature Measurement Circuit. The Journal of China Universities of Posts and Telecommunications. Accepted.
- [2] **ZOU Zhige**, ZOU Xuecheng, DAI Xiaowu, et al. Novel Schmitt Trigger with Wide Temperature Range. Wuhan University Journal of Natural Sciences. Accepted.
- [3] **邹志革**, 邹雪城, 简文翔. 弛张振荡器在高精度体温计芯片中的应用. 固体电子学研究进展. 已录用
- [4] **邹志革**, 邹雪城, 雷鑑铭, 等. 基于低反馈电阻技术的 LED 照明驱动芯片设计. 华中科技大学学报. 2008, 36(1): PP26-28
- [5] **邹志革**, 邹雪城, 黄峰. 低压低功耗模拟集成电路设计技术及展望. 微电子学. 2006, 36(1), PP60-65

### 专利：

- [1] **邹志革**, 邹雪城, 雷鑑铭, 刘政林, 张科峰, 郑朝霞, 陈继明. 一种超低电压参考源, 发明专利, 申请号 200610125130.3, 公开号 CN101013332
- [2] **邹志革**, 黎明, 李文海, 刘尧, 竺明达, 邹雪城, 一种施密特触发器, 实用新型专利, 申请号 200820066742.4
- [3] 邹雪城, 张科峰, **邹志革**, 王潇, 田欢, 尹璐, 蹇海荣, 韩俊峰. 一种用于电源芯片的输出电压状态指示电路, 发明专利, 申请号 200710051214.1, 公开号 CN101005207
- [4] 邹雪城, 刘政林, 郑朝霞, **邹志革**, 詹昶. 一种单端输入的迟滞比较电路, 发明专利, 申请号 200610124854.6, 公开号 CN1949668
- [5] 邹雪城, 刘政林, 张科峰, 雷鑑铭, 郑朝霞, **邹志革**, 蹇海荣. 一种双环低压差线性稳压器电路, 发明专利, 申请号 200610124852.7, 公开号 CN1949121

- [6] 邹雪城, 刘政林, 张科锋, 孔令荣, 郑朝霞, **邹志革**, 曾子玉, 胡水根. 一种电平转换电路, 发明专利, 申请号 200610125384.5, 公开号 CN1972126

**著作：**

邹雪城, 雷鑑铭, **邹志革**, 刘政林 编著, VLSI 设计方法与项目实施, 北京: 科学出版社, 2007 年 8 月

# 瞬态增强的无电容型LDO设计

作者: [邹志革](#)  
学位授予单位: [华中科技大学](#)

相似文献(0条)

本文链接: [http://d.g.wanfangdata.com.cn/Thesis\\_D065762.aspx](http://d.g.wanfangdata.com.cn/Thesis_D065762.aspx)

下载时间: 2010年5月4日