

Chapter3

3. 考虑以下C语言程序代码：

```
int func1(unsigned word)
{
    return (int) (( word <<24) >> 24);
}
int func2(unsigned word)
{
    return ( (int) word <<24 ) >> 24;
}
```

假设在一个32位机器上执行这些函数，该机器使用二进制补码表示带符号整数。无符号数采用逻辑移位，带符号整数采用算术移位。请填写下表，并说明函数func1和func2的功能。

W		func1(w)		func2(w)	
机器数	值	机器数	值	机器数	值
0000 007FH	127	0000 007FH	+127	0000 007FH	+127
0000 0080H	128	0000 0080H	+128	FFFF FF80H	-128
0000 00FFH	255	0000 00FFH	+255	FFFF FFFFH	-1
0000 0100H	256	0000 0000H	0	0000 0000H	0

4. 填写下表，注意对比无符号数和带符号整数的乘法结果，以及截断操作前、后的结果。

模式	x		y		x×y (截断前)		x×y (截断后)	
	机器数	值	机器数	值	机器数	值	机器数	值
无符号数	110	6	010	2	001 100	12	100	4
二进制补码	110	-2	010	+2	111 100	-4	100	-4
有符号数	001	1	111	7	000 111	7	111	7
二进制补码	001	+1	111	-1	111 111	-1	111	-1
无符号数	111	7	111	7	110 001	49	001	1
二进制补码	111	-1	111	-1	000 001	+1	001	+1

5. 以下是两段C语言代码，函数arith()是直接C语言写的，而optarith()是对arith()函数以某个确定的M和N编译生成的机器代码反编译生成的。根据optarith()，可以推断函数arith()中M和N的值各是多少？

```
#define M
#define N
```

```

int    arith  (int x, int y)
{
    int result = 0 ;
    result = x*M + y/N;
    return result;
}
int optarith ( int x, int y)
{
    int t = x;
    x <<= 4;
    x -= t;
    if ( y < 0 ) y += 3;
    y >> 2;
    return x+y;
}

```

6 . 设 $A_4 \sim A_1$ 和 $B_4 \sim B_1$ 分别是四位加法器的两组输入， C_0 为低位来的进位。当加法器分别采用串行进位和先行进位时，写出四个进位 $C_4 \sim C_1$ 的逻辑表达式

9 . 已知 $x = 10$ ， $y = -6$ ，采用6位机器数表示。请按如下要求计算，并把结果还原成真值。

- (1) 求 $[x+y]_{\text{补}}$ ， $[x-y]_{\text{补}}$ 。
- (2) 用原码一位乘法计算 $[x \times y]_{\text{原}}$ 。
- (3) 用MBA (基4布斯) 乘法计算 $[x \times y]_{\text{补}}$ 。
- (4) 用不恢复余数法计算 $[x/y]_{\text{原}}$ 的商和余数。

用不恢复余数法计算 $[x/y]_{\text{补}}$ 的商和余数

11 . 在IEEE 754浮点数运算中，当结果的尾数出现什么形式时需要进行左规，什么形式时需要进行右规？如何进行左规，如何进行右规？

12 . 在IEEE 754浮点数运算中，如何判断浮点运算的结果是否溢出？

13 . 假设浮点数格式为：阶码是4位移码，偏置常数为8，尾数是6位补码 (采用双符号位)，用浮点运算规则分别计算在不采用任何附加位和采用2位附加位 (保护位、舍入位) 两种情况下的值。(假定对阶和右规时采用就近舍入到偶数方式)

- | | |
|--|--|
| (1) $(15/16) \times 2^7 + (2/16) \times 2^5$ | (2) $(15/16) \times 2^7 - (2/16) \times 2^5$ |
| (3) $(15/16) \times 2^5 + (2/16) \times 2^7$ | (4) $(15/16) \times 2^5 - (2/16) \times 2^7$ |

14 . 采用IEEE 754单精度浮点数格式计算下列表达式的值。

- | | |
|-------------------------|-------------------------|
| (1) $0.75 + (-65.25)$ | (2) $0.75 - (-65.25)$ |
|-------------------------|-------------------------|

15 . 假定十进制数用8421 NBCD码表示，采用十进制加法运算计算下列表达式的值，并讨论在十进制BCD码加法运算中如何判断溢出。

- | | |
|-------------------|-------------------|
| (1) $234 + 567$ | (2) $548 + 729$ |
|-------------------|-------------------|

16. 假定十进制数用8421 NBCD码表示，十进制运算 $673-356$ 可以采用 673 加上 (-356) 的模10补码实现。画出实现上述操作的3位十进制数的BCD码减法运算线路，列出线路中所有的输入变量和输出变量。

Chapter4

3. 已知某机主存空间大小为64KB，按字节编址。要求：

- (1) 若用 $1K \times 4$ 位的SRAM芯片构成该主存储器，需要多少个芯片？
- (2) 主存地址共多少位？几位用于选片？几位用于片内选址？
- (3) 画出该存储器的逻辑框图。

4. 用 $64K \times 1$ 位的DRAM芯片构成 $256K \times 8$ 位的存储器。要求：

- (1) 计算所需芯片数，并画出该存储器的逻辑框图。
- (2) 若采用异步刷新方式，每单元刷新间隔不超过2ms，则产生刷新信号的间隔是多少时间？若采用集中刷新方式，则存储器刷新一遍最少用多少读写周期？

6. 某计算机中已配有 $0000H \sim 7FFFH$ 的ROM区域，现在再用 $8K \times 4$ 位的RAM芯片形成 $32K \times 8$ 位的存储区域，CPU地址总线为 $A0-A15$ ，数据总线为 $D0-D7$ ，控制信号为 $R/W\#$ （读/写）、 $MREQ\#$ （访存）。要求说明地址译码方案，并画出ROM芯片、RAM芯片与CPU之间的连接图。假定上述其他条件不变，只是CPU地址线改为24根，地址范围 $000000H \sim 007FFFH$ 为ROM区，剩下的所有地址空间都用 $8K \times 4$ 位的RAM芯片配置，则需要多少个这样的RAM芯片？

7. 假定一个存储器系统支持4体交叉存取，某程序执行过程中访问地址序列为3, 9, 17, 2, 51, 37, 13, 4, 8, 41, 67, 10，则哪些地址访问会发生体冲突

6. 假定某机主存空间大小1GB，按字节编址。cache的数据区（即不包括标记、有效位等存储区）有64KB，块大小为128字节，采用直接映射和全写（write-through）方式。请问：

- (1) 主存地址如何划分？要求说明每个字段的含义、位数和在主存地址中的位置。
 - (2) cache的总容量为多少位？
6. 假定某计算机的cache共16行，开始为空，块大小为1个字，采用直接映射方式。CPU执行某程序时，依次访问以下地址序列：2, 3, 11, 16, 21, 13, 64, 48, 19, 11, 3, 22, 4, 27, 6和11。要求：
- (1) 说明每次访问是命中还是缺失，试计算访问上述地址序列的命中率。
 - (2) 若cache数据区容量不变，而块大小改为4个字，则上述地址序列的命中情况又如何？
6. 假定数组元素在主存按从左到右的下标顺序存放。试改变下列函数中循环的顺序，使得其数组元素的访问与排列顺序一致，并说明为什么修改后的程序比原来的程序执行时间短。

```
int sum_array ( int a[N][N][N])
```

```
{
    int i, j, k, sum=0;
    for (i=0; i < N; i++)
        for (j=0; j < N; j++)
            for (k=0; k < N; k++) sum+=a[k][i][j];
    return sum;
}
```

6. 以下是计算两个向量点积的程序段：

```
float dotproduct (float x[8], float y[8])
```

```

{
    float sum = 0.0;
    int i;
    for (i = 0; i < 8; i++) sum += x[i] * y[i];
    return sum;
}

```

要求：

- (1) 试分析该段代码中数组x和y的时间局部性和空间局部性，并推断命中率的高低。
- (2) 假定该段程序运行的计算机的数据cache采用直接映射方式，其数据区容量为32字节，每个主存块大小为16字节。假定编译程序将变量sum和i分配给寄存器，数组x存放在00000040H开始的32字节的连续存储区中，数组y紧跟在x后进行存放。试计算该程序数据访问的命中率，要求说明每次访问的cache命中情况。
- (3) 将上述(2)中的数据cache改用2-路组相联映射方式，块大小改为8字节，其他条件不变，则该程序数据访问的命中率是多少？
- (4) 在上述(2)中条件不变的情况下，如果将数组x定义为float[12]，则数据访问的命中率是多少？

6. 通过对方格中每个点设置相应的CMYK值就可以将方格图上相应的颜色。以下三个程序段都可实现对一个8×8的方格中图上黄色的功能。

```

A : struct pt_color {
    int c;
    int m;
    int y;
    int k;
}

struct pt_color square[8][8];
int i, j;
for (i = 0; i < 8; i++) {
    for (j = 0; j < 8; j++) {
        square[i][j].c = 0;
        square[i][j].m = 0;
        square[i][j].y = 1;
        square[i][j].k = 0;
    }
}

```

```

B : struct pt_color {
    int c;
    int m;
    int y;
    int k;
}

```

```

struct pt_color quare[8][8];
int i, j;
for (i = 0; i < 8; i++) {
    for (j = 0; j < 8; j++) {
        square[j][i].c = 0;
        square[j][i].m = 0;
        square[j][i].y = 1;
        square[j][i].k = 0;
    }
}
C:struct pt_color {
    int c;
    int m;
    int y;
    int k;
}
struct pt_color square[8][8];
int i, j;
for (i = 0; i < 8; i++)
for (j = 0; j < 8; j++)        square[i][j].y = 1;
for (i = 0; i < 8; i++)
    for (j = 0; j < 8; j++) {        square[i][j].c = 0;
        square[i][j].m = 0;
        square[i][j].k = 0;
    }
}

```

6. 假设某计算机的主存地址空间大小为64MB，采用字节编址方式。其cache数据区容量为4KB，采用4路组相联映射方式、LRU替换和回写（write back）策略，块大小为64B。请问：
 - （1）主存地址字段如何划分？要求说明每个字段的含义、位数和在主存地址中的位置。
 - （2）该cache的总容量有多少位？
- （3）若cache初始为空，CPU依次从0号地址单元顺序访问到4344号单元，重复按此序列共访问16次。若cache命中时间为1个时钟周期，缺失损失为10个时钟周期，则CPU访存的平均时间为多少时钟周期？
6. 假定某处理器可通过软件对高速缓存设置不同的写策略，那么，在下列两种情况下，应分别设置成什么写策略？为什么？
 - （1）处理器主要运行包含大量存储器写操作的数据访问密集型应用。
 - （2）处理器运行程序的性质与（1）相同，但安全性要求高，不允许有任何数据不一致的情况发生。
6. 已知cache1采用直接映射方式，共16行，块大小为1个字，缺失损失为8个时钟周期；cache2也采用直接映射方式，共4行，块大小为4个字，缺失损失为11个时钟周期。假定开始时cache为空，采用字编址方式。要求找出一个访问地址序列，使得cache2具有更低的缺

失率，但总的缺失损失反而比cache1大。

提高关联度通常会降低缺失率，但并不总是这样。请给出一个地址访问序列，使得采用LRU替换算法的2-路组相联映射cache比具有同样大小的直接映射cache的缺失率更高

6. 假定有三个处理器，分别带有以下不同的cache：

cache1：采用直接映射方式，块大小为1个字，指令和数据的缺失率分别为4%和6%；

cache2：采用直接映射方式，块大小为4个字，指令和数据的缺失率分别为2%和4%；

cache3：采用2-路组相联映射方式，块大小为4个字，指令和数据的缺失率分别为2%和

3%。

在这些处理器上运行相同的程序，该程序的CPI为2.0，其中有一半是访存指令。若缺失损失为（块大小+6）个时钟周期，处理器1和处理器2的时钟周期都为420ps，带有cache3的处理器3的时钟周期为450ps。请问：哪个处理器因cache缺失而引起的额外开销最大？哪个处理器执行速度最快？

6. 假定某处理器带有一个数据区容量为256B的cache，其块大小为32B。以下C语言程序段运行在该处理器上，sizeof(int) = 4，编译器将变量i, j, c, s都分配在通用寄存器中，因此，只要考虑数组元素的访存情况。若cache采用直接映射方式，则当s=64和s=63时，缺失率分别为多少？若cache采用2-路组相联映射方式，则当s=64和s=63时，缺失率又分别为多少？

```
int i, j, c, s, a[128];
```

```
.....
```

```
for ( i = 0; i < 10000; i++ )
```

```
    for ( j = 0; j < 128; j=j+s )
```

```
        c = a[j];
```

6. 假定一个虚拟存储系统的虚拟地址为40位，物理地址为36位，页大小为16KB，按字节编址。若页表中有有效位、存储保护位、修改位、使用位，共占4位，磁盘地址不在页表中，则该存储系统中每个进程的页表大小为多少？如果按计算出来的实际大小构建页表，则会出现什么问题？