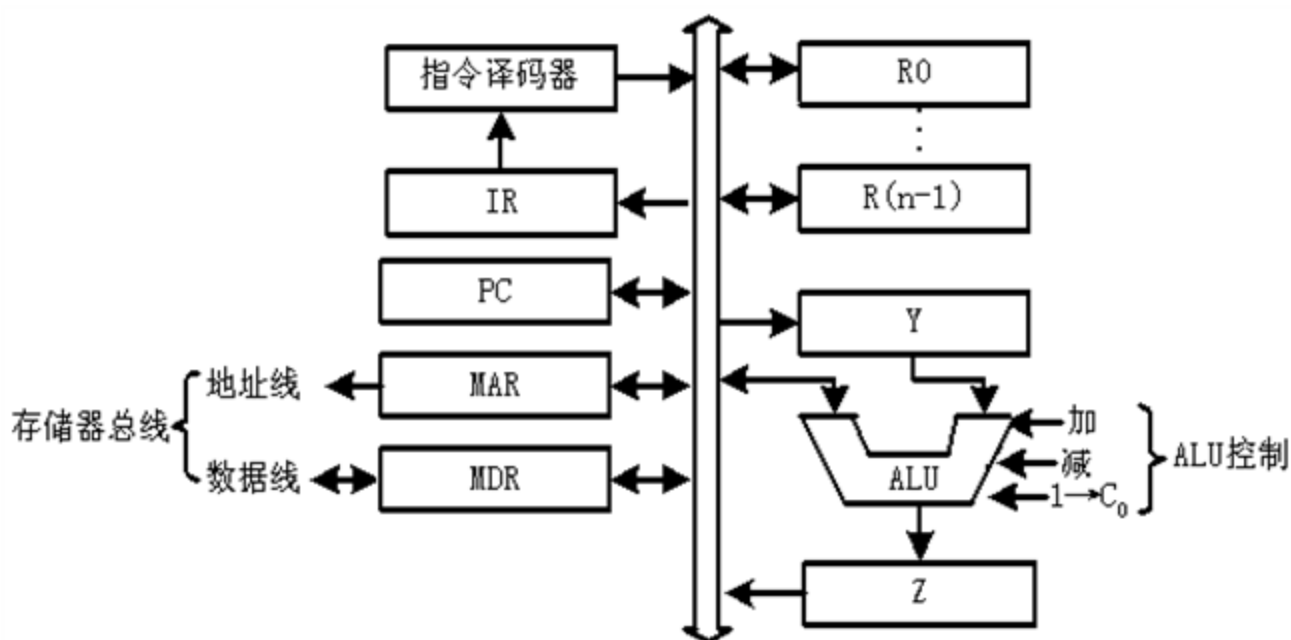


3. 在书中图6.9中，假定总线传输延迟和ALU运算时间分别是20ps和200ps，寄存器建立时间为10ps，寄存器保持时间为5ps，寄存器的锁存延迟（Clk-to-Q time）为4ps，控制信号的生成延迟（Clk-to-signal time）为7ps，三态门接通时间为3ps，则从当前时钟到达开始算起，完成以下操作的最短时间是多少？各需要几个时钟周期？

(1) 将数据从一个寄存器传送到另一个寄存器

(2) 将程序计数器PC加1



4. 右图6.30给出了某CPU内部结构的一部分，MAR和MDR直接连到存储器总线（图中省略）。在两个总线之间的所有数据传送都需经过算术逻辑部件ALU。ALU可实现的部分功能及其控制信号如下：

MOVa : $F=A$; MOVb : $F=B$;

a+1 : $F=A+1$; b+1 : $F=B+1$

a-1 : $F=A-1$; b-1 : $F=B-1$

其中A和B是ALU的输入，F是ALU的输出。假定JSR（转子指令）指令占两个字，第一个字是操作码，第二个字给出子程序的起始地址，返回地址保存在主存的栈中，用SP（栈指示器）指向栈顶，按字编址，每次从主存读取一个字。请写出读取并执行JSR指令所要求的控制信号序列（提示：当前指令地址在PC中）。

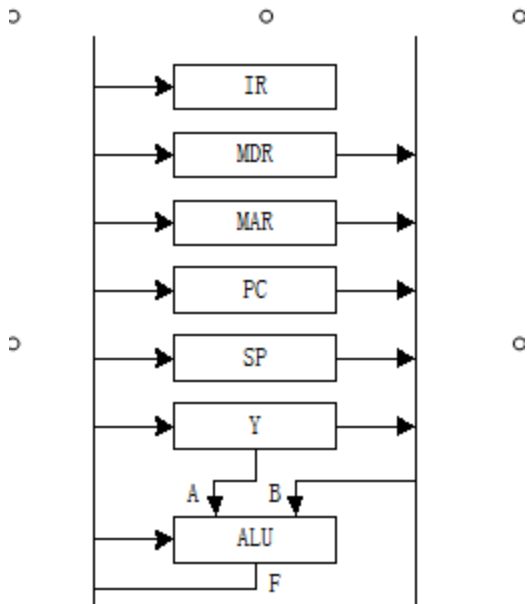


图30

5. 假定某计算机字长16位，CPU内部结构如书中图6.9所示，CPU和存储器之间采用同步方式通信，按字编址。采用定长指令字格式，指令由两个字组成，第一个字指明操作码和寻址方式，第二个字包含立即数Imm16。若一次存储访问所花时间为2个CPU时钟周期，每次存储访问存取一个字，取指令阶段第二次访问将Imm16取到MDR中，请写出下列指令在指令执行阶段的控制信号序列，并说明需要几个时钟周期。

(1) 将立即数Imm16加到寄存器R1中，此时，Imm16为立即操作数。

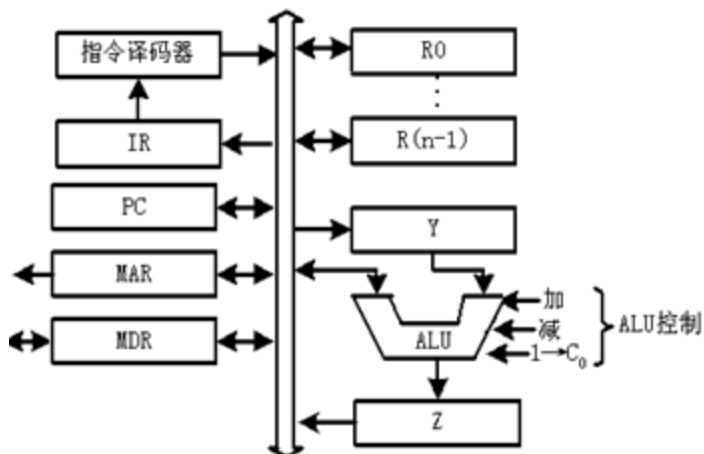
即： $R[R1] \leftarrow R[R1] + Imm16$

(2) 将地址为Imm16的存储单元的内容加到寄存器R1中，此时，Imm16为直接地址。

即： $R[R1] \leftarrow R[R1] + M[Imm16]$

(3) 将存储单元Imm16的内容作为地址所指的存储单元的内容加到寄存器R1中。此时，Imm16为间接地址。即：

$R[R1] \leftarrow R[R1] + M[M[Imm16]]$



8. 在MIPS指令集中需要增加一条swap指令，可以使用软件方式用若干条已有指令来实现伪指令，也可以通过改动硬件来实现。

(1) 写出用伪指令方式实现“swap \$rs, \$rt”时的指令序列

(2) 假定用硬件实现时会使一条指令的执行时间增加10%，则swap指令在程序中占多大的比例才值得用

硬件方式来实现？

9. 假定图6.33多周期数据通路对应的控制逻辑发生错误，使得在任何情况下控制信号PCWr、IRWr、RegWr、BrWr、PCSource、MemWr、MemtoReg、PCWrCond、R-type总是为0，则哪些指令不能正确执行？为什么？

10. 假定P.185图6.32多周期数据通路对应的控制逻辑发生错误，使得在任何情况下控制信号PCWr、IRWr、RegWr、BrWr、PCSource、MemWr、MemtoReg、PCWrCond、R-type总是为1，则哪些指令不能正确执行？为什么？

12. 假定某计算机字长16位，标志寄存器Flag中的ZF、NF和VF分别是零、负和溢出标志，采用双字节定长指令字。假定Bgt (大于零转移) 指令的第一个字节指明操作码和寻址方式，第二个字节为偏移地址Imm8，其功能是：

若 $(ZF + (NF \oplus VF) = 0)$ 则 $PC = PC + 2 + Imm8$ 否则 $PC = PC + 2$

(1) 该计算机的编址单位是什么？

(2) 画出实现Bgt指令的数据通路。

13. 对于多周期MIPS处理器，假定将访问数据的过程分成两个时钟周期可使时钟频率从4.8GHz提高到5.6GHz，但会使得lw和sw指令增加时钟周期数。已知基准程序CPUint 2000中各类指令的频率为：Load: 25%，Store: 10%，Branch: 11%，Jump: 2%，ALU: 52%。以基准程序CPUint 2000为标准计算时钟频率提高后处理器的性能提高了多少？若将取指令过程再分成两个时钟周期，则可进一步使时钟频率提高到6.4GHz，此时，时钟频率的提高是否也能带来处理器性能的提高？为什么？

5. 微程序控制器容量为 1024×48 位，微程序可在整个控存内实现转移，反映所有指令执行状态转换的有限状态机中有4个分支点，微指令采用水平格式，微地址由专门的下地址字段确定。请设计微指令的格式，说明各字段有多少位？为什么？

16. 对于多周期CPU的异常和中断处理，回答以下问题：

(1) 对于除数为0、溢出、无效指令操作码、无效指令地址、无效数据地址、缺页、访问越权和外部中断，CPU在哪些指令的哪个时钟周期能分别检测到这些异常或中断？

(2) 在检测到某个异常或中断后，CPU通常要完成哪些工作？简要说明CPU如何完成这些工作？

(3) TLB缺失和cache缺失各在哪个指令的哪个时钟周期被检测到？如果检测到发生了TLB缺失和cache缺失，那么，CPU各要完成哪些工作？简要说明CPU如何完成这些工作？(提示：TLB缺失可以有软件和硬件两种处理方式。)

11. 假定有一条MIPS伪指令“Bcmp \$t1, \$t2, \$t3”，其功能是实现对两个主存块数据的比较，\$t1和\$t2中分别存放两个主存块的首地址，\$t3中存放数据块的长度，每个数据占四个字节，若所有数据都相等，则将0置入\$t1；否则，将第一次出现不相等时的地址分别置入\$t1和\$t2并结束比较。若\$t4和\$t5是两个空闲寄存器，请给出实现该伪指令的指令序列，并说明在类似于P.185图6.32的多周期数据通路中执行该伪指令时要用多少时钟周期。