

NGÂN HÀNG CÂU HỎI THI TỰ LUẬN

Tên học phần: Kỹ thuật số

Mã học phần: ELE1433

Ngành đào tạo : Công nghệ thông tin

Trình độ đào tạo: Đại học

Thời gian thi : 90 phút.

1. Ngân hàng câu hỏi thi

- **Câu hỏi loại 1 (2 điểm - 20 phút) :**

Câu hỏi 1.1(A):

Chuyển đổi:

- $N_{10} = 75$ sang hệ nhị phân (Binary)
- $N_{10} = 389$ sang hệ thập lục phân (Hex)
- $N_{10} = 5732$ sang hệ bát phân (Octal)
- $N_{10} = 48635$ sang hệ BCD (Binary Coded Decimal)
- $N_{16} = 4DACB$ sang hệ thập phân (Decimal)
- $N_2 = 48635$ sang hệ bát phân (Octal)

Câu hỏi 1.2(A):

Thực hiện phép tính hai số hệ 16 sau:

- $9ACB7D,4_{16} + 6F8FE7B,02_{16}$
- $29BADC,B3_{16} + 3DECB62,A_{16}$
- $349DB9,57_{16} + 7A86E3,9_{16}$
- $7EDF86,4_{16} + 9BA8DEF,07_{16}$
- $94DFC3,D7_{16} + 8EDBA7,54_{16}$
- $8BADC5F,2_{16} + 53DBA7C,B3_{16}$

Câu hỏi 1.3(A):

Thực hiện phép tính hai số hệ 8 sau:

- $137652,44_8 + 213245,02_8$
- $632377_8 + 245325_8$
- $412370_8 + 725723_8$

- d. $212355_8 + 651744_8$
- e. $534703,36_8 + 7623107,17_8$
- f. $675271,15_8 + 302564,37_8$

Câu hỏi 1.4 (A):

Thực hiện phép cộng hai số có dấu sau theo phương pháp bù 1 (bit đầu là bit dấu):

- a. $0101\ 0011_2 + 1101\ 1010_2$
- b. $1010\ 0100_2 + 1001\ 1010_2$
- c. $1011\ 0110_2 + 0110\ 0001_2$
- d. $0101\ 1110_2 + 0111\ 1001_2$

Câu hỏi 1.5 (A):

Thực hiện phép cộng hai số có dấu sau theo phương pháp bù 2 (bit đầu là bit dấu):

- a. $1101\ 1001_2 + 1010\ 1010_2$
- b. $1001\ 1100_2 + 0001\ 0100_2$
- c. $0111\ 1001_2 + 1011\ 1100_2$
- d. $0110\ 1011_2 + 0100\ 1000_2$

Câu hỏi 1.6 (B):

Rút gọn hàm sau theo phương pháp dùng bảng Karnaugh?

- a. $F_1(A, B, C, D) = \Pi(1, 4, 6, 8, 9, 11, 14). \Pi_d(3, 7, 10)$
- b. $F_2(A, B, C, D) = \Sigma(0, 3, 5, 8, 9, 14, 15) + \Sigma_d(2, 6, 10)$

Câu hỏi 1.7 (B):

Rút gọn biểu thức sau bằng phương pháp đại số:

- a. $\overline{A}C + AB + \overline{B}C + BCDE + \overline{C}D$
- b. $\overline{\overline{A}\overline{B}\overline{C}} \cdot \overline{\overline{A}\overline{B}} + \overline{\overline{B}\overline{C}} + \overline{\overline{A}\overline{C}}$

Câu 1.9 (B).

Rút gọn các hàm sau theo phương pháp đại số:

- a. $\overline{\overline{A}\overline{B}\overline{C}} \cdot \overline{\overline{A}\overline{B} + \overline{B}\overline{C} + \overline{C}\overline{A}}$
- b. $\overline{A}C + AB + \overline{B}C + BCDE + \overline{C}D$

Câu 1.10 (B).

Rút gọn hàm sau theo phương pháp đại số:

$$F(A, B, C, D) = \Sigma(1, 2, 4, 7, 8, 11, 13, 14).$$

Câu 1.11 (B).

Rút gọn hàm sau theo phương pháp đại số:

$$F(A, B, C, D) = \Pi(1, 2, 4, 7, 8, 11, 13, 14).$$

Câu 1.12 (B).

Rút gọn hàm sau theo phương pháp đại số:

$$F(A, B, C, D) = \Pi (0, 3, 5, 6, 9, 10, 12, 15).$$

Câu hỏi 1.13 (B):

Chứng minh các đẳng thức:

$$a. AB (A \oplus B \oplus C) = ABC$$

$$b. A \oplus B \oplus C = \bar{A} \oplus \bar{B} \oplus C$$

Câu hỏi 1.14 (C):

Tối ưu hàm sau bằng NOR hai lối vào và vẽ mạch điện thể hiện?

$$F = \bar{C}\bar{D} + A.B\bar{C} + \bar{A}.C + \bar{B}.C$$

Câu hỏi 1.15 (C):

Tối ưu hàm sau bằng NAND hai lối vào và vẽ mạch điện thể hiện?

$$F = A.C + A.B.\bar{D} + \bar{C}.D + \bar{A}.\bar{B}.D$$

Câu hỏi 1.16 (C):

Tối ưu hàm sau bằng mạch cổng NAND 2 lối vào và vẽ mạch điện thể hiện?

$$F(A, B, C, D, E) = ABC + \bar{A}BD + \bar{B}\bar{D} + ADE$$

Câu hỏi 1.17 (C):

Tối ưu hàm sau bằng mạch cổng NOR 2 lối vào và vẽ mạch điện thể hiện?

$$F(A, B, C, D, E) = \bar{A}\bar{B}C + \bar{A}BD + \bar{B}\bar{D} + AE$$

Câu hỏi 1.18 (D):

a. Chuyển hàm logic sau sang dạng chuẩn của minterm

$$F_1 = (A + \bar{B}).(\bar{B} + \bar{C}).(C + \bar{D})$$

$$F_2 = A.(B + A.C).(\overline{A + B.C})$$

b. Chuyển các hàm logic sau sang dạng chuẩn của maxterm

$$F_3 = A + \bar{B}C + \bar{C}D + BCD$$

$$F_4 = A.(\bar{B} + \overline{A.D}).(\overline{A + B.C})$$

Câu hỏi 1.19 (D):

a. Chuyển hàm logic sau sang dạng chuẩn của minterm

$$F_1 = (\bar{A} + \bar{C}).(\bar{B} + D).(A + \bar{D})$$

$$F_2 = \bar{A}.B.(\overline{CD + AC})$$

b. Chuyển các hàm logic sau sang dạng chuẩn của maxterm

$$F_3 = A + \overline{B}D + BC + \overline{B}CE$$

$$F_4 = A.(B + \overline{A.C}).(\overline{A + B.C})$$

Câu hỏi 1.20 (E):

Cho bộ giải mã 3:8 dùng IC 74138, hãy mở rộng dung lượng thành 5:32.

(Phân tích, lập bảng trạng thái, vẽ sơ đồ khối và giải thích nguyên lý hoạt động của mạch điện)

Câu hỏi 1.21 (E):

Cho bộ giải mã 2:4 có một đầu cho phép (E) hoạt động ở mức cao, hãy mở rộng dung lượng thành 4:16. Phân tích, lập bảng trạng thái, vẽ sơ đồ khối và giải thích nguyên lý hoạt động của mạch điện?

Câu hỏi 1.22 (E):

Cho bộ giải mã 3:8 dùng IC 74138, hãy mở rộng dung lượng thành 5:32. Phân tích, lập bảng trạng thái, vẽ sơ đồ khối và giải thích nguyên lý hoạt động của mạch điện?

Câu hỏi 1.23 (E):

Cho bộ hợp kênh 2:1, hãy xây dựng thành bộ hợp kênh 8:1. Phân tích, lập bảng trạng thái, vẽ sơ đồ khối và giải thích nguyên lý hoạt động của mạch điện?

Câu hỏi 1.24 (G):

Cho hàm $F(A, B, C, D) = \sum (1, 3, 5, 6, 9, 11, 12, 14)$.

Hãy xây dựng hàm F bằng cách sử dụng:

- a. MUX 16:1
- b. MUX 8:1
- c. MUX 4:1

Câu hỏi 1.25 (G):

Cho hàm $F(A, B, C, D) = \sum (2, 4, 5, 7, 10, 11, 12, 15)$.

Hãy xây dựng hàm F bằng cách sử dụng:

- a. MUX 16:1
- b. MUX 8:1
- c. MUX 4:1

Câu hỏi 1.26 (G):

Cho hàm: $F(A, B, C, D) = \sum (1, 3, 7, 9, 10, 12, 13, 15)$

Xây dựng hàm logic trên bằng cách sử dụng:

- a. Bộ hợp kênh 8:1.

b. Bộ giải mã 4:16 và cổng logic.

(Phân tích và vẽ sơ đồ khối).

Câu hỏi 1.27 (H):

Cho chuỗi bit thông tin: 1100101110.

- Xây dựng mã Hamming chẵn
- Cho ví dụ về cách sửa sai của mã này

Câu hỏi 1.28 (H):

Cho chuỗi bit thông tin: 1001110011.

- Xây dựng mã Hamming lẻ
- Cho ví dụ về cách sửa sai của chuỗi mã này

Câu hỏi 1.29 (H):

Cho chuỗi bit thông tin: 1011101101.

- Xây dựng mã Hamming chẵn
- Cho ví dụ về cách sửa sai của mã này

Câu hỏi 1.30 (H):

Cho chuỗi bit thông tin: 1110010011.

- Xây dựng mã Hamming lẻ
- Cho ví dụ về cách sửa sai của chuỗi mã này

• **Câu hỏi loại 2: (3 điểm – 30 phút)**

Câu hỏi 2.1 (C):

Cho bảng trạng thái sau:

A	B	C	F ₁	F ₂
0	0	0	1	0
0	0	1	0	1
0	1	0	1	0
0	1	1	1	1
1	0	0	1	1
1	0	1	0	1
1	1	0	1	0
1	1	1	0	1

- Viết biểu thức F₁ và F₂ và rút gọn
- Biểu diễn hàm F₁ bằng cổng NOR 2 lối vào và vẽ mạch điện thể hiện.
- Biểu diễn hàm F₂ bằng cổng NAND 2 lối vào và vẽ mạch điện thể hiện.

Câu hỏi 2.2 (C):

Cho một hệ tổ hợp hoạt động theo bảng:

E	A	B	Y0	Y1	Y2	Y3
1	x	x	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	1	0	0
0	1	0	0	0	1	0
0	1	1	0	0	0	1

- Thiết kế hệ tổ hợp này dùng toàn cổng NOT và NAND 3 lối vào.
- Dùng hệ tổ hợp đã thiết kế ở câu a (vẽ ở dạng sơ đồ khối) và một cổng AND 2 lối vào để thực hiện một hệ tổ hợp $F(X,Y,Z) = \Sigma(1,3,5,6) + \Sigma_d(0,7)$

Câu hỏi 2.3 (C):

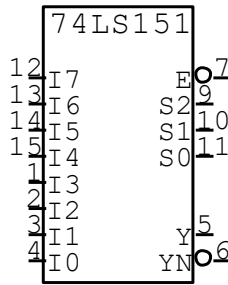
Cho một hệ tổ hợp hoạt động theo bảng:

E	A	B	Y0	Y1	Y2	Y3
0	x	x	1	1	1	1
1	0	0	0	1	1	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	0

- Thiết kế hệ tổ hợp này dùng toàn cổng NOT và NAND 3 lối vào.
- Dùng hệ tổ hợp đã thiết kế ở câu a (vẽ ở dạng sơ đồ khối) và một cổng AND 2 lối vào để thực hiện một hệ tổ hợp $F(X,Y,Z) = \Sigma(2,3,4,6) + \Sigma_d(0,5)$

Câu hỏi 2.4 (E):

Sử dụng IC 74151 và các cổng logic cần thiết để mở rộng dung lượng bộ ghép kênh lên gấp 8. Phân tích, lập bảng trạng thái, vẽ mạch điện và giải thích nguyên tắc hoạt động của mạch? Nêu ý nghĩa và một số ứng dụng của bộ ghép kênh trong thực tiễn. Giải thích?



Câu hỏi 2.5:

- Chuyển từ trigger RS sang trigger JK, D và T?
- Nêu ứng dụng của trigger T?

Câu hỏi 2.6 (K):

- Xây dựng mạch biến mã nhị phân – Gray 4 bit?
- So sánh ưu/nhược điểm của mã nhị phân và mã Gray?

Câu hỏi 2.7 (K):

- Xây dựng mạch biến mã Gray – nhị phân 4 bit?
- So sánh ưu/nhược điểm của mã nhị phân và mã Gray?

Câu hỏi 2.8 (M):

Thiết kế mạch điện dùng trigơ JK và cổng NAND để thực hiện bảng trạng thái sau:

Xung Clock	Q ₃	Q ₂	Q ₁
1	0	0	1
2	1	0	0
3	0	1	0
4	1	0	1
5	1	1	0
6	0	1	1

Câu hỏi 2.9 (M):

Thiết kế bộ đếm mã Gray thuận mod 12, đồng bộ, hoạt động theo sườn âm xung clock sử dụng trigger RS.

Câu hỏi 2.10 (M):

Thiết kế bộ đếm mã Gray nghịch mod 13, đồng bộ, hoạt động theo sườn dương xung clock sử dụng trigger RS.

Câu hỏi 2.11 (M):

Thiết kế bộ đếm nhị phân thuận mod 12 không đồng bộ hoạt động theo sườn âm xung clock sử dụng trigger JK.

Câu hỏi 2.12 (M):

Thiết kế bộ đếm nhị phân nghịch mod 11 không đồng bộ hoạt động theo sườn dương xung, sử dụng trigger JK.

Câu hỏi 2.13 (M)

Thiết kế bộ đếm nhị phân thuận mod 6 đồng bộ hoạt động theo sườn dương xung clock bằng cách sử dụng trigger RS và một số cổng NOR (nếu cần).

Câu hỏi 2.14 (M):

Thiết kế bộ đếm nhị phân nghịch mod 7 đồng bộ hoạt động theo sườn âm xung clock bằng cách sử dụng trigger RS và một số cổng NAND (nếu cần).

Câu hỏi 2.15 (M):

Thiết kế bộ đếm nhị phân thuận mod 12 đồng bộ hoạt động theo sườn âm xung clock.

Câu hỏi 2.16 (M):

Thiết kế bộ đếm nhị phân nghịch mod 11 đồng bộ hoạt động theo sườn âm xung clock.

Câu hỏi 2.17 (M):

Thiết kế bộ đếm nhị phân nghịch mod 14 không đồng bộ hoạt động theo sườn dương xung clock sử dụng trigger JK.

Câu hỏi 2.18 (M):

Thiết kế bộ đếm nhị phân thuận mod 14, không đồng bộ hoạt động theo sườn âm xung clock sử dụng trigger JK.

Câu 2.19 (M):

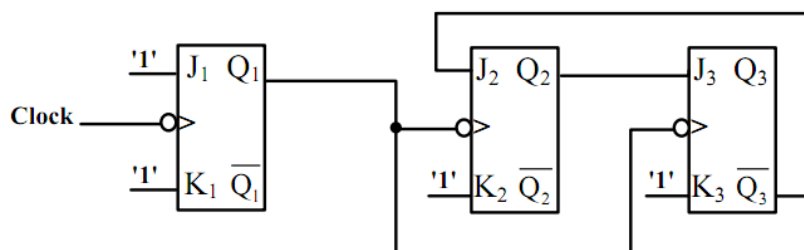
Thiết kế bộ đếm đồng bộ hoạt động theo trình tự sau 1 4 3 6 2 5 và lặp lại bằng cách sử dụng trigger JK và một số cổng NAND (nếu cần)?

Câu hỏi 2.20 (M):

Thiết kế bộ đếm đồng bộ hoạt động theo trình tự sau 1 3 4 7 6 5 và lặp lại bằng cách sử dụng trigger JK và một số cổng NAND (nếu cần)?

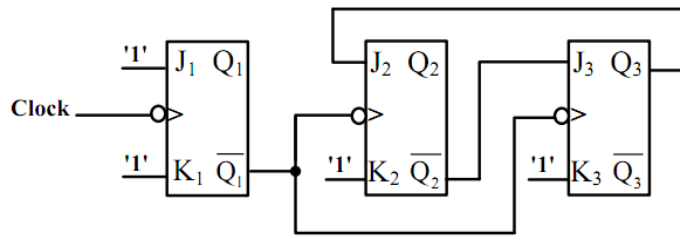
Câu 2.21 (N):

Phân tích hình sau và cho biết chức năng của mạch?



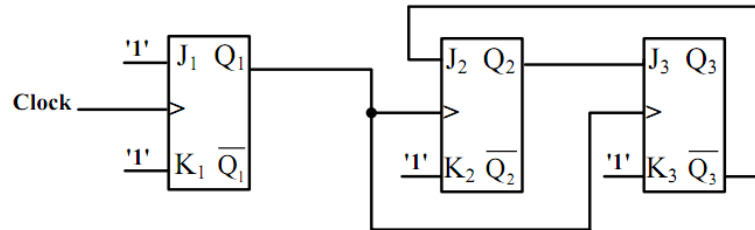
Câu 2.22 (N):

Phân tích hình sau và cho biết chức năng của mạch?



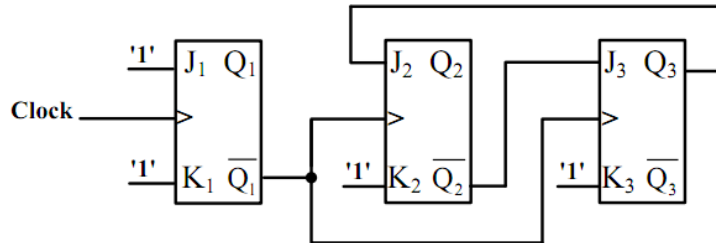
Câu 2.23 (N):

Phân tích hình sau và cho biết chức năng của mạch?



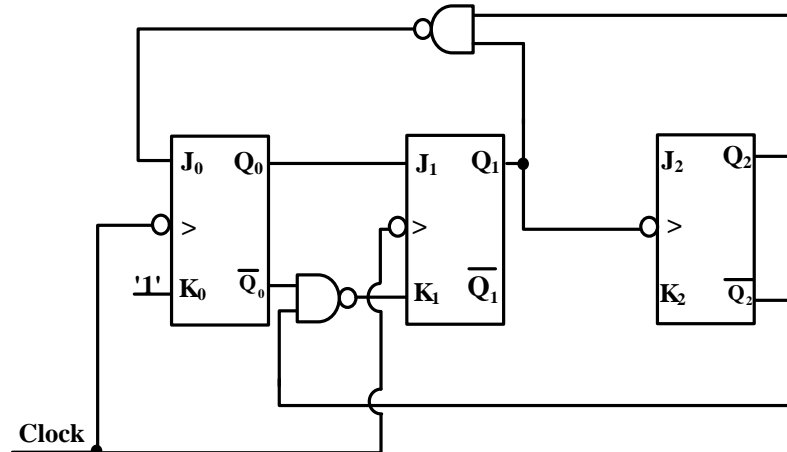
Câu 2.24 (N):

Phân tích hình sau và cho biết chức năng của mạch?



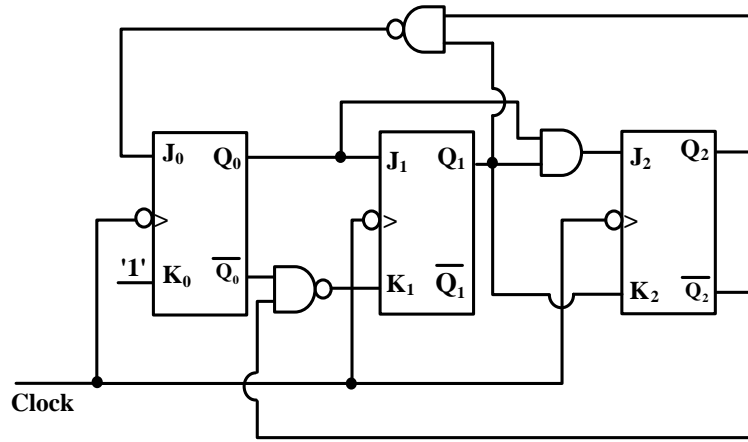
Câu 2.25 (N):

Phân tích hình sau và cho biết chức năng của mạch?



Câu 2.26 (N):

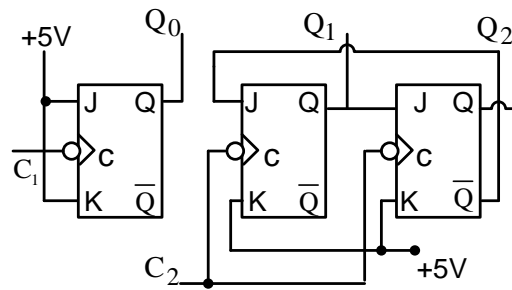
Phân tích hình sau và cho biết chức năng của mạch?



Câu hỏi 3.27 (N):

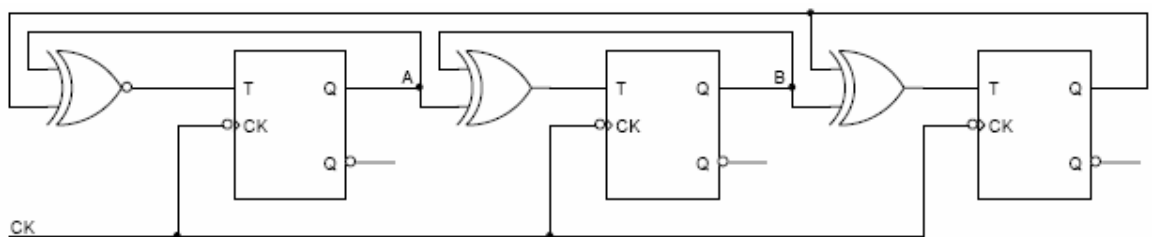
Cho sơ đồ mạch tuần tự như hình vẽ. Hãy xây dựng bảng trạng thái ứng với 2 trường hợp.

- Q0 được nối với C2
- Q2 được nối với C1
- Cho nhận xét về mã lỗi ra 2 trường hợp trên.



Câu hỏi 2.28 (N):

Cho mạch điện:



- Phân tích hình sau và cho biết chức năng của mạch?
- Nêu đặc điểm và ý nghĩa của trigger T?

Câu 2.29 (O):

- Xây dựng mạch bán cộng (Half Adder)?
- Xây dựng mạch cộng toàn phần (Full Adder)?
- Ý nghĩa của các mạch điện này?

Câu 2.30 (O):

- Xây dựng mạch bán trừ (Half Subtractor)?

- b. Xây dựng mạch trừ toàn phần (Full Subtractor)?
- c. Ý nghĩa của các mạch điện này?

2. Đề xuất các phương án tổ hợp câu hỏi thi thành các đề thi

- Đề thi có thể được tổ hợp ngẫu nhiên gồm 4 Câu hỏi : 2 câu 2 điểm, 2 câu 3 điểm.
- Trong một đề thi, không có quá 1 câu cùng loại (A, B, C...).
- Thời gian thi : 90 phút.

3. Hướng dẫn cần thiết khác:

Ngân hàng câu hỏi thi này đã được thông qua bộ môn và nhóm cán bộ giảng dạy học phần.

Hà Nội, ngày 21 tháng 10 năm 2016

Trưởng khoa

Giảng viên chủ trì biên soạn

TS. Nguyễn Ngọc Minh

Ths. Vũ Anh Đào