

Electrónica Digital

JAMES W. BIGNELL
ROBERT L. DONOVAN



F. 24-1-2005
No Reg 03699

621.3 ELECTRÓNICA DIGITAL
Big
E

Título original:
DIGITAL ELECTRONICS, 3rd. edition
ISBN 0-8273-5743-5

COPYRIGHT © 1994 by Delmar Publishers,
A Division of International Thomson Publishing Inc.
ALL RIGHTS RESERVED. No part of this book may be reproduced
or transmitted in any form or by any means, electronic or mechanical,
including photocopying, recording, or any information storage and
retrieval system, without permission, in writing, from the Publisher.

Traducción:
Gerardo Urbina Medel
Departamento de Ingeniería Eléctrica
UAM, Iztapalapa

Revisión técnica:
M. en C. Alex Polo Velázquez
Profesor Titular del Departamento de Electrónica
UAM, Azcapotzalco

Diseño de portada:
María de Lourdes Rueda

Electrónica digital
Derechos reservados respecto a la primera edición en español:
© 1997, COMPAÑÍA EDITORIAL CONTINENTAL, S.A. de C.V.
Renacimiento 180, Colonia San Juan Tlihuaca,
Delegación Azcapotzalco, Código Postal 02400, México, D.F.

Miembro de la Cámara Nacional de la Industria Editorial.
Registro núm. 43

ISBN 968-26-1307-8

Queda prohibida la reproducción o transmisión total o parcial del
contenido de la presente obra en cualesquiera formas, sean elec-
trónicas o mecánicas, sin el consentimiento previo y por escrito del
editor.

Impreso en México
Printed in Mexico

Primera Edición: 1997
Primera reimpresión: 1998

Contenido

PREFACIO xiii

CAPÍTULO 1 Sistemas numéricos 3

1.1	SISTEMA NUMÉRICO BINARIO	4
1.2	CONVERSIÓN DE BINARIO A DECIMAL	6
1.3	CONVERSIÓN DE DECIMAL A BINARIO	7
1.4	SISTEMA NUMÉRICO OCTAL	11
1.5	CONVERSIÓN DE BINARIO A OCTAL	13
1.6	CONVERSIÓN DE OCTAL A BINARIO	14
1.7	SISTEMA NUMÉRICO HEXADECIMAL	14
1.8	CONVERSIÓN DE BINARIO A HEXADECIMAL	16
1.9	CONVERSIÓN DE HEXADECIMAL A BINARIO	17
1.10	DECIMAL CODIFICADO EN BINARIO (BCD)	18
1.11	SUMA BINARIA	22
1.12	RESTA BINARIA	25
1.13	RESTA BINARIA CON COMPLEMENTOS A UNO	27
1.14	RESTA BINARIA CON COMPLEMENTO A DOS	29
1.15	NÚMEROS EN COMPLEMENTO A DOS CON SIGNO	33
	Preguntas y problemas	41
	Práctica: Sumador de 4 bits 7483	45

CAPÍTULO 2 Compuertas lógicas 55

2.1	COMPUERTAS	56
2.2	INVERSORES	56
2.3	COMPUERTAS OR	58
2.4	COMPUERTAS AND	64
2.5	COMPUERTAS NAND	70
2.6	COMPUERTAS NOR	75
2.7	HABILITACIÓN/INHABILITACIÓN PARA EL CONTROL DE DATOS	80
2.8	HABILITACIÓN/INHABILITACIÓN DE UNA COMPUERTA AND	81
2.9	HABILITACIÓN/INHABILITACIÓN DE UNA COMPUERTA NAND	82
2.10	HABILITACIÓN/INHABILITACIÓN DE UNA COMPUERTA OR	83
2.11	HABILITACIÓN/INHABILITACIÓN DE UNA COMPUERTA NOR	84
2.12	RESUMEN DE HABILITACIÓN/INHABILITACIÓN	85

2.13	COMPUERTA NAND COMO INVERSOR	86
2.14	COMPUERTA NOR COMO INVERSOR	87
2.15	AMPLIACIÓN DE UNA COMPUERTA ANO	87
2.16	AMPLIACIÓN DE UNA COMPUERTA NAND	88
2.17	AMPLIACIÓN DE UNA COMPUERTA OR	88
2.18	AMPLIACIÓN DE UNA COMPUERTA NOR	88
	Preguntas y problemas	91
	Práctica: Compuertas	96

CAPÍTULO 3 Formas de onda y álgebra booleana 103

3.1	ANÁLISIS DE FORMAS DE ONDA	104
3.2	FORMAS DE ONDA DE UN RELOJ CON RETARDO Y DE UN CONTADOR DE CORRIMIENTO	107
3.3	LÓGICA COMBINACIONAL	115
3.4	TEOREMAS BOOLEANOS	118
3.5	TEOREMAS DE DEMORGAN	125
3.6	DISEÑO DE CIRCUITOS LÓGICOS	130
3.7	COMPUERTAS AND-OR-INVERSOR	144
3.8	REDUCCIÓN DE EXPRESIONES BOOLEANAS CON MAPAS DE KARNAUGH	147
	Preguntas y problemas	151
	Práctica: Álgebra booleana	158

CAPÍTULO 4 Compuertas OR exclusivo 163

4.1	OR EXCLUSIVO	164
4.2	HABILITACIÓN/INHABILITACIÓN	167
4.3	ANÁLISIS DE FORMAS DE ONDA	168
4.4	NOR EXCLUSIVO	169
4.5	OR/NOR EXCLUSIVO	170
4.6	PARIDAD	173
4.7	GENERADOR DE PARIDAD PAR	175
4.8	GENERADOR DE PARIDAD PAR/IMPAR	178
4.9	VERIFICADOR DE PARIDAD	181
4.10	GENERADOR/VERIFICADOR DE PARIDAD DE 9 BITS	185
4.11	COMPARADOR	194
	Preguntas y problemas	201
	Práctica: OR Exclusivo	205

CAPÍTULO 5 Sumadores**209**

5.1	MEDIO SUMADOR	210
5.2	SUMADOR COMPLETO	211
5.3	SUMADOR/RESTADOR DE COMPLEMENTO A UNO	221
5.4	SUMADOR/RESTADOR DE COMPLEMENTO A DOS	227
5.5	SUMA EN DECIMAL CODIFICADO EN BINARIO	233
5.6	SUMADOR DE DECIMAL CODIFICADO EN BINARIO	235
5.7	UNIDAD DE ARITMÉTICA Y LÓGICA	239
	Preguntas y problemas	243
	Práctica: Sumadores	246

CAPÍTULO 6 Especificaciones y compuertas de colector abierto**251**

6.1	SUBFAMILIAS TTL	252
6.2	CARACTERÍSTICAS ELÉCTRICAS OE TTL	252
6.3	CORRIENTES DE ALIMENTACIÓN DE TTL	261
6.4	CARACTERÍSTICAS DE CONMUTACIÓN TTL	261
6.5	COMPUERTAS DE COLECTOR ABIERTO TTL	268
6.6	APLICACIONES DE COLECTOR ABIERTO	271
6.7	CMOS	272
6.8	SUBFAMILIAS CMOS	273
6.9	ESPECIFICACIONES DE CMOS	276
6.10	INTERCONEXIÓN DE TTL CON CMOS	280
6.11	LÓGICA DE EMISORES ACOPLADOS (ECL)	284
6.12	INTERCONEXIÓN DE ECL CON OTRAS FAMILIAS LÓGICAS	286
6.13	TECNOLOGÍA DE MONTAJE DE SUPERFICIE	288
	Preguntas y problemas	294
	Práctica: Especificaciones y compuertas de colector abierto	296

CAPÍTULO 7 Flip-flops**301**

7.1	INTRODUCCIÓN A LOS FLIP-FLOPS	302
7.2	FLIP-FLOPS SET-RESET CON COMPUERTAS NAND CON CONEXIÓN CRUZADA	302
7.3	FLIP-FLOPS SET-RESET CON COMPUERTAS NOR CON CONEXIÓN CRUZADA	304
7.4	COMPARACIÓN ENTRE FLIP-FLOPS SET-RESET CON COMPUERTAS NAND Y NOR CON CONEXIÓN CRUZADA	306
7.5	USO DEL FLIP-FLOP SET-RESET COMO INTERRUPTOR SIN OSCILACIONES	307
7.6	FLIP-FLOP SET-RESET CON ENTRADA DE CONTROL	310
7.7	FLIP-FLOP D TRANSPARENTE	313
7.8	FLIP-FLOP D MAESTRO-ESCLAVO	316

7.9	FLIP-FLOP <i>D</i> DISPARADO POR FLANCO DE PULSO	322
	Preguntas y problemas	324
	Práctica: Flip-flops	326

CAPÍTULO 8 Flip-flops *D* y JK maestro-esclavo **329**

8.1	CONMUTACIÓN DE UN FLIP-FLOP <i>D</i> MAESTRO-ESCLAVO	330
8.2	FLIP-FLOP JK	332
8.3	RELOJ SIN TRASLAPAMIENTO	336
8.4	CONTADOR DE CORRIMIENTO	338
8.5	CI JK TÍPICOS	340
	Preguntas y problemas	343
	Práctica: Contador de corrimiento y reloj con retraso	346

CAPÍTULO 9 Registros de corrimiento **351**

9.1	CONSTRUCCIÓN DE UN REGISTRO DE CORRIMIENTO CON FLIP-FLOPS JK	352
9.2	DATOS EN PARALELO Y EN SERIE	353
9.3	ENTRADA EN PARALELO, SALIDA EN SERIE	354
9.4	FORMATOS DE TRANSMISIÓN DE DATOS EN SERIE	357
9.5	REGISTROS DE CORRIMIENTO DE CI	363
9.6	ESTÁNDARES PARA DATOS EN SERIE	366
9.7	CÓDIGO ASCII	370
	Preguntas y problemas	374
	Práctica: Registros de corrimiento	376

CAPÍTULO 10 Contadores **387**

10.1	CONTADOR DE PROPAGACIÓN	388
10.2	MÉTODO DE DECODIFICACIÓN Y BORRADO PARA CONSTRUIR UN CONTADOR DE PROPAGACIÓN QUE DIVIDA ENTRE <i>N</i>	390
10.3	CONTADOR SÍNCRONO DE DIVISIÓN ENTRE <i>N</i>	392
10.4	CONTADORES PREINICIALIZABLES	397
10.5	CONTADOR ASCENDENTE/DESCENDENTE	399
10.6	CI CONTADORES MSI TÍPICOS	402
10.7	CONTADOR DE DIVISIÓN ENTRE <i>N</i> $\frac{1}{2}$	409
	Preguntas y problemas	412
	Práctica: Contadores	414

CAPÍTULO 11 Disparadores de Schmitt y relojes 419

11.1	DISPARADOR DE SCHMITT	420
11.2	USO DE UN DISPARADOR DE SCHMITT PARA CONVERTIR UNA ONDA IRREGULAR EN CUADRADA	420
11.3	RELOJ CON DISPARADOR DE SCHMITT	422
11.4	USO COMO RELOJ DEL TEMPORIZADOR 555	425
11.5	OSCILADORES DE CRISTAL	432
	Preguntas y problemas	434
	Práctica: Disparadores de Schmitt y relojes	438

CAPÍTULO 12 Monoestables 443

12.1	INTERRUPTOR MONOESTABLE SIN OSCILACIONES	444
12.2	ALARGADOR DE PULSOS	445
12.3	MONOESTABLE REDISPARABLE	447
12.4	MONOESTABLE NO REDISPARABLE	449
12.5	EL 555 COMO MONOESTABLE	450
12.6	EL 74121 Y EL 74LS122	452
12.7	SEPARADOR DE DATOS	454
	Preguntas y problemas	458
	Práctica: Monoestables	460

**CAPÍTULO 13 Conversiones digital a analógico
y analógico a digital 463**

13.1	REDES RESISTIVAS PARA CONVERSIÓN DIGITAL A ANALÓGICO	464
13.2	CONVERTIDOR DIGITAL TTL A ANALÓGICO	469
13.3	CONVERSIÓN ANALÓGICO A DIGITAL UTILIZANDO COMPARADORES DE VOLTAJE	471
13.4	CONVERTIDOR ANALÓGICO A DIGITAL DE CUENTA ASCENDENTE Y COMPARACIÓN	474
13.5	CONVERTIDOR ANALÓGICO A DIGITAL DE APROXIMACIONES SUCESIVAS	477
13.6	EL CIRCUITO INTEGRADO CONVERTIDOR DIGITAL A ANALÓGICO DAC0830	481
	Preguntas y problemas	485
	Práctica: Digital a analógico y analógico a digital	488

CAPÍTULO 14 Decodificadores, multiplexores, demultiplexores y visualizadores **493**

14.1	DECODIFICADORES	494
14.2	DEMULITPLEXORES	496
14.3	MULTIPLEXORES	498
14.4	USO DE UN MULTIPLEXOR PARA REPRODUCIR UNA TABLA DE VERDAD DESEADA	498
14.5	CI MULTIPLEXORES Y DEMULITPLEXORES	502
14.6	MULTIPLEXOR DE OCHO TRAZAS PARA OSCILOSCOPIO	504
14.7	DIOODO EMISOR DE LUZ	507
14.8	VISUALIZADOR DE SIETE SEGMENTOS	509
14.9	VISUALIZADOR DE CRISTAL LÍQUIDO	513
	Preguntas y problemas	520
	Práctica: Compuertas de tres estados e interfaz con corrientes grandes	522

CAPÍTULO 15 Compuertas de tres estados e interfaz con corrientes grandes **526**

15.1	COMPUERTAS DE TRES ESTADOS	528
15.2	INVERSORES Y COMPUERTAS DE AISLAMIENTO DE TRES ESTADOS	530
15.3	BUSES DE COMPUTADORA Y LA COMPUERTA DE TRES ESTADOS	534
15.4	AISLAMIENTO DE CORRIENTES Y VOLTAJES ALTOS	536
15.5	MULTIPLEXADO DE VISUALIZADORES DE SIETE SEGMENTOS	541
15.6	AISLAMIENTO ENTRE CIRCUITOS MEDIANTE OPTOACOPLADORES	542
	Preguntas y problemas	546
	Práctica: Compuertas de tres estados	548

CAPÍTULO 16 Memorias e introducción a las microcomputadoras **550**

16.1	LA MICROCOMPUTADORA Y SUS PARTES	552
16.2	UNIDAD CENTRAL DE PROCESAMIENTO	553
16.3	MEMORIA DE LA COMPUTADORA	556
16.4	ROM	558
16.5	PROM	559
16.6	EPROM	561
16.7	EEPROM	564
16.8	RAM ESTÁTICA	566
16.9	RAM DINÁMICA	567

16.10 ENTRADA/SALIDA DE LA COMPUTADORA	570
16.11 PROGRAMACIÓN	574
Preguntas y problemas	579
Práctica: RAM	580

APÉNDICES

Apéndice A	583
Apéndice B	587
Apéndice C	590
Apéndice D	598

GLOSARIO	605
-----------------	------------

RESPUESTAS A LOS EJERCICIOS Y PROBLEMAS CON NUMERACIÓN IMPAR	616
---	------------

ÍNDICE	683
---------------	------------

Prefacio

Electrónica digital, tercera edición en inglés, primera en español, es un texto dinámico ideal para estudiantes que necesitan información básica sólida en electrónica digital. Para leer el libro no se requiere ningún conocimiento o experiencia previas en fundamentos digitales, aunque se supone que el lector tiene un buen manejo de los circuitos de cd. Después de estudiar el libro, los estudiantes tendrán una preparación buena para el hardware que encuentren en un curso de microprocesadores.

El libro está organizado en 16 capítulos, uno para cada semana de un semestre completo. Cada capítulo termina con una práctica de laboratorio que está muy correlacionada con el material del capítulo. Es en estos experimentos donde la teoría cobra vida y se aprenden habilidades prácticas; un equilibrio entre la teoría y la práctica. Al construir los circuitos y hacer que éstos trabajen, los estudiantes desarrollan las habilidades para detección de fallas necesarias para analizar y reparar sistemas digitales.

En el apéndice C se proporcionan los diagramas de terminales de los circuitos integrados utilizados en las prácticas. Si bien estos diagramas son útiles, no constituyen un sustituto de buenos manuales de especificaciones TTL y CMOS. Por tanto, se recomienda obtener éstos de uno o más de los fabricantes más importantes de circuitos integrados.

En el libro se establece una continuidad en la que las habilidades desarrolladas en un capítulo se emplean y extienden en los capítulos siguientes. Por ejemplo, en el capítulo 3 se emplean el reloj con retardo y las formas de onda de un contador de corrimiento como entradas para estudiar el análisis de formas de onda de las compuertas básicas. En el capítulo 8 se construyen un reloj con retardo y un contador de corrimiento como una aplicación de los flip-flops. Para ello se repasan el análisis de formas de onda y el desarrollo de señales de control. En el capítulo 9 se incorporan los circuitos y formas de onda del reloj con retardo y el contador de corrimiento, en un sistema de recepción en serie; y en el capítulo 13, el reloj con retardo se emplea en un circuito de conversión analógico-digital de aproximaciones sucesivas. Por otra parte, las compuertas básicas se emplean para introducir los OR exclusivos y los flip-flops. Los OR exclusivos se utilizan para introducir generadores de paridad, comparadores y sumadores. Los flip-flops se emplean para introducir receptores en serie.

Muchas de las palabras y frases empleadas en el texto se definen de manera breve en el glosario. El lector debe consultarla para familiarizarse con la terminología utilizada.

Características de esta nueva edición

1. Cada capítulo está precedido por una **lista de términos nuevos**.
2. Los **objetivos** de cada capítulo aparecen en una lista numerada. Las flechas en los márgenes del texto y los números entre paréntesis rectangulares en las secciones de preguntas y problemas, indican a estudiantes y profesores los objetivos que se están tratando.
3. Cada capítulo contiene dos o más conjuntos de preguntas y problemas de **Autoevaluación**, que mantienen a los estudiantes concentrados en el material y que les permiten obtener retroalimentación inmediata sobre el avance que han alcanzado. Las respuestas a las autoevaluaciones están incluidas en la parte final del libro.
4. Se han añadido más **ejemplos** para extender la presentación del material nuevo.
5. El **Resumen del Capítulo** contiene una lista de hechos pertinentes para repasar con rapidez.
6. Las **Preguntas y Problemas** del final del capítulo se han aumentado para cubrir temas nuevos. Cada problema tiene una marca que indica el objetivo que aborda.

Cobertura nueva y ampliada

1. Los **mapas de Karnaugh** se emplean para reducir expresiones booleanas.
2. La sección sobre teoremas booleanos se ha reorganizado para facilitar su estudio.
3. Se emplean las compuertas **And-Or-Not** para implantar tablas de verdad.
4. Se ha agregado material sobre **tecnología CMOS avanzada** (subfamilias AC y ACT).
5. Se ha ampliado el material sobre **lógica de emisores acoplados** y la **interconexión** de ésta con otras familias.
6. Se estudian los distintos estilos de **encapsulados para montaje superficial**.
7. Se presentan circuitos integrados convertidores **digital-analógicos**.
8. Se presentan **circuitos de reloj** obtenidos a partir de fuentes de sesenta ciclos.
9. Se ha añadido material sobre **RS-232** y **código ASCII**.

10. Se presentan **contadores de división entre n y 1/2**.
11. Se ha añadido los CI de la **serie 7500 de interfaz para alta corriente**.

La mayoría de los estudiantes encuentran el texto fresco e interesante, y los anima a continuar sus estudios en electrónica.

Reconocimientos

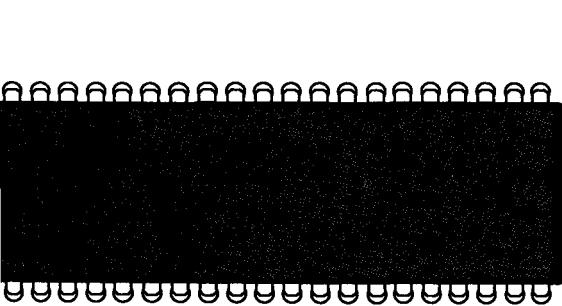
Deseamos agradecer las contribuciones de los siguientes revisores, cuyos valiosos comentarios nos ayudaron a dar forma a esta edición:

Robert, Arso, North Dakota
William J. Bates, Virginia
David Bilyeu, Washington
Billy E. Bolechala, Oklahoma
Donnin Custer, Iowa

Bobby J. Fortenberry, Florida
Louis A. Johnson, Texas
Leonard Krucenski, New York
Robert Schauer, Washington
Jim Seymour, Georgia

También queremos dar las gracias a National Semiconductor Corporation por haber dado el permiso para utilizar las figuras siguientes: 2-5, 2-12, 2-21, 2-27, 2-34, 4-4, 4-9, 4-22, 4-23, 5-13, 5-17, 6-1, 6-7, 6-10, 6-11, 6-14, 6-29, 6-30, 6-31, 6-32, 10-11, 12-7, 14-9, 14-10, 14-16, 15-3, 15-4, 15-5, 15-6, 14-7 y el Apéndice C.

Damos también las gracias a Jim Boyer, Electronics Engineering y Bio-Medical Technology Instructor, Western Iowa Tech Community College, por preparar el banco de exámenes.



CONTENIDO

- 1.1 SISTEMA DE NUMERACIÓN BINARIO**
- 1.2 CONVERSIÓN DE BINARIO A DECIMAL**
- 1.3 CONVERSIÓN DE DECIMAL A BINARIO**
- 1.4 SISTEMA DE NUMERACIÓN OCTAL**
- 1.5 CONVERSIÓN DE BINARIO A OCTAL**
- 1.6 CONVERSIÓN DE OCTAL A BINARIO**
- 1.7 SISTEMA DE NUMERACIÓN HEXADECIMAL**
- 1.8 CONVERSIÓN DE BINARIO A HEXADECIMAL**
- 1.9 CONVERSIÓN DE HEXADECIMAL A BINARIO**
- 1.10 DECIMAL CODIFICADO EN BINARIO (BCD)**
- 1.11 SUMA BINARIA**
- 1.12 RESTA BINARIA**
- 1.13 RESTA BINARIA CON COMPLEMENTOS A UNO**
- 1.14 RESTA BINARIA CON COMPLEMENTOS A DOS**
- 1.15 NÚMEROS EN COMPLEMENTO A DOS CON SIGNO**

Sistemas numéricos

Capítulo 1

LISTA DE TÉRMINOS

binario	complemento a uno
bit	acarreo circular (EAC)
octal	complemento a dos
hexadecimal	complemento a dos con signo
Decimal Codificado en Binario (BCD)	diodo emisor de luz (LED)
acarreo de entrada	ánodo
acarreo de salida	cátodo
rebasamiento	

OBJETIVOS



Al término de este capítulo el lector debe ser capaz de:

1. Contar en binario, octal, hexadecimal y decimal codificado en binario (BCD).
2. Hacer la conversión de decimal a binario y viceversa.
3. Efectuar la conversión de binario a octal y viceversa.
4. Llevar a cabo la conversión de binario a hexadecimal y de hexadecimal a binario
5. Hacer la conversión de decimal a BCD y viceversa.
6. Sumar y restar números binarios.
7. Restar números binarios con el método del complemento a uno.
8. Restar números binarios con el método del complemento a dos.
9. Hacer la conversión de decimal a complemento a dos con signo y viceversa.
10. Sumar y restar números en complemento a dos con signo.

1.1 SISTEMA NUMÉRICO BINARIO

La electrónica digital hace un uso extenso del **sistema de numeración binario**. Este sistema es útil en electrónica porque sólo utiliza dos dígitos, 1 y 0. Los dígitos binarios se emplean para representar los dos niveles de voltaje usados en la electrónica digital, ALTO o BAJO. En la mayoría de los sistemas digitales el nivel de voltaje alto está representado por el 1, mientras que el nivel de voltaje bajo o cero volts lo está por el 0. El 1 representa el estado de ENCENDIDO de un interruptor, de una luz o de un transistor, mientras que el estado APAGADO está representado por un 0. Por otra parte, antes de manipular con una computadora digital un número decimal como 32 es necesario convertirlo primero en binario, y representarlo mediante unos y ceros.

El sistema con el que las personas están más familiarizadas es el sistema decimal, ya que es el que utilizan cotidianamente. Por tanto, primero se examinarán las características de este sistema de numeración para luego compararlas con las del sistema binario. En el sistema decimal se trabaja con diez dígitos diferentes, del cero al nueve. Estos dígitos hacen que el sistema decimal sea un sistema de base 10. En el sistema binario se trabaja con dos dígitos distintos, 0 y 1, con lo que este sistema es un sistema de base dos.

Para contar en el sistema decimal se comienza en la primera columna o lugar decimal con un 0, y se prosigue hasta 9. Una vez que el primer lugar está “lleno”, se pone un cero en dicha columna y se suma uno a la siguiente (a la izquierda). Después del 9 sigue el 10. Con esto la primera columna puede volver a “llenarse”. Después del 10 vienen 11, 12, 13, etc. Cuando la primera columna se llena otra vez, se vuelve a hacer cero y se suma uno a la siguiente columna de la izquierda. Después del 19 sigue el 20. Cuando las dos columnas están llenas, se ponen ambas en cero y se suma uno a la siguiente columna de la izquierda. Después del 99 sigue el 100.

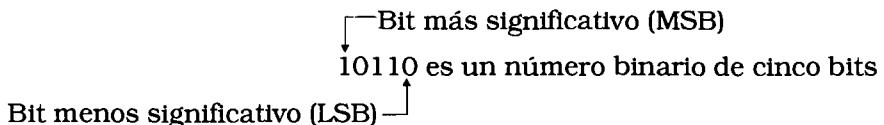
 Para contar en binario se comienza en la primera columna, o posición binaria, con 0 y se cuenta hasta 1. La primera columna se llena y se hace entonces cero, sumando uno a la siguiente columna de la izquierda. Después del 0 habrá un 1, es decir 10. Con esto, la primera columna puede volverse a llenar otra vez. Después del 10 sigue el 11. Las dos columnas están llenas. Se hacen cero ambas y se suma uno a la siguiente posición binaria a la izquierda. Después del 11 sigue el 100. Ahora la primera columna puede volverse a llenar otra vez. Después del 100 siguen 101, 110, 111, 1000, 1001, 1010, 1011, 1100, 1101, y así sucesivamente. Entonces para contar en binario se tiene

- 0
- 1 La primera columna está llena.
- 10 Se pone un cero y se suma uno a la segunda columna.
- 11 Las dos primeras columnas están llenas.

100	Se ponen ceros y se suma uno a la tercera columna.
101	
110	
111	Las tres primeras columnas están llenas.
1000	Se ponen ceros y se suma uno a la cuarta columna.
1001	
1010	
1011	
1100	
1101	
1110	
1111	Las cuatro primeras columnas están llenas.
10000	Se ponen ceros y se suma uno a la quinta columna.
10001	
10010	
10011	
10100	
10101	

Intente escribir los números binarios del 11111 al 1000000.

La palabra **bit** es una contracción de las palabras en inglés **binary digit** (dígito binario). Cada posición de un número binario se conoce como bit. El número binario 10110 es un número de cinco bits. El primer lugar del extremo derecho recibe el nombre de bit menos significativo (o LSB por sus siglas en inglés), mientras que el lugar que está en el extremo izquierdo se conoce como bit más significativo (MSB por sus siglas en inglés).



Con el uso de tres bits se puede contar en binario hasta 111, o 7. Si se incluye el 000, entonces se tienen ocho combinaciones diferentes. En general, con N bits se puede contar hasta $2^N - 1$, para un total de 2^N números distintos.

$$\text{cuenta máxima} = 2^N - 1$$

donde N es el número de bits

$$\text{número de combinaciones} = 2^N$$

donde N es el número de bits

Ejemplo: ¿Hasta qué número puede contarse empleando un número binario de cuatro bits?

Solución:

Con $N = 4$, se puede contar hasta $2^4 - 1 = 15$.

Ejemplo: ¿Cuántos números distintos pueden representarse con seis bits?

Solución:

Con $N = 6$, existen 2^N combinaciones, $2^6 = 64$.

1.2 CONVERSIÓN DE BINARIO A DECIMAL

En el sistema decimal, la primera posición a la izquierda del punto decimal se conoce como posición de las unidades. Cada columna a la izquierda aumenta por un factor de diez (sistema de base diez). Por tanto, al moverse hacia la izquierda, los valores decimales pueden expresarse en términos de la base diez como $10^0, 10^1, 10^2, 10^3$ y así sucesivamente. Con esto, el número decimal 3954 tiene el significado siguiente

$$\begin{array}{ccccccc} 3 & & 9 & & 5 & & 4 \\ (3 \times 10^3) & + & (9 \times 10^2) & + & (5 \times 10^1) & + & (4 \times 10^0) \\ (3 \times 1000) & + & (9 \times 100) & + & (5 \times 10) & + & (4 \times 1) \\ 3000 & + & 900 & + & 50 & + & 4 = 3594 \end{array}$$

En el sistema binario la primera posición a la izquierda del punto binario, también es la posición de las unidades. El valor asociado con cada columna se incrementa hacia la izquierda por un factor de dos (sistema de base dos). Al moverse hacia la izquierda a partir del punto binario, los valores asociados con las columnas son 1, 2, 4, 8, 16, 32, 64, 128, 256, 512, 1024 y así sucesivamente. Estos valores pueden representarse en términos de la base dos como $2^0, 2^1, 2^2, 2^3, 2^4, 2^5, 2^6, 2^7, 2^8, 2^9, 2^{10}$, etc. Con esto, el número binario 10110 tiene el significado siguiente

$$\begin{array}{ccccccc} 1 & & 0 & & 1 & & 1 & & 0 \\ (1 \times 2^4) & + & (0 \times 2^3) & + & (1 \times 2^2) & + & (1 \times 2^1) & + & (0 \times 2^0) \\ (1 \times 16) & + & (0 \times 8) & + & (1 \times 4) & + & (1 \times 2) & + & (0 \times 1) \\ 16 & + & 0 & + & 4 & + & 2 & + & 0 = 22 \end{array}$$

El número binario 10110 es lo mismo que el número decimal 22. A menudo se hace la distinción entre un número binario y uno decimal escribiendo la base como subíndice. Es así como

$$10110_2 = 22_{10}$$



Para convertir un número binario en uno decimal, se hace la lista con los valores de cada posición, y luego se suman los que corresponden a las posiciones donde hay un 1.

Ejemplo: Convierta 1000111_2 en un número decimal.

Solución:

Lista de valores asociados con cada posición:

1	0	0	0	1	1	1
—	—	—	—	—	—	—
2^6	2^5	2^4	2^3	2^2	2^1	2^0

Total de los valores que están representados por unos.

$$64 + 4 + 2 + 1 = 71$$

$$1000111_2 = 71_{10}$$

Ejemplo: Transforme 101011_2 en un número decimal.

Solución:

1	0	1	0	1	1
—	—	—	—	—	—
2^5	2^4	2^3	2^2	2^1	2^0

$$32 + 8 + 2 + 1 = 43$$

Ejemplo: Convierta 11001100_2 en un número decimal.

Solución:

1	1	0	0	1	1	0	0
128	64	32	16	8	4	2	1

$$128 + 64 + 8 + 4 = 204$$

$$11001100_2 = 204_{10}$$

1.3 CONVERSIÓN DE DECIMAL A BINARIO

A continuación se presentan dos métodos para convertir números decimales en números binarios.



8 Sistemas numéricicos

Método 1

Se marcan los valores de las posiciones binarias hasta llegar al sitio en que se tiene un valor mayor que el número decimal cuya conversión se desea. Por ejemplo, para convertir 23_{10} en un número binario:

32	16	8	4	2	1
----	----	---	---	---	---

El 23 no incluye ningún 32, pero sí un 16. Por tanto, se coloca un uno en la posición que corresponde a la columna donde está el 16, y se resta 16 de 23 para determinar cuánto queda por convertir.

1					
32	16	8	4	2	1
$23 - 16 = 7$					

El 7 no incluye ningún 8, pero sí un 4. En consecuencia, se pone un 0 en la columna de los ochos y un 1 en la del cuatro, y a continuación se resta 4 de 7 para determinar el residuo.

1	0	1			
32	16	8	4	2	1
$7 - 4 = 3$					

El 3 incluye un 2. Por consiguiente, se pone un 1 en la columna del dos, se resta 2 de 3 y se observa el residuo.

1	0	1	1		
32	16	8	4	2	1
$3 - 2 = 1$					

A continuación se pone un 1 en la columna de los unos y se resta 1 de 1 para determinar una vez más el residuo.

1	0	1	1	1	
32	16	8	4	2	1
$1 - 1 = 0 \quad \text{El proceso está terminado}$					

$$23_{10} = 10111_2$$

Ejemplo: Convierta 45_{10} en un número binario.

Solución:

1	0	1	1	0	1
64	32	16	8	4	2
$45 - 32 = 13$					

$$13 - 8 = 5$$
$$5 - 4 = 1$$

$$1 - 1 = 0$$

$$45_{10} = 101101_2$$

Ejemplo: Transforme 132_{10} en un número binario.

Solución:

1	0	0	0	0	1	0	0
256	128	64	32	16	8	4	2

$$132 - 128 = 4$$

$$4 - 4 = 0$$

$$132_{10} = 10000100_2$$

Método 2

El número decimal se divide repetidamente entre 2, ignorando los residuos, hasta que se tiene un cociente igual a cero. Despues se emplean éstos para obtener la respuesta. Por ejemplo, para convertir 101_{10} en un número binario:

$101 \div 2 = 50$ residuo 1 $50 \div 2 = 25$ residuo 0 $25 \div 2 = 12$ residuo 1 $12 \div 2 = 6$ residuo 0 $6 \div 2 = 3$ residuo 0 $3 \div 2 = 1$ residuo 1 $1 \div 2 = 0$ residuo 1	LSB ↑ MSB
--	--

Para determinar la respuesta, los residuos se leen de abajo hacia arriba.

$$1100101$$

Por tanto,

$$101_{10} = 1100101_2$$

Ejemplo: Convierta 291_{10} en un número binario.

Solución:

$291 \div 2 = 145$ residuo 1 $145 \div 2 = 72$ residuo 1 $72 \div 2 = 36$ residuo 0 $36 \div 2 = 18$ residuo 0 $18 \div 2 = 9$ residuo 0 $9 \div 2 = 4$ residuo 1	LSB
--	--

10 Sistemas numéricicos

$$\begin{array}{rcl} 4 \div 2 & = & 2 \text{ residuo } 0 \\ 2 \div 2 & = & 1 \text{ residuo } 0 \\ 1 \div 2 & = & 0 \text{ residuo } 1 \\ 291_{10} & = & 100100011_2 \end{array}$$

↑
MSB

Ejemplo: Transforme 1024_{10} en un número binario.

Solución:

$$\begin{array}{rcl} 1024 \div 2 & = & 512 \text{ residuo } 0 & \text{LSB} \\ 512 \div 2 & = & 256 \text{ residuo } 0 \\ 256 \div 2 & = & 128 \text{ residuo } 0 \\ 128 \div 2 & = & 64 \text{ residuo } 0 \\ 64 \div 2 & = & 32 \text{ residuo } 0 \\ 32 \div 2 & = & 16 \text{ residuo } 0 \\ 16 \div 2 & = & 8 \text{ residuo } 0 \\ 8 \div 2 & = & 4 \text{ residuo } 0 \\ 4 \div 2 & = & 2 \text{ residuo } 0 \\ 2 \div 2 & = & 1 \text{ residuo } 0 \\ 1 \div 2 & = & 0 \text{ residuo } 1 & \text{MSB} \\ 1024_{10} & = & 10000000000_2 \end{array}$$

↑

AUTODEVALUACIÓN DE LAS SECCIONES 1.1, 1.2 Y 1.3

1. Escriba los números binarios del 11111 hasta 1000000. [1]
2. ¿Hasta qué número puede contarse con seis bits? [1]
3. ¿Cuántos números diferentes es posible representar utilizando seis bits? [1]
4. Convierta $10110_2 = \underline{\hspace{2cm}}_{10}$. [2]
5. Transforme $110001_2 = \underline{\hspace{2cm}}_{10}$. [2]
6. Convierta utilizando el método 1 $412_{10} = \underline{\hspace{2cm}}_2$. [2]
7. Transforme con el método 1 $79_{10} = \underline{\hspace{2cm}}_2$. [2]
8. Convierta empleando el método 2 $598_{10} = \underline{\hspace{2cm}}_2$. [2]
9. Transforme utilizando el método 2 $126_{10} = \underline{\hspace{2cm}}_2$. [2]

Si bien los números binarios son ideales para máquinas digitales, la manipulación de ellos resulta engorrosa para los seres humanos. Es difícil

copiar una cadena de números binarios de ocho bits sin perder o trasponer un 1 o un 0. Los sistemas numéricos octal y hexadecimal se emplean como ayuda en el manejo de números binarios. A continuación se examinan primero las características de los números octales y después se utilizan para representar números binarios. Después se estudian los números hexadecimales y su uso en la representación de números binarios.

1.4 SISTEMA NUMÉRICO OCTAL



El **octal** es un sistema numérico de base ocho. En él existen ocho dígitos diferentes, desde cero hasta siete. Para contar en octal, se inicia en la primera columna a la izquierda del punto octal y se cuenta desde cero hasta siete. Cuando la primera columna se llena, se pone un cero en ella y se suma uno a la siguiente columna de la izquierda. Después del 7 sigue el 10. Ahora vuelve a llenarse la primera columna. Después del 10 siguen 11, 12, 13, 14, 15, 16, 17. La primera columna está llena una vez más, así que vuelve a ponerse un cero en ella y se suma uno en la siguiente columna de la izquierda. Los números que siguen al 17 son 20, 21, 22 y así sucesivamente. Cuando las dos primeras columnas están llenas, se ponen ceros en ambas y se suma uno a la siguiente columna de la izquierda. Después del 77 siguen 100, 101, 102, etc. Después del 757 siguen 760, 761, 762 y así sucesivamente.

Ejemplo: Cuente en octal desde 666_8 hasta 710_8 .

Solución:

666

667 La primera columna está llena.

670 Se pone un cero y se suma uno a la segunda columna.

671

672

673

674

675

676

677 Las dos primeras columnas están llenas.

700 Se ponen ceros y se suma uno a la tercera columna.

701

702

703

704

705

12 Sistemas numéricos

706

707 La primera columna está llena otra vez.

710 Se pone un cero y se suma uno a la segunda columna.

En el sistema octal, la primera posición a la izquierda después del punto octal es la de las unidades. Cada columna a la izquierda aumenta por un factor de ocho (sistema de base ocho). Por tanto, al ir de izquierda a derecha a partir del punto octal, los valores asociados con las columnas son 1, 8, 64, 512, 4096, etc. Éstos pueden expresarse en términos de la base, 8, como 8^0 , 8^1 , 8^2 , 8^3 , 8^4 y así sucesivamente. El número octal 6405_8 tiene el significado siguiente

$$\begin{array}{ccccccc} 6 & & 4 & & 0 & & 5 \\ (6 \times 8^3) & + & (4 \times 8^2) & + & (0 \times 8^1) & + & (5 \times 8^0) \\ (6 \times 512) & + & (4 \times 64) & + & (0 \times 8) & + & (5 \times 1) \\ 3072 & + & 256 & + & 0 & + & 5 = 3333 \end{array}$$

La distinción entre un número octal y uno decimal se hace escribiendo la base como un subíndice.

$$6405_8 = 3333_{10}$$

Si se comparan los números decimal, binario y octal se tiene que

Decimal	Binario	Octal
0	000	0
1	001	1
2	010	2
3	011	3
4	100	4
5	101	5
6	110	6
7	111	7
8	1000	10
9	1001	11
10	1010	12
11	1011	13
12	1100	14

Nótese que tres bits binarios corresponden de manera perfecta a un dígito octal. Esto es, se requieren exactamente tres bits para contar desde cero hasta siete.

1.5 CONVERSIÓN DE BINARIO A OCTAL



El hecho de que tres bits binarios representen ocho dígitos octales distintos, proporciona un método sencillo para convertir de binario a octal. Para ello se inicia en el punto binario y, con dirección a la izquierda, se forman grupos de tres. En caso de que sea necesario, se añaden ceros a la izquierda en el grupo más significativo hasta completar tres bits. Después se emplean los factores de ponderación 4, 2 y 1 para hacer la conversión de cada grupo en el correspondiente dígito octal.

Ejemplo: Convierta 10111101_2 en un número octal.

Solución:

$$\begin{array}{ccc} 010 & 111 & 101 \\ 2 & 7 & 5 \end{array}$$

Nótese que el grupo más significativo sólo tenía dos bits. Es por esto que se añadió en él un cero para completar tres bits.

$$10111101_2 = 275_8$$

La representación de un número binario de ocho bits puede hacerse con tres dígitos octales, los cuales son mucho más fáciles de manejar.

Ejemplo: Transforme 10101010_2 en un número octal.

Solución:

$$\begin{array}{ccc} 010 & 101 & 010 \\ 2 & 5 & 2 \end{array}$$

$$10101010_2 = 252_8$$

Ejemplo: Convierta $11010100110111101001000_2$ en un número octal.

Solución:

$$\begin{array}{cccccccccc} 011 & 010 & 100 & 110 & 111 & 101 & 001 & 000 \\ 3 & 2 & 4 & 6 & 7 & 5 & 1 & 0 \end{array}$$

$$11010100110111101001000_2 = 32467510_8$$

1.6 CONVERSIÓN DE OCTAL A BINARIO



La conversión de octal a binario es igual de fácil. Por cada dígito octal se escriben los tres dígitos binarios correspondientes. Por ejemplo, para convertir 3062_8 en un número binario:

3	0	6	2
011	000	110	010

Por tanto, $3062_8 = 011000110010_2$. Nótese que el 2 se escribe como 010, con la adición de un cero para completar los tres bits, y que el cero se escribe como 000 para mantener los tres lugares. La adición de ceros puede suprimirse en el dígito más significativo. Con esto, el 3 puede escribirse como 11 o 011.

Ejemplo: Convierta 377_8 en un número binario.

Solución:

3	7	7
011	111	111
$377_8 = 11111111_2$		

Ejemplo: Transforme 647015_8 en un número binario.

Solución:

6	4	7	0	1	5
110	100	111	000	001	101
$647015_8 = 110100111000001101_2$					



Otro modo de manejar números binarios es con el uso del **sistema numérico hexadecimal**. Este sistema es de base 16, lo que significa que para cada columna es posible escoger uno de entre 16 dígitos. Estos son 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E y F. Para contar en el sistema hexadecimal se inicia en la primera columna a la izquierda del punto hexadecimal y se cuenta desde 0 hasta F. Una vez que se llena la primera columna, se pone un cero en ella y se suma uno a la segunda columna. Después de 18, 19, 1A, 1B, 1C, 1D, 1E, 1F siguen 20, 21, y así sucesivamente. Después del 9FFF sigue el A000, etcétera.

1.7 SISTEMA NUMÉRICO HEXADECIMAL

Ejemplo: Cuente en el sistema numérico hexadecimal desde AE9 hasta B00.

Solución:

AE9 La primera columna no está llena.

AEA Se continúa con A hasta F.

AEB

AEC

AED

AEE

AEF Ahora la primera columna está llena.

AF0 Se pone un cero y se suma 1 a la segunda columna.

AF1 La primera columna está llena otra vez.

AF2

AF3

.

AF9

AFA

AFB

AFC

AFD

AFE

AFF Las dos primeras columnas están llenas.

B00 Se ponen ceros y se suma 1 a la tercera columna.

La primera columna a la izquierda del punto hexadecimal representa la posición de las unidades. Al ir hacia la izquierda, el valor de cada columna aumenta por un factor de 16; esto es, 1, 16, 256, 4096, 65536, 1048576, y así sucesivamente. El número hexadecimal $A6F0_{16}$ significa

$$\begin{array}{r}
 A \qquad \qquad \qquad 6 \qquad \qquad F \qquad \qquad 0 \\
 (10 \times 16^3) + (6 \times 16^2) + (15 \times 16^1) + (0 \times 16^0) \\
 (10 \times 4096) + (6 \times 256) + (15 \times 16) + (0 \times 1) \\
 40960 + 1536 + 240 + 0 = 42736
 \end{array}$$

Para distinguir un número hexadecimal de otro decimal, la base se escribe como subíndice.

$$A6F0_{16} = 42736_{10}$$

Al comparar los números decimal, binario y hexadecimal, se tiene

Decimal	Binario	Hexadecimal
0	0000	0
1	0001	1

Decimal	Binario	Hexadecimal
2	0010	2
3	0011	3
4	0100	4
5	0101	5
6	0110	6
7	0111	7
8	1000	8
9	1001	9
10	1010	A
11	1011	B
12	1100	C
13	1101	D
14	1110	E
15	1111	F
16	10000	10

1.8 CONVERSIÓN DE BINARIO A HEXADECIMAL



Nótese que cuatro bits binarios corresponden a un dígito hexadecimal. Esto es, se requieren exactamente cuatro bits para contar desde 0 hasta F. Para representar números binarios como números hexadecimales, se forman grupos de cuatro, comenzando en el punto binario y en dirección a la izquierda. A continuación se convierte cada grupo en el correspondiente dígito hexadecimal. Mientras se aprende las conversiones de binario a hexadecimal, deberá consultar la tabla de la sección 1.7 o, mejor aún, hacer su propia tabla en el margen de su hoja. Con la práctica, las conversiones serán automáticas.

Ejemplo: Convierta 10111001_2 en un número hexadecimal.

Solución:

1011 1001

B 9

$10111001_2 = B9_{16}$

Un número binario de ocho bits puede representarse adecuadamente con dos dígitos hexadecimales.

Ejemplo: Transforme 01011110_2 en un número hexadecimal.

Solución:

0101 1110

5 E

$$01011110_2 = 5E_{16}$$

Ejemplo: Convierta 11110000001110_2 en un número hexadecimal.

Solución:

0011 1100 0000 1110

3 C 0 E

$$11110000001110_2 = 3COE_{16}$$

1.9 CONVERSIÓN DE HEXADECIMAL A BINARIO



La conversión de hexadecimal a binario es igual de sencilla. Por cada dígito hexadecimal, se escriben los dígitos binarios correspondientes. Consulte la tabla de la sección 1.7 mientras se aprende las conversiones.

Ejemplo: Transforme $C3A6_{16}$ en un número binario.

Solución:

C	3	A	6
---	---	---	---

1100	0011	1010	0110
------	------	------	------

$$C3A6_{16} = 1100001110100110_2$$

Nótese que el 3 se escribe como 0011 con la finalidad de completar los cuatro bits requeridos, y que el 6 se escribe como 0110. Es necesario añadir los ceros que se requieran para poder trabajar con grupos de cuatro bits.

Ejemplo: Convierta $48BA_{16}$ en un número binario.

Solución:

4	8	B	A
---	---	---	---

0100	1000	1011	1010
------	------	------	------

$$48BA_{16} = 100100010111010_2$$

Ejemplo: Convierta $1FC02_{16}$ en un número binario.

Solución:

1	F	C	0	2
0001	1111	1100	0000	0010
$1FC02_{16} = 11111110000000010_2$				

1.10 DECIMAL CODIFICADO EN BINARIO (BCD)



Algunas máquinas binarias representan los números decimales en códigos distintos al binario puro. Uno de estos códigos es el **Decimal Codificado en Binario (BCD)** por sus siglas en inglés). En BCD cada dígito decimal está representado por cuatro bits, de acuerdo con el sistema de ponderación 8, 4, 2, 1 aprendido hasta el momento.

Ejemplo: Convierta 3906_{10} a BCD.

Solución:

3	9	0	6
0011	1001	0000	0110
$3906_{10} = 0011100100000110_{BCD}$			

Nótese que se añaden los ceros necesarios para asegurar que cada dígito se encuentre representado por cuatro bits.

Ejemplo: Convierta 5437_{10} a BCD.

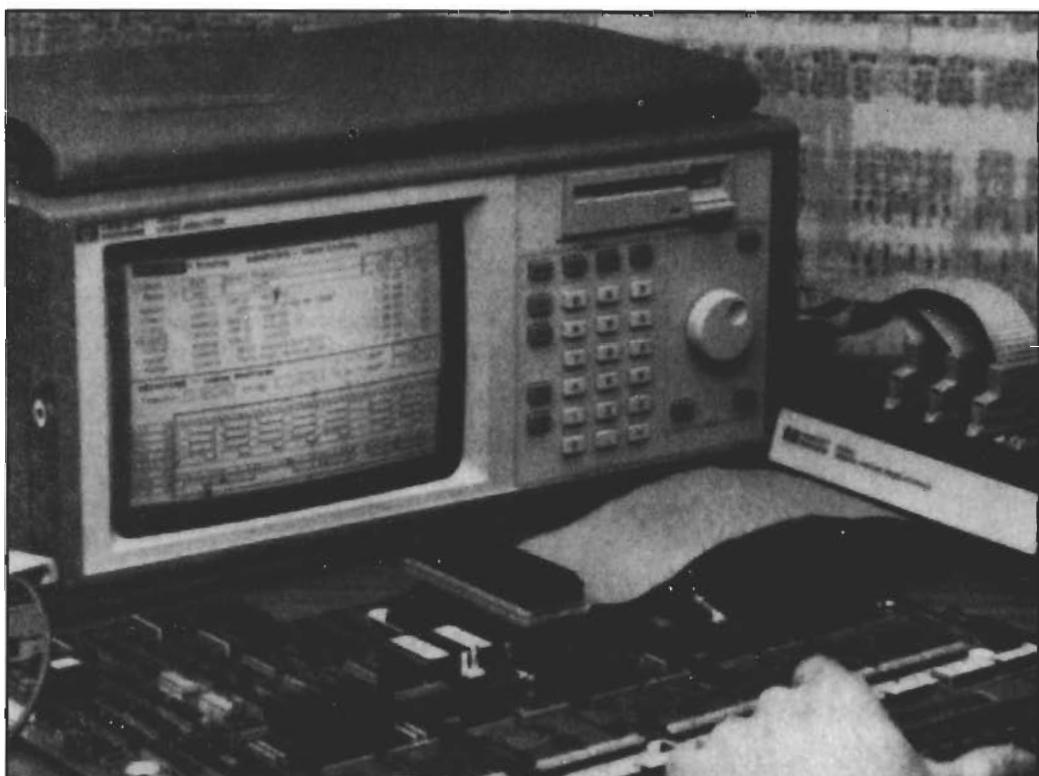
Solución:

5	4	3	7
0101	0100	0011	0111
$5437_{10} = 0101010000110111_{BCD}$			



La conversión de BCD a decimal es igual de fácil. Para ello se comienza en el punto BCD y, yendo hacia la izquierda, se forman grupos de cuatro. Después se convierte cada grupo de cuatro bits en el correspondiente dígito decimal.

ANALIZADOR LÓGICO



Fotografía cortesía de Hewlett Packard

Los analizadores lógicos son equipo de prueba empleado para detectar problemas en sistemas digitales. Este analizador lógico Hewlett Packard muestra el programa que está ejecutando una

computadora. Los analizadores lógicos muestran y utilizan muchos de los sistemas numéricos estudiados en este capítulo.

Ejemplo: Transforme 11010010011_{BCD} en un número decimal.

Solución:

$$\begin{array}{ccc} 0110 & 1001 & 0011 \\ 6 & 9 & 3 \end{array}$$

$$11010010011_{BCD} = 693_{10}$$

20 Sistemas numéricos

Con cuatro bits es posible contar desde 0 hasta 15. Los seis números posteriores al 9 no son válidos en BCD, ya que no pueden convertirse en un solo dígito decimal. Por tanto, debe tenerse cuidado de no emplearlos en el sistema BCD. Por ejemplo, 1010 no es número legítimo en BCD, ya que 1010 no se convierte en un solo dígito decimal. La figura 1-1 contiene una lista con los diez números BCD válidos y los seis que no lo son y que, por tanto, deben evitarse.

0000	{}	Válidos — Estos diez números de cuatro bits son los utilizados como números BCD.
0001		
0010		
0011		
0100		
0101		
0110		
0111		
1000		
1001		
1010	{}	No válidos — Estos seis números de cuatro bits <i>no</i> se emplean como números BCD debido a que su conversión a decimal excede el valor del dígito decimal "9".
1011		
1100		
1101		
1110		
1111		

FIGURA 1-1 Números válidos y no válidos en BCD

El diagrama de flujo de la figura 1-2 resume las conversiones estudiadas hasta el momento. El lector puede hacer la conversión de uno de los sistemas numéricos a cualquier otro o a todos los demás. No existe una línea directa desde el octal hasta el BCD ya que no se presentó la forma de hacer la conversión directa. Para convertir de octal a BCD, primero se hace la conversión a binario, después a decimal y luego a BCD.

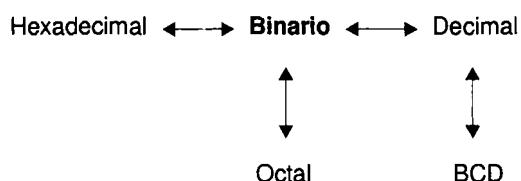


FIGURA 1-2 Diagrama de flujo para conversión

Ejemplo: Transforme 157_8 a BCD.

Solución:

Primero se convierte de octal a binario.

$$157_8 = 1011111_2$$

Después se convierte de binario a decimal.

$$1011111_2 = 111_{10}$$

Finalmente, se hace la conversión de decimal a BCD.

$$111_{10} = 100010001_{BCD}$$

Ejemplo: Cambie 362_8 a hexadecimal, binario, decimal y BCD.

Solución:

Convierta de octal a binario.

$$362_8 = 11110010_2$$

Conversión de binario a hexadecimal y de binario a decimal.

$$11110010_2 = F2_{16}$$

$$11110010_2 = 242_{10}$$

Conversión de decimal a BCD.

$$242_{10} = 1001000010_{BCD}$$

Algunas calculadoras científicas tienen modos de trabajo en binario, octal y hexadecimal. La conversión de una base a otra es algo muy sencillo con estas calculadoras. Por ejemplo, para convertir de decimal a binario en una TI-35-PLUS, el primer paso es introducir el número decimal. Despues se oprime MODE y luego BIN, con lo que la calculadora convierte el número decimal en uno binario. Para hacer la conversión de binario a hexadecimal, se pone la calculadora en modo binario y se introduce el número a convertir.

A continuación se cambia el modo de operación a hexadecimal, lo que hace la conversión automática del número. Cuando la calculadora está en cualquier modo distinto al decimal, la pantalla indica el modo. El proceso es el mismo en la HP 20S SCIENTIFIC, con la excepción de que en ella se emplean las teclas shift azul y amarillo en lugar de la tecla MODE.

Ejemplo: Transforme $3AF_{16}$ en binario.

Solución 1 - calculadora TI:

Se pone la calculadora en modo hexadecimal oprimiendo MODE HEX. A continuación se introduce el número a convertir, 3AF. Después se cambia a modo binario al presionar MODE BIN. El resultado aparecerá en la pantalla. Secuencia introducida: MODE HEX 3 A F MODE BIN.

Solución 2 - HP Scientific:

Secuencia a introducir: SHIFT AZUL HEX 3 A F SHIFT AMARILLO BIN.

Vuelva a resolver los dos ejemplos de conversión anteriores en una calculadora que permita trabajar con sistemas numéricos diferentes.

AUTOEVALUACIÓN DE LAS SECCIONES 1.4, 1.5, 1.6, 1.7, 1.8, 1.9 Y 1.10

1. Cuente en octal desde 760 hasta 1000. [1]
2. Convierta $111110010_2 = \underline{\hspace{2cm}}_8$. [3]
3. Transforme $76540_8 = \underline{\hspace{2cm}}_2$. [3]
4. Cuente en hexadecimal desde FOF hasta F20. [1]
5. Convierta $111000011000_2 = \underline{\hspace{2cm}}_{16}$. [4]
6. Transforme $4CB0_{16} = \underline{\hspace{2cm}}_2$. [4]
7. Cambie $258_{10} = \underline{\hspace{2cm}}_{BCD}$. [5]
8. Convierta $100100000100_{BCD} = \underline{\hspace{2cm}}_{10}$. [5]
9. Transforme $370_8 = \underline{\hspace{2cm}}_{16}$. [3, 4]
10. Cambie $AEO_{16} = \underline{\hspace{2cm}}_{10}$. [2, 4]
11. Transforme $10010110_{BCD} = \underline{\hspace{2cm}}_{16}$. [2, 4, 5]
12. Cambie $254_8 = \underline{\hspace{2cm}}_{BCD}$. [2, 3, 5]

1.11 SUMA BINARIA

La tabla de la figura 1-3 contiene un resumen de los resultados que pueden presentarse cuando se suman dos bits, A y B . Las salidas se denominan suma y acarreo. El acarreo indica si se debe sumar un 1 a la siguiente

columna de la izquierda. Las tres primeras líneas son exactamente lo que cualquiera esperaría. En la última, $1 + 1 = 2$, y 2 en binario es 10_2 . Por tanto, la suma es 0 y el acarreo es 1.

		Entradas		Salidas	
		A	B	Suma	Acarreo
Acarreo		0	0	0	0
		0	1	1	0
		1	0	1	0
		1	1	0	1

FIGURA 1-3 Suma binaria

La tabla de la figura 1-4 cubre la situación en la que se suma a A y B el acarreo proveniente de una columna anterior (**acarreo de entrada**). Las salidas son la suma y el **acarreo de salida**. En las primeras cuatro líneas de la tabla de la figura 1-4, el acarreo de entrada es cero, y los resultados son los mismos que aparecen en la figura 1-3. En las cuatro últimas líneas, el acarreo de entrada es 1. En la línea 8, $1 + 1 + 1 = 3$, y 3 en binario es 11_2 . En consecuencia, la suma es 1 y el acarreo de salida es 1.

		Entradas		Salidas		
		Acarreo de entrada	A	B	Suma	Acarreo de salida
Acarreo de entrada		0	0	0	0	0
		0	0	1	1	0
		0	1	0	1	0
		0	1	1	0	1
		1	0	0	1	0
		1	0	1	0	1
		1	1	0	0	1
		1	1	1	1	1

FIGURA 1-4 Suma binaria con acarreo de entrada

Ejemplo: Sume 1110_2 y 1100_2 .

Solución:

Acarreos	1100	Figura 1-4, línea 7 $1 + 1 + 0 = 0$ con acarreo = 1
	↓	Figura 1-4, línea 8 $1 + 1 + 1 = 1$ con acarreo = 1
	↓	Figura 1-4, línea 4 $0 + 1 + 1 = 0$ con acarreo = 1
	↓	Figura 1-4, línea 3 $0 + 1 + 1 = 0$ con acarreo = 1
	↓	Figura 1-3, línea 1 $0 + 0 = 0$ con acarreo = 0
+ 1100	1110	Comprobación:
+ 1100	1110	30_{10}
	101010	$+ 12_{10}$
	101010	42_{10}

El procedimiento anterior es algo tedioso, pero muestra la forma en que se aplica la información contenida en las figuras 1-3 y 1-4. En el ejemplo que sigue se suman tres números y un acarreo. Ya que este tipo de suma no se cubre en las figuras 1-3 y 1-4, se utilizará un procedimiento diferente.

Ejemplo: Sume 1011_2 , 101_2 y 1001_2 .

Solución:

Acarreos	1111	1 + 1 + 1 es 3 en decimal, 11 en binario Suma = 1 y acarreo = 1
	↓	1 + 1 es 2 en decimal, 10 en binario Suma = 0 y acarreo = 1
+ 1011 ₂	1011 ₂	Comprobación:
+ 101 ₂	101 ₂	11_{10}
+ 1001 ₂	1001 ₂	5_{10}
	11001 ₂	$+ 9_{10}$
	11001 ₂	25_{10}

1.12 RESTA BINARIA

6

La tabla de la figura 1-5 resume los resultados que pueden obtenerse cuando se restan dos bits, A y B. Las salidas se denominan diferencia y préstamo. Este último indica si se debe tomar un dos de la columna de la izquierda para completar la resta. La segunda línea es la más difícil de comprender. Para restar 1 de 0, se debe tomar prestado de la columna de la izquierda, lo que convierte el problema en

$$10_2 - 1_2 \text{ o } 2 - 1$$

que es igual a 1. Se tomó prestado 1 y se obtuvo una diferencia de 1.

Préstamo	Entradas		Salidas	
	A	B	Diferencia	Préstamo
	0	0	0	0
	0	1	1	1
	1	0	1	0
	1	1	0	0

FIGURA 1-5 Resta binaria

Ejemplo: Reste 1001_2 de 10011_2 .

Solución:

Línea 2, figura 1-5.

$0 - 1 = 1$ con un préstamo proveniente de la columna de la izquierda. El resultado es $10_2 - 1_2 = 1_2$

Línea 1, figura 1-5.

$0 - 0 = 0$ sin préstamo.

Línea 3, figura 1-5.

$1 - 0 = 1$ sin préstamo.

Línea 4, figura 1-5.

$1 - 1 = 0$ sin préstamo.

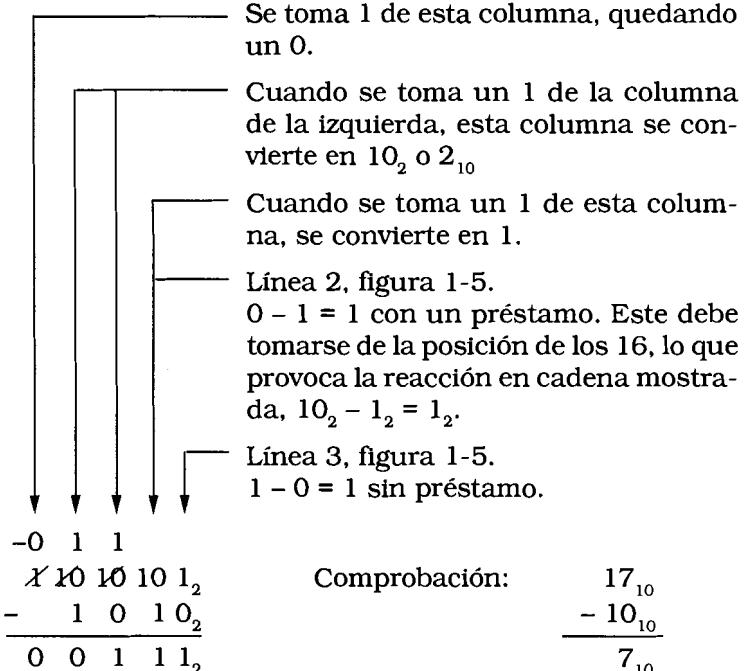
$$\begin{array}{r} 1 \\ \cancel{1}0011_2 \\ + 1001_2 \\ \hline 1010_2 \end{array}$$

Comprobación:

$$\begin{array}{r} 19_{10} \\ - 9_{10} \\ \hline 10_{10} \end{array}$$

Ejemplo: Reste 1010_2 de 10001_2 .

Solución:



Ejemplo: Reste 1001_2 de 1110_2 .

Solución:

$$\begin{array}{r}
 - 1110_2 \\
 - 1001_2 \\
 \hline
 - 0101_2
 \end{array}
 \qquad \text{Comprobación:} \qquad
 \begin{array}{r}
 14_{10} \\
 - 9_{10} \\
 \hline
 5_{10}
 \end{array}$$

Algunas calculadoras científicas pueden emplearse para realizar operaciones aritméticas en sistemas numéricos diferentes. Por ejemplo, para restar dos números binarios ponga la calculadora en modo BIN y siga la misma secuencia que se emplea para la resta en modo decimal.

Ejemplo: Haga la resta siguiente. $1011010_2 - 10001_2$

Solución:

Secuencia introducida en la calculadora TI: MODE BIN

$1011010 - 10001 =$

El resultado es 1001001.

El lector debe resolver varios de los problemas de suma y resta binarias que aparecen en este capítulo con ayuda de una calculadora.

El empleo de una tabla de verdad para hacer la resta es similar al método largo utilizado en la aritmética decimal. Es posible programar una máquina para que haga la resta de esta manera, pero muchas computadoras hacen uso de un método de resta por complemento que transforma el problema en una suma.

En todos los sistemas de complemento que se presentarán, se hará uso del concepto de **rebasamiento**. En los problemas de suma, el rebasamiento se presenta cuando la suma de la columna más significativa (la que está en el extremo izquierdo) genera un acarreo. Por ejemplo

$$\begin{array}{r} 872 \\ +345 \\ \hline 1\ 217 \end{array} \quad \begin{array}{r} 7326 \\ +0074 \\ \hline 0\ 7400 \end{array}$$

↑ ↑

Rebasamiento **No hay rebasamiento**

En el segundo ejemplo, se agregan ceros a la izquierda para completar los dos números.

1.13 RESTA BINARIA CON COMPLEMENTOS A UNO

Para obtener el **complemento a uno** de un número binario, simplemente se cambia cada bit. El complemento a uno de 1 es 0 y viceversa. El complemento a uno de 1001010 es 0110101. Para hacer la resta con complemento a uno:



1. Se obtiene el complemento a uno del sustraendo (el número de la parte inferior).
2. Se suma al minuendo (el número de la parte superior) el complemento a uno.
3. La presencia del rebasamiento indica que la respuesta es positiva. A continuación se suma el rebasamiento al bit menos significativo. Esta operación se conoce como **acarreo circular (EAC)** por sus siglas en inglés).
4. Si no hay rebasamiento entonces la respuesta es negativa. Para obtener la verdadera magnitud de la respuesta se saca el complemento a uno de la suma original.

Ejemplo: Haga la resta siguiente. $11001_2 - 10001_2$

Solución:

$$\begin{array}{r}
 -11001 \\
 -10001 \\
 \hline
 1\ 00111
 \end{array}
 \quad
 \begin{array}{r}
 11001 \\
 +01110 \\
 \hline
 00111
 \end{array}
 \quad
 \begin{array}{r}
 +1 \\
 \hline
 1\ 00111
 \end{array}$$

Rebasamiento EAC

La respuesta es $+1000$.

Comprobación:

$$25_{10} - 17_{10} = 8_{10}$$

Ejemplo: Calcule $1011_2 - 101_2$

Solución:

$$\begin{array}{r}
 -1011 \\
 -101 \\
 \hline
 1\ 0101
 \end{array}
 \quad
 \begin{array}{r}
 1011 \\
 +1010 \\
 \hline
 0101
 \end{array}
 \quad
 \begin{array}{r}
 +1 \\
 \hline
 0110
 \end{array}$$

Rebasamiento EAC

Nótese que el 0 de la izquierda se convierte en 1. La respuesta es $+110$.

Comprobación:

$$11_{10} - 5_{10} = 6_{10}$$

Se utiliza el mismo proceso cuando el sustraendo es mayor que el minuendo.

Ejemplo: Reste. $101_2 - 11000_2$

Solución:

$$\begin{array}{r}
 101 \\
 -11000 \\
 \hline
 01100
 \end{array}$$

No hay rebasamiento

La respuesta es negativa. La magnitud verdadera es el complemento a uno de 01100 o 10011 . La respuesta es -10011 .

Comprobación:

$$5_{10} - 24_{10} = -19_{10}$$

Ejemplo: Reste. $10000_2 - 11101_2$

Solución:

$$\begin{array}{r} 10000 \\ -11101 \\ \hline \end{array} \quad \begin{array}{r} 10000 \\ +00010 \\ \hline 10010 \\ \uparrow \\ \text{No hay rebasamiento} \end{array}$$

La respuesta es negativa. La magnitud verdadera es el complemento a uno de 1001 o 01101. Por tanto, la respuesta es -01101 .

Comprobación:

$$16_{10} - 29_{10} = -13_{10}$$

1.14 RESTA BINARIA CON COMPLEMENTO A DOS

Para formar el **complemento a dos** de un número, primero se obtiene el complemento a uno de éste y luego se suma 1. El complemento a dos de 10110 es $01001 + 1 = 01010$. Un método corto para obtener este complemento es comenzar con el bit menos significativo y, al ir hacia la izquierda, dejar cada bit igual hasta que se encuentra el primer uno. Después de éste, se cambian todos los bits.

Ejemplo: Encuentre el complemento a dos de 101101000.

Solución:

Se cambia cada bit que está a la izquierda del primer uno.

$$\text{Número} = 101101000$$

$$\text{Complemento a dos} = 010011000$$

Ejemplo: Halle el complemento a dos de 1011011.

Solución:

Método 1.

$$\text{Complemento a uno} \quad 0100100$$

$$\text{Se suma un } 1 \quad + \quad 1$$

$$\text{Complemento a dos} \quad 0100101$$

Método 2.

Se cambia cada bit que está a la izquierda del primer 1.

1011011

0100101

Ejemplo: Determine el complemento a dos de 101000000.

Solución:

Método 1.

Complemento a uno 01011111

Se suma 1 + 1

Complemento a dos 011000000

Método 2.

Se cambia cada bit que se encuentra a la izquierda del primer 1.

101000000

011000000

8

Para hacer la resta con el complemento a dos:

1. Se obtiene el complemento a dos del sustraendo (el número de la parte inferior).
2. Se le suma al minuendo (número de la parte superior).
3. La presencia de rebasamiento indica que la respuesta es positiva. En este caso, se ignora (no hay acarreo circular).
4. Si no hay rebasamiento, entonces la respuesta es negativa. Para obtener la magnitud verdadera de ésta, se saca el complemento a dos de la suma.

Ejemplo: Reste. $1011_2 - 100_2$

Solución:

$$\begin{array}{r}
 1011 \\
 - 100 \\
 \hline
 1011
 \end{array}
 \quad
 \begin{array}{r}
 1011 \\
 + 1100 \\
 \hline
 1011
 \end{array}$$

Rebasamiento

Complemento a uno =

$$\begin{array}{r}
 1011 \\
 + 1 \\
 \hline
 1100
 \end{array}$$

Complemento a dos =

La respuesta es positiva, 111.

Comprobación:

$$11_{10} - 4_{10} = 7_{10}$$

Ejemplo: Haga la resta siguiente. $10011_2 - 10010_2$

Solución:

$$\begin{array}{r} 10011 \\ -10010 \\ \hline 1\ 00001 \end{array} \quad \begin{array}{r} 10011 \\ +01110 \\ \hline 1\ 00001 \end{array}$$

Rebasamiento

La respuesta es positiva, 1.

Comprobación.

$$19_{10} - 18_{10} = 1_{10}$$

El proceso es el mismo cuando el sustraendo es mayor que el minuendo.

Ejemplo: Reste. $10010_2 - 11000_2$

Solución:

$$\begin{array}{r} 10010 \\ -11000 \\ \hline 11010 \end{array} \quad \begin{array}{r} 10010 \\ +01000 \\ \hline 11010 \end{array}$$

No hay rebasamiento

La respuesta es negativa. La magnitud verdadera es el complemento a dos de 11010, o 110. Por tanto, la respuesta es -110.

Comprobación:

$$18_{10} - 24_{10} = -6_{10}$$

Ejemplo: Evalúe $1001_2 - 10101_2$

Solución:

$$\begin{array}{r} 1001 \\ -10101 \\ \hline 10100 \end{array} \quad \begin{array}{r} 01001 \\ +01011 \\ \hline 10100 \end{array}$$

No hay rebasamiento

La respuesta es negativa. La magnitud verdadera es el complemento a dos de 10100, o 1100. Por tanto, la respuesta es -1100.

Comprobación:

$$9_{10} - 21_{10} = -12_{10}$$

Dos ventajas de la resta con el sistema de complemento son

1. El procedimiento es el mismo sin importar si el sustraendo es mayor o menor que el minuendo. Esto permite ahorrar el tiempo o circuitería que una máquina digital requiere para decidir si un número es mayor o menor que otro.
 2. El problema de resta se convierte en un problema de suma. Por consiguiente, puede emplearse la misma circuitería para ambos procesos.
-

AUTOEVALUACIÓN DE LAS SECCIONES 1.11, 1.12, 1.13

Y 1.14

1. Haga las sumas siguientes. [6]

11000	1010
1101	1101
<u>1011</u>	<u></u>

2. Reste los números binarios siguientes. [6]

10110	100111
- 1001	- 11100
<u></u>	<u></u>

3. Realice las restas con complementos a uno. [7]

10110	1011
- 1010	- 10101
<u></u>	<u></u>

4. Reste utilizando complementos a dos. [8]

10110	1011
- 1010	- 10101
<u></u>	<u></u>

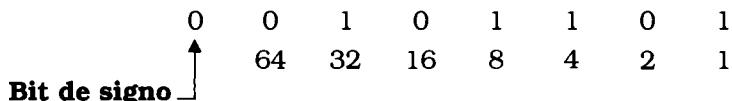
1.15 NÚMEROS EN COMPLEMENTO A DOS CON SIGNO



Las microcomputadoras emplean en ocasiones un bit de un número binario para señalar el signo de éste, mientras que los demás indican su magnitud. Los números negativos se guardan en la memoria en forma de complemento a dos. Este sistema se conoce como **complemento a dos con signo**. El bit más significativo es el que se emplea como bit de signo. En general un cero en este bit indica que el número es positivo, con lo que los demás bits expresan la magnitud verdadera del número.

Ejemplo: Convierta 00101101 del sistema de complemento a dos con signo en un número decimal.

Solución:

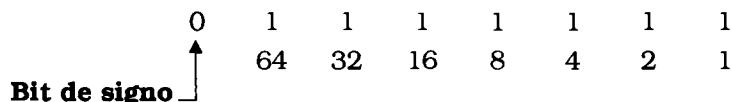


La magnitud verdadera es $32 + 8 + 4 + 1 = 45$. El número es positivo. La respuesta es 45_{10} .

Ejemplo: ¿Cuál es el número positivo más grande que puede representarse en un sistema de complemento a dos con signo de ocho bits?

Solución:

El mayor número positivo que puede representarse en un sistema de complemento a dos con signo de ocho bits es 01111111.



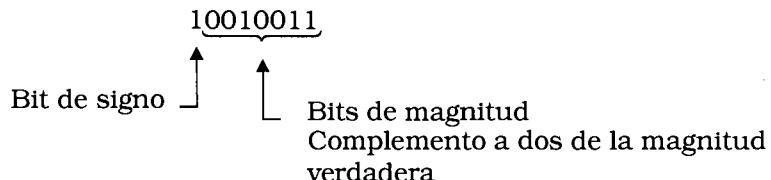
La magnitud verdadera es $64 + 32 + 16 + 8 + 4 + 2 + 1 = 127$. El número es positivo. Por tanto, 127_{10} es el mayor número decimal positivo que puede representarse con este sistema.



En general, un 1 en el bit de signo indica que el número es negativo. Los demás bits expresan el número en forma de complemento a dos.

Ejemplo: Transforme 10010011 del sistema de complemento a dos con signo en un número decimal.

Solución:



Para determinar la magnitud verdadera, obtenga el complemento a dos del número, incluyendo al bit de signo.

$$\text{Complemento a dos} = 10010011$$

$$\text{Magnitud verdadera} = 01101101$$

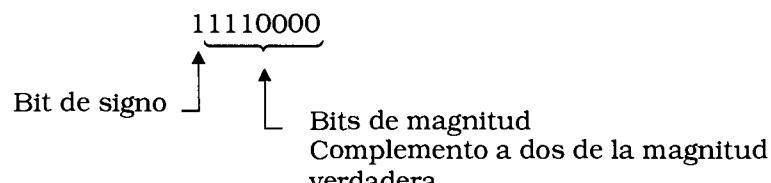
0	1	1	0	1	1	0	1
128	64	32	16	8	4	2	1

$$64 + 32 + 8 + 4 + 1 = 109$$

El número es negativo. La respuesta es -109_{10} .

Ejemplo: Convierta 11110000 del sistema de complemento a dos con signo en un número decimal.

Solución:



$$\text{Complemento a dos} = 11110000$$

$$\text{Magnitud verdadera} = 00010000$$

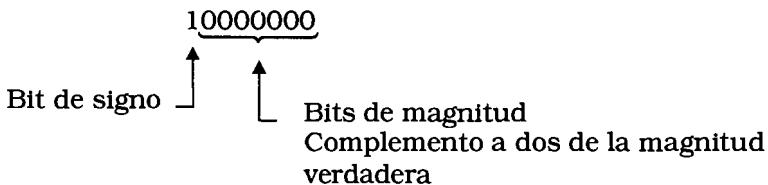
0	0	0	1	0	0	0	0
128	64	32	16	8	4	2	1

El número es negativo. La respuesta es -16_{10} .

Ejemplo: ¿Cuál es el número más negativo que puede representarse en un sistema de complemento a dos con signo de ocho bits?

Solución:

El número más negativo que puede representarse en un sistema de complemento a dos con signo de ocho bits es 10000000.



$$\text{Complemento a dos} = 10000000$$

$$\text{Magnitud verdadera} = 10000000$$

1	0	0	0	0	0	0	0	0
128	64	32	16	8	4	2	1	

El número negativo -128_{10} es el mayor número negativo que puede representarse en este sistema.

En un sistema de complemento a dos con signo de ocho bits, los números pueden variar desde -128_{10} hasta $+127_{10}$.

Para expresar un número decimal negativo en forma de complemento a dos con signo, primero se convierte a binario la magnitud y después se toma el complemento a dos de ésta.

Ejemplo: Exprese -78_{10} como un número de ocho bits en complemento a dos con signo.

**Solución:**

$$78_{10} =$$

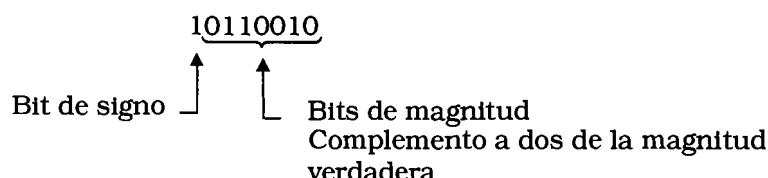
0	1	0	0	1	1	1	0
128	64	32	16	8	4	2	1

$$\text{Magnitud verdadera} = 01001110$$

$$\text{Complemento a dos} = 10110010$$

$$-78_{10} = 10110010 \text{ (complemento a dos con signo)}$$

Comprobación:



Complemento a dos = 10110010

Magnitud verdadera = 01001110

0	1	0	0	1	1	1	0
128	64	32	16	8	4	2	1

El número es negativo. El número en complemento a dos con signo de ocho bits 10110010 es igual a $-(64 + 8 + 4 + 2) = -78_{10}$.

10

Los números en forma de complemento a dos con signo pueden sumarse utilizando la suma binaria directa, mientras que la resta se hace obteniendo el complemento a dos del sustraendo y luego sumando. El bit de signo indicará el signo de la respuesta. Las que son positivas están en forma de magnitud. Las negativas se encuentran en forma de complemento a dos.

Ejemplo: Sume los siguientes números de ocho bits, los cuales se encuentran en forma de complemento a dos con signo.

$$01011001 + 10101101$$

Solución:

$$\begin{array}{r} 01011001 & (+89) \\ + 10101101 & (-83) \\ \hline 100000110 & (+6) \end{array}$$

↑
Se ignora el rebasamiento

Ejemplo: Sume los siguientes números de ocho bits en complemento a dos con signo. Exprese la respuesta en forma decimal.

$$11011001 + 10101101$$

Solución:

$$\begin{array}{r} 11011001 & (-39) \\ + 10101101 & (-83) \\ \hline 110000110 & (-122) \end{array}$$

↑
Se ignora el
rebasamiento

Bit de signo

↑
Bits de magnitud
Complemento a dos de la
magnitud verdadera

Complemento a dos = 10000110

Magnitud verdadera = 01111010

0	1	1	1	1	0	1	0
128	64	32	16	8	4	2	1

El número es negativo. La respuesta es

$$-(64 + 32 + 16 + 8 + 2) = -122$$

Comprobación:

$$-39 + (-83) = -122$$

Ejemplo: Reste los números siguientes, los cuales están representados en forma de complemento a dos con signo. Exprese la respuesta en forma decimal.

10

$$01011011 - 11100101$$

Solución:

Para restar se obtiene el complemento a dos del sustraendo y luego se suma.

$$\begin{array}{r} -01011011 \\ -11100101 \\ \hline \end{array} \longrightarrow \begin{array}{r} 01011011 \\ +00011010 \\ \hline 01110110 \end{array}$$

No hay rebasamiento

Bit de signo

1	1	1	0	1	1	0
64	32	16	8	4	2	1

La respuesta es positiva.

$$64 + 32 + 16 + 4 + 2 = 118$$

Comprobación:

$$91 - (-27) = 118$$

Ejemplo: Reste los números siguientes, los cuales están en forma de complemento a dos con signo. Exprese la respuesta en forma decimal.

$$10001010 - 11111100$$

Solución:

Para hacer la resta se obtiene el complemento a dos del sustraendo y luego se suma.

$$\begin{array}{r}
 -10001010 \\
 -11111100 \\
 \hline
 \end{array}
 \quad \rightarrow \quad
 \begin{array}{r}
 10001010 \\
 +00000100 \\
 \hline
 10001110
 \end{array}$$

↑ ↑
No hay rebasamiento Bits de magnitud
 Bit de signo Complemento a dos
 de la magnitud verdadera

Complemento a dos = 10001110

Magnitud verdadera = 01110010

0	1	1	1	0	0	1	0
128	64	32	16	8	4	2	1

El número es negativo. La respuesta es

$$-(64 + 32 + 16 + 2) = -114$$

Comprobación:

$$-118 - (-4) = -114$$

En todos los ejemplos presentados hasta el momento de matemática de complementos a dos con signo, los resultados han sido correctos. Para garantizar que el resultado sea correcto, siempre debe vigilarse el acarreo de la columna 7 hacia el bit de signo, observando las reglas siguientes.

1. Si existe un acarreo de la columna 7 hacia el bit de signo y un rebasamiento, entonces la respuesta es correcta.
2. Si no existe acarreo de la columna 7 hacia el bit de signo y ni rebasamiento, la respuesta es correcta.
3. Si no existe acarreo de la columna 7 hacia el bit de signo y se presenta un rebasamiento o viceversa, entonces la respuesta no es correcta.

Los sistemas que hacen uso de matemática en complemento a dos con signo, deben vigilar el acarreo de la columna 7 hacia el bit de signo y el rebasamiento para determinar si ha ocurrido un error.

En los dos ejemplos siguientes, los resultados no son correctos.

Ejemplo: Haga la resta siguiente. Los números están representados en forma de complemento a dos con signo con ocho bits. Exprese la respuesta en forma decimal.

$$10000101 - 01111111$$

Solución:

Para restar, tómese el complemento a dos del sustraendo y luego haga la suma.

$$\begin{array}{r}
 10000101 \\
 -01111111 \\
 \hline
 \end{array}
 \quad \longrightarrow \quad
 \begin{array}{r}
 10000101 \\
 +10000001 \\
 \hline
 100000110
 \end{array}
 \quad
 \begin{array}{r}
 (-123) \\
 -(+127) \\
 \hline
 (-250)
 \end{array}$$

↑
Se ignora el rebasamiento

El resultado indica que la respuesta es +6, pero en realidad debería ser -250. No hay acarreo hacia el bit de signo, pero sí un rebasamiento. Puesto que éstos difieren, el resultado es incorrecto. El error se ha presentado debido a que la respuesta correcta es demasiado grande para poder expresarla en un sistema de complemento a dos con signo con ocho bits.

Ejemplo: Sume los números siguientes, los cuales están en forma de complemento a dos con signo. Exprese la respuesta en forma decimal.

$$01111110 + 00111101$$

Solución:

$$\begin{array}{r}
 01111110 = +126 \\
 +00111101 = +61 \\
 \hline
 010111011 \neq +187
 \end{array}$$

↑
No hay rebasamiento

El resultado indica que la respuesta es negativa. Un acarreo proveniente del bit 7 hacia el bit de signo ha cambiado éste a 1. Por otra parte, no se ha presentado ningún rebasamiento. Puesto que ambos son diferentes, el resultado es incorrecto. El error se debe a que +187 es demasiado grande para ser representado en este sistema de complemento a dos con signo con ocho bits.

AUTOEVALUACIÓN DE LA SECCIÓN 1.15

1. Haga la conversión de complemento a dos con signo a decimal. [9]

00001011

10110110

2. Convierta de decimal a complemento a dos con signo con ocho bits. [9]

100

-100

3. Sume los números siguientes, los cuales están en complemento a dos con signo. Indique si el resultado es correcto o incorrecto. [10]

11100000
10011101

00111011
10101011

4. Reste los números siguientes (complemento a dos con signo). Establezca si el resultado es correcto o incorrecto. [10]

00110110
- 10101110

10001111
10101101

RESUMEN

- El binario es un sistema numérico de base 2 con dígitos 0 y 1.
- El octal es un sistema numérico de base 8 con dígitos desde 0 hasta 7.
- El hexadecimal es un sistema numérico con dígitos desde 0 hasta 9 y desde A hasta F.
- Para convertir de binario a decimal, se hace la lista del valor de cada posición y luego se suman los que están representados por unos.
- Existen dos métodos para convertir de decimal a binario.
 1. Se encuentra el valor de la posición binaria más grande que no exceda al número que va a convertirse. Se pone un 1 en dicha posición. Después se resta este valor del número decimal. El proceso se repite para el residuo hasta que valga cero. Las demás posiciones se llenan con ceros.
 2. Divídase sucesivamente entre dos, ignorando los residuos, hasta obtener un cociente igual a cero. Los residuos, del último al primero, forman la respuesta.
- Para hacer la conversión de binario a octal, se forman grupos de tres bits. Utilice los factores de ponderación 4, 2, y 1 para convertir cada grupo en los correspondientes dígitos octales.
- Para convertir de octal a binario, escribanse los tres dígitos binarios que corresponden a cada dígito octal.
- Para convertir de binario a hexadecimal, se forman grupos de cuatro bits. Utilicense los factores de ponderación 8, 4, 2 y 1 para convertir cada grupo en los dígitos hexadecimales correspondientes.

- Para hacer la conversión de hexadecimal a binario, escribanse los cuatro bits que corresponden a cada dígito hexadecimal.
- En el sistema decimal codificado en binario (BCD), cada dígito decimal está representado por cuatro bits, de acuerdo con el sistema de ponderación 8, 4, 2, 1.
- El complemento a uno de un número binario se forma al cambiar cada bit.
- El complemento a dos puede obtenerse con dos métodos:
 1. Cambiando cada bit y luego sumando 1.
 2. Comenzando con el LSB y yendo hacia la izquierda, se deja cada bit sin cambiar hasta encontrar el primer 1. Después de éste, se cambia cada uno de los bits restantes.
- Para restar con el empleo de algún método de complemento, se suma al minuendo el complemento del sustraendo.
- En un sistema de complemento a dos con signo, el MSB indica el signo del número. 0 es positivo, 1 negativo.

PREGUNTAS Y PROBLEMAS

1. Escriba los números binarios desde 100_2 hasta 1000_2 . [1]
2. Escriba los números binarios desde 1011_2 hasta 10101_2 . [1]
3. Anote los números octales desde 66_8 hasta 110_8 . [1]
4. Escriba los números octales desde 767_8 hasta 1010_8 . [1]
5. Escriba los números hexadecimales desde DD_{16} hasta 101_{16} . [1]
6. Anote los números hexadecimales desde EFD_{16} hasta $F10_{16}$. [1]
7. Escriba los números BCD desde 10001001_{BCD} hasta 10000001_{BCD} . [1]
8. Escriba los números BCD desde 1101000_{BCD} hasta 10010000_{BCD} . [1]
9. a) ¿Hasta dónde puede contarse con un número binario de cuatro bits? [1]
 - b) ¿Cuántos números distintos es posible representar con cuatro bits? [1]
10. a) ¿Cuál es el mayor número que puede representarse con ocho bits? [1]
 - b) ¿Cuántos números distintos es posible representar con ocho bits? [1]

42 Sistemas numéricicos

11. a) ¿Hasta dónde se puede contar con un número binario de 16 bits?
 b) ¿Cuántos números distintos se pueden representar con 16 bits?
12. a) ¿Cuántos dígitos se emplean en el sistema de numeración octal? [1]
 b) ¿Cuántos dígitos se utilizan en el sistema de numeración hexadecimal? [1]
 c) ¿Cuántos dígitos se emplean en el sistema de numeración BCD? [1]
13. Complete la tabla. [2, 3, 4, 5]

Octal	Hexadecimal	Binario	Decimal	BCD
36				
	A9			
		10010		
			99	
				1100111

14. Complete la tabla. [2, 3, 4, 5]

Octal	Hexadecimal	Binario	Decimal	BCD
54				
	3C			
		1011100		
			100	
				10000001

15. Sume en binario. [6]

a)	$\begin{array}{r} 1001_2 \\ +1101_2 \\ \hline \end{array}$	b)	$\begin{array}{r} 1_2 \\ 1011_2 \\ +1001_2 \\ \hline \end{array}$	c)	$\begin{array}{r} 10010_2 \\ 1100_2 \\ +11101_2 \\ \hline \end{array}$
----	--	----	---	----	--

16. Reste en binario. [6]

a)	$\begin{array}{r} 1001_2 \\ -110_2 \\ \hline \end{array}$	b)	$\begin{array}{r} 10101_2 \\ -1110_2 \\ \hline \end{array}$	c)	$\begin{array}{r} 1101_2 \\ -100100_2 \\ \hline \end{array}$	d)	$\begin{array}{r} 10010100_2 \\ -1010010_2 \\ \hline \end{array}$
----	---	----	---	----	--	----	---

17. Reste en binario. [6]

a)	$\begin{array}{r} 1100_2 \\ - 101_2 \\ \hline \end{array}$	b)	$\begin{array}{r} 11010_2 \\ - 1011_2 \\ \hline \end{array}$	c)	$\begin{array}{r} 1101_2 \\ -100111_2 \\ \hline \end{array}$	d)	$\begin{array}{r} 101_2 \\ -10010_2 \\ \hline \end{array}$
----	--	----	--	----	--	----	--

18. Reste utilizando complementos a uno. [7]

a)	$\begin{array}{r} 1010_2 \\ -1000_2 \\ \hline \end{array}$	b)	$\begin{array}{r} 10001_2 \\ -11101_2 \\ \hline \end{array}$
----	--	----	--

19. Reste utilizando complementos a uno. [7]

a)	$\begin{array}{r} 1001_2 \\ -100_2 \\ \hline \end{array}$	b)	$\begin{array}{r} 1001_2 \\ -1102_2 \\ \hline \end{array}$
----	---	----	--

20. Reste utilizando complementos a dos. [8]

a)	$\begin{array}{r} 11010_2 \\ -1100_2 \\ \hline \end{array}$	b)	$\begin{array}{r} 10010_2 \\ -11110_2 \\ \hline \end{array}$
----	---	----	--

21. Reste empleando complementos a dos. [8]

a)	$\begin{array}{r} 100101_2 \\ -1001_2 \\ \hline \end{array}$	b)	$\begin{array}{r} 10101_2 \\ -11000_2 \\ \hline \end{array}$
----	--	----	--

22. Exprese los siguientes números decimales en forma de complemento a dos con signo con ocho bits. [9]

a) -38	c) -12	e) -100
b) +57	d) +12	f) +60

23. Exprese los siguientes números decimales en forma de complemento a dos con signo con ocho bits. [9]

a) -50	c) -2	e) -120
b) +43	d) +8	f) +83

24. Sume los números siguientes, los cuales están en forma de complemento a dos con signo. Utilice el acarreo de la columna 7 y el rebasamiento para determinar si la respuesta es correcta. [10]

a) 00011110 + 00111000	c) 11100011 + 10000001
b) 01011101 + 00111100	d) 00110011 + 11001100

25. Sume los siguientes números de ocho bits, los cuales están en forma de complemento a dos con signo. Haga uso del acarreo de la columna 7 y del rebasamiento para decir si la respuesta es correcta. [10]

a) 00111101 + 11010110	c) 10011100 + 10011011
b) 01100111 + 11001001	d) 01111111 + 01111111

Práctica 1

Sumador de 4 bits 7483

OBJETIVOS

Al término de esta práctica, el lector deberá ser capaz de:

- conectar un CI 7483 de manera apropiada.
- utilizar un 7483 como sumador.
- utilizar un 7483 como restador de complemento a uno.
- utilizar un 7483 como restador de complemento a dos.
- conectar en cascada dos 7483 para hacerlos trabajar como un sumador de ocho bits.

COMPONENTES NECESARIOS

2 CI 7483

9 LED

9 resistores de $330\ \Omega$

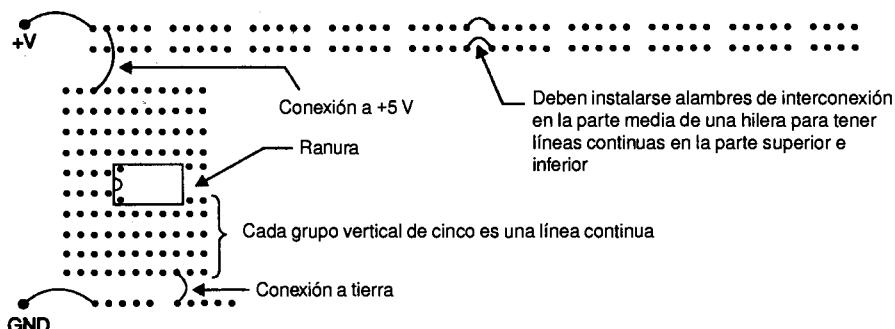
PREPARACIÓN

En este experimento se emplea el sumador de cuatro bits 7483 para sumar números binarios. El 7483 se estudia con detalle en el capítulo 5, pero puede emplearse en este momento para confirmar lo aprendido en el capítulo 1. El 7483 es un circuito integrado TTL. En el capítulo 6 se presentan las especificaciones detalladas de la familia de circuitos integrados TTL. Lo que el lector necesita saber sobre TTL para llevar a cabo este experimento es lo siguiente.

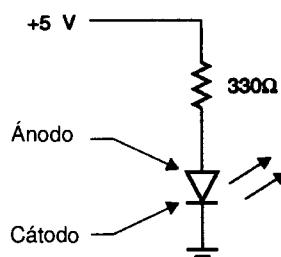
1. Las conexiones a la fuente de alimentación reciben el nombre de V_{CC} y tierra. V_{CC} siempre está conectado a +5V, mientras que tierra lo está a 0 V.
2. Un 0 legítimo en una de las terminales de salida puede variar entre 0 y 0.4 V. Un 1 legítimo en una de las terminales de salida puede variar entre 2.4 y 5 V.

3. Usualmente, el CI toma las terminales de entrada que quedan sin conectar como si estuvieran en el nivel lógico 1. En este experimento, las señales de entrada se conectan a +5V para denotar un 1, y a tierra para el 0.

El lector construirá el circuito de este experimento en la tablilla de experimentación (protoboard) de un entrenador TTL/CMOS. La tablilla tiene hileras en la parte superior que pueden conectarse a +5V y tierra. Cada hilera está dividida en dos. Para tener una hilera continua, es necesario conectar con alambre cada mitad. Los CI se insertan en la tablilla de modo que cubran la ranura que ésta tiene en su parte media. El acceso a cada terminal del circuito se hace vía los grupos verticales de cinco conexiones continuas. Deben emplearse alambres cortos para hacer las conexiones de cada CI a la fuente de alimentación. Los interruptores que están en la parte

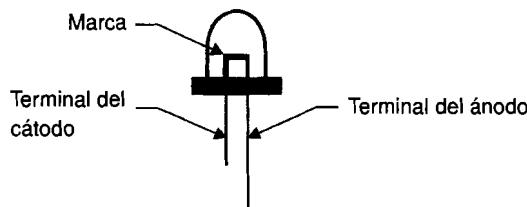


inferior del entrenador pueden utilizarse para proporcionar los unos y ceros a las entradas. En la posición superior se tiene un uno; en la inferior un cero. Las demás entradas deben conectarse en forma manual a +5 V o a 0 V con alambre. Las salidas se conectan a los cuatro **diodos emisores de luz (LED)** que están en la parte superior del entrenador. Las demás salidas deben conectarse a los demás LED a través de un resistor limitador de corriente de aproximadamente $300\ \Omega$, como se muestra en la figura.



A continuación se presentan cuatro maneras de distinguir las terminales de **ánodo** y de **cátodo** del LED.

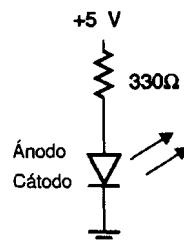
1. La terminal del cátodo es la que tiene una marca.



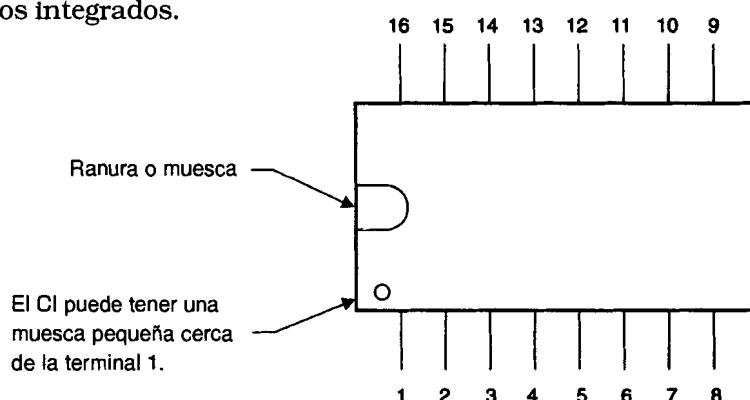
2. Usualmente, la terminal del ánodo tiene una longitud mayor que la del cátodo.
3. La cara plana del encapsulado está del lado del cátodo del LED.



4. Conéctese el LED en un circuito de prueba. Si el LED no enciende, entonces déle la vuelta. Cuando encienda, la terminal que está conectada a tierra es la del cátodo. No debe olvidarse el resistor limitador de corriente, de lo contrario el LED se convertirá en un diodo emisor opaco.

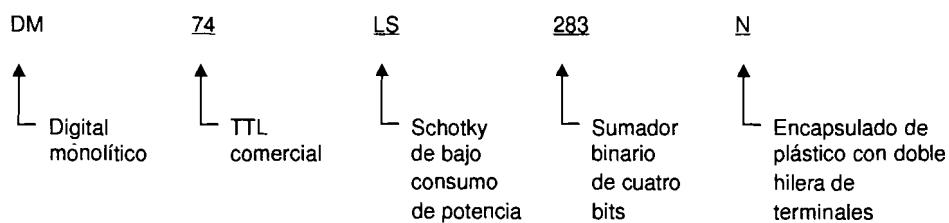


La fuente de alimentación tiene una salida fija en 5 V para trabajar con TTL, o una variable para CMOS. Asegúrese de que la fuente esté puesta para trabajar con TTL. Si el entrenador o la fuente de alimentación de cd no tiene una salida fija en 5 V, conéctese un volímetro a la salida de la fuente variable y ajústela a 5 V. Apague la fuentes antes de insertar o retirar circuitos integrados.



Las terminales del circuito integrado están distribuidas en un patrón definido. En uno de los extremos de la parte superior del circuito integrado aparece una ranura o círculo. Las terminales están numeradas en sentido contrario al del giro de las manecillas del reloj a partir de dicha ranura. El CI de la figura es un circuito con doble hilera de terminales o DIP por sus siglas en inglés. También es común encontrar CI con 14, 20, 24 y 40 terminales.

La identificación de los CI se hace con un número de código que está estampado en la parte superior de éstos. El prefijo es el código del fabricante. Los dos números siguientes denotan la familia a la que pertenece el CI, tal como TTL o CMOS. Si después aparecen letras, entonces éstas señalan la subfamilia a la que pertenece el CI. Los números que siguen indican la función del circuito, y las últimas letras el tipo del encapsulado. Por ejemplo:



No debe confundirse el número del CI con el código de fecha, el que también aparece a menudo sobre el circuito. El número 7436 indica que el CI fue fabricado en la semana 36 del año 1974.

Los circuitos integrados se dividen en categorías de acuerdo con la complejidad de éstos. Los circuitos de pequeña escala de integración (SSI), tales como las compuertas y los flip-flops, tiene una circuitería equivalente a menos de 12 compuertas. Los circuitos de mediana escala de integración (MSI), como los decodificadores, contadores, multiplexores y el CI sumador que se emplea en este experimento, tienen un circuitería equivalente a 12 o más compuertas, pero no más de 100. Los circuitos de gran escala de integración (LSI) tienen 100 o más compuertas.

En un manual de especificaciones TTL busque el CI para obtener el diagrama de terminales (dónde conectar la fuente de alimentación, las señales de entrada, y las de salida). Inserte el CI en la tablilla y haga las conexiones a V_{cc} (+5 V) y tierra (0 V). Haga el hábito de hacer siempre estas conexiones primero. Se pierden muchas horas al intentar corregir una falla cuando el único problema es una fuente de alimentación en mal estado. El circuito integrado 7483 hace la suma de dos número de cuatro bits, $A_4A_3A_2A_1$ y $B_4B_3B_2B_1$, más un acarreo C_0 que proviene de una suma previa.

$$\begin{array}{cccc}
 & C_0 & \text{Usted proporcionará estas entradas,} \\
 A_4 & A_3 & A_2 & A_1 \\
 + & B_4 & B_3 & B_2 & B_1
 \end{array}
 \quad
 \begin{array}{l}
 \text{+5 para 1, 0 V para un 0.}
 \end{array}$$

No olvide a C_0 . Las entradas que quedan flotando (esto es, sin conectar) son interpretadas por el CI como unos. Si no se desea un acarreo hacia la primera columna ($C_0 = 0$), entonces conecte éste a tierra. Las salidas son el resultado de la suma, y serán conectadas a los LED para observarlas. Un 1 en la salida debe encender el LED, mientras que un 0 no debe hacerlo. Nótese que C_0 es el acarreo que proviene de una suma previa. Los acarreos C_1 , C_2 y C_3 son manejados por el CI de manera interna, y C_4 representa el rebasamiento o acarreo hacia la columna siguiente. Las demás salidas están marcadas con Σ (sigma) y denotan la suma. Σ_4 , Σ_3 , Σ_2 y Σ_1 representan las sumas de las columnas 4, 3, 2 y 1 respectivamente.

El 7483 sólo puede sumar. Para restar $B_4B_3B_2B_1$ de $A_4A_3A_2A_1$ se debe tomar primero el complemento a uno o a dos de $B_4B_3B_2B_1$ y ponerlo como entrada al CI. Éste no puede hacer lo anterior. Los experimentos son difíciles de realizar, así que el lector no debe sentirse frustrado. Debe evitar la trampa de hacer apresuradamente el trabajo de laboratorio para irse temprano a casa, dejando algún punto sin aclarar. El lector debe poner mucha atención a los detalles, pero sin perder de vista los conceptos.

$$\begin{array}{r}
 & & & C_0 \\
 A_4 & A_3 & A_2 & A_1 \\
 \hline
 B_4 & B_3 & B_2 & B_1 \\
 \hline
 C_4 & \Sigma_4 & \Sigma_3 & \Sigma_2 & \Sigma_1
 \end{array}$$



ASPECTOS DE SEGURIDAD

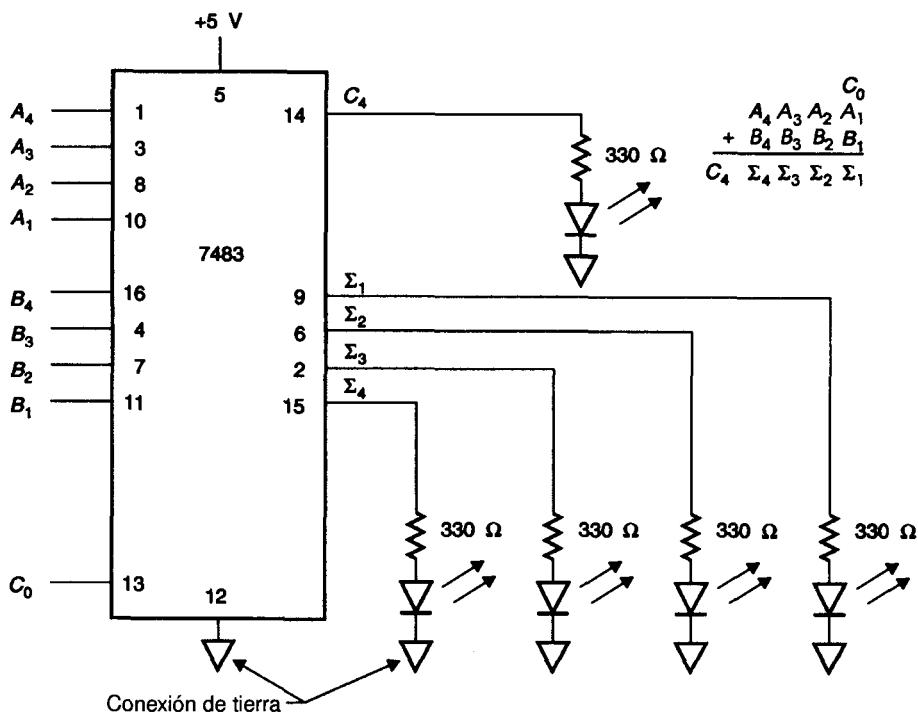
REGLAS DE SEGURIDAD DEL LABORATORIO A continuación se mencionan algunas reglas que deben tenerse siempre presentes y que harán que las sesiones de laboratorio siempre sean seguras para usted y los que trabajan cerca. El profesor tendrá algunas reglas adicionales y más específicas que deben seguirse en el laboratorio.

1. Ubique los extinguidores de incendio disponibles en el laboratorio y cerca del mismo. Los de tipo C son adecuados para incendios de naturaleza eléctrica. Los extinguidores de tipo ABC son apropiados para todo tipo de incendios. Averigüe dónde están los extinguidores y cómo utilizarlos.
2. Ubique los interruptores principales de alimentación de energía eléctrica del laboratorio que pueden emplearse para eliminar la electricidad de los contactos que hay en éste. Si alguien está en problemas (eléctricamente hablando) accione el interruptor y luego intente ayudarlo.

3. Muchos de los circuitos digitales de este libro funcionan con +5 V. Cuando se trabaja con circuitos de cinco volts, casi todas las personas tienden a no ser tan cuidadosas debido a que éste es un voltaje bajo. Sin embargo, no deben perderse los hábitos de trabajo a grado tal que se ponga en peligro su seguridad y la de otros cuando se emplean +5 V para controlar 120 volts de ca.
 - a) La joyería puede ser un buen conductor de la corriente. Pueden sufrirse quemaduras muy graves si las joyas llegan a formar parte de la trayectoria de la corriente.
 - b) Si el generador de señales y la fuente de alimentación no están aislados de tierra, entonces la tierra del osciloscopio sólo podrá ser conectada a la tierra común. De otro modo, el circuito será modificado y podrán fluir corrientes grandes.
 - c) Si se conectan capacitores electrolíticos con la polaridad invertida, pueden calentarse y explotar. Concéntrese en su trabajo.
 4. Utilice gogles para soldar y desoldar componentes. A menudo los ojos están muy próximos al área de trabajo. Una gota salpicada de soldadura en los ojos no sólo es en extremo doloroso, sino que puede dañar la vista.
 5. Suelde en un área bien ventilada para evitar inhalar el humo del fundente.
 6. Proteja sus ojos y los de los que se encuentran a su alrededor sosteniendo el extremo del alambre que va a cortar con las pinzas.
 7. Evite la tentación de jugar en el laboratorio. Las bromas no tienen lugar en este sitio. Siempre es útil un poco de sentido común.
-

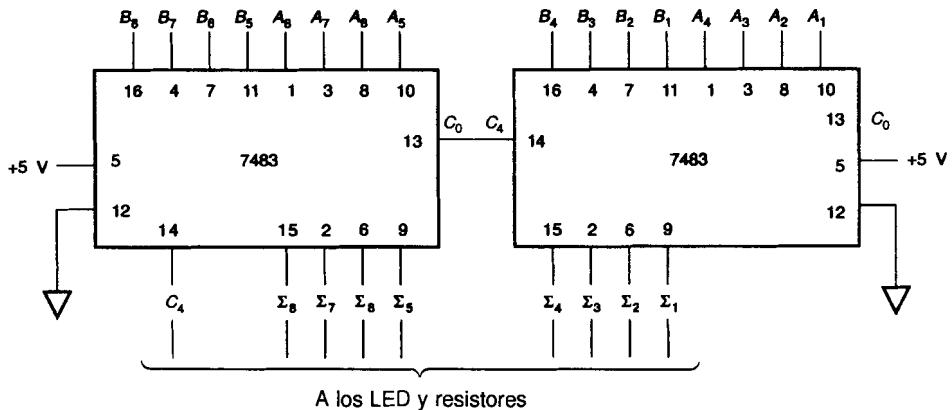
PROCEDIMIENTO

1. Conecte el CI como se muestra en la página siguiente.
2. Sean $A = 10_{10}$, $B = 6_{10}$ y $C_0 = 0$.
3. Verifique la salida.
4. Sean $A = 7_{10}$, $B = 4_{10}$ y $C_0 = 1$.
5. Verifique la salida.
6. Intente otras combinaciones más.



7. Ponga como entrada el complemento a uno de B para resolver los siguientes problemas ($C_0 = 0$). Utilice la forma $A - B = C$.
- $14_{10} - 7_{10}$
 - $10_{10} - 6_{10}$
 - $7_{10} - 8_{10}$
8. Intente otros ejemplos de resta utilizando complementos a uno.
9. Ponga como entrada el complemento a dos de B para resolver los problemas siguientes. Utilice la forma $A - B = C$.
- $14_{10} - 8_{10}$
 - $6_{10} - 12_{10}$
 - $7_{10} - 8_{10}$
10. Conecte dos CI 7483 como se muestra en la página siguiente para formar un sumador completo de ocho bits.

52 Sistemas numéricicos



11. Resuelva los problemas siguientes. Verifique las respuestas utilizando los dos 7483.

- $150_{10} + 201_{10} = \underline{\hspace{2cm}}$ ($C_0 = 0$).
- $255_{10} + 1_{10} = \underline{\hspace{2cm}}$ ($C_0 = 1$).
- $128_{10} + 31_{10} = \underline{\hspace{2cm}}$ (utilice complementos a uno).
- $500_{10} + 63_{10} = \underline{\hspace{2cm}}$ (utilice complementos a dos).



SUGERENCIAS PARA DETECTAR FALLAS

Si el circuito no funciona de manera apropiada, considere los siguientes puntos:

1. V_{cc} y tierra. Utilice un voltímetro para verificar directamente en las terminales correspondientes del CI que V_{cc} sea +5 V y que la tierra esté en 0 V. Si los voltajes medidos son diferentes, entonces siga el alambre hasta encontrar la falla.
2. Entradas. Utilice un voltímetro para verificar que cada entrada tenga el nivel esperado. Haga esto directamente en las terminales del CI. Corrija cualquier discrepancia. Puesto que estas entradas son proporcionadas de manera directa por los interruptores o por las hileras conectadas a la fuente de alimentación, un 1 debe estar cercano a +5 V, y 0 próximo a tierra.
3. Salidas. Haga uso de un voltímetro para comprobar las salidas directamente en las terminales del CI (2.4 V a 5 V para un 1, 0 V a 0.4 V para un 0). Si los dos pasos anteriores están bien pero el tercero no, entonces el CI está mal o existe algo conectado a las salidas que hace que el voltaje de éstas descienda. Un error muy común del principiantes es conectar las salidas, en particular C_4 , a tierra o a V_{cc} . Desconecte los alambres de la terminal de salida que tiene problemas y vea si se restaura el valor apropiado.
4. Terminales. ¿Se está haciendo uso de la distribución de terminales correcta para el CI? Consulte el manual de especificaciones.
5. Piense y actúe. La corrección de un circuito no puede hacerse sólo mirándolo. Utilice el voltímetro. Participe. Discuta con su compañero de laboratorio.
6. En ocasiones los alambres de conexión se introducen tanto en la tablilla que el aislamiento impide hacer las conexiones eléctricas. Usted debe ser capaz de descubrir esta situación con un voltímetro.
7. Si después de todo no comprende lo que está haciendo, ¡pregunte!

CONTENIDO

- 2.1** COMPUERTAS
- 2.2** INVERSORES
- 2.3** COMPUERTAS OR
- 2.4** COMPUERTAS AND
- 2.5** COMPUERTAS NAND
- 2.6** COMPUERTAS NOR
- 2.7** HABILITACIÓN/INHABILITACIÓN PARA EL CONTROL DE DATOS
- 2.8** HABILITACIÓN/INHABILITACIÓN DE UNA COMPUERTA AND
- 2.9** HABILITACIÓN/INHABILITACIÓN DE UNA COMPUERTA NAND
- 2.10** HABILITACIÓN/INHABILITACIÓN DE UNA COMPUERTA OR
- 2.11** HABILITACIÓN/INHABILITACIÓN DE UNA COMPUERTA NOR
- 2.12** RESUMEN DE HABILITACIÓN/INHABILITACIÓN
- 2.13** COMPUERTA NAND COMO INVERSOR
- 2.14** COMPUERTA NOR COMO INVERSOR
- 2.15** AMPLIACIÓN DE UNA COMPUERTA AND
- 2.16** AMPLIACIÓN DE UNA COMPUERTA NAND
- 2.17** AMPLIACIÓN DE UNA COMPUERTA OR
- 2.18** AMPLIACIÓN DE UNA COMPUERTA NOR

Compuertas lógicas

Capítulo 2

LISTA DE TÉRMINOS

compuerta
álgebra booleana
AND
NAND
OR
NOR
inversor

tabla de verdad
círculo de inversión
activo en el nivel BAJO
activo en el nivel ALTO
habilitación
inhabilitación

OBJETIVOS



Al término de este capítulo el lector debe ser capaz de:

1. Dibujar el símbolo lógico de cada compuerta.
2. Escribir la expresión booleana de la salida de cada compuerta.
3. Escribir la tabla de verdad de cada compuerta.
4. Dibujar el símbolo lógico invertido de cada compuerta.
5. Escribir la expresión booleana para la salida de cada compuerta lógica invertida.
6. Predecir la salida de cada compuerta dadas las entradas.
7. Dibujar el símbolo de la IEC de cada compuerta.
8. Describir la forma en que se habilita e inhabilita cada una de las compuertas de dos entradas.
9. Utilizar compuertas NAND y NOR como inversores.
10. Ampliar cada una de las compuertas con dos entradas.

2.1 COMPUERTAS

Las **compuertas** son circuitos que se emplean para combinar niveles lógicos digitales (unos y ceros) en formas específicas. Para expresar la salida en términos de las entradas, se emplea un sistema denominado **álgebra Booleana**. Las compuertas básicas son **AND**, **NAND**, **OR**, **NOR** y el **inversor**.

2.2 INVERSORES



El **inversor** es una compuerta que tiene solo una entrada, y cuya salida es el complemento de la entrada. La función de este dispositivo es invertir la entrada. La figura 2-1 presenta el símbolo utilizado para el inversor. Si A es 0 entonces Y es 1, y si A es 1 entonces Y es 0. El funcionamiento del inversor puede resumirse en una **tabla de verdad**, al listar todas las entradas posibles así como las salidas que corresponden a éstas (Figura 2-2).

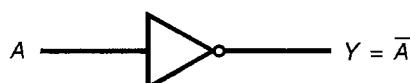


FIGURA 2-1 Inversor

Entrada	Salida
A	Y
0	1
1	0

FIGURA 2-2 Tabla de verdad del inversor

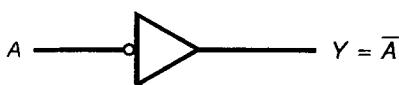
El círculo que aparece en la salida del símbolo de la figura 2-1 se conoce como **círculo de inversión**. La entrada no tiene este círculo. Si una entrada o salida tiene el círculo, éste debe leerse como un 0, o de lo contrario como un 1. La interpretación del símbolo es “entra 1, sale 0”. El círculo en la salida indica que ésta es **activa en el nivel BAJO**, mientras que la ausencia del mismo en la entrada señala que la entrada es **activa en el nivel ALTO**. La entrada “busca” un nivel 1 para producir un 0, que es una salida activa en el nivel bajo. La expresión booleana para la salida es \bar{A} , lo que se lee como “complemento de A ” o “ A negada”.



La figura 2-3 presenta otro símbolo para el inversor, denominado símbolo lógico invertido o símbolo lógico funcional, el cual tiene un círculo de inversión en la entrada pero ninguno en la salida. La lectura del símbolo es “entra 0, sale 1”. De cualquier modo, el resultado es el mismo. En los diagramas se usan los dos símbolos, así que lo recomendable es aprender ambos. La figura 2-4 muestra símbolos equivalentes para el inversor.

Los inversores se encuentran disponibles en paquetes DIP de 14 terminales tanto en TTL como en CMOS. En la familia TTL el 7404 es un inversor séxtuple. **Séxtuple** significa que el CI contiene seis inversores. Cada uno de

4

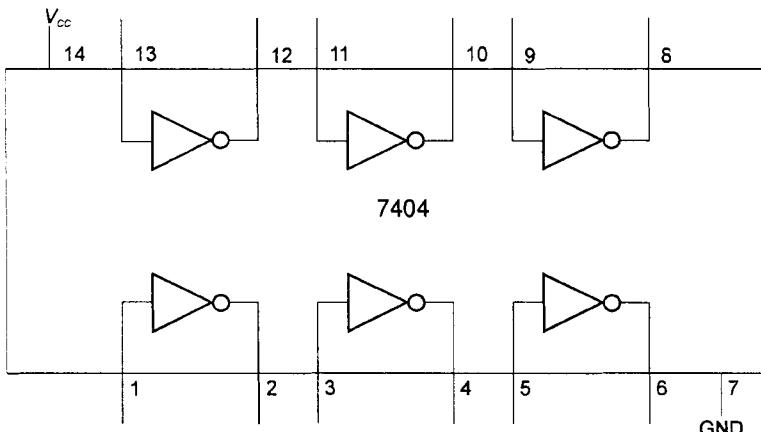
**FIGURA 2-3** Símbolo lógico invertido para el inversor

5

**FIGURA 2-4** Símbolos equivalentes para el inversor

ellos es independiente de los demás, y puede emplearse en una parte diferente del circuito. La fuente de alimentación, V_{cc} , es +5 V y se aplica en la terminal 14, conectando la 7 a tierra (véase Figura 2-5).

En la familia CMOS, el 4069 es un inversor séxtuple de propósito general. El CI funciona igual que un inversor TTL y tiene la misma distribución de terminales que éste. El voltaje de alimentación, V_{dd} , puede variar entre +3 V y +15 V. La terminal 7, V_{ss} , está conectada a tierra. La tabla 2-1 contiene una lista de algunos CI inversores disponibles en el mercado.

**FIGURA 2-5** Diagrama de distribución de terminales para un CI inversor séxtuple**TABLA 2-1 CI inversores**

NÚMERO	FAMILIA	DESCRIPCIÓN
7404	TTL	Inversor séxtuple
74C04	CMOS	Inversor séxtuple
4069	CMOS	Inversor séxtuple

Nota: La serie 74xx de CI son TTL; la 74Cxx son CMOS, con la misma distribución de terminales que los CI 74xx del mismo número; los CI 40xx son CMOS.



Además del símbolo lógico convencional de la figura 2-5, la IEC (International Electrotechnical Commission) y el IEEE (Institute of Electrical and Electronics Engineers) han desarrollado un sistema de símbolos lógicos que muestran la relación entre cada entrada y salida, sin presentar la circuitería interna.

La figura 2-6 muestra el símbolo de la IEC para el inversor séxtuple 7406. Puesto que cada inversor funciona de manera independiente de los demás, cada uno se dibuja con su propio rectángulo. El "1" del rectángulo de la parte superior indica que una entrada debe estar activa para producir la salida. El triángulo de la derecha es equivalente al círculo de inversión del símbolo convencional. Una entrada activa en el nivel alto, produce una salida activa en el nivel bajo.

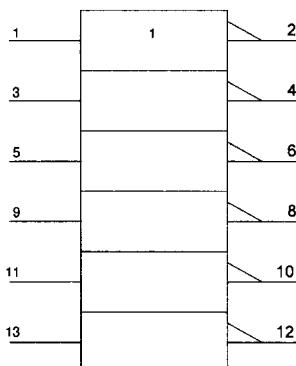


FIGURA 2-6 Símbolo de la IEC para el 7406 —inversor séxtuple

2.3 COMPUERTAS OR



La compuerta OR es un circuito que produce un 1 como salida cuando cualquiera de las entradas es 1. La figura 2-7 muestra el símbolo para una compuerta OR de dos entradas, A y B, y salida Y.



La expresión booleana para la salida es $A + B$, la cual se lee como “A OR (o) B”. La salida Y es 1 cuando A es 1 o B es 1, o ambas son 1. La tabla de verdad de la figura 2-8 resume el funcionamiento de la compuerta OR. Todas las combinaciones posibles de las entradas se listan contando en binario desde 00 hasta 11.



El símbolo de la figura 2-7 representa una función OR. Puesto que no hay círculos de inversión en las entradas o en las salidas, la lectura del símbolo es “entra 1 OR (o) 1, sale 1”. Esta afirmación está resumida en las últimas tres líneas de la tabla de verdad de la figura 2-8. La primera línea de la tabla contiene la única condición en que la salida es 0, la cual se conoce como estado singular de la compuerta.



FIGURA 2-7 Compuerta OR de dos entradas

Entradas		Salida
B	A	Y
0	0	0
0	1	1
1	0	1
1	1	1

FIGURA 2-8 Tabla de verdad para una compuerta OR de dos entradas

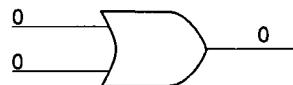
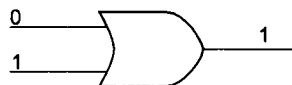
Ejemplo: Determine la salida de cada compuerta.

6



Solución:

En la primera compuerta las entradas son diferentes (línea 2 o 3 de la tabla de verdad), y la salida es 1. En la segunda compuerta las dos entradas son 0 (línea 1 de la tabla de verdad), con lo que la salida es 0.



4

La figura 2-9 muestra otro símbolo para la compuerta OR de dos entradas, denominado símbolo lógico invertido. La forma de éste representa a la función AND y tanto las entradas como la salida poseen círculos de inversión. Este símbolo representa la primera línea de la tabla de verdad, mientras que el de la figura 2-7 representa a las últimas tres. La lectura del símbolo puede hacerse como "entra 0 AND (y) 0, sale 0".

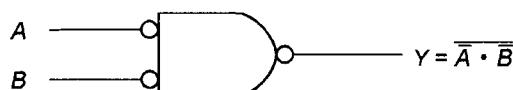


FIGURA 2-9 Símbolo lógico invertido para una compuerta OR de dos entradas



La expresión booleana para la salida de la compuerta de la figura 2-9 se obtiene de la manera siguiente:

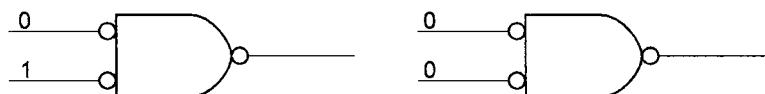
1. Puesto que A tiene un círculo de inversión, se escribe complemento de A , \bar{A} .
2. Como B también tiene un círculo de inversión, se escribe complemento de B , \bar{B} .
3. Dado que la forma de la compuerta es la de una AND, lo que se indica como un signo de multiplicación (o se omite), se escribe $\bar{A} \cdot \bar{B}$ o $\bar{A}\bar{B}$.
4. Para encontrar Y , se complementa toda la expresión $\bar{A} \cdot \bar{B}$.

Ya que los símbolos de las figuras 2-7 y 2-9 son equivalentes, entonces las salidas también lo son y $A + B = \bar{A} \cdot \bar{B}$. Los dos símbolos se emplean en los diagramas, por lo que es necesario aprender ambos. En la figura 2-10 se muestran símbolos equivalentes para la compuerta OR.



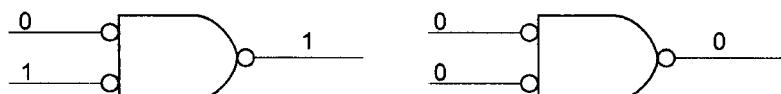
FIGURA 2-10 Símbolos lógicos equivalentes para una compuerta OR

Ejemplo: Obtenga la salida de cada compuerta.



Solución:

El símbolo alternativo establece que un 0 AND (y) un 0 producen una salida 0. En la primera compuerta ambas entradas no son 0, por lo que la salida es 1. En la segunda compuerta las dos entradas son 0, y la salida es 0.



Los símbolos lógicos invertidos aparecen en los diagramas debido a la naturaleza de las señales que las compuertas combinan.

Algunas señales tienen normalmente un nivel ALTO y cambian al nivel BAJO, cuando están activas. Otras se encuentran normalmente en el nivel BAJO y cambian al nivel ALTO, cuando están activas. Estas últimas se conocen como señales activas en el nivel ALTO. Una compuerta que combina señales activas en el nivel ALTO usualmente se dibuja sin círculos de inversión en las entradas. Una compuerta que combina entradas activas en el nivel BAJO a veces se dibuja en la forma lógica invertida, con círculos de inversión en las entradas.

Se tiene un buen ejemplo del uso de un símbolo lógico invertido cuando un microprocesador Z-80 necesita guardar una palabra en la memoria, figura 2-11. El dispositivo genera dos señales de control, las cuales son SOLICITUD DE MEMORIA y ESCRITURA, las dos activas en el nivel BAJO. El complemento sobre los nombres de las variables indica que éstas son activas en el nivel BAJO. En este caso es necesario combinar las dos señales para producir otra, también activa en el nivel BAJO, denominada ESCRITURA EN MEMORIA. El nivel de esta variable debe ir al nivel BAJO cuando ambas entradas tengan el nivel BAJO. El símbolo lógico OR invertido es ideal para esta situación. ESCRITURA EN MEMORIA hará una transición al nivel BAJO cuando SOLICITUD DE MEMORIA y ESCRITURA se encuentren en el nivel BAJO.

En TTL y CMOS se tienen disponibles gran variedad de formas de compuertas OR. El 7432 es un CI TTL OR cuádruple (contiene cuatro compuertas), donde cada compuerta tiene dos entradas. Las cuatro son independientes y cada una puede emplearse en una parte diferente del circuito sin retroalimentación. El voltaje se proporciona al CI a través de V_{cc} (+5 V) y una conexión a tierra. El 4072 es un CI CMOS OR doble (dos compuertas), cada una con cuatro entradas. La figura 2-12 muestra el símbolo y la tabla de verdad para una compuerta OR de cuatro entradas.

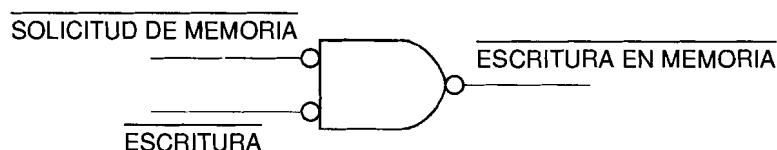
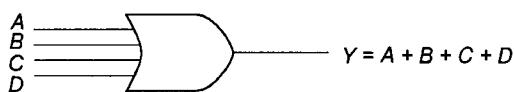


FIGURA 2-11

62 Compuertas lógicas



Entradas				Salida
D	C	B	A	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

FIGURA 2-12 Símbolo y tabla de verdad para una compuerta OR de cuatro entradas

La figura 2-13 presenta la distribución de terminales de los circuitos integrados 7432 y 4072, mientras que la tabla 2-2 presenta algunos de los CI OR disponibles comercialmente.



La figura 2-14 presenta el símbolo de la IEC para la compuerta OR cuádruple de dos entradas de un 7432. El signo 1 indica que una o más entradas deben estar activas (en este caso en el nivel ALTO) para producir una salida activa (también en el nivel ALTO). Puesto que no hay triángulos en las entradas o salidas, todas ellas son activas en el nivel ALTO. Para producir una salida 1 se necesitan uno o más unos en las entradas de la compuerta. Ya que las compuertas trabajan de manera independiente de las demás, se dibuja un rectángulo para cada una de ellas.

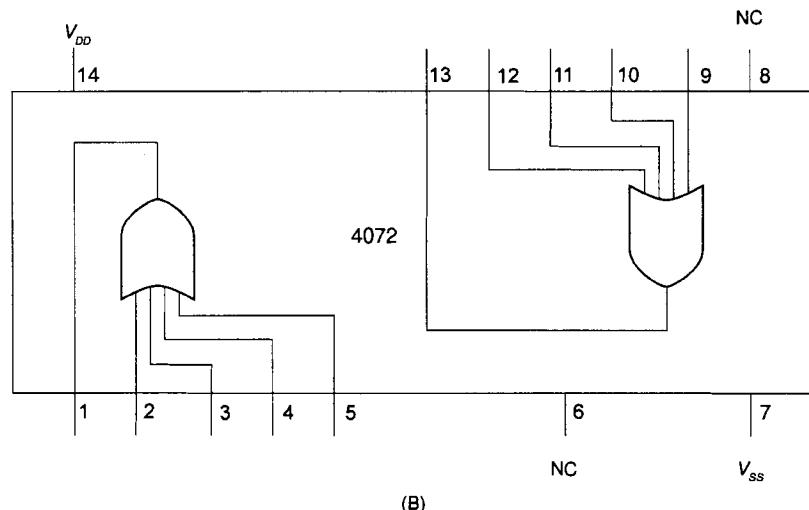
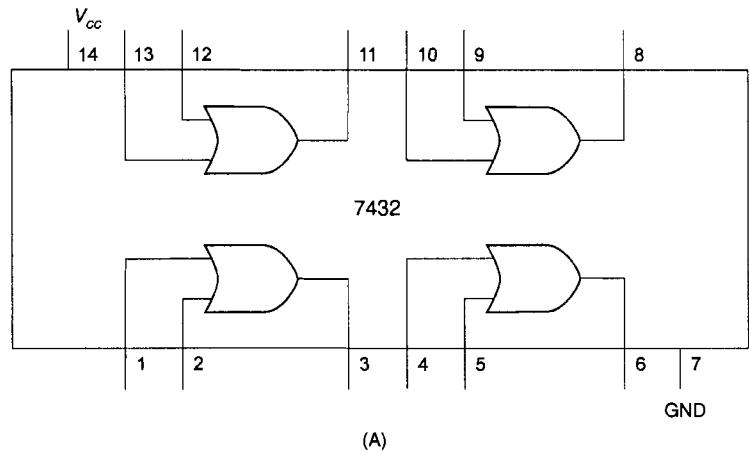


FIGURA 2-13 Diagrama de distribución de terminales de compuertas OR

TABLA 2-2 Compuertas OR

NÚMERO	FAMILIA	DESCRIPCIÓN
7432	TTL	OR cuádruple de dos entradas
74C32	CMOS	OR cuádruple de dos entradas
4071	CMOS	OR cuádruple de dos entradas
4072	CMOS	OR doble de cuatro entradas

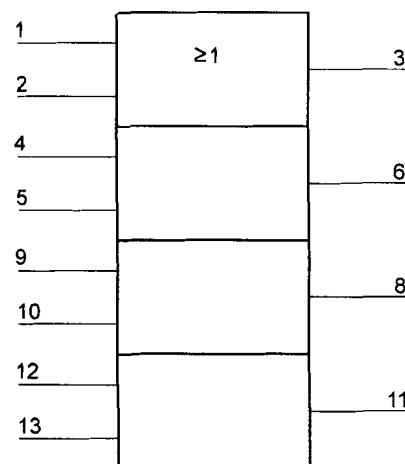


FIGURA 2-14 Símbolo de la IEC —compuerta OR 7432 cuádruple de dos entradas

2.4 COMPUERTAS AND



Una *compuerta AND* es un circuito que produce una salida 1 sólo cuando todas sus entradas son 1. La figura 2-15 muestra una compuerta AND con dos entradas A y B , y salida Y .



La expresión booleana para la salida es $A \cdot B$ o simplemente AB , y se lee como “ A AND (y) B ”. La salida Y es 1 únicamente cuando tanto A como B son 1. La tabla de verdad de la figura 2-16 resume la operación de la compuerta. La lista de todas las combinaciones posibles de las entradas se hace al contar en binario desde 00 hasta 11.



El símbolo AND describe la operación de la compuerta. Puesto que no hay círculos de inversión en la entrada o en la salida, la lectura de la compuerta es “entra 1 AND (y) 1, sale 1”. Esta proposición describe la última línea de la tabla de verdad, y la única situación donde la salida es 1. Éste es el estado singular de la compuerta.

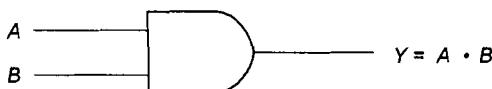


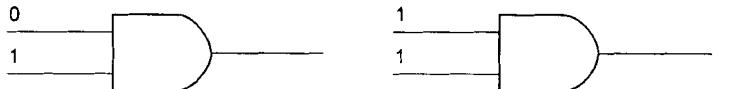
FIGURA 2-15 Compuerta AND de dos entradas

Entradas		Salida
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

FIGURA 2-16 Tabla de verdad de una compuerta AND de dos entradas

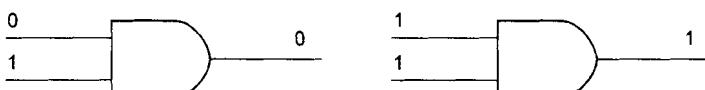
Ejemplo: Obtenga la salida de cada compuerta.

6



Solución:

En la primera compuerta las entradas son diferentes (línea 2 o 3 de la tabla de verdad), y la salida es 0. En la segunda compuerta las dos entradas son 1 (última línea de la tabla de verdad), con lo que la salida es 1.



4

Las tres primeras líneas de la tabla de verdad de la compuerta AND indican que si se presenta un 0 en A o B (o en ambas), entonces la salida es 0. La situación anterior puede resumirse como “entra 0 OR (o) 0, sale 0”. El símbolo que representa este planteamiento aparece en la figura 2-17. Tanto las entradas como las salidas tienen círculos de inversión en este símbolo lógico invertido.



FIGURA 2-17 Símbolo lógico invertido para una compuerta AND de dos entradas

5

La expresión booleana para el símbolo lógico invertido se obtiene de la manera siguiente:

1. Puesto que A tiene un círculo de inversión, se escribe \overline{A} .
2. Como B también tiene un círculo de inversión, se escribe \overline{B} .
3. La forma de la compuerta es la de una OR, lo que se escribe como $+$.
4. Ahora se escribe $\overline{A} + \overline{B}$. Dado que la salida tiene un círculo de inversión, $\overline{\overline{A} + \overline{B}}$ es la expresión booleana que corresponde a \overline{Y} . $\overline{Y} = \overline{\overline{A} + \overline{B}}$.
5. Para encontrar Y se toma el complemento de toda la expresión, $\overline{\overline{\overline{A} + \overline{B}}}$.

Dado que los símbolos de las figuras 2-15 y 2-17 son equivalentes, las salidas de éstos también lo son y $A \cdot B = \overline{\overline{A} + \overline{B}}$. Los dos símbolos se emplean en los diagramas, razón por la que es necesario que el lector los aprenda. En la figura 2-18 se muestran símbolos equivalentes para la compuerta AND.

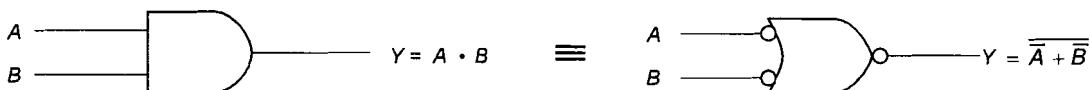


FIGURA 2-18 Símbolos equivalentes para una compuerta AND

Ejemplo: Determine la salida de cada compuerta.

6



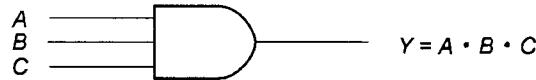
Solución:

El símbolo alternativo establece que cualquier entrada 0 dará como resultado una salida 0. En la primera compuerta existe un 0 en la entrada, así que la salida es 0. En la segunda compuerta no hay ceros en las entradas, por lo que la salida es 1.



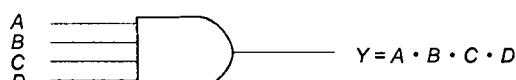
Existe una gama amplia de compuertas AND disponibles comercialmente en TTL y CMOS. El CI 7408 contiene una compuerta AND cuádruple (es decir, cuatro compuertas), independientes entre sí, con dos entradas cada una. El 7411 contiene una compuerta AND triple (es decir, tres compuertas) con tres entradas cada una, mientras que el 4082 es un CI CMOS que contiene una compuerta AND doble (es decir, dos compuertas en un CI) con cuatro entradas cada una.

La figura 2-19 muestra el símbolo y la tabla de verdad de una compuerta AND con tres entradas, mientras que la figura 2-20 presenta el símbolo y la tabla de verdad de una compuerta AND con cuatro entradas.



Entradas			Salida
C	B	A	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

FIGURA 2-19 Símbolo y tabla de verdad para una compuerta AND de tres entradas



Entradas				Salida
D	C	B	A	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

FIGURA 2-20 Símbolo y tabla de verdad de una compuerta AND con cuatro entradas

Los diagramas de distribución de terminales de los CI 7408, 7411 y 4802 aparecen en la figura 2-21. Por otra parte, la tabla 2-3 contiene una lista de compuertas AND disponibles comercialmente.

TABLA 2-3 Compuertas AND

NÚMERO	FAMILIA	DESCRIPCIÓN
7408	TTL	AND cuádruple de dos entradas
74C08	CMOS	AND cuádruple de dos entradas
4081	CMOS	AND cuádruple de dos entradas
7411	TTL	AND triple de tres entradas
7421	TTL	AND doble de cuatro entradas
4082	CMOS	AND doble de cuatro entradas



La IEC eligió el símbolo & para representar la función AND. La figura 2-22A muestra el símbolo de la IEC para una compuerta AND cuádruple con dos entradas 7408. En la figura 2-22B aparece el símbolo para el CI 4082 con compuerta AND doble de cuatro entradas.

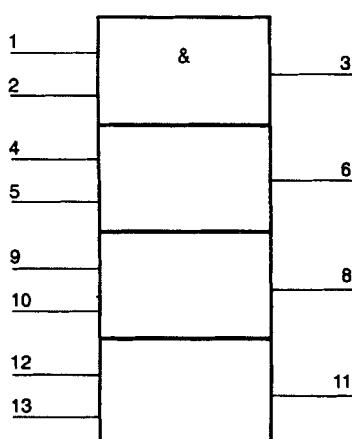


FIGURA 2-22A Símbolo de la IEC —7408, cuatro compuertas AND de dos entradas

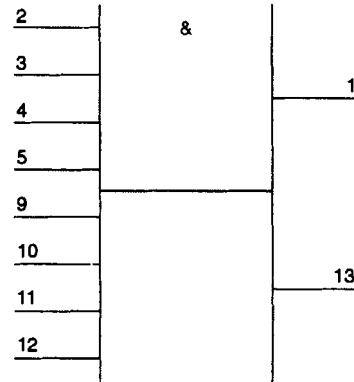


FIGURA 2-22B Símbolo de la IEC —4082, dos compuertas AND con cuatro entradas

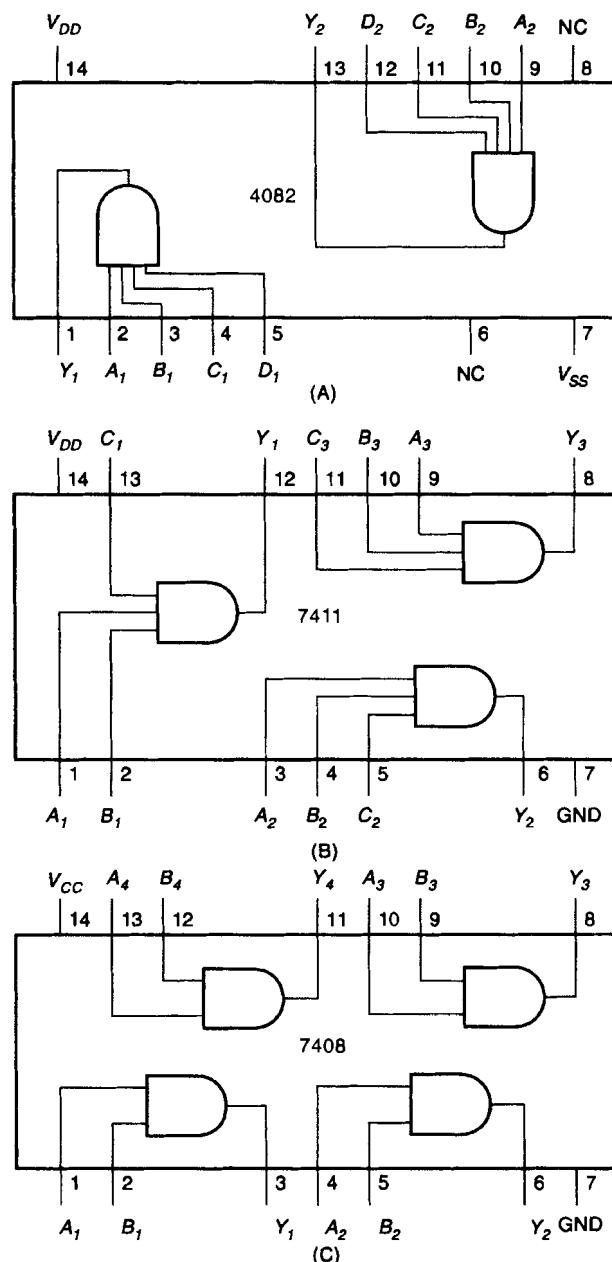
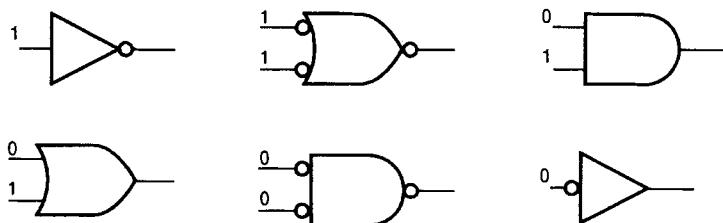


FIGURA 2-21 Diagramas de distribución de terminales para CI de compuertas AND

AUTOEVALUACIÓN DE LAS SECCIONES 2.1, 2.2, 2.3 Y 2.4

1. Escriba el símbolo, la tabla de verdad y la expresión booleana para un inversor. [1, 2, 3]
2. Escriba el símbolo, la tabla de verdad y la expresión booleana para una compuerta OR con dos entradas. [1, 2, 3]
3. Escriba el símbolo, la tabla de verdad y la expresión booleana de una compuerta AND con dos entradas. [1, 2, 3]
4. Dibuje el símbolo lógico invertido y proporcione la expresión booleana para un inversor. [4, 5]
5. Dibuje el símbolo lógico invertido e indique la expresión booleana para una compuerta OR. [4, 5]
6. Dibuje el símbolo lógico invertido y proporcione la expresión booleana de una compuerta AND. [4, 5]
7. Determine las salidas de las siguientes compuertas. [6]



8. Dibuje los símbolos de la IEC para un inversor, una compuerta AND y una OR. [7]
9. ¿Cuál es el estado singular de una compuerta AND? [3]
10. ¿Cuál es el estado singular de una compuerta OR? [3]

2.5 COMPUERTAS NAND



Una *compuerta NAND* es un circuito que produce un 0 en su salida sólo cuando todas sus entradas son 1. NAND es la contracción de las palabras inglesas "not" y "and". El símbolo correspondiente es el de una compuerta AND con una salida invertida (con círculo de inversión), tal como se muestra en la figura 2-23.

2.3

La figura 2-24 contiene la tabla de verdad de la compuerta NAND. Nótese que la salida de ésta es el complemento de la salida de una compuerta AND.

El símbolo describe la operación de la compuerta. Puesto que las entradas no tienen círculos de inversión pero la salida sí, la lectura del símbolo es “entra 1 AND (y) 1, sale 0”. La proposición anterior está descrita por la última línea de la tabla de verdad, y constituye el estado singular de esta compuerta (la única situación que produce un 0).



FIGURA 2-23 Compuerta NAND de dos entradas

Entradas		Salida
B	A	Y
0	0	1
0	1	1
1	0	1
1	1	0

FIGURA 2-24 Tabla de verdad para una compuerta NAND de dos entradas

Ejemplo: Obtenga la salida de cada compuerta.

6



Solución:

La tabla de verdad indica que la salida de la compuerta NAND es 0 sólo cuando todas las entradas son 1. Ésta es la situación para la última compuerta. Para las dos primeras, se tiene un 0 en una de las entradas, así que la salida de éstas debe ser 1.



4

Las tres primeras líneas de la tabla de verdad están descritas por el símbolo lógico invertido de la figura 2-25, el cual establece que un 0 en A o B (o en ambos) produce un 1 en la salida. Lo anterior se lee como “entra 0 OR (o) 0, sale 1”, o “entra algún 0, sale 1.”



FIGURA 2-25 Símbolo lógico invertido para una compuerta NAND de dos entradas

5

La expresión booleana para el símbolo lógico invertido se obtiene de la manera siguiente:

1. Puesto que A tiene un círculo de inversión, se escribe complemento de A, \bar{A} .
2. Como B tiene un círculo de inversión, se escribe entonces complemento de B, \bar{B} .
3. Dado que la forma de la compuerta es la de una OR, se escribe $\bar{A} + \bar{B}$.

La expresión booleana para la salida es $\bar{A} + \bar{B}$, la cual se lee como “complemento de A O complemento de B”.

Los dos símbolos representan una compuerta NAND, ambos se emplean en los diagramas y por tanto deben aprenderse. Puesto que los símbolos de las figuras 2-23 y 2-25 son equivalentes, las salidas de éstos también lo son y $A \cdot B = \bar{A} + \bar{B}$. La figura 2-26 presenta símbolos equivalentes para la compuerta NAND.

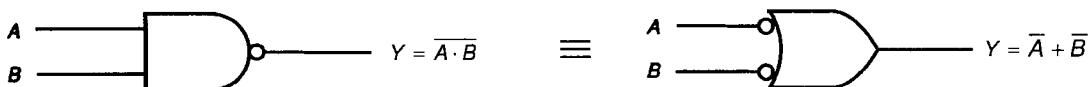


FIGURA 2-26 Símbolos equivalentes para una compuerta NAND

6

Ejemplo: Determine la salida de cada compuerta.



Solución:

El símbolo alternativo para la compuerta NAND establece que cualquier 0 en la entrada da como resultado un 1 en la salida. La primera y última compuertas de este ejemplo tienen ceros en las entradas, por lo que la salida de ellas es 1. La compuerta de la parte media no tiene ceros en la entrada, así que la salida de ésta es 0.



La figura 2-27 muestra la distribución de terminales de algunas compuertas NAND comunes.

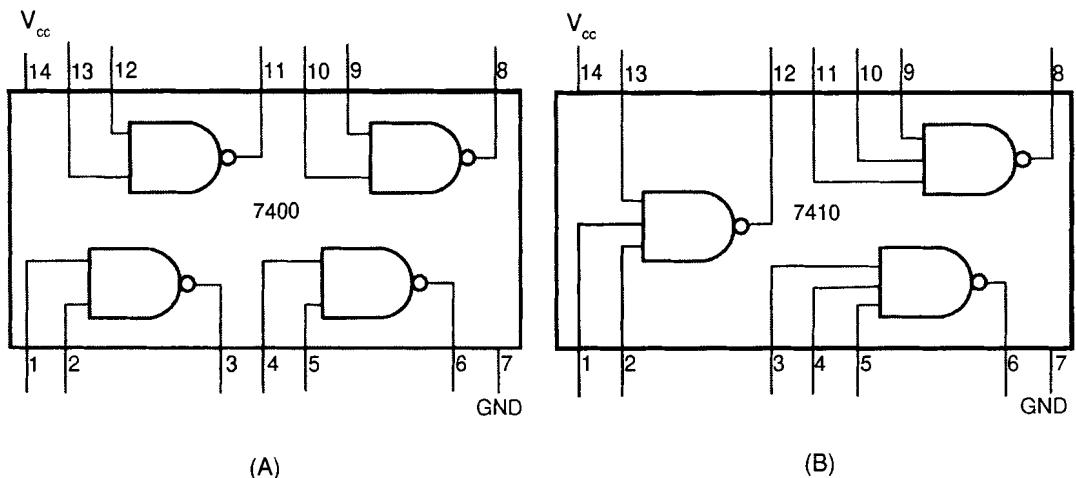


FIGURA 2-27 Distribución de terminales para CI NAND

El 7400 es un CI TTL con compuerta NAND cuádruple de dos entradas, mientras que el 7410 es un CI con compuerta NAND triple de tres entradas. La distribución de terminales de estos circuitos aparece en la figura 2-27. El 74C30 es una compuerta NAND CMOS con ocho entradas. La figura 2-28 muestra el símbolo y la tabla de verdad para una compuerta NAND de tres entradas.

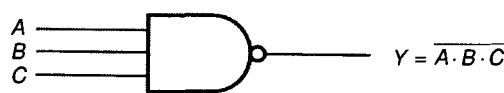
Las compuertas NAND están disponibles de muchas formas en TTL y CMOS, como se muestra en la tabla 2-4.

7

La figura 2-29 muestra el símbolo de la IEC para una compuerta NAND cuádruple de dos entradas. El triángulo en la salida de cada compuerta

74 Compuertas lógicas

indica una salida activa en el nivel BAJO. El símbolo indica que se hace el AND de las entradas 1 y 2 para producir una salida activa en el nivel BAJO en la terminal 3.



$$Y = \overline{A \cdot B \cdot C}$$

Entradas			Salida
C	B	A	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

FIGURA 2-28 Símbolo y tabla de verdad para una compuerta NAND de tres entradas

TABLA 2-4 Compuertas NAND

NÚMERO	FAMILIA	DESCRIPCIÓN
7400	TTL	NAND cuádruple de dos entradas
74C00	CMOS	NAND cuádruple de dos entradas
4011	CMOS	NAND cuádruple de dos entradas
7410	TTL	NAND triple de tres entradas
74C10	CMOS	NAND triple de tres entradas
4023	CMOS	NAND triple de tres entradas
7420	TTL	NAND doble de cuatro entradas
74C20	CMOS	NAND doble de cuatro entradas
4012	CMOS	NAND doble de cuatro entradas
7430	TTL	NAND de ocho entradas
74C30	CMOS	NAND de ocho entradas

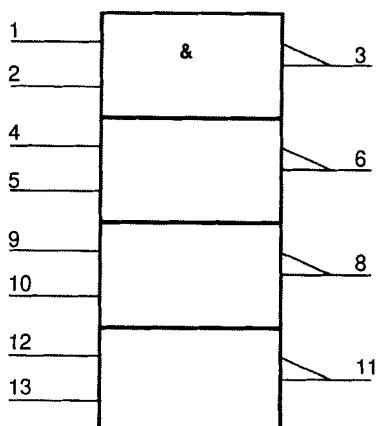


FIGURA 2-29 Símbolo de la IEC —7400, cuatro compuertas NAND de dos entradas

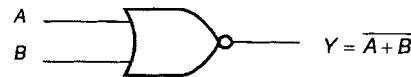


FIGURA 2-30 Compuerta NOR de dos entradas

Entradas		Salida
B	A	Y
0	0	1
0	1	0
1	0	0
1	1	0

FIGURA 2-31 Tabla de verdad de una compuerta NOR de dos entradas

2.6 COMPUERTAS NOR



Una compuerta NOR es un circuito que produce un 0 en su salida cuando una o más de las entradas es 1. NOR es una contracción de las palabras inglesas “not” y “or”. El símbolo correspondiente es un símbolo OR con una salida invertida, o con círculo de inversión (Figura 2-30).

La tabla de verdad de la compuerta NOR aparece en la figura 2-31. Nótese que la salida de esta compuerta es el complemento de la salida de una compuerta OR.



El símbolo describe la operación de la compuerta. Puesto que las entradas no tienen círculo de inversión pero la salida sí, la lectura del símbolo es “entra 1 OR 1, sale 0”. Lo anterior está descrito por las tres últimas líneas de la tabla de verdad de la figura 2-31.



Ejemplo: Obtenga la salida de cada compuerta.

Solución:



El símbolo establece que 1 OR 1 da como salida un 0. Las dos primeras compuertas tienen unos en sus entradas, por lo que sus salidas son 0. La última compuerta no tiene unos en las entradas, así que la salida de ésta es 1.



4

La primera línea de la tabla de verdad está descrita por el símbolo lógico invertido de la figura 2-32, el cual establece que cuando A y B son 0, la salida Yes 1. La lectura del símbolo es “entra 0 AND 0, sale 1”. La situación anterior constituye el estado singular de la compuerta NOR.



FIGURA 2-32 Símbolo lógico invertido para una compuerta NOR de dos entradas

5

La expresión booleana para la salida se obtiene de la siguiente manera:

1. Como A tiene un círculo de inversión, se escribe complemento de A , \bar{A} .
2. Ya que B también tiene un círculo de inversión, se escribe complemento de B , \bar{B} .
3. Dado que la forma de la compuerta es la de una AND, se escribe $\bar{A} \cdot \bar{B}$.

Los dos símbolos representan una compuerta NOR, y ambos se emplean en los diagramas, razón por la que el lector necesita familiarizarse con ambos. Puesto que los símbolos de las figuras 2-30 y 2-32 son equivalentes, las salidas de éstos también lo son, así que $\overline{A+B} = \bar{A} \cdot \bar{B}$. La figura 2-33 contiene símbolos equivalentes para la compuerta NOR, mientras que la figura 2-34 presenta los diagramas de distribución de terminales de varias compuertas comunes NOR.



FIGURA 2-33 Símbolos equivalentes para la compuerta NOR

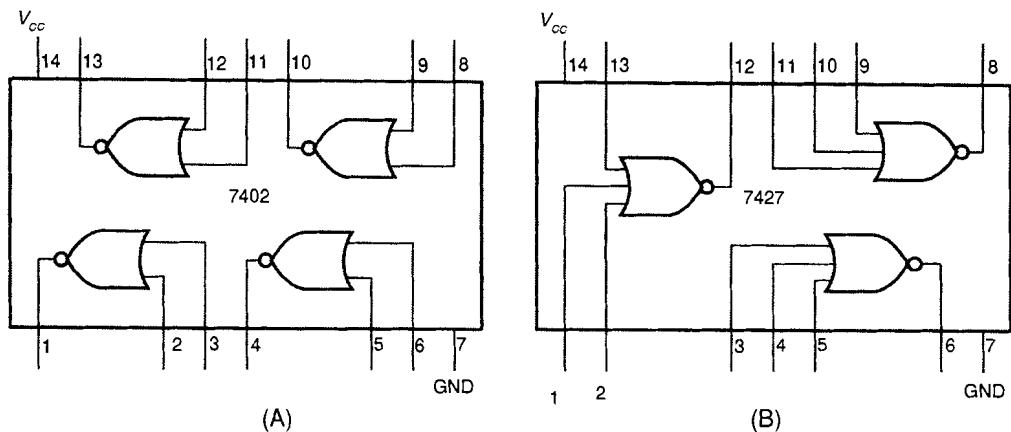


FIGURA 2-34 Diagrama de distribución de terminales para compuertas NOR

La tabla 2-5 contiene una lista con algunos de los CI NOR comercialmente disponibles.

TABLA 2-5 Compuertas NOR

NÚMERO	FAMILIA	DESCRIPCIÓN
7402	TTL	NOR cuádruple de dos entradas
7425	TTL	NOR doble de cuatro entradas
7427	TTL	NOR triple de tres entradas
74C02	CMOS	NOR cuádruple de dos entradas
4000	CMOS	NOR de tres entradas e inversor dobles
4001	CMOS	NOR cuádruple de dos entradas
4002	CMOS	NOR doble de cuatro entradas
4025	CMOS	NOR triple de tres entradas

Ejemplo: Obtenga las salidas de cada compuerta.



Solución:

El símbolo alternativo para la compuerta NOR establece que cuando las entradas son todas cero, la salida es 1. La primera compuerta cumple con esta condición, así que la salida de ésta es 1; las salidas de las demás compuertas son 0.



La figura 2-35 muestra el símbolo de la IEC para el 7427, que es un circuito integrado con compuerta NOR triple, de tres entradas. El signo ≥ 1 indica que es necesario que una o más entradas sean activas para que la salida también lo sea. Puesto que las salidas son activas en el nivel BAJO (triángulos), si una o más entradas están en el nivel ALTO, entonces la salida correspondiente tiene un nivel BAJO.

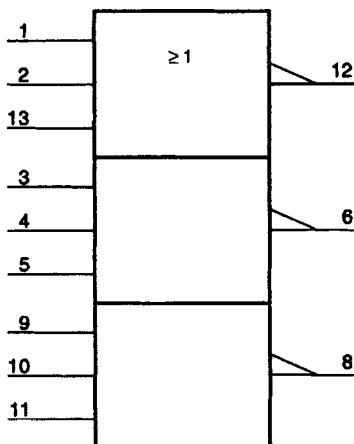


FIGURA 2-35 Símbolo de la IEC -7427, tres compuertas NOR de tres entradas

La figura 2-36 contiene un resumen de los símbolos de la IEC estudiados en este capítulo.

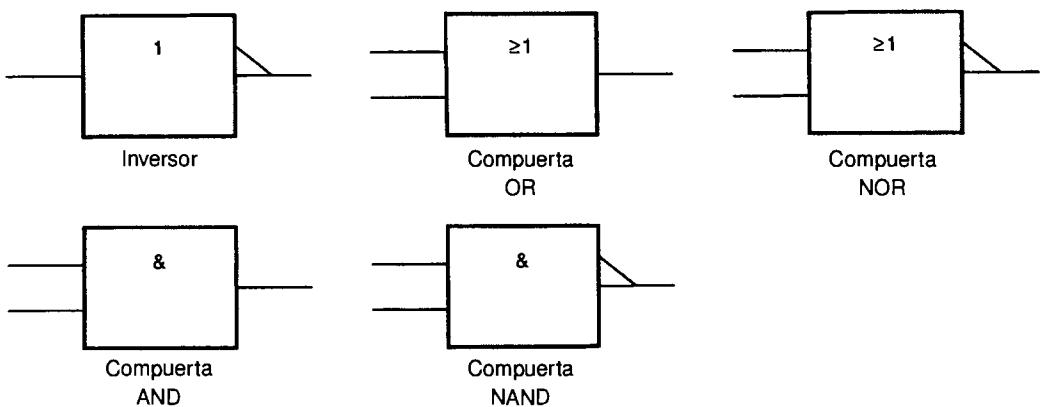
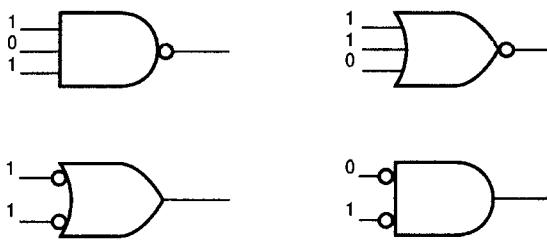


FIGURA 2-36 Símbolos de la IEC —compuertas básicas

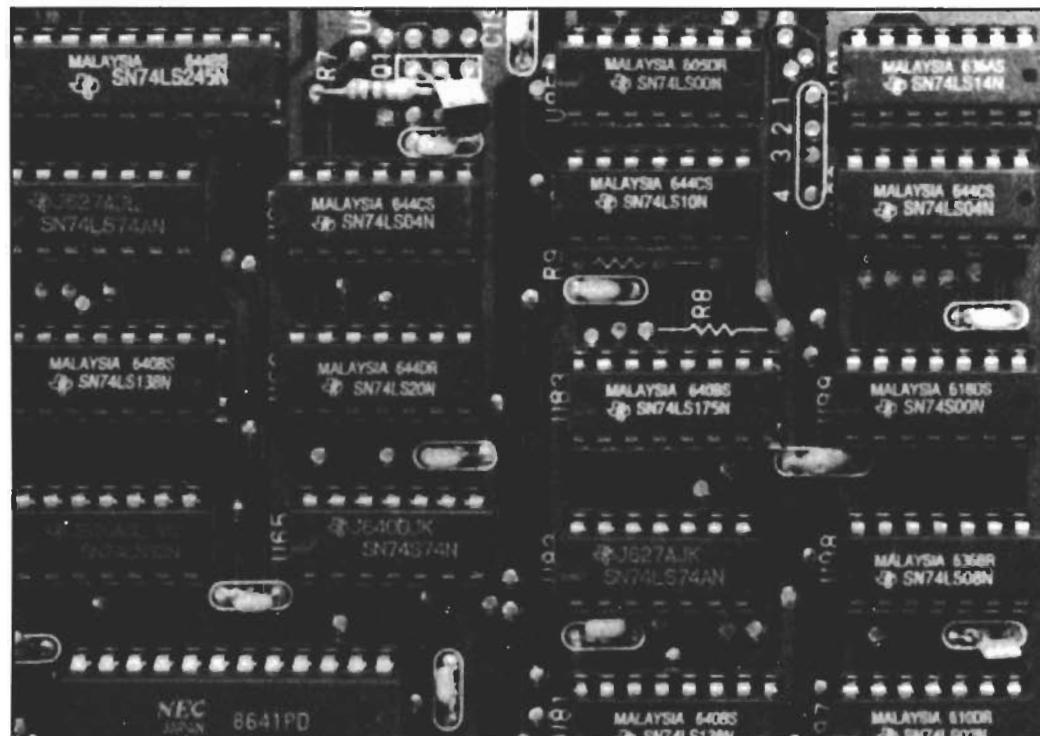
AUTODEVALUACIÓN DE LAS SECCIONES 2.5 Y 2.6

1. Escriba el símbolo, la tabla de verdad y la expresión booleana para una compuerta NAND. [1, 2, 3]
2. Proporcione el símbolo, la tabla de verdad y la expresión booleana para una compuerta NOR. [1, 2, 3]
3. Dibuje el símbolo lógico invertido y escriba la expresión booleana para una compuerta NAND. [4, 5]
4. Proporcione el símbolo lógico invertido y la expresión booleana de una compuerta NOR. [4, 5]



5. Obtenga las salidas de las compuertas. [6]
6. Dibuje los símbolos de la IEC para las compuertas NAND y NOR respectivamente. [7]
7. ¿Cuál es el estado singular de una compuerta NAND? [3]
8. ¿Cuál es el estado singular de una compuerta NOR? [3]

COMPUERTAS BÁSICAS EN ACCIÓN



Aunque las compuertas son dispositivos simples, son indispensables en sistemas digitales. Esta fotografía de la tarjeta principal de una computadora muestra algunos de los CI de compuertas.

tas básicas estudiadas en este capítulo. Cuando el lector termine de leerlo, vuelva a esta fotografía e identifique la mayor cantidad de CI que le sea posible.

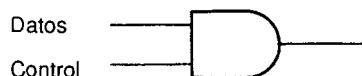
2.7 HABILITACIÓN/INHABILITACIÓN PARA EL CONTROL DE DATOS

Uno de los usos más comunes de las compuertas está en el control del flujo de datos de la entrada a la salida. En este modo de operación se emplea una entrada como control, mientras que la otra lleva los datos que serán transferidos a la salida. Si se permite el paso de éstos, se dice entonces que la compuerta está **habilitada**. Si no se permite el paso de los datos, entonces la compuerta está **inhabilitada**.

2.8 HABILITACIÓN/INHABILITACIÓN DE UNA COMPUERTA AND

8

Si la señal en la entrada de control de una compuerta AND es 0 (lo que corresponde a las dos primeras líneas de la tabla de verdad de la Figura 2-37), la salida de la compuerta es 0 sin importar los datos que estén presentes en las entradas de datos. Éstos no pasan por la compuerta, y se dice que ésta se encuentra inhabilitada. La salida permanece "fija" en el estado 0.



Entradas			Salida	
	Control	Datos	Y	
Inhabilitación	0	0	0	Salida bloqueada en 0
	0	1	0	
Habilitación	1	0	0	Los datos pasan sin alteración
	1	1	1	

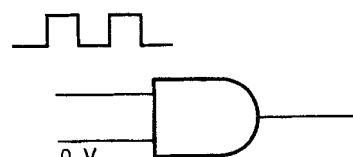
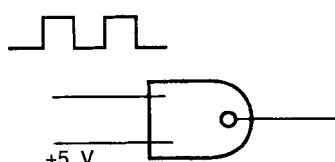
FIGURA 2-37 Habilitación/inhabilitación de una compuerta AND

8

Si la señal en la entrada de control es 1 (lo que corresponde a las dos últimas líneas de la tabla de verdad de la Figura 2-37), entonces todo lo que se encuentre en la entrada de datos aparecerá en la salida de la compuerta. En este caso se dice que la compuerta está habilitada. Los datos "pasan a través" de la compuerta.

6

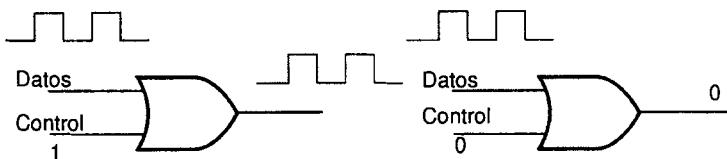
Ejemplo: Determine la salida de cada compuerta AND.



Solución:

En cada caso la forma de onda se utiliza como dato, y la señal estática (que no cambia) como entrada de control. En el primero, el 1 habilita la compuerta y los datos pasan por ella sin cambio alguno. En el segundo caso, el 0 inhabilita la

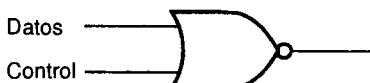
compuerta y la salida permanece fija en 0. Los datos son ignorados.



2.9 HABILITACIÓN/INHABILITACIÓN DE UNA COMPUERTA NAND

8

Si la señal en la entrada de control de una compuerta NAND es 0 (las dos primeras líneas de la tabla de verdad de la Figura 2-38), entonces se ignora la señal que está en la entrada de datos y la salida permanece “fija” en el estado 1. En este caso se dice que la compuerta se encuentra inhabilitada, aun cuando la salida es 1.



Entradas			Salida	
	Control	Datos	Y	
Inhabili-tación	0	0	1	Salida bloquea-dada en 1
	0	1	1	
Habili-tación	1	0	1	Los datos pasan pero invertidos
	1	1	0	

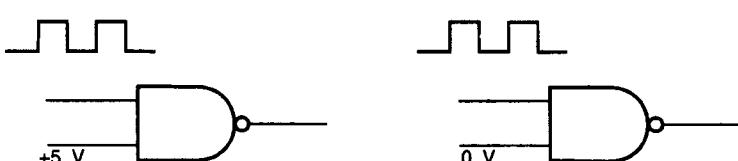
FIGURA 2-38 Habilitación/inhabilitación de una compuerta NAND

8

Si la señal en la entrada de control es 1 (lo que corresponde a las dos últimas líneas de la tabla de verdad de la Figura 2-38), entonces la señal de la entrada de datos pasa por la compuerta, pero se invierte en el proceso. Se dice entonces que la compuerta está habilitada.

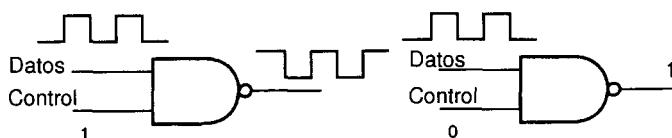
6

Ejemplo: Obtenga la salida de cada compuerta NAND.



Solución:

En cada caso se emplea como dato la forma de onda, y como control la señal estática. En el primero, el 1 habilita la compuerta y los datos pasan por ella pero invertidos. En el segundo caso, el 0 inhabilita la compuerta y la salida de ésta permanece en 1. Los datos de entrada son ignorados.



2.10 HABILITACIÓN/INHABILITACIÓN DE UNA COMPUERTA OR

8

Si la señal en la entrada de control de una compuerta OR es 0 (que es el caso de las dos primeras líneas de la tabla de verdad de la Figura 2.39), la señal aplicada a la entrada de datos pasa por la compuerta hacia la salida de ésta, con lo que se dice que la compuerta está habilitada.

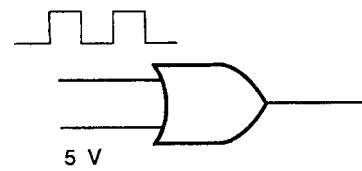
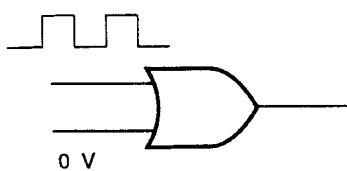


		Entradas		Salida
		Control	Datos	Y
Habilitación	0	0	0	Los datos pasan por la compuerta
	0	1	1	
Inhabilitación	1	0	1	Salida bloqueada en 1
	1	1	1	

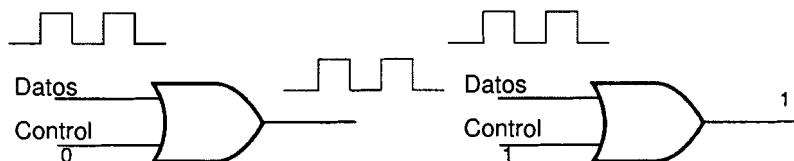
FIGURA 2-39 Habilitación/inhabilitación de una compuerta OR

Si la señal en la entrada de control es 1 (lo que corresponde a las dos últimas líneas de la tabla de verdad de la Figura 2.39), entonces se ignora la señal aplicada a la entrada de datos y la salida queda "fija" en el estado 1. En este caso, la compuerta está inhabilitada.

6

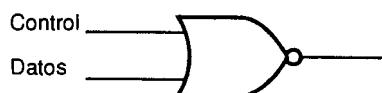
Ejemplo: Determine la salida de cada compuerta OR.**Solución:**

En cada caso se emplea la forma de onda como dato y la señal estática (que no cambia) como control. En el primer caso, el 0 habilita la compuerta y los datos pasan por ella sin alteración. En el segundo caso, el 1 inhabilita la compuerta y la salida permanece en 1. Los datos se ignoran.



2.11 HABILITACIÓN/INHABILITACIÓN DE UNA COMPUERTA NOR

Si la señal en la entrada de control de una compuerta NOR es 0 (las dos primeras líneas de la tabla de verdad de la Figura 2-40), entonces cualquier señal que esté presente en la entrada de datos aparecerá en la salida pero invertida. La compuerta está habilitada.



Entradas		Salida		
	Control	Datos	Y	
Habilitación	0	0	1	Los datos pasan por la compuerta pero invertidos
	0	1	0	
Inhabilitación	1	0	0	Salida bloqueada en 0
	1	1	0	

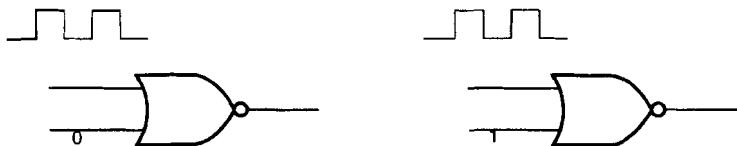
FIGURA 2-40 Habilitación/inhabilitación de una compuerta NOR



Si la señal en la entrada de control es 1 (las dos últimas líneas de la tabla de verdad de la Figura 2-40), entonces la salida de la compuerta es 0 sin importar los datos presentes en la entrada de datos. La compuerta está inhabilitada.

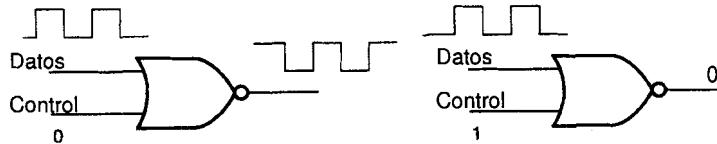


Ejemplo: Obtenga la salida de cada compuerta.



Solución:

En cada caso la forma de onda mostrada se emplea como dato, mientras que el control es la señal estática (que no cambia). En el primer caso el 0 habilita la compuerta y los datos pasan por ella pero invertidos. En el segundo caso, el 1 inhabilita la compuerta y la salida permanece en 0, con lo que se ignora la entrada de datos.



2.12 RESUMEN DE HABILITACIÓN/INHABILITACIÓN

Cada compuerta tiene su propia manera de habilitación o inhabilitación. No hay necesidad de memorizar la función de cada compuerta ya que mediante el examen de la tabla de verdad de cada una de ellas puede obtenerse el método de operación de éstas. La tabla 2.6 resume la operación de cada compuerta.

TABLA 2-6 Habilitación/inhabilitación

COMPUERTA	ENTRADA DE CONTROL	CONDICIÓN DE LA COMPUERTA	SALIDA
AND	0 1	Inhabilitada Habilitada	0 Datos
NAND	0 1	Inhabilitada Habilitada	1 <u>Datos</u>
OR	0 1	Habilitada Inhabilitada	Datos 1
NOR	0 1	Habilitada Inhabilitada	<u>Datos</u> 0

Nota: Datos —El dato pasa sin alteración.

Datos —Los datos pasan pero invertidos.

AUTOEVALUACIÓN DE LAS SECCIONES 2.7, 2.8, 2.9, 2.10, 2.11 Y 2.12

1. Un 1 en la entrada de control de una NAND (habilita, inhabilita) la compuerta. [8]
2. Cuando una compuerta NOR está habilitada, los datos pasan por ella (sin cambio, invertidos). [8]
3. Cuando una compuerta OR se inhabilita con un (0, 1) en la entrada de control, la salida permanece fija en el estado (alto, bajo). [8]
4. Para habilitar una compuerta AND, se pone un (0, 1) en la entrada de control. Los datos pasan por ella (invertidos, sin cambio). [8]

2.13 COMPUERTA NAND COMO INVERSOR



Supóngase que se aplica la misma señal en las entradas de una compuerta NAND de dos entradas. Entonces, o ambas son 0 o son 1. Si A es 0 entonces la salida es 1. Si A es 1 entonces la salida es 0. La salida siempre es el complemento de la entrada. La figura 2-43 muestra una compuerta NAND utilizada como inversor.



FIGURA 2-41 NAND como inversor

2.14 COMPUERTA NOR COMO INVERSOR

9

Si se aplica la misma señal a las entradas de una compuerta NOR de dos entradas, entonces ambas son 0 o son 1. En cualquier caso, la salida siempre es el complemento de la entrada. La figura 2-42 ilustra una compuerta NOR utilizada como inversor.



FIGURA 2-42 NOR como inversor

¿Por qué utilizar una compuerta NAND o NOR con dos entradas como inversor? En ocasiones existe una compuerta NAND o NOR adicional en alguno de los CI utilizados en un circuito. Es mejor utilizar esta compuerta como inversor que añadir un CI inversor. Éste ocuparía espacio sobre la tarjeta del circuito, consumiría más potencia, generaría más calor y significaría un costo mayor.

2.15 AMPLIACIÓN DE UNA COMPUERTA AND

10

La figura 2-43 muestra cómo crear una compuerta AND de tres entradas con dos compuertas de dos entradas. La salida es la misma que si se alimentan A , B y C en una compuerta AND de tres entradas, $Y = A \cdot B \cdot C$. La ampliación de una compuerta AND puede hacerse con otra compuerta AND.

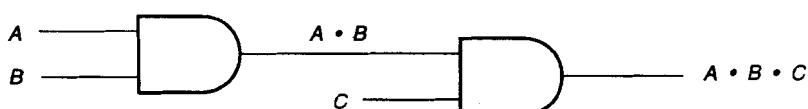


FIGURA 2-43 Ampliación de una compuerta AND

2.16 AMPLIACIÓN DE UNA COMPUERTA NAND



La salida de una compuerta NAND de tres entradas es $\overline{A \cdot B \cdot C}$. A primera vista puede pensarse que la ampliación de la compuerta NAND puede hacerse con otra NAND. Pero obsérvese lo que sucede en la figura 2-44. $A \cdot B \cdot C$ no es la salida deseada, $\overline{A \cdot B \cdot C}$.

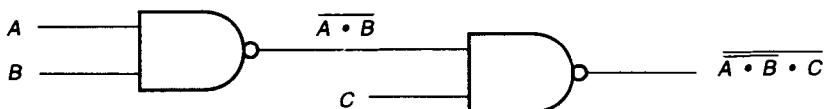


FIGURA 2-44 Ampliación de una compuerta NAND con otra NAND

Considérese ahora el circuito de la figura 2.45. Éste proporciona la salida deseada. El lector puede ampliar una NAND con una AND, pero no con otra NAND.

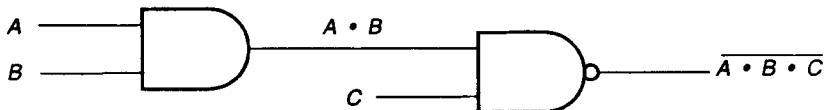


FIGURA 2-45 Ampliación de una compuerta NAND

2.17 AMPLIACIÓN DE UNA COMPUERTA OR



Con dos compuertas OR de dos entradas puede crearse una con tres entradas, como se indica en la figura 2-46. La ampliación de una compuerta OR se hace con otra OR.

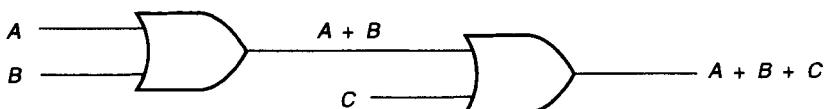


FIGURA 2-46 Ampliación de una compuerta OR

2.18 AMPLIACIÓN DE UNA COMPUERTA NOR



La salida de una compuerta NOR de tres entradas es $\overline{A + B + C}$. Al igual que en el caso de la NAND, la NOR no puede ampliarse con otra compuerta

NOR. La ampliación de esta compuerta se hace tal como lo ilustra la figura 2-47. Con este arreglo se obtiene la salida deseada. La ampliación de una compuerta NOR se hace con una OR, pero no con otra NOR.

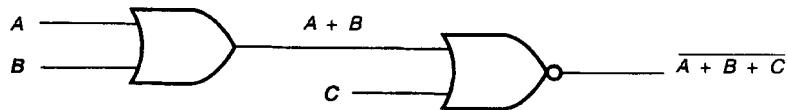
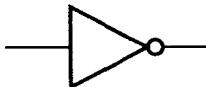
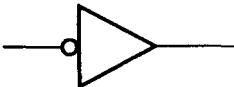
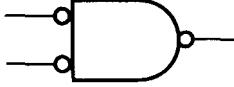
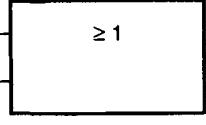
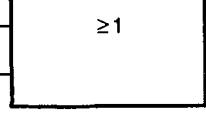
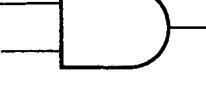
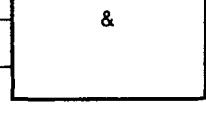
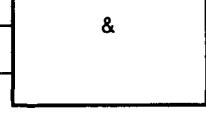


FIGURA 2-47 Ampliación de una compuerta NOR

**AUTOEVALUACIÓN DE LAS SECCIONES 2.13, 2.14, 2.15,
2.16, 2.17 Y 2.18**

1. ¿Cómo puede utilizarse una NAND como inversor? [9]
2. Diga cómo hacer uso de una compuerta NOR como inversor. [9]
3. ¿Cómo puede ampliarse una compuerta NOR? [10]
4. Mencione la forma en que puede ampliarse una compuerta AND. [10]
5. Indique la forma en que puede ampliarse una compuerta OR. [10]
6. ¿Cómo puede ampliarse una compuerta NAND? [10]

RESUMEN

	SÍMBOLO	SÍMBOLO LÓGICO INVERTIDO	SÍMBOLO DE LA IEC
INVERSOR			
OR			
NOR			
AND			
NAND			

- Las compuertas se emplean para combinar señales de manera específica.
- Las compuertas también se utilizan para controlar el flujo de datos de la entrada a la salida.
- Cuando una compuerta está inhabilitada, los datos no pasan por ella.
- Cuando una compuerta está habilitada, los datos pasan por ella.
- Las compuertas NAND y NOR pueden alambrarse como inversores.

- La ampliación de una compuerta AND puede hacerse con otra compuerta AND.
- La NAND puede ampliarse con una AND.
- La OR puede ampliarse con otra OR.
- La ampliación de la NOR puede hacerse con una compuerta OR.

RESUMEN DE HABILITACIÓN/INHABILITACIÓN

COMPUERTA	ENTRADA DE CONTROL	CONDICIÓN DE LA COMPUERTA	SALIDA
AND	0 1	Inhabilitación Habilitación	0 Datos
NAND	0 1	Inhabilitación Habilitación	<u>1</u> Datos
OR	0 1	Habilitación Inhabilitación	Datos 1
NOR	0 1	Habilitación Inhabilitación	<u>Datos</u> 0

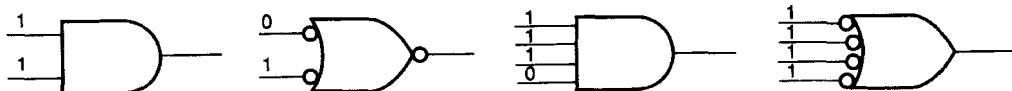
Nota: Datos —Los datos pasan sin alteración.

Datos —Los datos pasan pero invertidos.

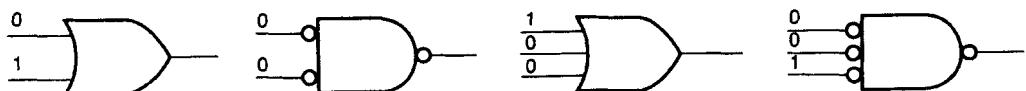
PREGUNTAS Y PROBLEMAS

1. Dibuje el símbolo de cada una de las siguientes compuertas, asigne nombres a las entradas y escriba la expresión booleana de la salida. [1, 2]
 - a) Inversor
 - b) OR
 - c) NOR
 - d) AND
 - e) NAND
2. Para cada compuerta, dibuje el símbolo lógico equivalente y escriba la expresión booleana de la salida. [4, 5]

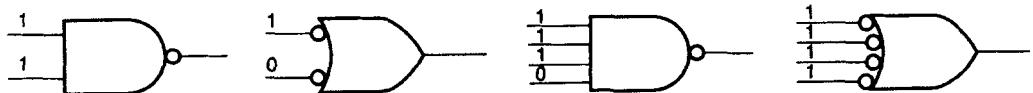
3. Escriba la tabla de verdad para cada compuerta considerando sólo dos entradas. [3]
4. Escriba la tabla de verdad para las compuertas AND, NAND, OR y NOR con tres entradas. [3]
5. Para una compuerta AND de dos entradas
 - a) Dibuje el símbolo y escriba la expresión booleana de la salida. [1, 2]
 - b) Dibuje el símbolo lógico invertido y escriba la expresión booleana de la salida. [4, 5]
 - c) Escriba la tabla de verdad e indique la línea que representa el estado singular. [3]
6. Repita el problema 5 para una NAND de dos entradas. [1, 2, 3, 4, 5]
7. Haga el problema 5 para una OR de dos entradas. [1, 2, 3, 4, 5]
8. Vuelva a repetir el problema 5 para una compuerta NOR de dos entradas. [1, 2, 3, 4, 5]
9. Obtenga la salida de cada compuerta. [6]



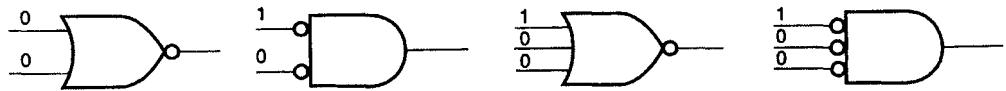
10. Determine la salida de cada compuerta. [6]



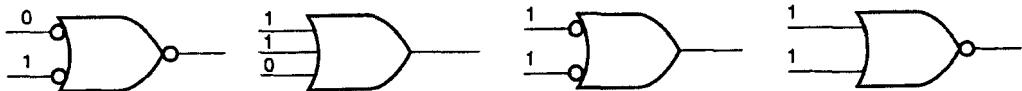
11. ¿Cuál es la salida de cada compuerta? [6]



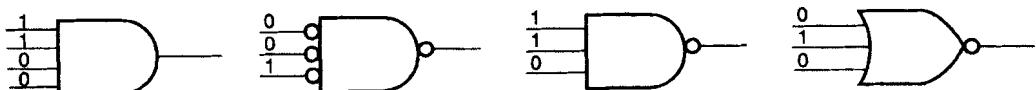
12. Indique la salida de cada compuerta. [6]



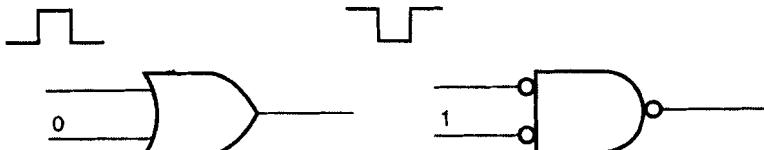
13. Obtenga la salida de cada compuerta. [6]



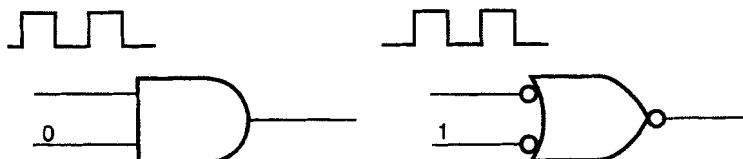
14. Determine la salida de cada compuerta. [6]



15. Un 0 en la entrada de control de una compuerta NOR (habilita, inhabilita) la compuerta. [8]
16. Cuando una compuerta NAND está habilitada, los datos pasan por ella (sin cambio, invertidos). [8]
17. ¿Cómo se inhabilita una compuerta OR? [8]
18. ¿Cómo se habilita una compuerta AND? [8]
19. Cuando una compuerta AND está inhabilitada, la salida es (0, 1). [8]
20. Cuando una compuerta NOR está inhabilitada, ¿cuál es el estado de la salida? [8]
21. Cuando una compuerta NOR está habilitada, los datos pasan por ella (sin cambio, invertidos). [8]
22. ¿Cómo se inhabilita una compuerta NOR? [8]
23. ¿Cómo se habilita una compuerta NAND? [8]
24. Cuando una compuerta NAND está inhabilitada, ¿cuál es el estado de la salida? [8]
25. Cuando una compuerta OR está inhabilitada, ¿cuál es el estado de la salida? [8]
26. Si una compuerta OR está habilitada, los datos pasan por ella (sin cambio, invertidos). [8]
27. Cuando una compuerta AND está habilitada, los datos pasan por ella (invertidos, sin cambio). [8]
28. Determine la salida de cada compuerta. [6]



29. Obtenga la salida de cada compuerta. [6]

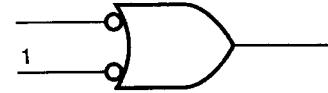


94 Compuertas lógicas

30. Indique la salida de cada compuerta. [6]



31. Determine la salida de cada compuerta. [6]



32. Alambre dos compuertas de un CI NAND de dos entradas para formar una compuerta AND e indique los números de las terminales. [9]

33. Conecte una compuerta NOR de dos entradas de modo que funcione como un inversor e indique los números de las terminales empleadas. [9]

34. Interconecte dos compuertas de un CI NOR de dos entradas para formar una compuerta OR y señale los números de las terminales utilizadas. [10]

35. Alambre compuertas de un CI NAND de dos entradas para formar con ellas una compuerta NAND de tres entradas (ampliación de una NAND) y muestre el número de las terminales utilizadas. [10]

36. Conecte compuertas de un CI AND de dos entradas para formar una compuerta AND con tres entradas. Indique los números de terminales utilizadas. [10]

37. ¿Cuál es la función de cada uno de los siguientes CI?

- a) 7427
- b) 4025
- c) 74C20
- d) 7410
- e) 4081
- f) 4069

38. Diga cómo la IEC especifica lo siguiente: [7]

- a) Una entrada activa en el nivel BAJO
- b) Una entrada activa en el nivel ALTO

- c) La función inversor
 - d) La función OR
 - e) La función AND
 - f) La función NOR
 - g) La función NAND
39. Dibuje el símbolo de la IEC para cada uno de los circuitos integrados siguientes: [7]
- a) Compuerta NAND de ocho entradas —7430
 - b) Compuerta AND doble con cuatro entradas —4082
 - c) Compuerta NAND triple con tres entradas —7410
 - d) Compuerta OR doble con cuatro entradas —4072
 - e) Compuerta NOR triple con tres entradas —4025
-

Práctica 2

Compuertas

OBJETIVOS

Al término de esta práctica, el lector deberá ser capaz de:

- determinar la tabla de verdad de una compuerta.
- utilizar cada compuerta en modo habilitar/inhabilitar.
- hacer uso de una NAND como inversor.
- emplear una NOR como inversor.
- ampliar una compuerta NAND.
- ampliar una compuerta NOR.

COMPONENTES NECESARIOS

- 1 CI 7400
- 1 CI 7402
- 1 CI 7404
- 1 CI 7408
- 1 CI 7411
- 1 CI 7432
- 1 CI 4001
- 1 CI 4011
- 1 CI 4069
- 1 CI 4071
- 1 CI 4081
- 1 LED
- 1 resistor de 330 Ω

PREPARACIÓN

En esta práctica se hace uso de compuertas TTL y CMOS. En los CI TTL, una entrada que queda flotando (esto es, sin conectar) es interpretada como un 1. Lo anterior no es cierto para CMOS. Dada la impedancia de entrada tan grande de una compuerta CMOS, las entradas sin conectar pueden variar entre el nivel 1 y el nivel 0. Para evitar esto, conecte todas las entradas que no utilice ya sea a la fuente de alimentación o a tierra. Alimente +5 V a V_{DD} y conecte V_{SS} a tierra.

Para CMOS a +5 V:

1. Una entrada 1 legítima puede variar entre 3.5 V y 5 V. Una entrada 0 legítima puede oscilar entre 0 V y 1.5 V.
2. Cuando las entradas se mantienen en estos rangos, las salidas permanecerán a no más de 0.05 V de los niveles de la fuente de alimentación. El voltaje asociado con un 0 no debe ser mayor que 0.05 V, y la salida que corresponde a un 1 no debe ser menor de 4.95 V.

Para CI TTL:

1. Una entrada 1 legítima puede oscilar entre 2.0 y 5.0 V, mientras que una entrada 0 legítima puede estar entre 0 V y 0.8 V.
2. Una salida 1 legítima puede variar entre 2.4 V y 5 V, mientras que una salida 0 legítima puede hacerlo entre 0 V y 0.4 V.



ASPECTOS DE SEGURIDAD

PRECAUCIONES PARA EL MANEJO DE CI CMOS Debe tenerse cuidado en el manejo de CI CMOS puesto que éstos pueden dañarse debido a una carga estática excesiva formada entre las terminales. Para evitar esto, deben seguirse las reglas siguientes:

1. Guarde los CI CMOS en tubos antiestáticos o en hule espuma negro conductor. Nunca ponga un CI CMOS en espuma de poliestireno. También puede envolverlos en hojas de aluminio.
2. En ambientes de baja humedad donde la carga estática es un problema, evite tocar las terminales de los CI CMOS al tomarlos del sitio donde están guardados, a menos que se hayan seguido las precauciones necesarias para descargar la carga electrostática. Uno de los métodos utilizados para hacer esto es utilizar una pulsera conductiva conectada a tierra a través de un resistor.
3. Conecte el voltaje de alimentación al circuito CMOS antes de aplicar señales a éste.

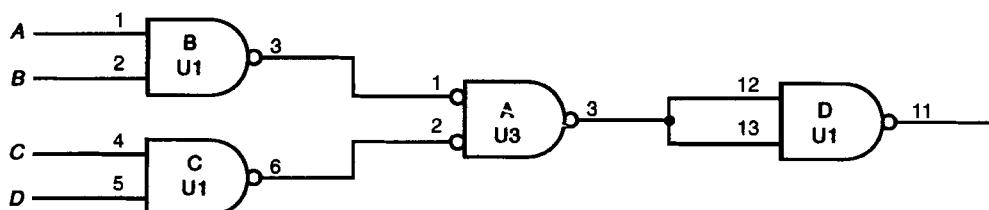
4. Quite todas las fuentes de señal antes de apagar la fuente de alimentación.
 5. Apague todas las fuentes de alimentación antes de insertar o quitar de un circuito dispositivos CMOS.
-

En la primera parte de este experimento se emplean niveles de voltaje estáticos (ceros o unos que no cambian) para verificar las tablas de verdad de varias compuertas.

En la segunda parte, se hace uso de un generador de onda cuadrada del sistema de adiestramiento para obtener los datos de entrada a la compuerta. También se emplea un osciloscopio para comparar los datos en la entrada de la compuerta y en la salida de ésta. Para ello, utilice los dos canales del osciloscopio, sincronice éste con la señal de entrada y utilice acoplamiento de cd, de modo que sea posible detectar los niveles 1 y 0.

En la tercera parte se pide dibujar los diagramas lógicos de varias configuraciones. Un diagrama lógico muestra los símbolos de las compuertas utilizadas, los números de terminales y los de los CI utilizados.

Si se dibuja un diagrama lógico preciso antes de hacer las conexiones en el circuito, entonces éste puede emplearse como guía en la detección de fallas. Puesto que las compuertas son independientes y pueden utilizarse en diferentes partes del circuito, a menudo se identifican con una letra, A, B, C, etc., y un número de CI, U1, U2, etc. En la figura, las tres compuertas NAND provienen del mismo CI, U1, mientras que la compuerta OR está en el circuito U3.



Repase las reglas de seguridad del laboratorio que aparecen bajo el encabezado ASPECTOS DE SEGURIDAD en la sección PREPARACIÓN de la práctica 1, capítulo 1.

PROCEDIMIENTO

Primera parte

Para determinar la tabla de verdad de una compuerta:

- Conecte las entradas de la compuerta ya sea a los interruptores del sistema de adiestramiento o directamente a +5 V o tierra, según se requiera.
- Conecte las salidas a los LED del sistema de adiestramiento o directamente a un LED con un resistor limitador de corriente de aproximadamente $330\ \Omega$.
- Escriba la parte que corresponde a las entradas de la tabla de verdad contando en binario, con un bit para cada entrada. Por ejemplo,



Entradas		Salida
A	B	Y
0	0	
0	1	
1	0	
1	1	

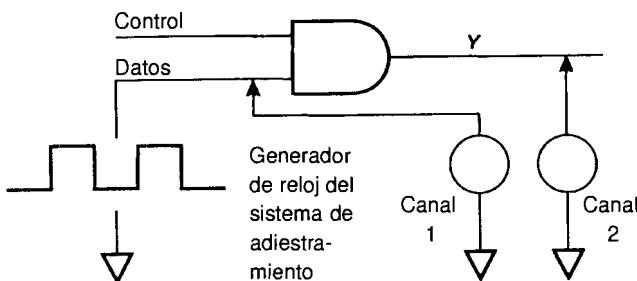
- Determine la salida de la tabla de verdad proporcionando las entradas que hay en cada línea de ésta. Utilice este procedimiento para escribir la tabla de verdad de una compuerta de los siguientes CI: 7408, 7411, 7432, 7404, 7400, 7402, 7400, 7402, 4001, 4069, 4071, 4081, 4011.

Segunda parte

Verifique la operación habilitación/inhabilitación para una de las compuertas de los siguientes CI: 7400, 4001, 4071 y 7408. Para ello, haga lo siguiente:

- Utilice el generador de onda cuadrada de su sistema de adiestramiento como fuente de datos para la entrada de la compuerta. Emplee una frecuencia de 10 kHz.
- Vea la entrada de datos y la salida con los canales 1 y 2 del osciloscopio. Haga uso del acoplamiento de cd de modo que sea posible detectar los niveles 1 y 0. Sincronice el instrumento con la señal de entrada de datos.

100 Compuertas lógicas

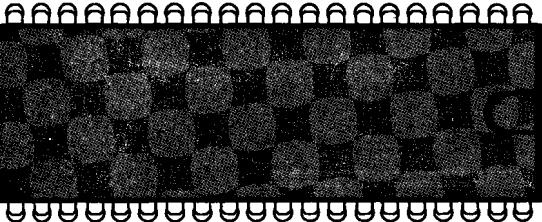


- c) Ponga un 1 o un 0 en la entrada de control para habilitar o inhabilitar la compuerta. Observe en el osciloscopio la relación entre la entrada y la salida.
- d) Haga un resumen de la operación con una tabla de verdad y con una descripción escrita.

Tercera parte

Para cada una de las siguientes situaciones dibuje un diagrama lógico del circuito, que incluya los números de terminales y de circuitos integrados. Luego conecte el circuito y verifique su funcionamiento.

- a) Utilice una NAND como inversor.
- b) Haga uso de una NOR como inversor.
- c) Amplíe una NAND de dos entradas a una NAND de tres entradas.
- d) Amplíe una NOR de dos entradas a una NOR de tres entradas.
- e) Emplee sólo un CI NAND de dos entradas para alambrar una compuerta NAND de tres entradas.



CONTENIDO

- 3.1** ANÁLISIS DE FORMAS DE Onda
- 3.2** FORMAS DE ONDA DE UN RELOJ CON RETARDO Y DE UN CONTADOR DE CORRIMIENTO
- 3.3** LÓGICA COMBINACIONAL
- 3.4** TEOREMAS BOOLEANOS
- 3.5** TEOREMAS DE DEMORGAN
- 3.6** DISEÑO DE CIRCUITOS LÓGICOS
- 3.7** COMPUERTAS AND-OR-INVERSOR
- 3.8** REDUCCIÓN DE EXPRESIONES BOOLEANAS CON MAPAS DE KARNAUGH

Formas de onda y álgebra booleana

Capítulo 3

LISTA DE TÉRMINOS

reloj con retardo	teoremas de DeMorgan
reloj sin traslapamiento	mapa de Karnaugh
contador de corrimiento	celdas
flanco descendente	subcubo
lógica combinacional (combinatoria)	AND-OR-INVERSOR
álgebra booleana	

OBJETIVOS



Al término de este capítulo el lector debe ser capaz de:

1. Predecir las formas de onda de salida de cada una de las compuertas, dadas las formas de onda de las entradas.
2. Combinar señales provenientes de un contador de corrimiento y predecir las salidas.
3. Seleccionar las señales de un contador de corrimiento y las compuertas necesarias para producir las salidas requeridas.
4. Desarrollar la expresión booleana de la salida de un circuito lógico combinacional.
5. Utilizar el álgebra booleana para reducir expresiones a términos mínimos.
6. Utilizar los teoremas de DeMorgan para cambiar la forma de una expresión booleana.
7. Diseñar y construir un circuito lógico para implantar una tabla de verdad dada utilizando para ello el álgebra booleana.
8. Diseñar y construir un circuito lógico para implantar una tabla de verdad dada utilizando un mapa de Karnaugh.
9. Reducir expresiones booleanas empleando un mapa de Karnaugh.

3.1 ANÁLISIS DE FORMAS DE ONDA

En el capítulo 2 el lector aprendió las tablas de verdad de las compuertas básicas. Una vez que se sabe la tabla de verdad de una compuerta, es fácil predecir las formas de onda de la salida a partir de las de entrada. Para ello primero se determina el estado singular de la compuerta. Luego se encuentran todos los tiempos en que se presentan dichas entradas. A continuación se hace la gráfica de la salida singular para estos tiempos así como de su complemento en los demás tiempos.

Compuerta AND

El estado singular de la compuerta AND es “todas las entradas en 1, salida 1”. Así que se encuentran los tiempos donde todas las entradas se encuentran en el nivel ALTO. La salida tiene el nivel ALTO en dichos tiempos, y el nivel BAJO en los demás.

Ejemplo: Si A y B son las señales que aparecen en la figura 3-1, determine la salida Y .

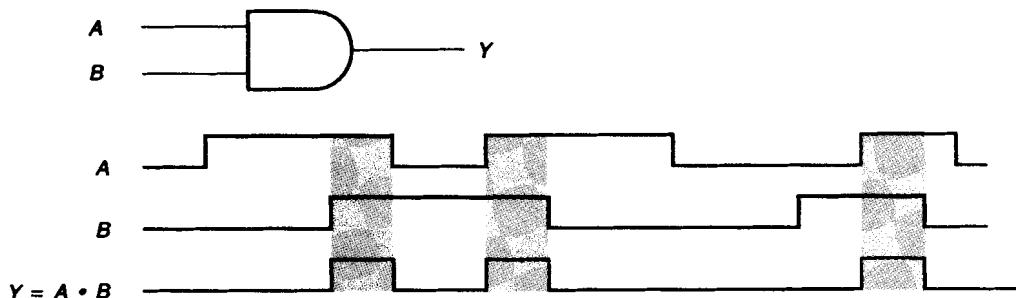


FIGURA 3-1

Solución:

Se buscan las áreas donde A y B tienen el nivel ALTO. La salida está en el nivel ALTO en esos tiempos, y en BAJO en todos los demás. La figura 3-1 presenta la forma de onda para Y .

Compuerta NAND

El estado singular de la NAND es “todas las entradas en 1, salida 0”. Por tanto, se localizan los intervalos en que todas las entradas están en el nivel ALTO. La salida se encuentra en el nivel BAJO sólo durante esos intervalos.

Ejemplo: Con respecto a la figura 3-2, si A , B y C son las formas de onda mostradas, obtenga la salida Y .

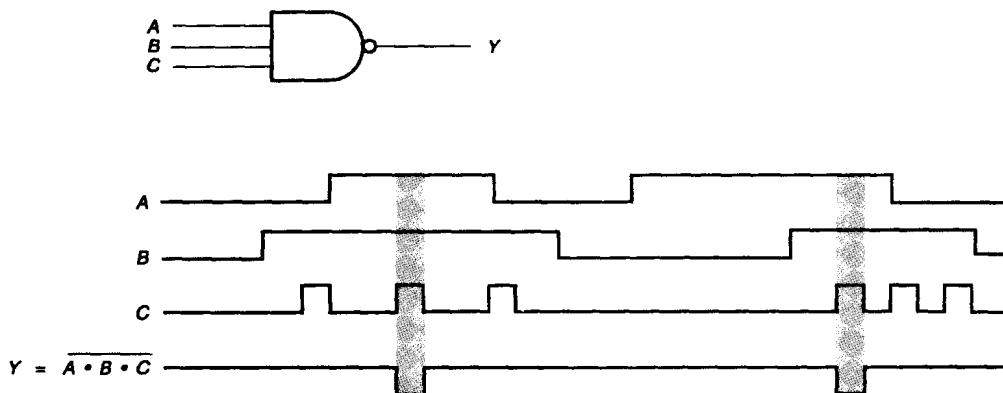


FIGURA 3-2

Solución:

Las áreas sombreadas son aquellas en las que las tres entradas se encuentran en el nivel ALTO. En esos momentos, la salida está en el nivel BAJO. Para el resto del tiempo, la salida tiene el nivel ALTO. La forma de onda para Y se muestra en la figura 3-2.

Compuerta OR

El estado singular de la compuerta OR es "todas las entradas en 0, salida 0." Por consiguiente, se encuentran los intervalos en que todas las entradas tienen el nivel BAJO. La salida tiene este nivel sólo en esos intervalos.

Ejemplo: La figura 3-3 muestra las formas de onda que corresponden a las entradas A , B y C . Determine la salida Y .

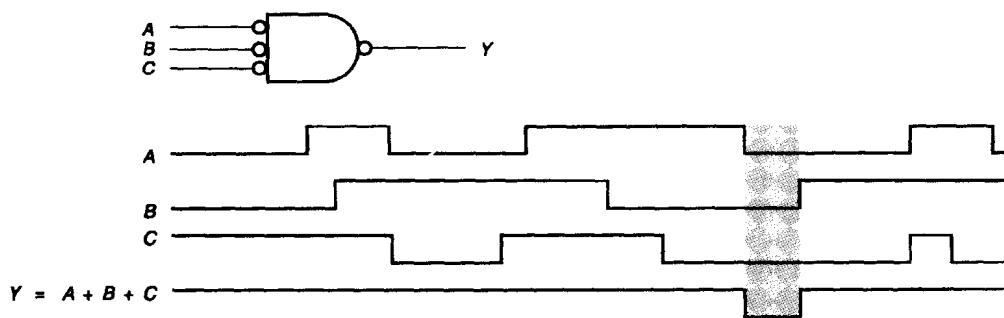


FIGURA 3-3

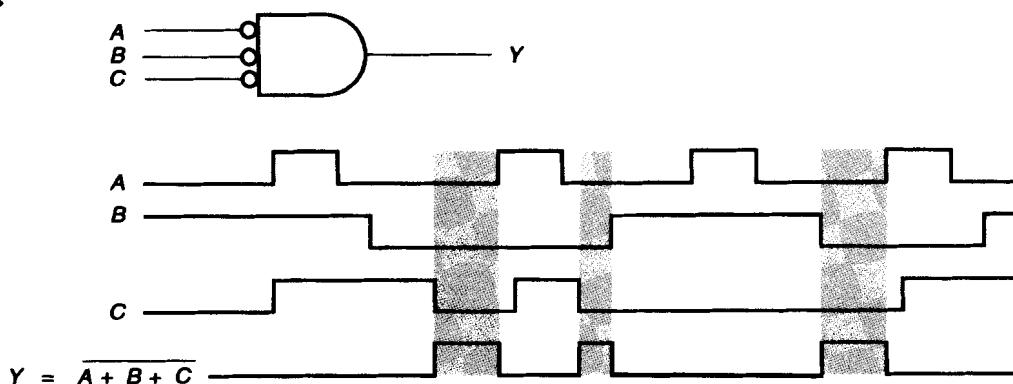
Solución:

Existe sólo un intervalo en el que las tres entradas tienen el nivel BAJO. En ese lapso, la salida está en el nivel ALTO. El resto del tiempo, la salida se encuentra en el nivel BAJO. La figura 3-2 presenta la forma de onda que corresponde a la salida Y.

Compuerta NOR

El estado singular de la compuerta NOR es “todas las entradas en 0, salida 1”. En consecuencia, se buscan los intervalos donde todas las entradas tienen el nivel BAJO. La salida tiene el nivel ALTO únicamente en esos lapsos.

Ejemplo: Si las entradas A, B y C cambian como se muestra en la figura 3-4, obtenga la salida Y.

**FIGURA 3-4****Solución:**

Las áreas sombreadas son aquellas donde las tres entradas se encuentran en el nivel BAJO. En esos intervalos, la salida tiene el nivel ALTO. El resto del tiempo, el nivel de la salida es BAJO. La figura 3-4 presenta la forma de onda que corresponde a Y.

3.2 FORMAS DE ONDA DE UN RELOJ CON RETARDO Y DE UN CONTADOR DE CORRIMIENTO



Las señales de entrada utilizadas en la sección anterior provienen de una amplia gama de fuentes. En los capítulos finales del libro se construirán circuitos que producen un sistema de **reloj con retardo** o **sin traslapamiento**. Las formas de onda de salida aparecen en la figura 3-5 como CP para el pulso de reloj y CP' para el reloj con retardo o sin traslapamiento. En dicha figura también se muestran las formas de onda de salida de un **contador de corrimiento**: A, \bar{A} , B, \bar{B} , C, \bar{C} . Las salidas de un contador de corrimiento cambian en el **flanco descendente** (transición del nivel ALTO al BAJO) de CP . En el tiempo 1 se presenta el flanco descendente del pulso de reloj 1; en el tiempo 2 aparece el flanco descendente del pulso de reloj 2, y así sucesivamente. Estas formas de onda son continuas. Después de que CP alcanza el 6, vuelve a empezar en 1. Este circuito también será construido en un capítulo posterior. Con estas formas de onda pueden generarse una gran variedad de señales de control. El lector deberá consultar con frecuencia las gráficas de la figura 3-5 hasta que domine los ocho ejemplos siguientes. En los primeros cuatro están dadas las compuertas y las formas de onda, y el objetivo es predecir las formas de onda de salida. En los cuatro últimos ejemplos se proporciona la salida deseada, y la tarea es proponer las compuertas y formas de onda de entrada que deben emplearse para producir dicha salida. El lector debe dominar los dos tipos de problemas.

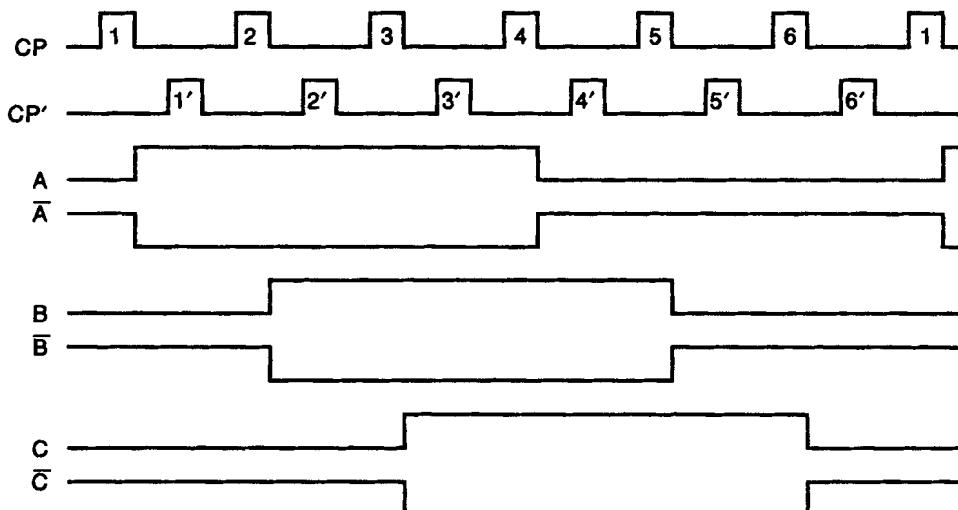


FIGURA 3-5 Formas de onda del reloj con retardo y el contador de corrimiento



Ejemplo: Suponga que se hace el AND de las señales A y C. ¿Cuál es la forma de onda de la salida?

Solución:

El estado singular de la compuerta AND es “todas las entradas en 1, salida 1”. A cambia al estado ALTO en 1 y habilita la compuerta AND. Cuando C cambia al estado ALTO en 3, la salida va hacia el estado ALTO. La salida permanece en este estado hasta 4, cuando A cambia al nivel BAJO e inhabilita la salida. En otras palabras, A y C tienen ambas el nivel ALTO entre 3 y 4. Con esto la representación de la salida puede hacerse como se muestra en la figura 3-6.

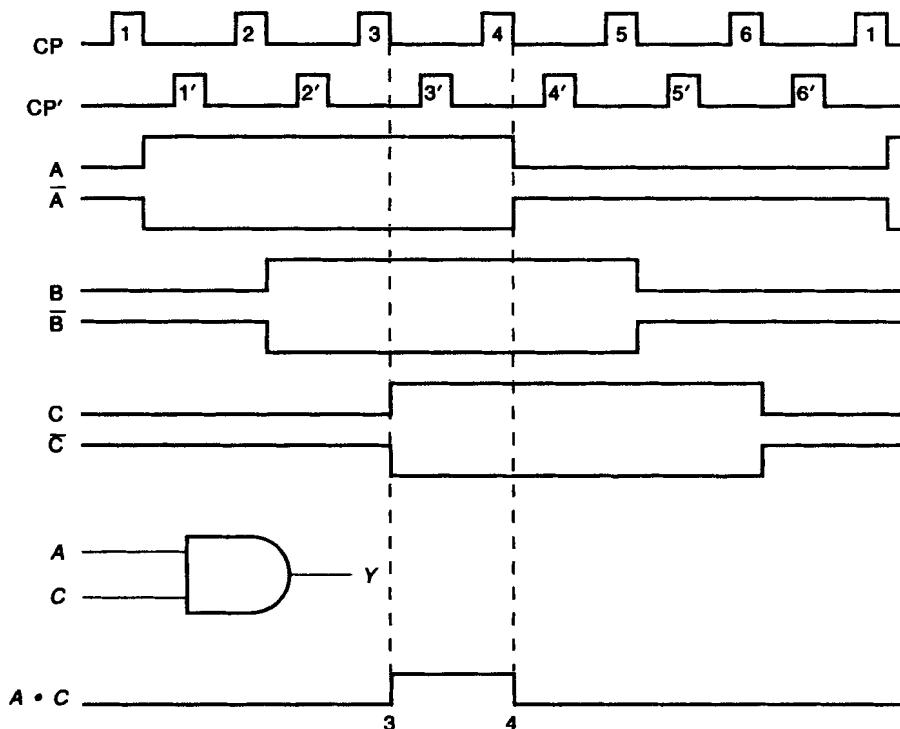


FIGURA 3-6

2

Ejemplo: Suponga que se hace el AND de \bar{A} y CP' . ¿Qué forma tiene la salida?

Solución:

\bar{A} va al estado ALTO en 4, después del pulso 3' y antes del 4', y regresa al estado BAJO en 1, después del pulso 6'. \bar{A} habilita la compuerta durante los pulsos 4', 5' y 6', con lo que éstos aparecen en la salida Y. Véase la figura 3-7.

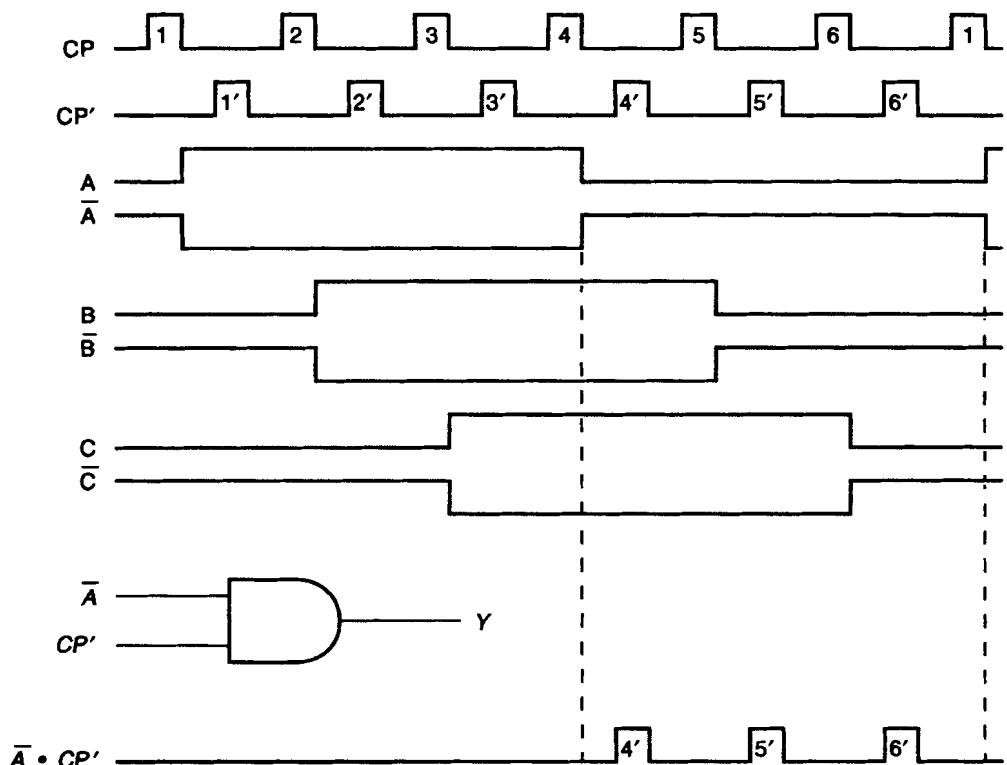


FIGURA 3-7



Ejemplo: Ahora se hace el NOR de B y \bar{C} . ¿Qué forma tiene la salida?

Solución:

El estado singular de la compuerta NOR es "todas las entradas en 0, salida 1". \bar{C} hace una transición al nivel BAJO en 3 y con ello habilita la compuerta. Cuando B va al estado BAJO en 5, las dos entradas están en el nivel BAJO, con lo que la salida va hacia el nivel ALTO. La salida conserva este nivel hasta que \bar{C} hace una transición al nivel ALTO en 6 e inhabilita la salida. En otras palabras, B y \bar{C} tienen un nivel BAJO desde 5 hasta 6. La representación de la salida se muestra en la figura 3-8.

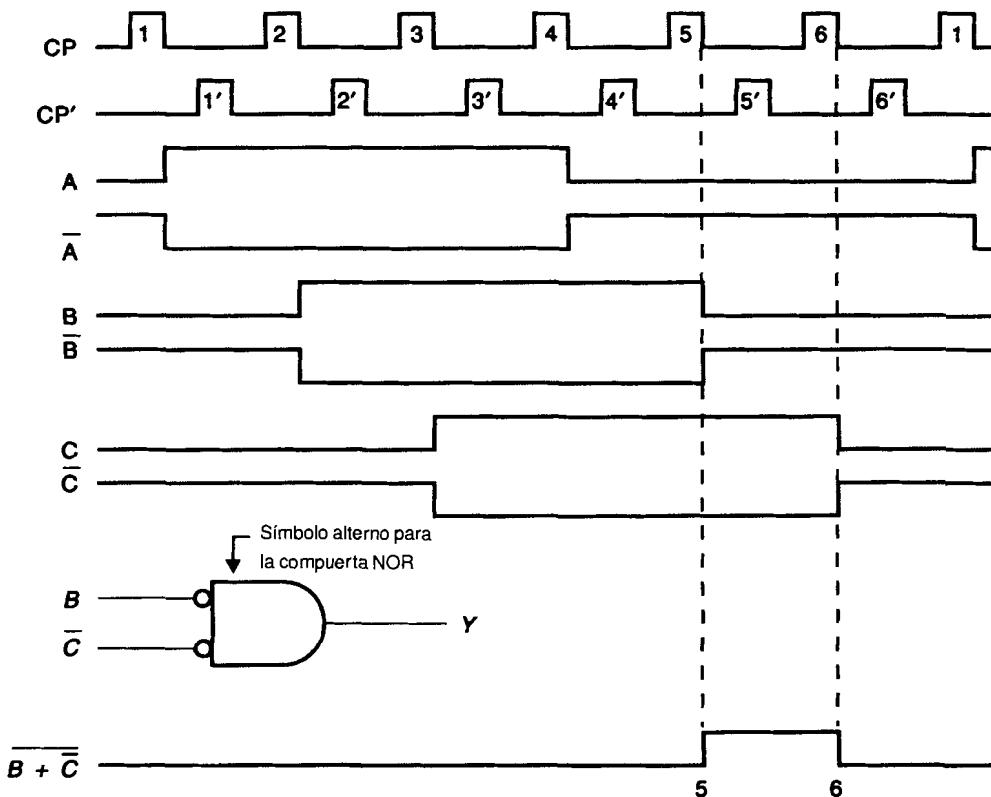


FIGURA 3-8

Ejemplo: Suponga que ahora se hace el NAND de las tres señales CP' , \bar{A} y \bar{B} .

2

Solución:

El estado singular de una compuerta NAND es “todas las entradas en 1, salida 0”. Por tanto, primero se encuentran los tiempos donde \bar{A} y \bar{B} son 1. \bar{A} va hacia el nivel ALTO en 4, y \bar{B} lo hace en 5. Las dos entradas permanecen en este nivel desde 5 hasta 1, cuando A regresa de nuevo al nivel BAJO. Entre 5 y 1, CP' hace una transición al nivel ALTO en los pulsos 5' y 6'. En estos tiempos, las tres entradas tienen el nivel ALTO y la salida está en el nivel BAJO. La figura 3-9 muestra la representación de la salida.

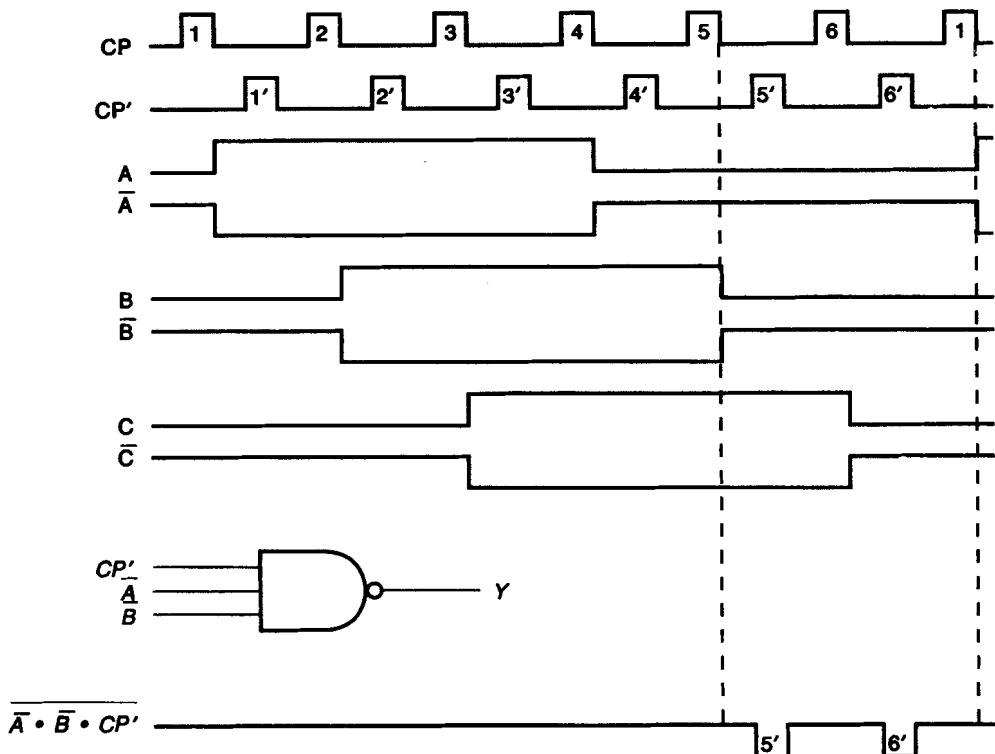


FIGURA 3-9

Ejemplo: Encuentre una combinación que genere únicamente el pulso 6'.



Solución:

La compuerta AND tiene como salida 1 sólo cuando todas sus entradas son 1. Para obtener el pulso de salida 6', una de las entradas debe ser CP' . Las otras dos deben habilitar e inhabilitar la compuerta de tres entradas en los momentos apropiados. Para habilitar el pulso 6', una de las entradas debe ir en 6 al nivel ALTO para habilitar la compuerta. La otra ya debe estar en ALTO en 6 para regresar al nivel BAJO en 1 y con ello evitar que otros pulsos aparezcan en la salida. \bar{C} hace una transición en 6 al nivel ALTO, y \bar{A} regresa al nivel BAJO en 1. Las entradas son \bar{A} , \bar{C} y CP' . Véase la figura 3-10.

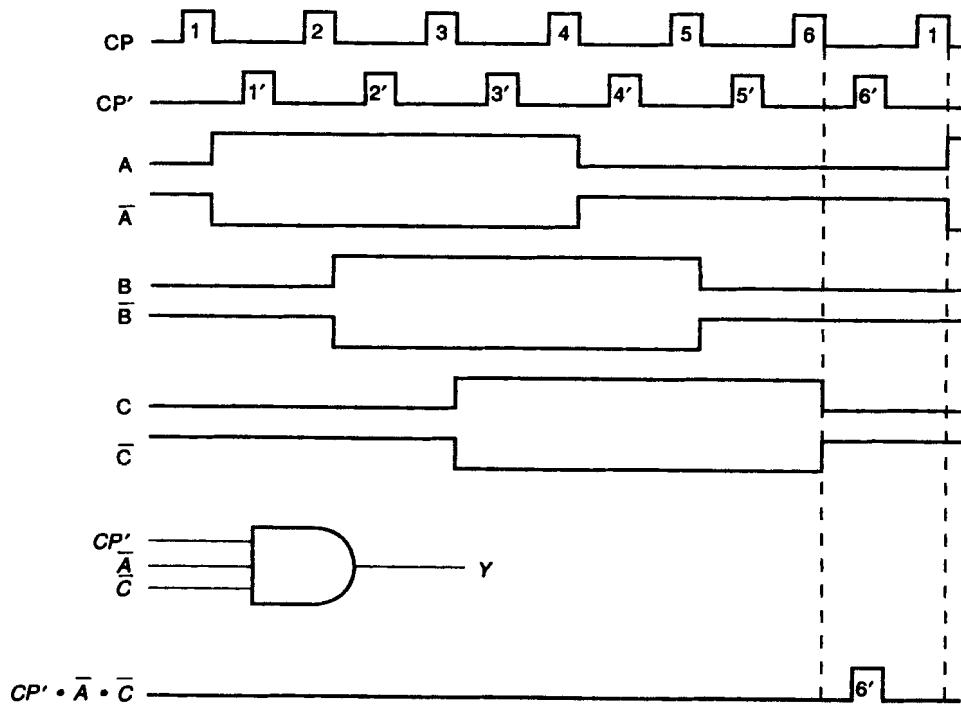


FIGURA 3-10

Ejemplo: Encuentre una combinación que produzca como salida $2'$ y $3'$.

3

Solución:

Con el empleo de una compuerta AND de tres entradas, B va al nivel ALTO en 2 para habilitar la compuerta y permitir que $2'$ aparezca en la salida. A va hacia el nivel BAJO en 4 después de la aparición de $3'$ en la salida e inhabilita la compuerta, de modo que $4'$ no pueda pasar. La otra entrada debe ser CP' . Véase la figura 3-11.

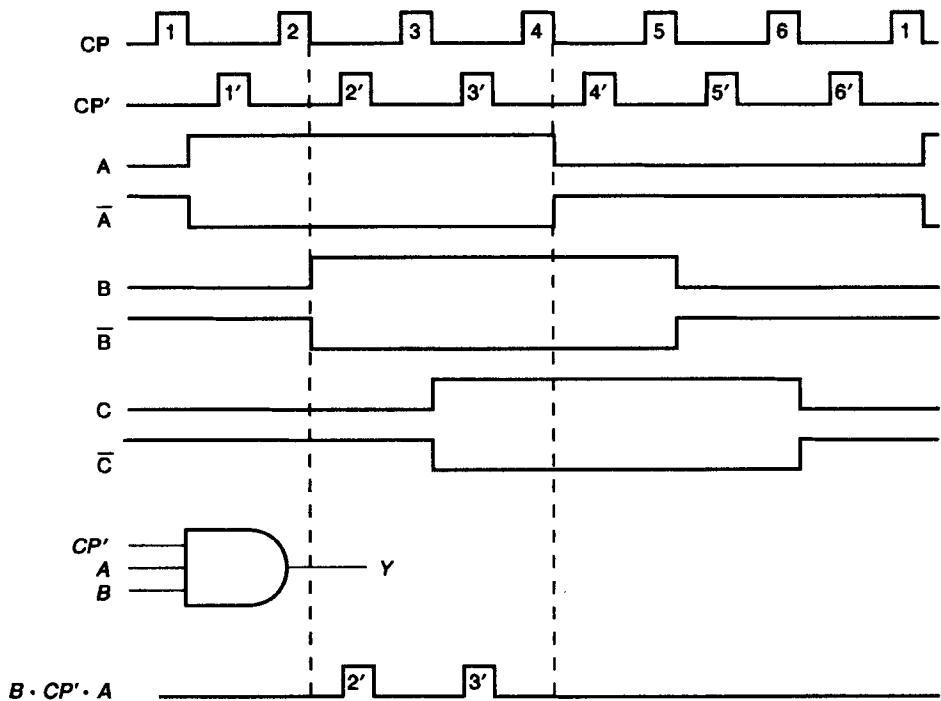


FIGURA 3-11

Ejemplo: Encuentre dos combinaciones que generen una salida con un nivel BAJO desde 3 hasta 5.

3

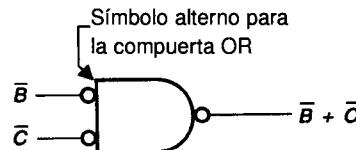
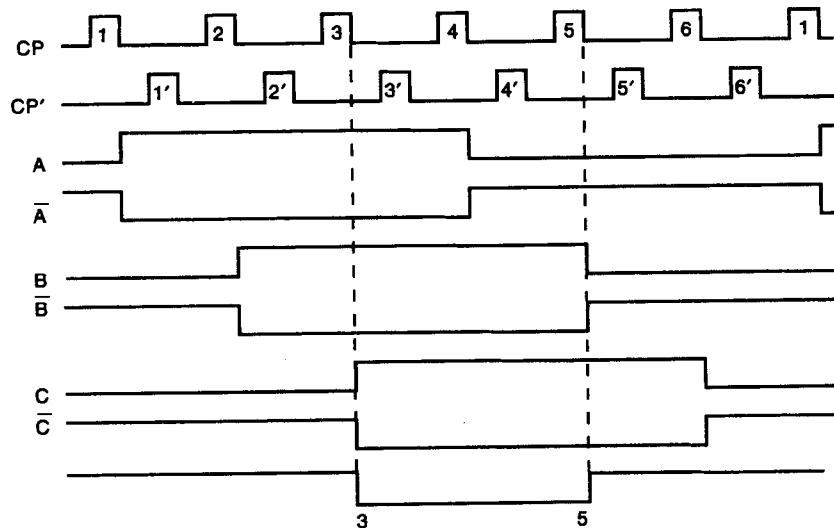
Solución 1:

El estado singular de una compuerta OR es “todas las entradas 0, salida 0”. Ahora se encuentra una señal que vaya al nivel BAJO en 3 y habilite la compuerta OR, y otra que ya tenga este nivel y vaya a ALTO en 5 para inhabilitar la compuerta. \bar{C} hace una transición al nivel BAJO en 3, y \bar{B} regresa al nivel ALTO en 5. $\bar{B} + \bar{C}$ resuelve el problema. Véase la figura 3-12.

3

Solución 2:

El estado singular de la compuerta NAND es “todas las entradas 1, salida 0.” Por tanto, se encuentra una entrada que vaya al nivel ALTO en 3 para habilitar la compuerta NAND y otra que ya tenga dicho nivel en ese momento y que vaya al nivel BAJO en 5 para inhabilitar la compuerta. C cambia a ALTO en 3 y B va al nivel BAJO en 5. Por tanto, $\bar{B} \cdot \bar{C}$ resuelve el problema. Véase la figura 3-12.



Solución 1



Solución 2

FIGURA 3-12

Ejemplo: Halle una combinación que produzca pulsos que vayan al nivel BAJO en 1' y 2'.

Solución:

Si todas las entradas a una compuerta NAND son 1, entonces la salida es 0. Por tanto se encuentra una señal que vaya al nivel ALTO antes de 1' y otra que ya tenga este nivel y que vaya a BAJO después de 2'. A y \bar{C} satisfacen estas condiciones. Por consiguiente, se ponen A, \bar{C} y CP' en una compuerta NAND. Véase la figura 3-13.

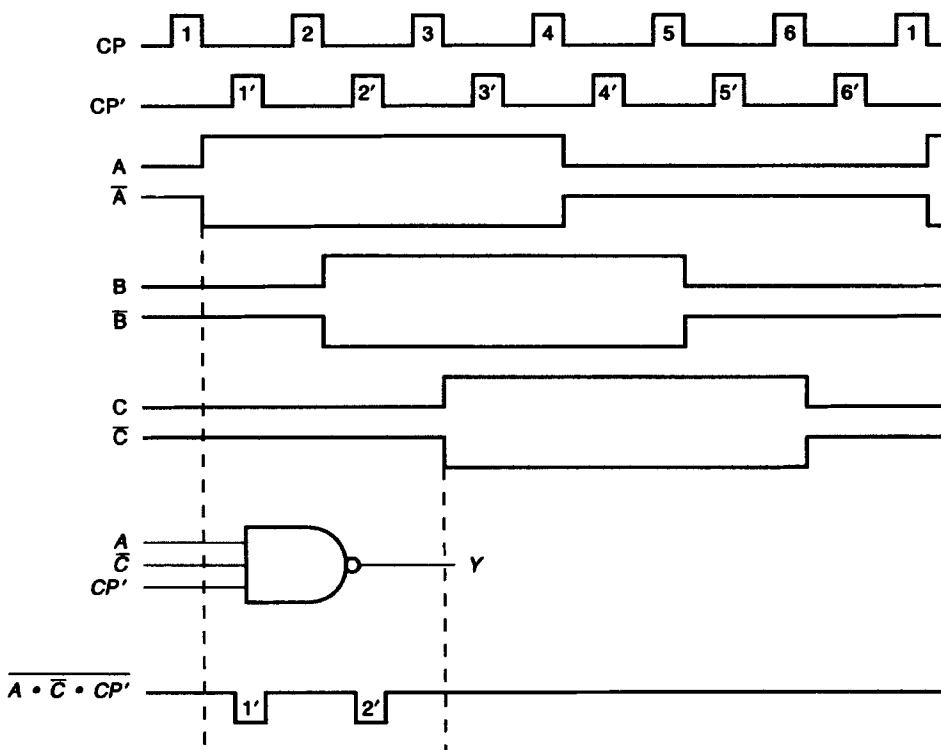


FIGURA 3-13

3.3 LÓGICA COMBINACIONAL



Para producir una forma de onda de salida deseada, a menudo es necesario utilizar una combinación de compuertas. Por ejemplo, supóngase que se necesita generar una señal de control formada por los pulsos 2' y 5' a partir

de las formas de onda del reloj con retardo y del contador de corrimiento. Se requiere una compuerta AND de tres entradas para aislar el pulso 2' y otra AND con el mismo número de entradas para aislar el pulso 5'. Para producir la señal deseada, debe hacerse el OR de la salida de ambas compuertas. La salida estará en el nivel ALTO ya sea durante el pulso 2' O (OR) el 5'. La combinación de compuertas para producir la salida requerida recibe el nombre de **lógica combinacional o combinatoria**.

Ejemplo: Combine las señales del reloj con retardo y las del contador de corrimiento para producir un pulso en la salida cada vez que se presente el pulso 2' o el 5'.

Solución:

La compuerta AND 1 produce un pulso cuando ocurre 2'.

La compuerta AND 2 produce un pulso cuando ocurre 5'.

Véase la figura 3-14.

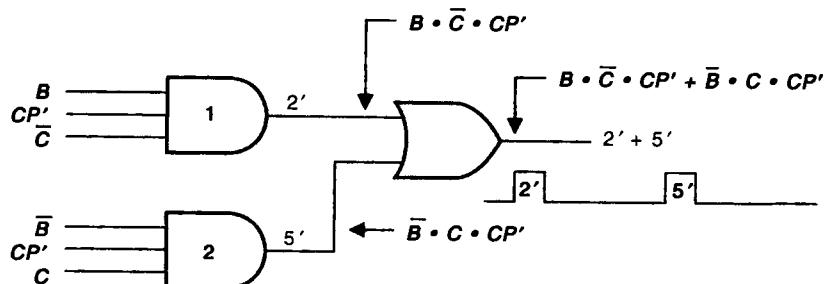


FIGURA 3-14

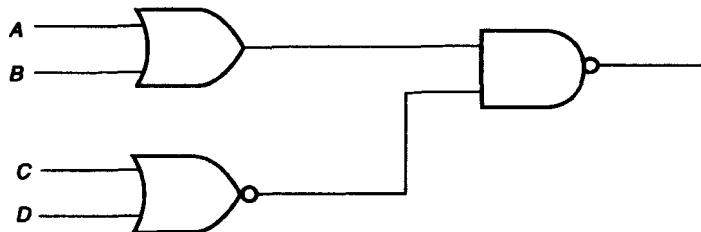
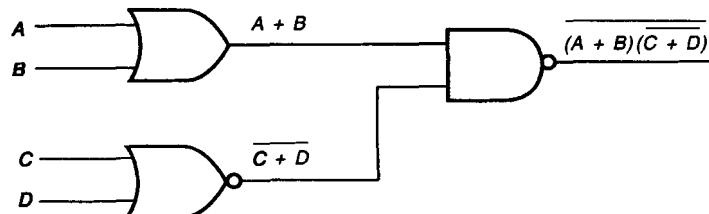
4

Puede escribirse una expresión booleana para la salida de la combinación de compuertas del ejemplo anterior. Para ello primero se escribe la expresión booleana de la salida de cada compuerta AND. A continuación se emplean estas expresiones como entradas a la siguiente compuerta. La salida de la compuerta AND 1 es $B \cdot \bar{C} \cdot CP'$. La salida de la compuerta AND 2 es $\bar{B} \cdot C \cdot CP'$. La salida total del circuito es $B \cdot \bar{C} \cdot CP' + \bar{B} \cdot C \cdot CP'$.

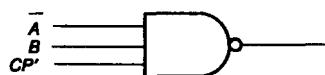
Ejemplo: Escriba la expresión booleana para la salida del circuito de la figura 3-15.

Solución:

Primero se escribe la expresión booleana para la salida de la compuerta OR, $A + B$. A continuación se escribe la expresión para la salida de la compuerta NOR, $\overline{C + D}$. Ahora se emplean estas dos expresiones como entradas a la compuerta NAND. La expresión final es $(A + B) \cdot \overline{C + D}$. Véase la figura 3-16.

**FIGURA 3-15****FIGURA 3-16****AUTOEVALUACIÓN PARA LAS SECCIONES 3.1, 3.2 Y 3.3**

- Determine la salida de la compuerta de la figura 3-17. [2]

**FIGURA 3-17**

2. Elija una compuerta y las salidas del contador de corrimiento para producir una salida que tenga el nivel BAJO del tiempo 2 hasta el 4. [3]
3. Diga cuál es la salida de la compuerta de la figura 3-18. [2]

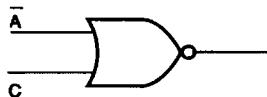


FIGURA 3-18

3.4 TEOREMAS BOOLEANOS

A continuación se examinan dos métodos para desarrollar los diagramas lógicos requeridos a partir de una tabla de verdad. El primero de ellos hace uso del **álgebra booleana** y de los **teoremas de DeMorgan** para reducir las expresiones obtenidas a otras que contengan el menor número de términos (expresiones mínimas). El segundo método es una variación del primero y emplea una herramienta denominada **mapa de Karnaugh**.

El álgebra booleana se basa en el siguiente conjunto de once teoremas fundamentales y en los dos teoremas de DeMorgan. A continuación se comenta o demuestra cada uno de ellos.

1. $\overline{\overline{A}} = A$ (Consúltese la Figura 3-19)

A es 0 o 1.

Caso I: Si $A = 0$, entonces $\overline{A} = 1$ y $\overline{\overline{A}} = 0$.

Caso II: Si $A = 1$, entonces $\overline{A} = 0$ y $\overline{\overline{A}} = 1$.

En cualquier caso $A = \overline{\overline{A}}$.

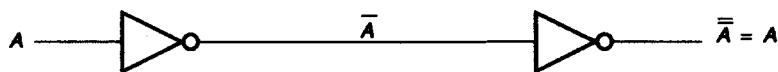


FIGURA 3-19

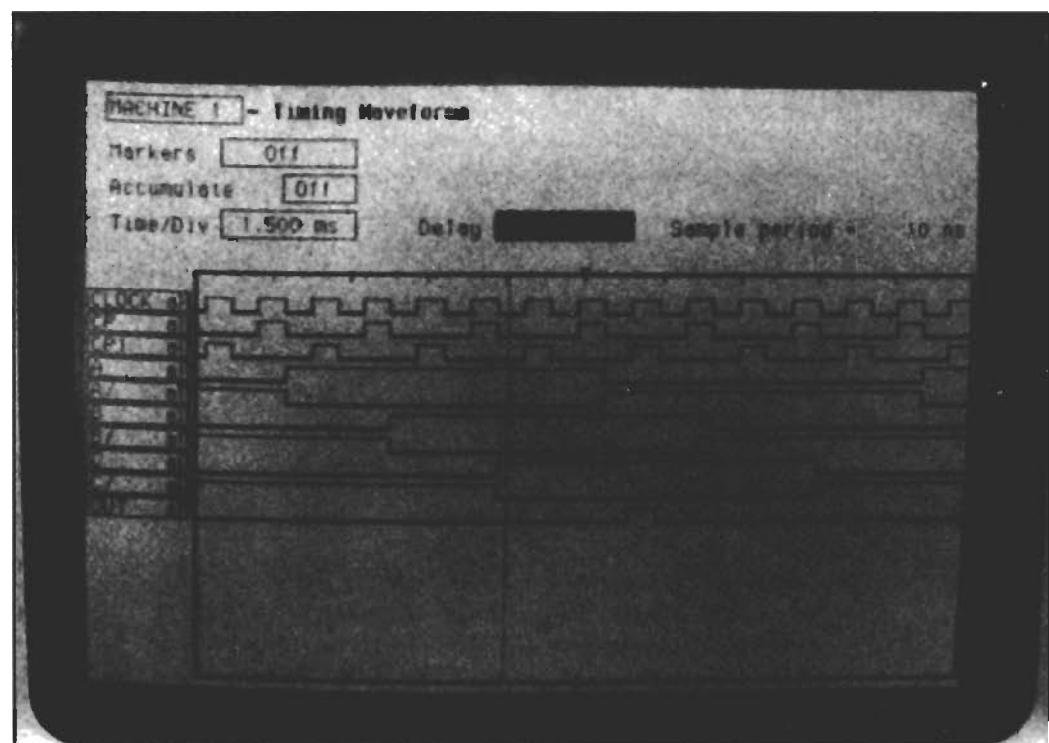
2. $A \cdot 0 = 0$ (Consúltese la Figura 3-20)

El 0 inhabilita la compuerta AND y la salida siempre es 0.



FIGURA 3-20

FORMAS DE ONDA DE CONTADOR DE CORRIMIENTO Y DE RELOJ RETRASADO



Este analizador lógico está conectado a dos circuitos, denominados reloj con retardo y contadores de corrimiento. En este capítulo se emplean las formas de onda que generan estos circuitos como entradas a las compuertas básicas. La traza inferior de la

fotografía es la salida de uno de los circuitos estudiados en este capítulo. Cuando el lector termine de estudiar el capítulo, regrese a esta fotografía e identifique las formas de onda, incluyendo la salida.

Ejemplo: Utilice el álgebra booleana para escribir una expresión equivalente para $Y \cdot Z \cdot 0$.

Solución:

$$Y \cdot Z \cdot 0 = 0 \text{ por el teorema 2}$$

3. $A + 0 = A$. (Véase la Figura 3-21)

La entrada 0 habilita la compuerta.

Caso I: Si $A = 1$, la salida es 1.

Caso II: Si $A = 0$, la salida es 0.

La salida siempre es igual a A .



FIGURA 3-21

Ejemplo: Escriba una expresión equivalente para $Y + \bar{Z} + 0$.

Solución:

$$Y + \bar{Z} + 0 = Y + \bar{Z} \text{ por el teorema 3}$$

4. $A \cdot 1 = A$ (Figura 3-22)

La entrada 1 habilita la compuerta.

Caso I: Si $A = 1$, la salida es 1.

Caso II: Si $A = 0$, la salida es 0.

La salida siempre es igual a A .



FIGURA 3-22

Ejemplo: Emplee el álgebra booleana para escribir una expresión equivalente para $\bar{D} \cdot E \cdot 1$.

Solución:

$$\bar{D} \cdot E \cdot 1 = \bar{D} \cdot E \text{ por el teorema 4}$$

5

5. $A + 1 = 1$ (Consúltese la Figura 3-23)

La entrada 1 inhabilita la compuerta y "fija" la salida en 1. La salida no responde a los cambios en A .



FIGURA 3-23

Ejemplo: Utilice el álgebra booleana para escribir una expresión equivalente para $\bar{E} + H + N + 1$.

Solución:

$$\bar{E} + H + N + 1 = 1 \text{ por el teorema 5}$$

6. $A + A = A$ (Véase la Figura 3-24)

Caso I: Si $A = 0$, entonces $0 + 0 = 0$.

Caso II: Si $A = 1$, entonces $1 + 1 = 1$.

En cualquier caso, la salida sigue a A .



FIGURA 3-24

Ejemplo: Escriba una expresión equivalente para $M \cdot \bar{N} + M \cdot \bar{N}$.

Solución:

$$M\bar{N} + M\bar{N} = M\bar{N} \text{ por el teorema 6}$$

7. $A \cdot A = A$ (Consúltese la Figura 3-25)

Caso I: Si $A = 0$, entonces los dos ceros en la entrada de la AND producen una salida 0.

Caso II: Si $A = 1$, entonces los dos unos en la entrada de la AND producen una salida 1.

En cualquier caso, la salida es igual a las entradas.

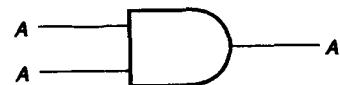


FIGURA 3-25

Ejemplo: Utilice el álgebra booleana para escribir una expresión equivalente para $C \cdot C \cdot \bar{D} \cdot E \cdot \bar{D}$.

Solución:

$$C \cdot C \cdot \bar{D} \cdot E \cdot \bar{D} = C \cdot C \cdot \bar{D} \cdot \bar{D} \cdot E$$

$$C \cdot C \cdot \bar{D} \cdot \bar{D} \cdot E = C \cdot \bar{D} \cdot E$$

El AND de los términos es conmutativo por el teorema 7 (dos veces)

8. $A + \bar{A} = 1$ (Véase Figura 3-26)

Caso I: Si $A = 1$, entonces la salida es 1.

Caso II: Si $A = 0$, entonces $\bar{A} = 1$ y la salida es 1.

La salida siempre es 1.



FIGURA 3-26

Ejemplo: Escriba una expresión equivalente para $\overline{AB} + AB$.

Solución:

$$\overline{AB} + AB = 1 \text{ por el teorema 8}$$

Ejemplo: Con el empleo del álgebra booleana escriba una expresión para $A\bar{B} + \bar{A}B$.

Solución:

$A\bar{B}$ y $\bar{A}B$ no son complementos el uno del otro, como lo muestra la tabla de verdad siguiente. Por tanto, evítese caer en la trampa de reducir esta expresión a 1.

A	B	\bar{A}	\bar{B}	$A\bar{B}$	$\bar{A}B$
0	0	1	1	0	0
0	1	1	0	0	1
1	0	0	1	1	0
1	1	0	0	0	0



Ninguno es complemento del otro

Ejemplo: Haga uso del álgebra booleana para escribir una expresión equivalente para $X + Y + \bar{X}$.

Solución:

$$\begin{aligned} X + Y + \bar{X} &= X + \bar{X} + Y && \text{por el teorema 8} \\ &= 1 && \text{por el teorema 5} \end{aligned}$$

9. $A \cdot \bar{A} = 0$ (Véase la Figura 3-27)

Caso I: Si $A = 1$, entonces $\bar{A} = 0$ y la salida es 0.

Caso II: Si $A = 0$, entonces la salida es 0.

En cualquier caso, la salida es 0.



FIGURA 3-27

Ejemplo: Escriba una expresión equivalente para $A \cdot B \cdot \bar{D} \cdot \bar{A}$.

Solución:

$$\begin{aligned} A \cdot B \cdot \bar{D} \cdot \bar{A} &= A \cdot \bar{A} \cdot B \cdot \bar{D} = 0 \cdot B \cdot \bar{D} \quad \text{por el teorema 9} \\ &= 0 \quad \text{por el teorema 2} \end{aligned}$$

10. $A \cdot B + A \cdot C = A(B + C)$ (Consúltese la Figura 3-28)

Una manera de demostrar este teorema es examinar su validez para todas las combinaciones posibles de A , B y C . Un enfoque organizado es desarrollar una tabla de verdad para cada miembro de la ecuación y ver si éstas son idénticas. Para desarrollar la tabla de verdad de una expresión compleja se comienza con cada término. Para ello se escribe una columna para $A \cdot B$, luego para $A \cdot C$ y después se hace el “OR” de éstas para producir el miembro izquierdo de la ecuación. Para desarrollar el miembro derecho, primero se escribe una columna para $B + C$ y luego se hace el “AND” con A . Las tablas de verdad son idénticas, así que la ecuación es verdadera. Nótese la forma en que se “construyen” las expresiones finales para cada miembro.

A	B	C	$A \cdot B$	$A \cdot C$	$A \cdot B + A \cdot C$	$B + C$	$A(B + C)$ Función AND
0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0
0	1	0	0	0	0	1	0
0	1	1	0	0	0	1	0
1	0	0	0	0	0	0	0
1	0	1	0	1	1	1	1
1	1	0	1	0	1	1	1
1	1	1	1	1	1	1	1

$$A \cdot B + A \cdot C = A(B + C)$$

FIGURA 3-28

Ejemplo: Haga uso del álgebra booleana para escribir una expresión equivalente para $\bar{A}B + \bar{A}C$.

Solución:

$$\bar{A}B + \bar{A}C = \bar{A}(B + C) \quad \text{por el teorema 10}$$

Ejemplo: Escriba una expresión equivalente para $XYZ + X\bar{Y}Z$.

Solución:

$$\begin{aligned} XYZ + X\bar{Y}Z &= XZ(Y + \bar{Y}) \text{ por el teorema 10} \\ &= XZ(1) \text{ por el teorema 8} \\ &= XZ \text{ por el teorema 4} \end{aligned}$$

Ejemplo: Utilice el álgebra booleana para escribir una expresión equivalente para $AB + AC + AD$.

Solución:

$$AB + AC + AD = A(B + C + D) \text{ por el teorema 10}$$

11. $A + \bar{A} \cdot B = A + B$ (Véase la Figura 3-29)

Al hacer uso de nuevo de tablas de verdad, se observa que el miembro izquierdo de la ecuación es idéntico al derecho.

A	B	\bar{A}	$\bar{A} \cdot B$	$A + \bar{A} \cdot B$	$A + B$
0	0	1	0	0	0
0	1	1	1	1	1
1	0	0	0	1	1
1	1	0	0	1	1

$$A + \bar{A} \cdot B = A + B$$

FIGURA 3-29

Ejemplo: Escriba una expresión equivalente para $\bar{X} + XZ$.

Solución:

$$\bar{X} + XZ = \bar{X} + Z \text{ por el teorema 11}$$

Ejemplo: Obtenga una expresión equivalente para $A + \bar{A}B$.

Solución:

$$A + \bar{A}B = A + B \text{ por el teorema 11}$$

Ejemplo: Utilice el álgebra booleana para reducir la expresión $\bar{ABC} + \bar{ABC} + A\bar{BC}$.

Solución:

$$\begin{aligned}
 \overline{ABC} + \overline{ABC} + A\overline{BC} &= \overline{AC}(\overline{B} + B) + A\overline{BC} && \text{por el teorema 10} \\
 &= \overline{AC}(1) + A\overline{BC} && \text{por el teorema 8} \\
 &= \overline{AC} + A\overline{BC} && \text{por el teorema 4} \\
 &= \overline{C}(\overline{A} + AB) && \text{por el teorema 10} \\
 &= \overline{C}(\overline{A} + \overline{B}) && \text{por el teorema 11} \\
 \overline{ABC} + \overline{ABC} + A\overline{BC} &= \overline{C}(\overline{A} + \overline{B})
 \end{aligned}$$

Solución:

$$\overline{ABC} + \overline{ABC} + A\overline{BC} = \overline{C}(\overline{A} + \overline{B})$$

3.5 TEOREMAS DE DEMORGAN



Los teoremas de DeMorgan son los siguientes:

1. $\overline{A \cdot B} = \overline{A} + \overline{B}$ (Consúltese la Figura 3-30)

La tabla de verdad muestra que el miembro izquierdo de la ecuación es igual al miembro derecho.

A	B	$A \cdot B$	$\overline{A \cdot B}$	\overline{A}	\overline{B}	$\overline{A} + \overline{B}$
0	0	0	1	1	1	1
0	1	0	1	1	0	1
1	0	0	1	0	1	1
1	1	1	0	0	0	0

$\overline{A \cdot B} = \overline{A} + \overline{B}$

FIGURA 3-30

Este teorema refuerza el hecho de que una compuerta NAND es lo mismo que invertir las entradas de una compuerta OR. Véase la figura 3-31.

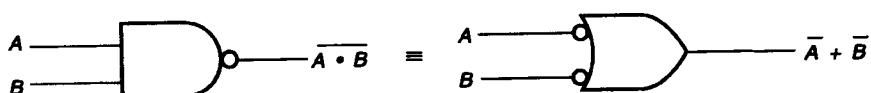


FIGURA 3-31

2. $\overline{A + B} = \overline{A} \cdot \overline{B}$ (Figura 3-32)

La tabla de verdad indica que el miembro izquierdo de la ecuación es igual al derecho.

A	B	$A + B$	$\overline{A + B}$	\bar{A}	\bar{B}	$\bar{A} \cdot \bar{B}$
0	0	0	1	1	1	1
0	1	1	0	1	0	0
1	0	1	0	0	1	0
1	1	1	0	0	0	0

$$\overline{A + B} = \bar{A} \cdot \bar{B}$$

FIGURA 3-32

Este teorema apoya el hecho de que una NOR es lo mismo que invertir las entradas de una AND. Véase la figura 3-33.

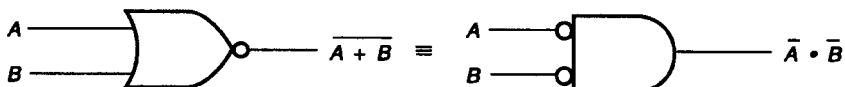


FIGURA 3-33

Para aplicar con éxito los teoremas de DeMorgan, es necesario identificar primero los términos de una expresión. En la expresión $AB + CDE + FG$, se hace el OR de los términos AB , CDE y FG . En la expresión $(A + B)(C + D)$, se hace el AND de los dos términos $A + B$ y $C + D$. En la expresión $(A + B)(C + D) + EFG$, se hace el OR de los términos $(A + B)(C + D)$ y EFG . En la expresión ABC , se hace el AND de los tres términos A , B y C .



Para aplicar los teoremas de DeMorgan, siga estas reglas:

1. Complementar toda la expresión.
2. Cambiar la función entre cada término.
3. Complementar cada término.

Ejemplo: Aplique las tres reglas a $\overline{A \cdot B}$.

Solución:

$$1. \quad \overline{\overline{A \cdot B}} = A \cdot B$$

$$2. \quad \overline{A + B}$$

$$3. \quad \overline{\overline{A} + \overline{B}}$$

$$\overline{A \cdot B} = \overline{\overline{A} + \overline{B}}$$

Ejemplo: Aplique las reglas anteriores a $\overline{A} \cdot \overline{B}$.

Solución:

1. $\overline{\overline{A} \cdot \overline{B}}$
 2. $\overline{\overline{A}} + \overline{\overline{B}}$
 3. $\overline{\overline{A}} + \overline{\overline{B}} = \overline{A + B}$
- $$\overline{A} \cdot \overline{B} = \overline{A + B}$$
-

Ejemplo: Cambie la forma de $A \cdot B \cdot C$ con el uso de los teoremas de DeMorgan.

Solución:

1. $\overline{A \cdot B \cdot C}$
 2. $\overline{A + B + C}$
 3. $\overline{\overline{A} + \overline{B} + \overline{C}}$
- $$A \cdot B \cdot C = \overline{\overline{A} + \overline{B} + \overline{C}}$$
-

Ejemplo: Modifique la forma de $ABC + \overline{A}\overline{B}\overline{C}$ mediante el empleo de los teoremas de DeMorgan y dibuje el diagrama lógico de cada uno.

Solución:

1. $\overline{ABC + \overline{A}\overline{B}\overline{C}}$
2. $\overline{ABC} \cdot \overline{\overline{A}\overline{B}\overline{C}}$
3. $\overline{ABC} \cdot \overline{\overline{ABC}}$

Ahora se aplican los teoremas de DeMorgan a cada término.

4. $\overline{\overline{ABC}} \cdot \overline{\overline{\overline{A}\overline{B}\overline{C}}} = \overline{ABC} \cdot \overline{\overline{ABC}}$
5. $(\overline{A} + \overline{B} + \overline{C}) \cdot (\overline{\overline{A}} + \overline{\overline{B}} + \overline{\overline{C}})$
6. $(\overline{A} + \overline{B} + \overline{C}) \cdot (A + B + C)$
7. $ABC + \overline{A}\overline{B}\overline{C} = (\overline{A} + \overline{B} + \overline{C}) \cdot (A + B + C)$

Véase la figura 3-34

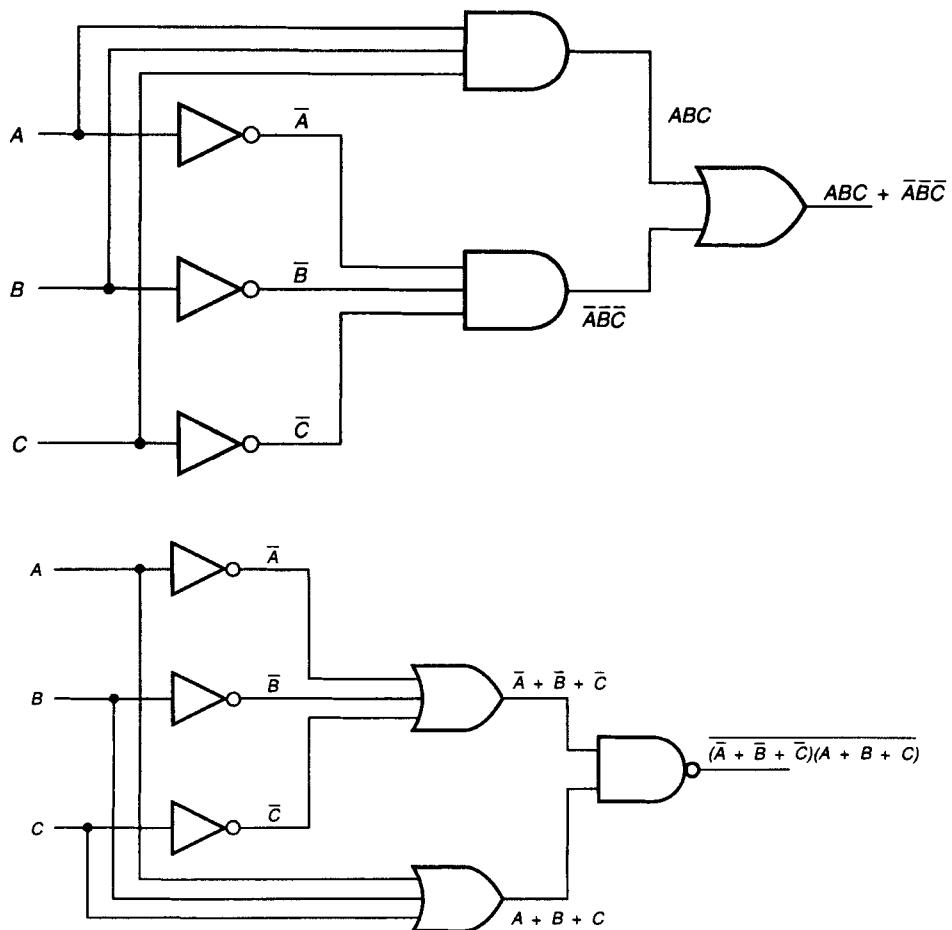


FIGURA 3-34

Ejemplo: Utilice los teoremas de DeMorgan para reducir el circuito de la figura 3-35.

Solución:

Se escribe la expresión booleana para la salida, $\overline{AB} + \overline{C}$.

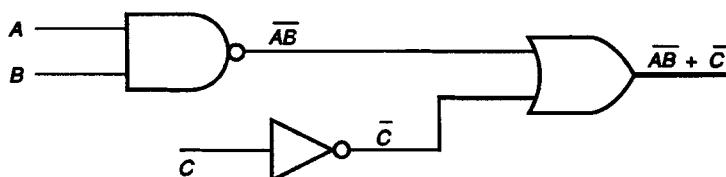


FIGURA 3-35

A continuación se aplica el teorema de DeMorgan.

$$1. \quad \overline{\overline{AB} + \overline{C}}$$

$$2. \quad \overline{\overline{AB} \cdot \overline{C}}$$

$$3. \quad \overline{\overline{\overline{AB}} \overline{C}}$$

$$\overline{AB} + \overline{C} = \overline{ABC}$$

Véase la figura 3-36



FIGURA 3-36

AUTOEVALUACIÓN DE LAS SECCIONES 3.4 Y 3.5

Reduzca las expresiones siguientes utilizando el álgebra booleana. [5]

$$1. \quad 1 + \overline{B} + C$$

$$2. \quad D \cdot \overline{C} \cdot 0$$

$$3. \quad \overline{A} + B + A$$

$$4. \quad A + \overline{ABC}$$

$$5. \quad \overline{ABC} + \overline{ABC}\overline{C}$$

$$6. \quad \overline{CBA} + \overline{C}\overline{B}A + \overline{C}B\overline{A}$$

Aplique los teoremas de DeMorgan. [6]

$$7. \quad A + \overline{C}$$

$$8. \quad \overline{A} + \overline{BC}$$

$$9. \quad \overline{A}(\overline{B + C})$$

3.6 DISEÑO DE CIRCUITOS LÓGICOS

Método 1: Álgebra booleana



Los ejemplos siguientes demuestran un método utilizado para desarrollar la expresión booleana de un diagrama lógico que se comporte de acuerdo con una tabla de verdad dada. Para ello, de la tabla de verdad se escribe una ecuación y luego se reduce ésta con el empleo de los teoremas del álgebra booleana.

Ejemplo: Diseñe un circuito lógico que se comporte de acuerdo con la tabla de verdad de la figura 3-37.

Solución:

Se desea que la salida Y sea 1 cuando $A = 0$ y $B = 0$ (primera línea) O (OR) cuando $A = 1$ y $B = 0$ (tercera línea). Considérese la primera línea. Si $A = 0$ entonces $\bar{A} = 1$ (esto es, si no se tiene a A , entonces se tiene a \bar{A}) y si $B = 0$ entonces $\bar{B} = 1$. Se desea que Y sea 1 cuando se tenga \bar{A} Y \bar{B} . Por tanto, la primera línea está representada por $\bar{A} \cdot \bar{B}$. Considérese ahora la tercera línea. Si $A = 0$ entonces $\bar{A} = 1$. Se quiere que Y sea 1 cuando se tenga \bar{A} Y B . En consecuencia, la tercera línea está representada por $\bar{A} \cdot B$.

Entradas		Salida
B	A	Y
0	0	1
0	1	0
1	0	1
1	1	0

FIGURA 3-37

La salida Y es 1 cuando la primera o la tercera línea es 1. Lo anterior da como resultado la ecuación $Y = \bar{A} \cdot \bar{B} + A \cdot B$. Esta ecuación puede simplificarse con el empleo de los teoremas.

$$Y = \bar{A} \cdot \bar{B} + \bar{A} \cdot B$$

$$Y = \bar{A}(\bar{B} + B) \quad \text{por el teorema 10}$$

$$Y = \bar{A}(1) \quad \text{por el teorema 8}$$

$$Y = \bar{A} \quad \text{por el teorema 4}$$

La salida deseada es el complemento de A y puede producirse invirtiendo la entrada A . Véase la figura 3-38.

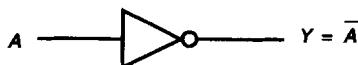


FIGURA 3-38



Ejemplo: Dada la tabla de verdad de la figura 3-39, diseñe el circuito lógico.

Solución:

Se quiere que la salida Y sea 1 cuando $C = 0, B = 1$ y $A = 1$ (cuarta línea) O (OR) cuando $C = 1, B = 1$ y $A = 0$ (séptima línea), O (OR) cuando $C = 1, B = 1$ y $A = 1$ (octava línea). Considérese la línea 4. Si $C = 0$ entonces $\bar{C} = 1$; por otra parte, $A = 1$ y $B = 1$. Se desea que Y sea 1 cuando se tenga \bar{C} Y B Y A . La séptima línea está representada por $C \cdot B \cdot \bar{A}$, mientras que la octava lo está por $C \cdot B \cdot A$. Con lo anterior se tiene la ecuación $Y = \bar{C}BA + C\bar{B}A + CBA$. La reducción de esta expresión puede hacerse con el empleo de los teoremas booleanos.

Entradas			Salida
C	B	A	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

FIGURA 3-39

$$\begin{aligned}
 Y &= \overline{C}BA + C\overline{B}\overline{A} + CBA \\
 Y &= \overline{C}BA + CB(\overline{A} + A) \quad \text{por el teorema 10} \\
 Y &= \overline{C}BA + CB(1) \quad \text{por el teorema 8} \\
 Y &= \overline{C}BA + CB \quad \text{por el teorema 4} \\
 Y &= B(\overline{C}A + C) \quad \text{por el teorema 10} \\
 Y &= B(C + \overline{C}A) \quad \text{el OR de varios términos es commutativo} \\
 Y &= B(C + A) \quad \text{por el teorema 11} \\
 Y &= B(A + C) \quad \text{el OR de varios términos es commutativo}
 \end{aligned}$$

Ahora se construye el circuito lógico de modo que $Y = B(A + C)$. Véase la figura 3-40.

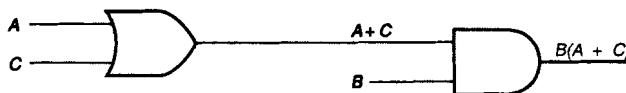


FIGURA 3-40

La tabla de verdad puede realizarse con una compuerta OR y otra AND, cada una con dos entradas.

La comprobación de la solución puede hacerse construyendo el circuito y verificando que la salida coincide con la tabla de verdad (un buen ejercicio) o mediante el desarrollo de una tabla de verdad para la expresión $B(A + C)$. Véase la figura 3-41.

C	B	A	$A + C$	$B(A + C)$
0	0	0	0	0
0	0	1	1	0
0	1	0	0	0
0	1	1	1	1
1	0	0	1	0
1	0	1	1	0
1	1	0	1	1
1	1	1	1	1

FIGURA 3-41

Como puede verse, esta tabla de verdad es idéntica a la original.

Intente crear una tabla de verdad de tres entradas y diseñe el circuito lógico que la realiza.

Ejemplo: Diseñe un circuito que realice la tabla de verdad que aparece en la figura 3-42A.

Solución:

Lo que se quiere es que Y sea 1 cuando se tenga:

$\bar{A}\bar{B}C$ (primera línea) o $A\bar{B}\bar{C}$ (segunda línea) o
 $A\bar{B}\bar{C}$ (cuarta línea) o $\bar{A}\bar{B}\bar{C}$ (quinta línea) o
 $\bar{A}BC$ (séptima línea) o ABC (última línea)

Entrada			Salida
C	B	A	Y
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

FIGURA 3-42A

$$Y = \bar{A}\bar{B}C + A\bar{B}\bar{C} + ABC + \bar{A}\bar{B}C + \bar{A}BC + ABC$$

$$Y = \bar{B}\bar{C}(\bar{A} + A) + ABC + \bar{A}\bar{B}C + \bar{A}BC + ABC \quad \text{por el teorema 10}$$

$$Y = \bar{B}\bar{C} + ABC + \bar{A}\bar{B}C + \bar{A}BC + ABC \quad \text{por el teorema 8}$$

$$Y = \bar{B}\bar{C} + AB(\bar{C} + C) + \bar{A}\bar{B}C + \bar{A}BC \quad \text{por el teorema 10}$$

$$Y = \bar{B}\bar{C} + AB + \bar{A}\bar{B}C + \bar{A}BC \quad \text{por el teorema 8}$$

$$Y = \bar{B}\bar{C} + AB + \bar{A}C(\bar{B} + B) \quad \text{por el teorema 10}$$

$$Y = \bar{B}\bar{C} + AB + \bar{A}C \quad \text{por el teorema 8}$$

La salida deseada puede obtenerse tal como se muestra en la figura 3-42B.

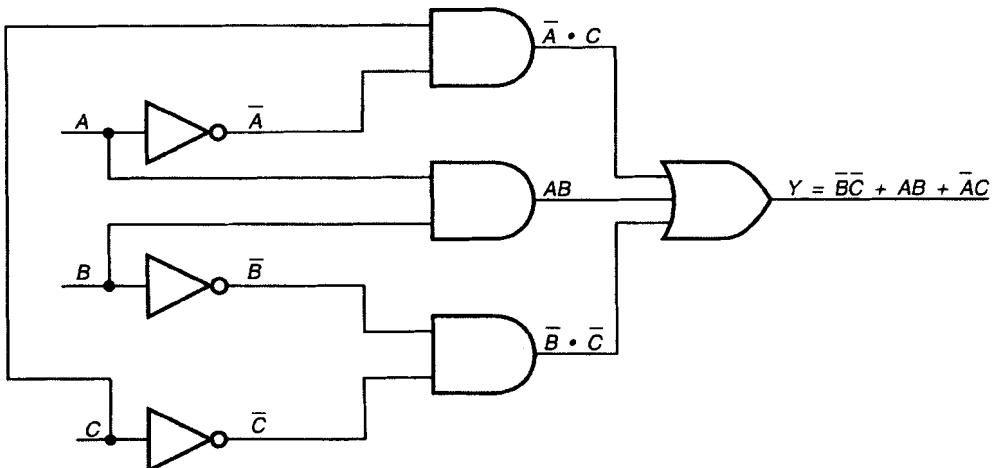


FIGURA 3-42B

Solución alternativa:

La primera solución involucra mucho trabajo debido a la presencia de seis unos en la columna que corresponde, en la tabla de verdad, a la salida. Un enfoque alternativo es trabajar con los dos ceros de esta columna y escribir una expresión para \bar{Y} , simplificarla y luego complementarla para obtener Y . Véase la figura 3-42A.

Cuando Y es 1, \bar{Y} es 0. Lo que se desea es que \bar{Y} sea 0 cuando se tenga $\bar{C}BA$ (tercera línea) O $C\bar{B}A$ (sexta línea).

$\bar{Y} = \bar{C}BA + C\bar{B}A$. Para obtener la expresión que corresponde a Y , es necesario complementar los dos miembros de la ecuación.

$$\bar{Y} = \bar{C}BA + C\bar{B}A$$

$$Y = \overline{\bar{C}BA + C\bar{B}A}$$

Véase la figura 3-42C.



Ejemplo: Diseñe un circuito que realice la tabla de verdad de la figura 3-43A.

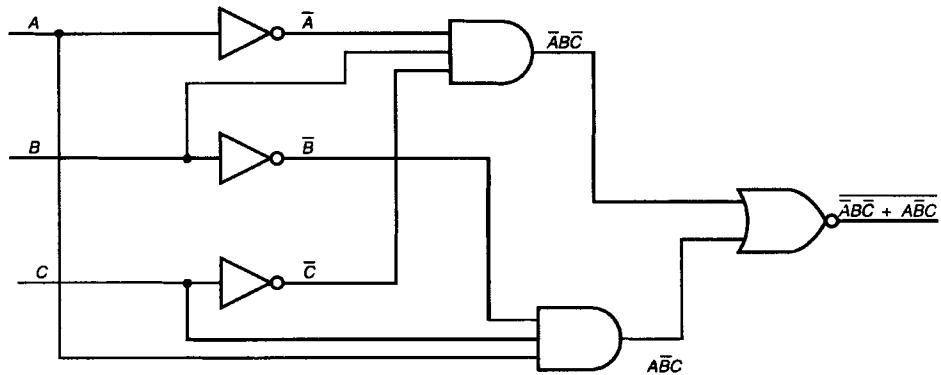


FIGURA 3-42C

Solución:

$$Y = A\bar{B}\bar{C} + \bar{A}\bar{B}C + A\bar{B}C + \bar{A}BC$$

$$Y = A\bar{B}(\bar{C} + C) + \bar{A}\bar{B}C + \bar{A}BC$$

$$Y = A\bar{B} + \bar{A}\bar{B}C + \bar{A}BC$$

$$Y = A\bar{B} + \bar{A}C(\bar{B} + B)$$

$$Y = A\bar{B} + \bar{A}C$$

Entradas			Salida
C	B	A	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

FIGURA 3-43A

La circuitería necesaria se muestra en la figura 3-43B.

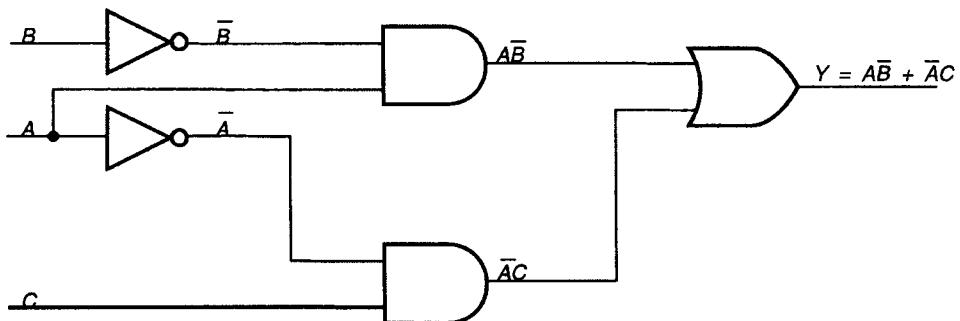


FIGURA 3-43B

7

Ejemplo: Diseñe un circuito que se comporte de acuerdo con la tabla de verdad que aparece en la figura 3-44A.

Solución:

$$Y = \bar{A}\bar{B}\bar{C} + A\bar{B}\bar{C} + \bar{A}\bar{B}C + A\bar{B}C$$

$$Y = \bar{A}\bar{B}\bar{C} + A\bar{B}\bar{C} + \bar{B}C(\bar{A} + A)$$

$$Y = \bar{A}\bar{B}\bar{C} + A\bar{B}\bar{C} + \bar{B}C$$

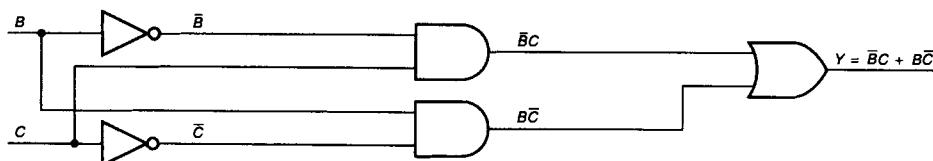
$$Y = \bar{B}C(\bar{A} + A) + \bar{B}C$$

$$Y = \bar{B}C + \bar{B}C$$

Entradas			Salida
C	B	A	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

FIGURA 3-44A

La figura 3-44B muestra la forma en que puede construirse el circuito.

**FIGURA 3-44B**

Nótese que la entrada A no aparece en el circuito final. No es necesaria para producir la salida requerida.

7

Ejemplo: Diseñe un circuito que realice la tabla de verdad de la figura 3-45.

Entradas			Salida
C	B	A	Y
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

FIGURA 3-45

Solución:

$$Y = \overline{ABC} + A\overline{BC} + AB\overline{C} + \overline{A}\overline{B}C + \overline{A}\overline{B}C + ABC$$

$$Y = \overline{BC}(\overline{A} + A) + ABC + \overline{ABC} + \overline{ABC} + ABC$$

$$Y = \overline{BC} + ABC + \overline{ABC} + BC(\overline{A} + A)$$

$$Y = \overline{BC} + ABC + \overline{ABC} + BC$$

$$Y = \overline{C}(\overline{B} + BA) + \overline{ABC} + BC$$

$$Y = \overline{C}(\overline{B} + A) + \overline{ABC} + BC$$

$$Y = \overline{BC} + A\overline{C} + \overline{ABC} + BC$$

$$Y = \overline{BC} + A\overline{C} + C(\overline{AB} + B)$$

$$Y = \overline{BC} + A\overline{C} + C(B + \overline{BA})$$

$$Y = \overline{BC} + A\overline{C} + C(B + \overline{A})$$

$$Y = \overline{BC} + A\overline{C} + BC + \overline{AC}$$

La tabla de verdad de este problema apareció en un ejemplo anterior. Si bien no se ha cometido ningún error y ya no es posible hacer más reducciones, la expresión resultante tiene más términos y requiere de más circuitería que la solución anterior. Seguir las reglas del álgebra booleana no garantiza una solución mínima. El método siguiente para el diseño de circuitos lógicos, los mapas de Karnaugh, ofrece un control mejor del resultado y garantiza una expresión mínima para la salida.

Método 2: Mapa de Karnaugh

El método de **Karnaugh** utiliza una tabla o “mapa” para reducir expresiones. Cada posición en la tabla recibe el nombre de celda. Las **celdas** se llenan con unos y ceros de acuerdo con la expresión que se desea reducir. Los unos adyacentes se agrupan en conglomerados, denominados **subcubos**, siguiendo reglas definidas. El tamaño del subcubo debe ser 1, 2, 4, 8, 16, etc. Todos los unos deben estar incluidos en un subcubo de tamaño máximo. A continuación se exponen y explican estas reglas con varios ejemplos.

Ejemplo: Diseñe un circuito que tenga el comportamiento dado por la tabla de verdad de la figura 3-46.

Entradas			Salida
C	B	A	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

FIGURA 3-46**Solución:**

Paso 1. Se dibuja la tabla. Para ello se escogen dos de las variables para utilizarlas como encabezados de columna. En este caso, se eligen a C y B . Después se forman todas las combinaciones de C y \bar{C} con B y \bar{B} . El encabezado de cada columna debe diferir del de la columna adyacente sólo por una variable.

Parte 1	$\bar{C}\bar{B}$	$\bar{C}B$	CB	$C\bar{B}$

El encabezado de la primera columna es $\bar{C}\bar{B}$, y para formar el de la segunda se cambia \bar{B} por B , $\bar{C}B$. Para la tercera columna se cambia \bar{C} por C , CB , y finalmente el de la cuarta es $C\bar{B}$. Esta columna se dobla sobre la primera, con lo que éstas deben diferir por una sola variable.

Parte 2	$\bar{C}\bar{B}$	$\bar{C}B$	CB	$C\bar{B}$
\bar{A}				
A				

La tercera variable, A , se emplea para los rótulos de los renglones, \bar{A} y A .

Paso 2. La tabla se llena con los unos y ceros de la tabla de verdad. La salida Y es 1 en la línea 3 cuando se tiene \bar{C} y B y \bar{A} . Por tanto, se coloca un 1 en la celda de la tabla que corresponde a $\bar{C}\bar{B}\bar{A}$. La salida Y también es 1 en la línea 4, lo que está representado por $\bar{C}BA$, en la 6, $C\bar{B}A$, en la línea 7, CBA , y en la línea 8, CBA . Todas estas celdas se llenan con unos y las demás con ceros.

	$\bar{C}\bar{B}$	$\bar{C}B$	CB	$C\bar{B}$
\bar{A}	0	1	1	0
A	0	1	1	1

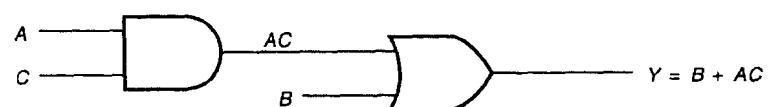
Paso 3. Las celdas adyacentes que tengan unos se combinan en subcubos de tamaño máximo. Los cuatro unos de la parte central de la tabla forman un subcubo de tamaño 4.

	$\bar{C}\bar{B}$	$\bar{C}B$	CB	$C\bar{B}$
\bar{A}	0	1	1	0
A	0	1	1	1

El 1 de la celda $C\bar{B}A$ no se ha incluido en un subcubo, de modo que se combina con el 1 adyacente para formar un subcubo de tamaño 2.

Paso 4. Se escribe la expresión que representa cada subcubo. En el subcubo de tamaño 4, se encuentran las variables que se presentan en las cuatro celdas. En este caso, B es la única variable que aparece en las cuatro celdas. El subcubo de tamaño 4 representa a B . En el subcubo de tamaño 2, A y C aparecen en cada celda, de modo que éste representa a AC .

Paso 5. Se forma la expresión de la salida. La salida Y es el OR de cada subcubo. En este caso, $Y = B + AC$.



Por tanto, la tabla de verdad puede realizarse con el circuito:

Comprobación: ¿Cómo se sabe que este circuito es correcto?

En el circuito, cuando A y C son ambas 1, la salida de la compuerta AND es también 1. Un 1 en una compuerta OR hace que la salida de ésta sea 1. En la tabla de verdad, A y C son ambas 1 en las líneas 6 y 8, y la salida requerida es 1. En el circuito cada vez que B es 1, la salida es 1. En la tabla de verdad, B es 1 en las líneas 3, 4, 7 y 8, y la salida requerida es 1. Las demás veces las dos entradas de la compuerta OR son 0, con lo que el resultado es 0. Esto sucede en las líneas 1, 3 y 5 de la tabla de verdad, donde la salida es 0. En todos los casos el circuito produce los resultados establecidos por la tabla de verdad.

Ejemplo: Utilice un mapa de Karnaugh para diseñar un diagrama lógico que realice la tabla de verdad siguiente.

Entradas			Salida
C	B	A	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Solución:

Paso 1. Se dibuja la tabla.

	$\bar{C}\bar{B}$	$\bar{C}B$	CB	$C\bar{B}$
\bar{A}	0	0	1	0
A	1	0	1	1

Paso 2. Se llena la tabla con los unos y ceros de la tabla de verdad.

Paso 3. Se combinan las celdas adyacentes que contienen unos en subcubos de tamaño 1, 2, 4 u 8.

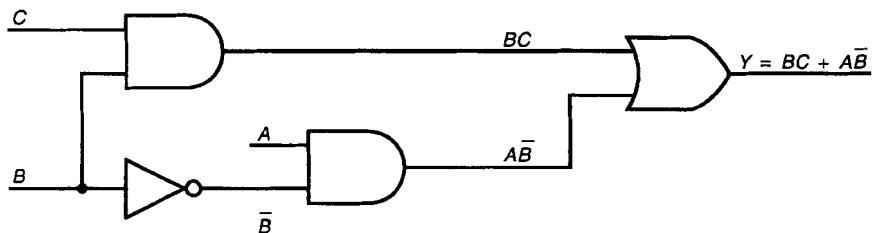
	$\bar{C}\bar{B}$	$\bar{C}B$	CB	$C\bar{B}$
\bar{A}	0	0	1	0
A	1	0	1	1

Los lados de la tabla se doblan uno sobre el otro, de modo que la tabla es continua. Los unos de las esquinas inferiores forman un subcubo de tamaño 2. Los dos subcubos "cubren" el mapa ya que todos los unos están contenidos en los subcubos. Cualquier subcubo que se obtenga de manera adicional solamente añade términos innecesarios a la expresión final.

Paso 4. Se escribe la expresión que representa cada subcubo. En el subcubo vertical, C y B permanecen constantes. En el subcubo horizontal, \bar{B} y A son constantes.

Paso 5. Se forma la expresión que corresponde a la salida.

$$Y = BC + A\bar{B}$$



Ejemplo: Utilice un mapa de Karnaugh para diseñar un diagrama lógico que realice la tabla de verdad siguiente.

Entradas				Salida
D	C	B	A	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	1	0	1
1	1	1	1	1

Solución:

Paso 1. Se dibuja la tabla. Puesto que ahora se necesitan cuatro variables, dos de ellas se emplean como encabezados de columna y las otras dos como rótulos de renglón.

	$\bar{D}\bar{C}$	$\bar{D}C$	DC	$D\bar{C}$
$\bar{B}\bar{A}$	1	0	1	1
$\bar{B}A$	0	1	1	0
$B\bar{A}$	0	0	1	0
BA	1	0	1	1

Paso 2. Se llena la tabla con los unos y ceros de la tabla de verdad.

Paso 3. Se combinan las celdas adyacentes que contienen unos en subcubos de tamaño 1, 2, 4, 8 o 16.

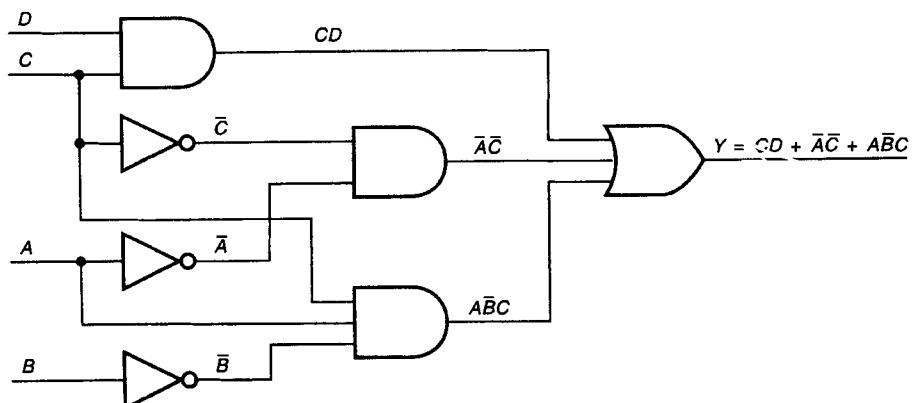
	$\bar{D}\bar{C}$	$\bar{D}C$	DC	$D\bar{C}$	
$\bar{B}\bar{A}$	1	0	1	1	\bar{AC}
$\bar{B}A$	0	1	1	0	
$B\bar{A}$	0	0	1	0	
$B\bar{A}$	1	0	1	1	
	$A\bar{B}C$		CD		

Puesto que el mapa es continuo de arriba abajo y de lado a lado, las cuatro esquinas son adyacentes y forman un subcubo de tamaño 4. La columna DC forma otro subcubo de tamaño 4. Con esto queda una celda sin cubrir. $\bar{D}C\bar{B}A$ forma un subcubo de tamaño 2 con la celda que está a la derecha.

Paso 4. Se escribe la expresión que representa cada subcubo. El subcubo formado por las cuatro esquinas representa el término \bar{AC} . El subcubo vertical corresponde a la expresión CD , mientras que la expresión $A\bar{B}C$ representa al del tamaño 2.

Paso 5. Se forma la expresión que corresponde a la salida.

$$Y = CD + \bar{AC} + A\bar{B}C$$



AUTOREVALUACIÓN PARA LA SECCIÓN 3.6

C	B	A	Y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

1. Utilice el método del álgebra booleana para desarrollar un circuito que realice la tabla de verdad anterior. [5]
2. Haga uso del método del mapa de Karnaugh para obtener un circuito que implante la tabla de verdad anterior. [6]

3.7 COMPUERTAS AND-OR-INVERSOR

En muchos de los ejercicios de diseño de la sección anterior, la expresión resultante tiene la forma de “suma de productos”. Por ejemplo, en la figura 3-42B la expresión de la salida es $Y = \overline{BC} + AB + \overline{A}C$. Se hace el AND de grupos de variables y luego el OR de los resultados. En el mercado existen CI, denominados **AND-OR-INVERSOR**, que facilitan la implantación de este tipo de circuitería. La figura 3-47 muestra el 74F51, que es una compuerta AND-OR-INVERSOR doble de 2×2 y 2×3 entradas.

La figura 3-48 presenta el 74F64, que es una compuerta AND-OR-INVERSOR con entradas 4-2-3-2. Nótese la forma en que los dos símbolos del IEEE indican la diferencia entre estos dos CI.

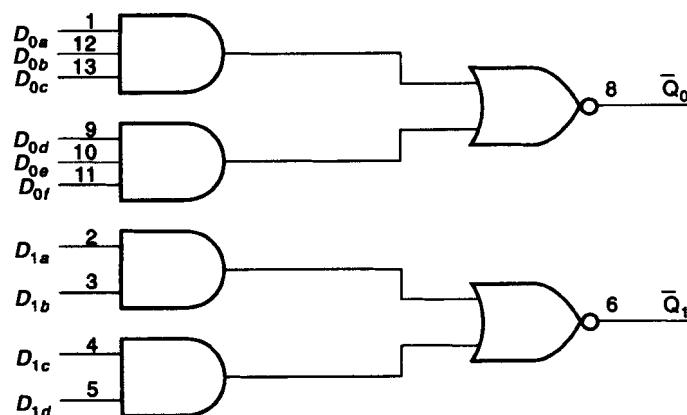
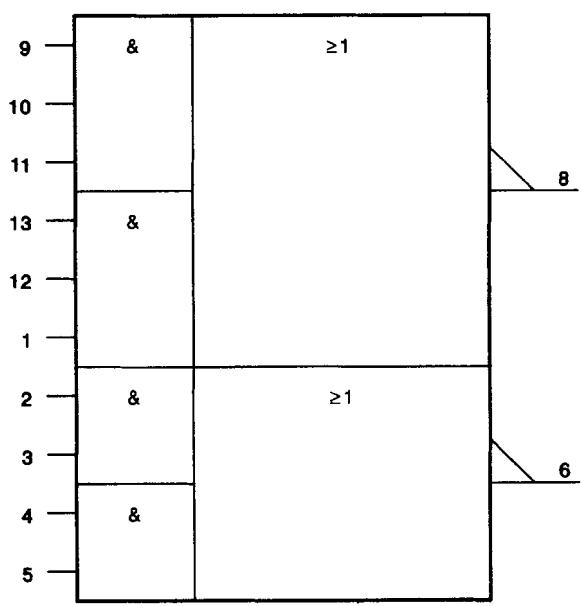
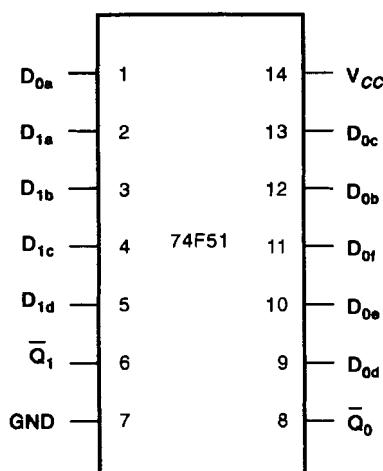


Diagrama lógico

FIGURA 3-47 74F51, compuerta AND-OR-INVERSOR doble de 2×2 y 2×3 entradas.

Ejemplo: Utilice un CI AND-OR-INVERSOR para implantar la expresión resultante del último ejemplo, $Y = CD + \bar{A}\bar{C} + A\bar{B}C$.

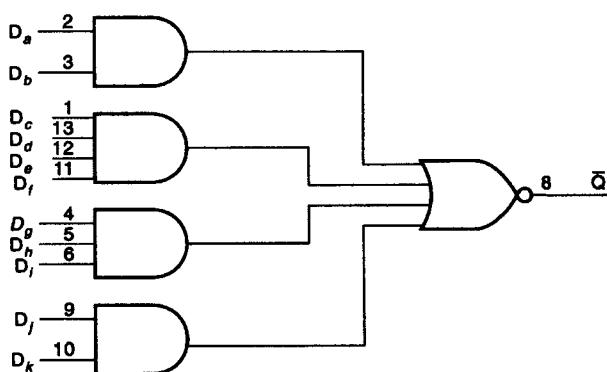
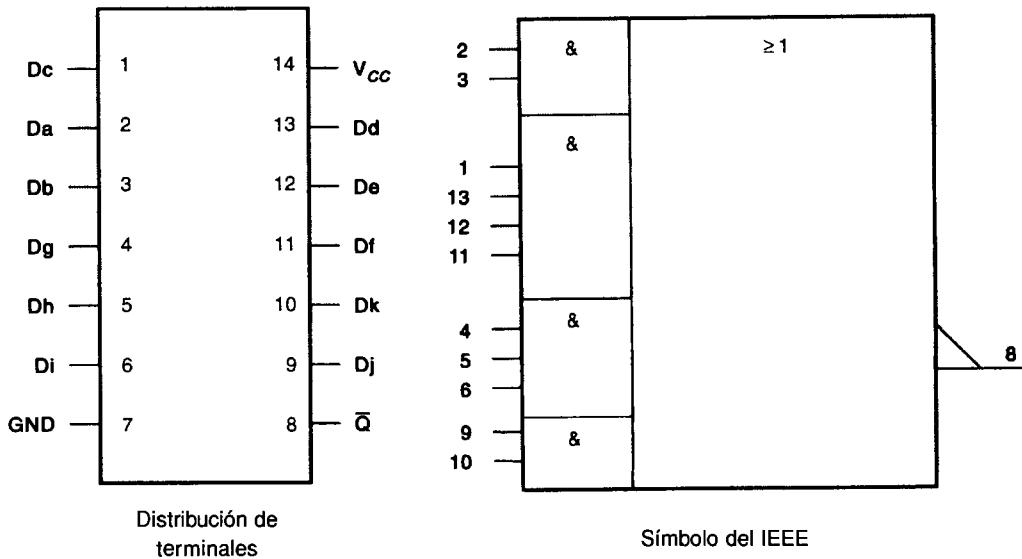
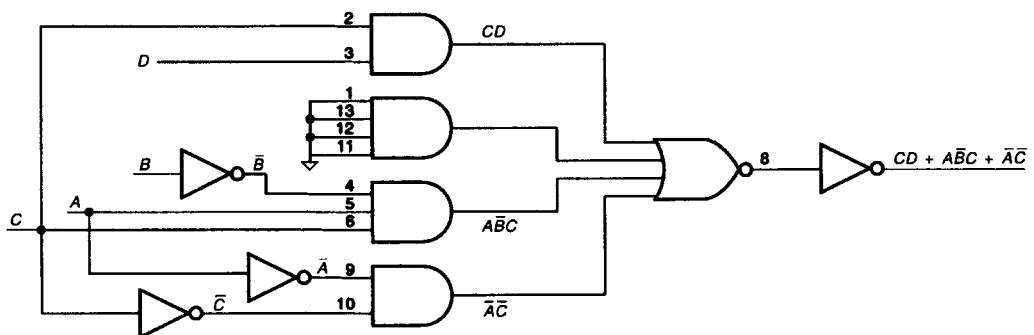


Diagrama lógico

FIGURA 3-48 74F64, compuerta AND-OR-INVERSOR cuatro-dos-tres-dos.

Solución:

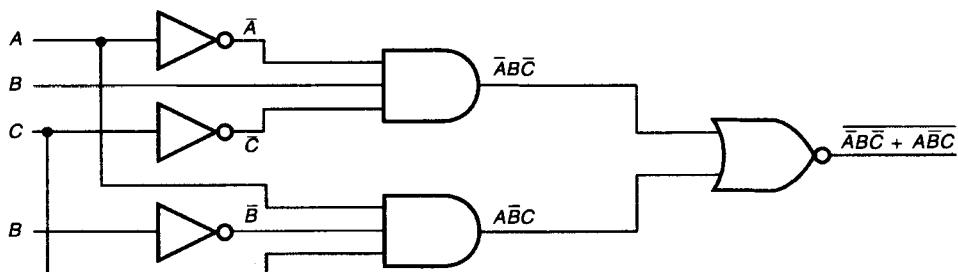
Utilícese el 74F64. La salida debe invertirse. Por otra parte, es necesario conectar a tierra las entradas que no se utilicen. Véase la figura 3-49.

**FIGURA 3-49**

Ejemplo: Haga uso de un CI AND-OR-INVERSOR para implantar el circuito lógico de la figura 3-45C, $Y = \overline{ABC} + A\overline{B}\overline{C}$.

Solución:

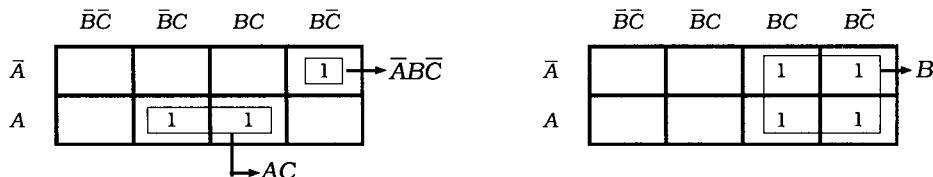
El circuito requiere de un CI AND-OR-INVERSOR de 2×3 entradas. Utilícese para ello el 74F51. Véase la figura 3-50.

**FIGURA 3-50**

3.8 REDUCCIÓN DE EXPRESIONES BOOLEANAS CON MAPAS DE KARNAUGH

9

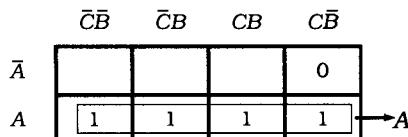
Hasta el momento se han empleado los mapas de Karnaugh para realizar tablas de verdad, pero éstos también pueden utilizarse para reducir expresiones booleanas escritas en forma de sumas de productos. La representación de cada producto (término) en el mapa se hace con uno o más unos. Después se agrupan los unos en subcubos de tamaño 1, 2, 4 u 8. El paso siguiente es escribir la expresión mínima resultante. Por ejemplo en el mapa con tres variables, A , B y C , que se muestra a continuación, el término $A\bar{B}C$ está representado por un 1 en la celda donde se intersectan \bar{A} , B y \bar{C} . AC está representado por un 1 en la celda donde se intersectan A y C . B está representado por un 1 en las cuatro celdas que contienen a B .



Ejemplo: Emplee un mapa de Karnaugh para reducir la expresión $Y = A + A\bar{B}C + AB$.

Solución:

$A\bar{B}C$ está representado por un 1 en la parte inferior de la cuarta columna. AB lo está por unos en la parte inferior de las dos columnas de en medio, y A por unos en toda la parte inferior.



Todos los unos están incluidos en un subcubo de tamaño 4, y A es común a cada una de las celdas de dicho subcubo. Por tanto, $A + A\bar{B}C = A$.

Si la expresión que se desea reducir no tiene la forma de una suma de productos, entonces es necesario hacer la conversión a esta forma ya sea eliminando paréntesis o aplicando el teorema de DeMorgan.

Ejemplo: Reduzca la expresión $Y = (\bar{A}BC + D)(\bar{A}\bar{D} + \bar{B}\bar{C})$ con un mapa de Karnaugh.

Solución:

Primero se hace la conversión a una forma de suma de productos mediante la eliminación de los paréntesis.

$$\begin{aligned} Y &= \bar{A}BCD + 0 + \bar{A}\bar{D} + \bar{B}\bar{C}D \\ &= \bar{A}BCD + \bar{A}\bar{D} + \bar{B}\bar{C}D \end{aligned}$$

	$\bar{D}\bar{C}$	$\bar{D}C$	DC	$D\bar{C}$	
$\bar{B}\bar{A}$			1	1	
$\bar{B}A$				1	$D\bar{C}\bar{B}$
$B\bar{A}$					
BA					
$B\bar{A}$			1	1	$\bar{A}D$

$$Y = \bar{A}D + D\bar{C}\bar{B}$$

AUTOEVALUACIÓN PARA LAS SECCIONES 3.7 Y 3.8

Reduzca las expresiones siguientes utilizando mapas de Karnaugh y emplee un CI AND-OR-INVERSOR para implantar las expresiones reducidas. [9]

1. $Y = ABC + A\bar{B}C + A\bar{B}C + A\bar{B}C$
2. $Y = (A + B + C)(A + B + C)(A + B + C)$

Sugerencia: No tenga miedo de hacer uso del teorema de DeMorgan.

RESUMEN

- Emplee el estado singular de cada compuerta para predecir la forma de onda de la salida.

Estados singulares:

- AND —todas las entradas en 1, salida en 1
- NAND —todas las entradas en 1, salida en 0
- OR —todas las entradas en 0, salida en 0
- NOR —todas las entradas en 0, salida en 1

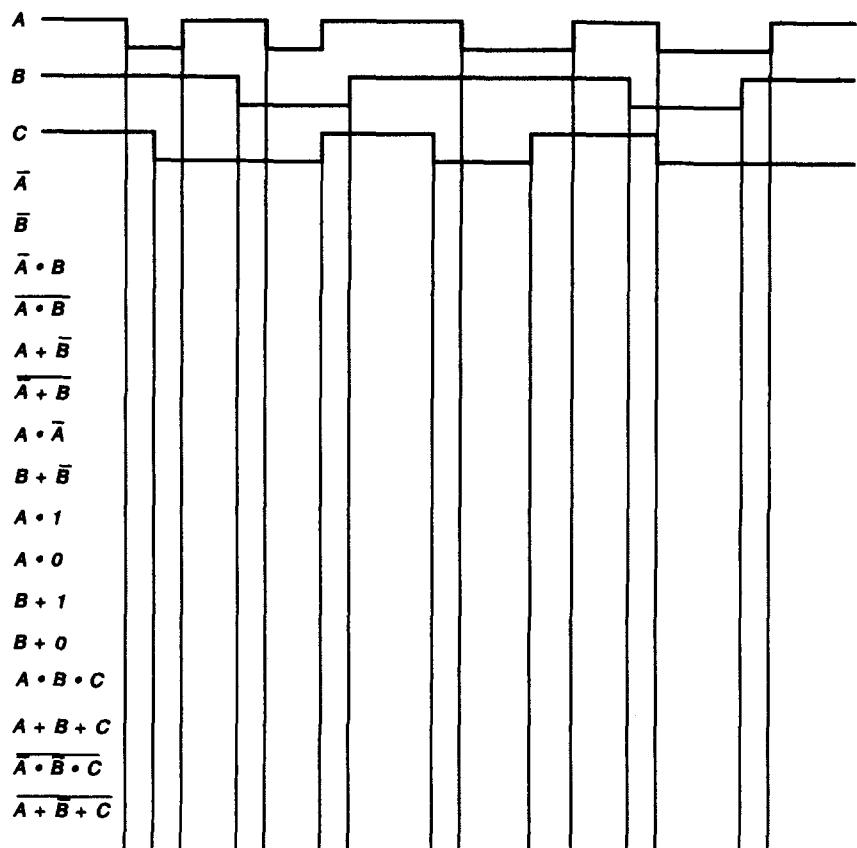
- Las formas de onda de un reloj con retardo y un contador de corrimiento pueden utilizarse para crear una gama amplia de señales de temporización o control.
- A menudo se requiere la combinación de compuertas para producir la salida deseada.
- Los teoremas booleanos siguientes pueden emplearse para reducir una expresión a una forma que tenga la menor cantidad de términos posible:

1. $\overline{\overline{A}} = A$
2. $A \cdot 0 = 0$
3. $A + 0 = A$
4. $A \cdot 1 = A$
5. $A + 1 = 1$
6. $A + A = A$
7. $A \cdot A = A$
8. $A + \overline{A} = A$
9. $A \cdot \overline{A} = 0$
10. $A \cdot B + A \cdot C = A(B + C)$
11. $A + \overline{A}B = A + B$

- Los teoremas de DeMorgan pueden utilizarse para escribir una expresión en forma equivalente.
 1. $\overline{A \cdot B} = \overline{A} + \overline{B}$
 2. $\overline{A + B} = \overline{A} \cdot \overline{B}$
- El diseño de un circuito que realice una tabla de verdad puede hacerse con los dos métodos siguientes:
 1. Se escribe una expresión booleana para la salida de la tabla de verdad. Después se reduce la expresión mediante el uso del álgebra booleana. A continuación se construye el circuito que representa a la expresión reducida.
 2. Se dibuja el mapa de Karnaugh que corresponda a la tabla de verdad a realizar. Se combinan los unos en subcubos del mayor tamaño posible, 1, 2 o 4. Después se escribe la expresión representada por los subcubos y se construye el circuito.
- La compuerta AND-OR-INVERSOR puede emplearse para implantar una expresión booleana en forma de sumas de productos.

PREGUNTAS Y PROBLEMAS

1. En la figura 3-51, utilice las formas de onda A , B y C para determinar la forma de onda de cada expresión. [1]
2. Haga uso de las formas de onda de la figura 3-52 para obtener las que corresponden a las expresiones indicadas. [1]

**FIGURA 3-51**

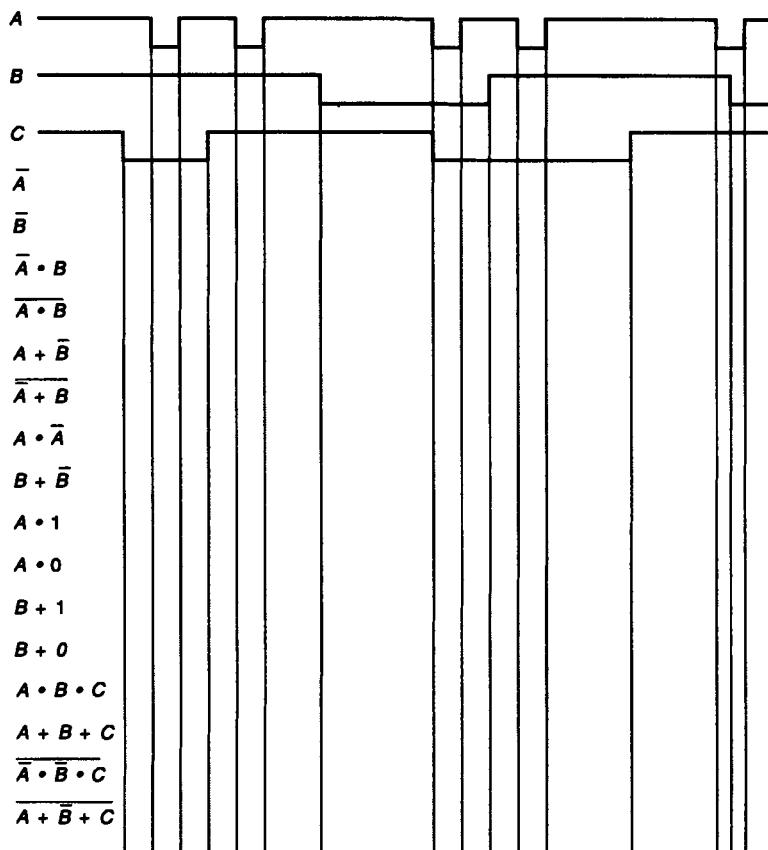


FIGURA 3-52

3. Utilice las formas de onda del reloj con retraso y el contador de corrimiento de la figura 3-5 (página 107) para determinar las entradas y salidas faltantes en las siguientes figuras. [2, 3]
 - a) Figura 3-53
 - b) Figura 3-54
 - c) Figura 3-55
 - d) Figura 3-56
 - e) Figura 3-57
 - f) Figura 3-58
 - g) Figura 3-59
4. Haga uso de las formas de onda de la figura 3-5 (página 107) para determinar las entradas y salidas faltantes en las figuras siguientes. [2, 3]
 - a) Figura 3-60
 - b) Figura 3-61
 - c) Figura 3-62
 - d) Figura 3-63
 - e) Figura 3-64
 - f) Figura 3-65
 - g) Figura 3-66

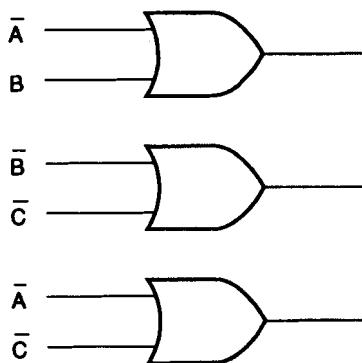


FIGURA 3-53

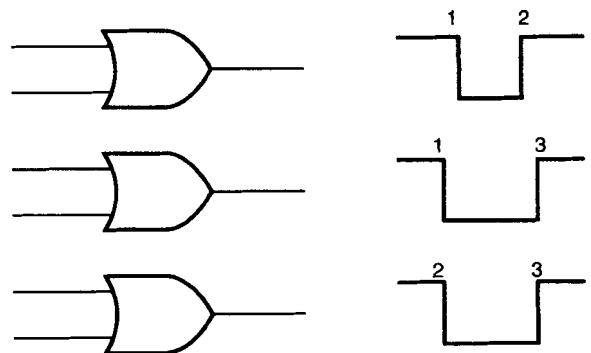


FIGURA 3-54

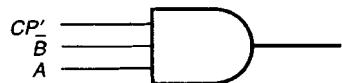


FIGURA 3-55

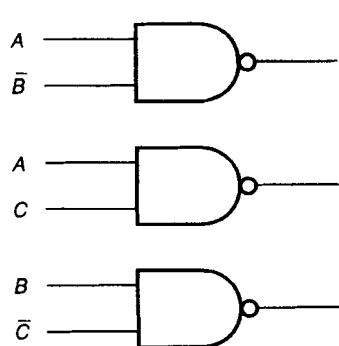


FIGURA 3-56

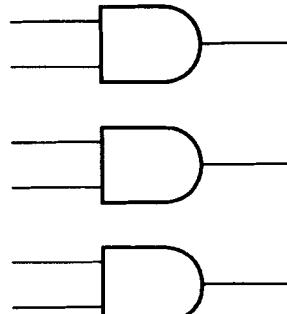


FIGURA 3-57

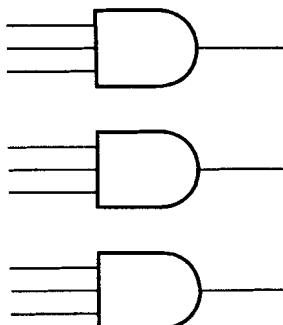


FIGURA 3-58

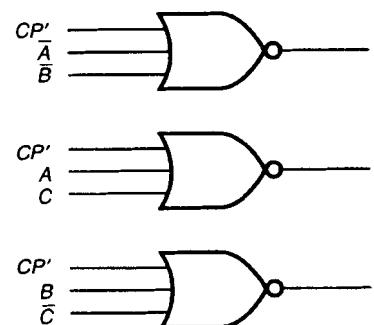


FIGURA 3-59

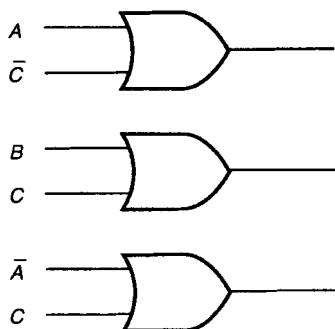


FIGURA 3-60

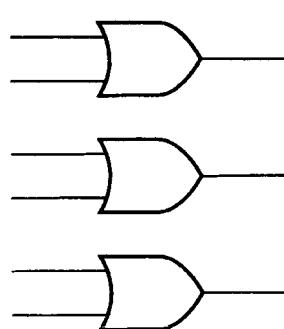


FIGURA 3-61

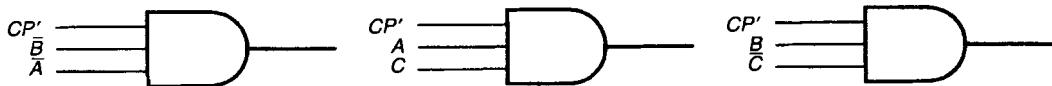


FIGURA 3-62

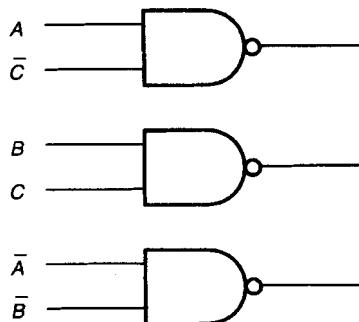


FIGURA 3-63

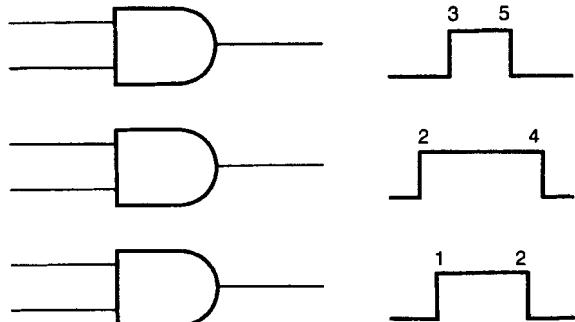


FIGURA 3-64

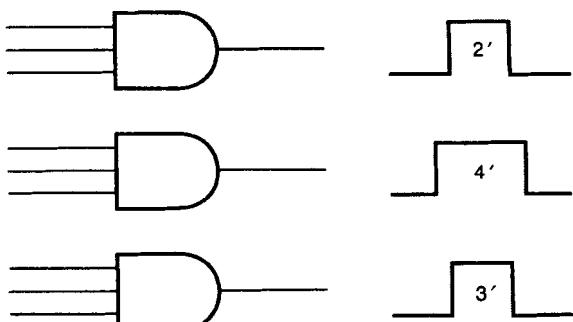


FIGURA 3-65

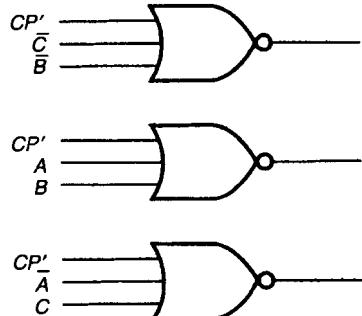


FIGURA 3-66

5. Diseñe un circuito que realice la tabla de verdad de la figura 3-67. [5, 7]

Entradas			Salida
A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

FIGURA 3-67

6. Diseñe un circuito que implante la tabla de verdad de la figura 3-68. [5, 7]

Entradas			Salida
A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

FIGURA 3-68

7. Proponga un circuito que realice la tabla de verdad que aparece en la figura 3-69.

- a) Con el empleo del álgebra booleana. [7]
- b) Con el uso del método del mapa de Karnaugh. [8]

C	B	A	Y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

FIGURA 3-69

8. Diseñe un circuito que implante la tabla de verdad de la figura 3-70.

- a) Con álgebra booleana. [7]
 b) Con el método del mapa de Karnaugh. [8]

C	B	A	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

FIGURA 3-70

9. Reduzca las expresiones siguientes. [5, 6]

a) $\bar{A}B + \bar{A}C$	d) $A \cdot \bar{A} \cdot B \cdot C$
b) $AB + A\bar{B}$	e) $\bar{A} + AB$
c) $\bar{A} + \bar{A}D$	

10. Minimice las expresiones siguientes. [5, 6]

a) $XYZ + X\bar{Y}$	d) $A \cdot C \cdot \bar{A}$
b) $BCD + B\bar{C}$	e) $AB + C + 1$
c) $B + \bar{B}E$	

11. Reduzca las expresiones siguientes. [5, 6]

a) $ABC + A\bar{B}\bar{C} + \bar{B}$	c) $A\bar{B}\bar{C} + A\bar{B}\bar{C} + ABC$
b) $A\bar{B}\bar{C} + A\bar{C} + C$	d) $A\bar{B}\bar{C} + A\bar{B}\bar{C} + A\bar{B}\bar{C}$

12. Minimice las expresiones siguientes. [5, 6]

a) $\bar{A}\bar{B}\bar{C} + A\bar{B}\bar{C} + \bar{C}$	c) $A + A\bar{B}\bar{C} + AB$
b) $ABC + A\bar{B}\bar{C} + \bar{A}BC$	d) $A\bar{C} + A\bar{B} + AB$

13. Agrupe los unos en subcubos y escriba la expresión resultante. [8]

	$\bar{C}\bar{B}$	$\bar{C}B$	CB	$C\bar{B}$
\bar{A}	1	0	1	1
A	1	0	0	1

	$\bar{C}\bar{B}$	$\bar{C}B$	CB	$C\bar{B}$
\bar{A}	1	1	0	0
A	0	1	1	0

14. Agrupe los unos en subcubos y escriba la expresión resultante. [8]

	$\bar{C}\bar{B}$	$\bar{C}B$	CB	$C\bar{B}$
\bar{A}	0	1	1	1
A	0	0	1	1

	$\bar{C}\bar{B}$	$\bar{C}B$	CB	$C\bar{B}$
\bar{A}	0	1	1	1
A	1	0	0	0

15. Agrupe los unos en subcubos y escriba la expresión resultante. [8]

	$\bar{D}\bar{C}$	$\bar{D}C$	DC	$D\bar{C}$
$\bar{B}\bar{A}$	1	0	0	1
$\bar{B}A$	0	1	1	0
$B\bar{A}$	0	1	1	0
BA	1	0	0	1

16. Agrupe los unos en subcubos y escriba la expresión resultante. [8]

	$\bar{D}\bar{C}$	$\bar{D}C$	DC	$D\bar{C}$
$\bar{B}\bar{A}$	0	1	1	1
$\bar{B}A$	0	0	0	0
$B\bar{A}$	0	1	0	0
BA	0	1	1	1

17. Vuelva a resolver el problema 11 utilizando el método del mapa de Karnaugh. [9]
18. Resuelva de nuevo el problema 12 empleando el método del mapa de Karnaugh. [9]

Práctica 3

Álgebra booleana

OBJETIVOS

Al término de esta práctica, el lector deberá ser capaz de:

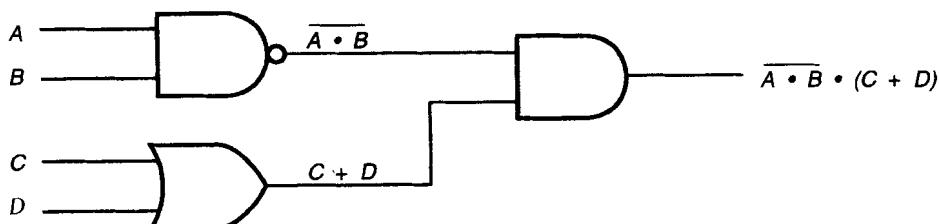
- escribir y verificar tablas de verdad para circuitos lógicos combinacionales.
- diseñar y construir un codificador de decimal a BCD.
- diseñar y construir un circuito que realice una tabla de verdad.

COMPONENTES NECESARIOS

- 1 CI 7400
- 1 CI 7402
- 1 CI 7404
- 1 CI 7408
- 1 CI 7411
- 3 CI 7432
- 4 LED
- 4 resistores de $330\ \Omega$

PREPARACIÓN

En las dos primeras partes de esta práctica, se le pide que escriba la expresión booleana y la tabla de verdad de dos circuitos. Para obtener dicha expresión booleana, se escribe la expresión que corresponde a la salida de las primeras compuertas. Luego se emplean estas expresiones como entradas a las siguientes compuertas. Por ejemplo,



Antes de iniciar el alambrado del circuito, asigne números de terminales a su diagrama lógico. Para obtener la tabla de verdad, haga una lista de todas las entradas y de todas sus combinaciones posibles (para ello, cuente en binario). Escriba una columna para cada término que aparece en la expresión. Combine estos términos en una expresión final para obtener la salida del circuito mostrado con anterioridad.

A	B	C	D	$A \cdot B$	$A \cdot B$	$C + D$	$A \cdot B \cdot (C + D)$
0	0	0	0	0	1	0	0
0	0	0	1	0	1	1	1
	etc.						

Para verificar la tabla de verdad, conecte las entradas a los interruptores para generar los unos y ceros requeridos.

En la cuarta parte se pide al lector que diseñe y construya un codificador. Un codificador cambia un número decimal a otro sistema numérico o código. Un decodificador convierte un número o código de nuevo en decimal. En el codificador a construir se tienen 10 entradas, que representan los diez dígitos decimales. Sólo una de ellas puede estar en el nivel ALTO a la vez. Las salidas son activas en el nivel ALTO y deberán producir el número BCD correspondiente. Por ejemplo, si la línea 5 va al nivel ALTO, entonces las salidas 1 y 4 deben ir al nivel ALTO como respuesta a la entrada.

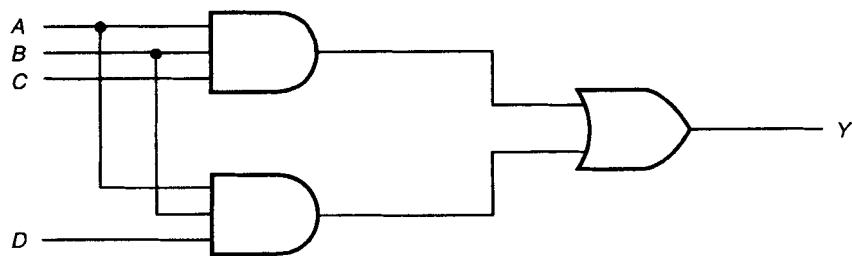
El lector debe dibujar un diagrama lógico con números de CI y terminales antes de comenzar la construcción del circuito. Los alambres de conexión deben insertarse lejos de las terminales del CI con la finalidad de tener espacio para verificar los voltajes en ellas.

Repase las reglas de seguridad del laboratorio presentadas en la sección PREPARACIÓN de la práctica 1, capítulo 1.

PROCEDIMIENTO

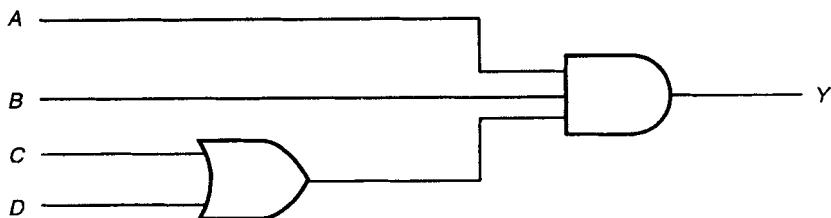
Primera parte

- Escriba la expresión booleana y la tabla de verdad que corresponde a la salida.
- Construya el circuito y verifiqué la salida.



Segunda parte

- Anote la expresión booleana y la tabla de verdad que corresponde a la salida.
- Alambre el circuito y compruebe la salida.



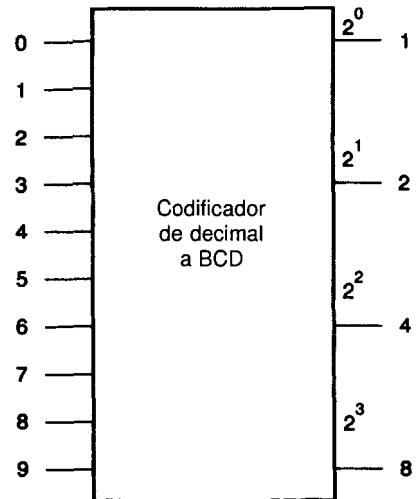
Tercera parte

- Escriba la tabla de verdad de la expresión booleana $Y = \overline{(A + B)}C$.
- Elabore el circuito lógico y verifique la salida.

Cuarta parte

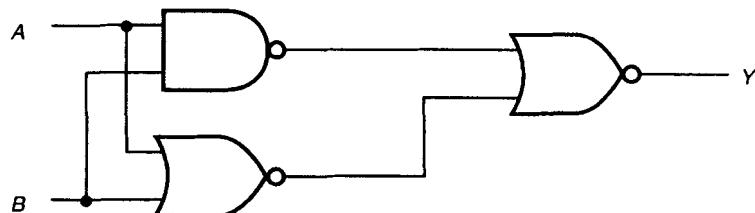
Construya un codificador de decimal a BCD utilizando tres circuitos integrados OR de dos entradas.

Sugerencia: La salida 1 debe ir al nivel ALTO cuando la entrada sea un número decimal impar, 1 OR 3 OR 7 OR 9, por tanto haga el OR de estas entradas para obtener la salida 1 (amplíe una OR con otra OR). La salida 2 debe ir al nivel ALTO en las entradas 2, 3, 6 y 7, por consiguiente, haga el OR de estas entradas para obtener la salida 2, etcétera.



Quinta parte

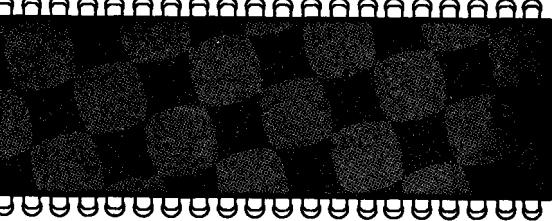
- Escriba una expresión booleana y la tabla de verdad del siguiente circuito.
- Simplifique el circuito. Constrúyalo y verifíquelo.



Sexta parte

- Diseñe un circuito que realice la tabla de verdad siguiente.
- Construya el circuito y verifíquelo.

Entradas			Salida
C	B	A	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0



CONTENIDO

- 4.1 OR EXCLUSIVO**
- 4.2 HABILITACIÓN/INHABILITACIÓN**
- 4.3 ANÁLISIS DE FORMAS DE ONDA**
- 4.4 NOR EXCLUSIVO**
- 4.5 OR/NOR EXCLUSIVO**
- 4.6 PARIDAD**
- 4.7 GENERADOR DE PARIDAD PAR**
- 4.8 GENERADOR DE PARIDAD PAR/IMPAR**
- 4.9 VERIFICADOR DE PARIDAD**
- 4.10 GENERADOR/VERIFICADOR DE PARIDAD DE 9 BITS**
- 4.11 COMPARADOR**

Compuertas OR exclusivo

Capítulo 4

LISTA DE TÉRMINOS

OR exclusivo

NOR exclusivo

OR no exclusivo

OR/NOR exclusivo

bit de paridad

paridad par

paridad impar

generador de paridad

verificador de paridad

comparador de magnitud

comparador de identidad

OBJETIVOS



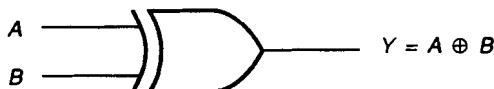
Al término de este capítulo el lector debe ser capaz de:

1. Dibujar el símbolo y escribir la tabla de verdad de una compuerta OR exclusivo.
2. Construir una compuerta OR exclusivo a partir de compuertas básicas.
3. Utilizar una compuerta OR exclusivo para invertir datos.
4. Utilizar una compuerta OR exclusivo para pasar datos sin modificación.
5. Predecir la forma de onda de salida de una compuerta OR exclusivo.
6. Dibujar el símbolo y escribir la tabla de verdad de una compuerta NOR exclusivo (OR no exclusivo).
7. Predecir la forma de onda de la salida de una compuerta OR/NOR exclusivo.
8. Predecir bits de paridad par e impar.
9. Construir un generador de paridad utilizando compuertas OR exclusivo.
10. Construir un verificador de paridad empleando compuertas OR exclusivo.
11. Utilizar los CI 74S280 y 74180 como generadores y verificadores de paridad.
12. Construir un comparador utilizando compuertas OR exclusivo.
13. Utilizar el 7485 como comparador de magnitud de 4 bits.
14. Utilizar el 74AC11521 como comparador de identidad de ocho bits.

4.1 OR EXCLUSIVO

1

El **OR exclusivo** es una compuerta con dos entradas que produce un 1 en su salida cuando las entradas son diferentes, y 0 cuando son iguales. La figura 4-1 presenta el símbolo y la tabla de verdad de una compuerta OR exclusivo. Nótese que la salida es 1 si A es 1 o si B es 1, pero no si tanto A como B son 1. Si A y B son 1, los unos quedan excluidos de la salida; de aquí el nombre de la compuerta, OR exclusivo. En ocasiones la salida se escribe como $A \oplus B$, expresión que se lee como “ A OR exclusivo B .”



$$Y = A \oplus B$$

Entradas		Salida
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

FIGURA 4-1 Símbolo de la compuerta OR exclusivo y tabla de verdad

2

La OR exclusivo no forma parte del conjunto de compuertas básicas, pero puede construirse a partir de una combinación de éstas. Para diseñar una compuerta OR exclusivo, primero se escribe una expresión booleana para la tabla de verdad de la figura 4-1. La salida es 1 para las condiciones indicadas en los renglones 2 y 3. En el renglón 2 se tiene $\bar{A} \cdot B$, mientras que en renglón 3, $A \cdot \bar{B}$. La salida Y es 1 para $\bar{A} \cdot B + A \cdot \bar{B}$. La figura 4-2 muestra el diagrama lógico de esta expresión. La solución requiere dos compuertas AND, una compuerta OR y, si no están disponibles los complementos de las entradas, dos inversores.

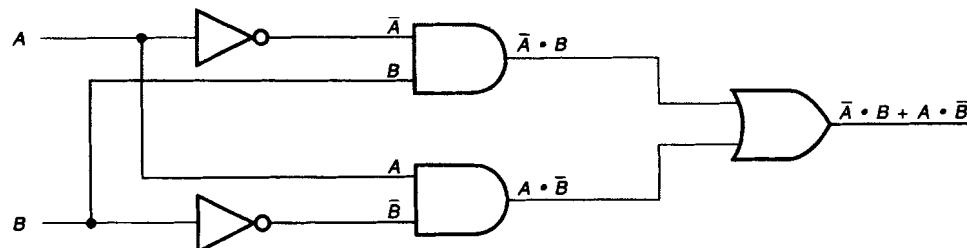


FIGURA 4-2 Diagrama lógico del OR exclusivo

Puede obtenerse un diagrama lógico equivalente mediante el empleo del álgebra booleana y los teoremas de DeMorgan.

$$\begin{aligned}
 Y &= \overline{\overline{A} \cdot B \cdot A \cdot \overline{B}} \\
 Y &= \overline{(A + \overline{B}) \cdot (\overline{A} + B)} \\
 Y &= \overline{A\overline{A} + AB + \overline{A}\overline{B} + \overline{B}B} \\
 Y &= \overline{AB + \overline{A}\overline{B}}
 \end{aligned}$$

El diagrama lógico de esta expresión aparece en la figura 4-3. Esta solución requiere dos compuertas NOR y una AND.

La figura 4-4 presenta los diagramas de distribución de terminales de los CI 7486 y 4070, que son circuitos que tienen cuatro compuertas OR exclusivo de dos entradas.

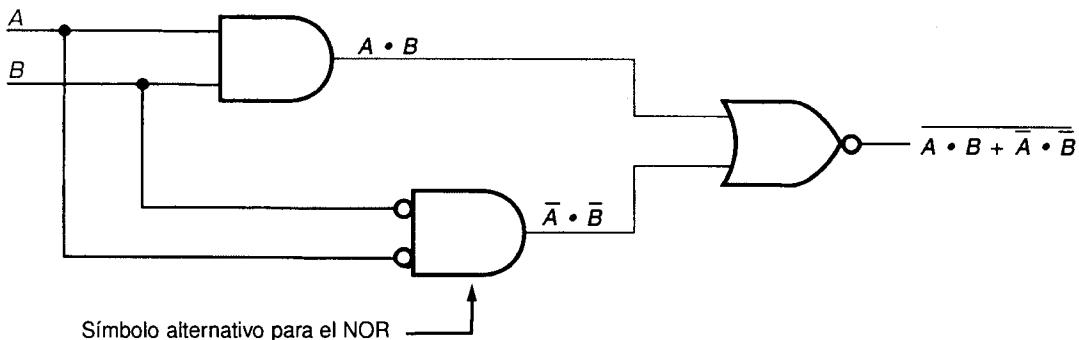


FIGURA 4-3 Diagrama lógico equivalente del OR exclusivo

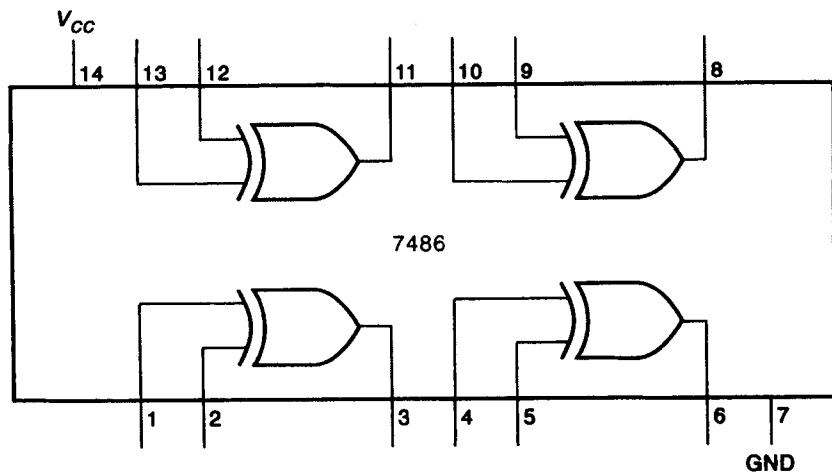


FIGURA 4-4 Diagrama de distribución de terminales de dos circuitos OR exclusivo

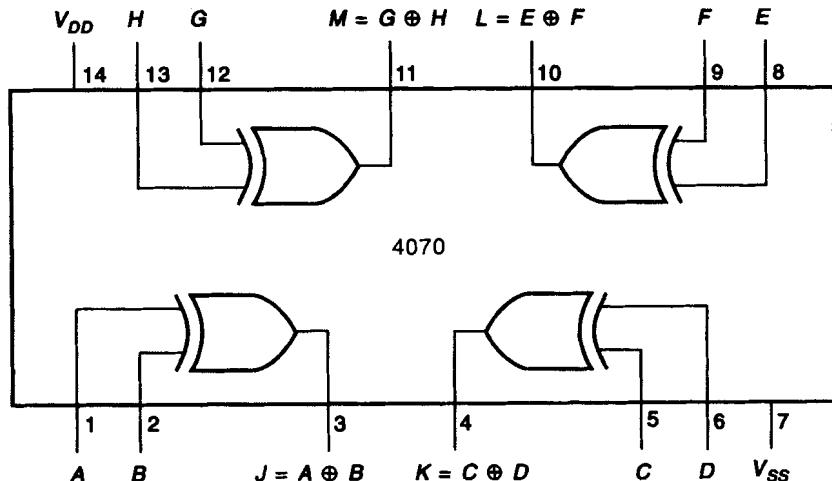


FIGURA 4-4 Diagrama de distribución de terminales de dos circuitos OR exclusivo (continuación)

La tabla 4-1 contiene una lista de algunas compuertas OR y NOR exclusivo de fácil adquisición en el mercado.

TABLA 4-1 Compuertas OR/NOR exclusivo

NÚMERO	FAMILIA	DESCRIPCIÓN
7486	TTL	OR exclusivo cuádruple de dos entradas
74135	TTL	OR/NOR exclusivo cuádruple
74C86	CMOS	OR exclusivo cuádruple de dos entradas
4030	CMOS	OR exclusivo cuádruple de dos entradas
4070	CMOS	OR exclusivo cuádruple de dos entradas



El símbolo de la IEC para un circuito integrado 7486 OR exclusivo cuádruple de dos entradas es el que se muestra en la figura 4-5. El signo =1 indica que el número de entradas que deben estar activas es exactamente 1. Puesto que no hay triángulos en las entradas o salidas, todas ellas son activas en el nivel ALTO. Exactamente una entrada con el nivel ALTO hará que la salida tome el nivel ALTO.

El signo 1 se utilizó para identificar al inversor (capítulo 2), el ≥ 1 para indicar las compuertas OR y NOR (capítulo 2), y =1 para denotar una compuerta OR exclusivo.

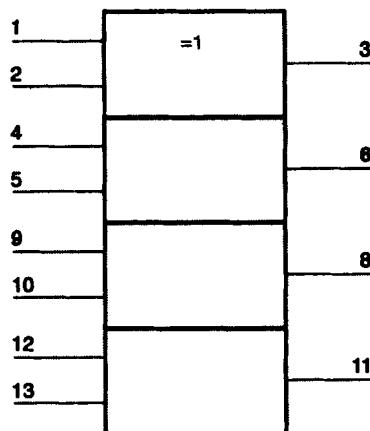
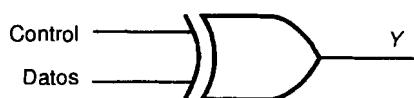


FIGURA 4-5 Símbolo de la IEC -CI 7486 con cuatro compuertas OR exclusivo

4.2 HABILITACIÓN/INHABILITACIÓN

- 3
- 4

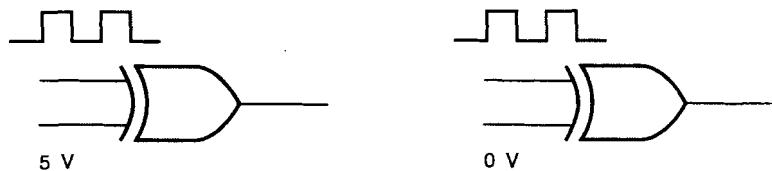
La tabla de verdad de la compuerta OR exclusivo aparece de nuevo en la figura 4-6. Cuando la entrada de control es 0, los datos pasan por la compuerta sin alteración alguna. Cuando la entrada de control es 1, el dato pasa pero invertido. Aunque en realidad no hay ningún modo de inhabilitación, tal como sucede con las compuertas básicas, resulta muy útil poder invertir o no una señal cambiando la entrada de control. En este capítulo, y otros posteriores, se verán aplicaciones de la compuerta OR exclusivo en este modo.



	Entradas		Salida Y
	Control	Datos	
Dato sin modificación	0	0	0
	0	1	1
Dato invertido	1	0	1
	1	1	0

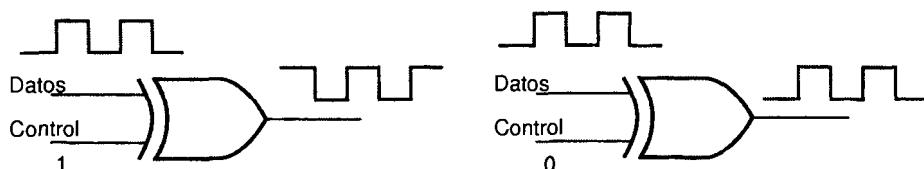
FIGURA 4-6 Habilitación/inhabilitación

Ejemplo: Determine la salida de cada compuerta.



Solución:

La forma de onda se emplea como entrada de datos y la señal estática como control. Para la primera compuerta la entrada de control es 1, y el dato pasa pero invertido. En la segunda compuerta, la señal de control es 0, con lo que el dato pasa sin cambio alguno.



4.3

ANÁLISIS DE FORMAS DE ONDA



La salida de una compuerta OR exclusivo es 1 cuando las entradas son diferentes, y 0 cuando son iguales. Esto facilita la predicción de la forma de onda de la salida a partir de las entradas dadas. En la figura 4-7 están sombreados los intervalos en los que A y B son diferentes. La salida Y tiene el nivel ALTO en esos lapsos, y el nivel BAJO en los demás.

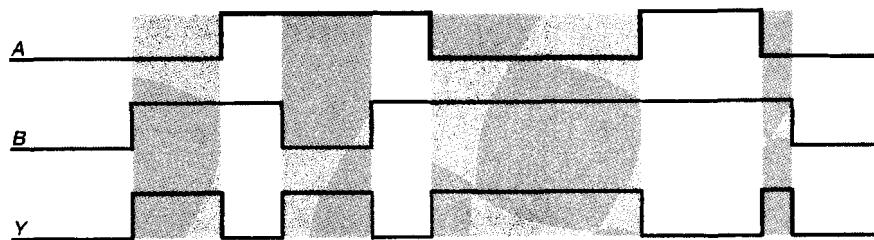
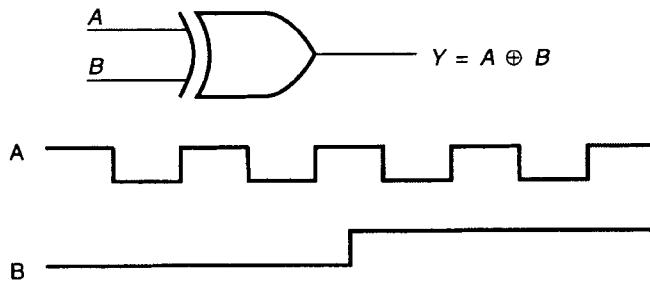


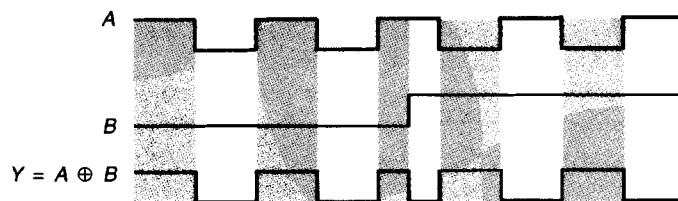
FIGURA 4-7 Análisis de formas de onda

Ejemplo: Obtenga la salida de la compuerta OR exclusivo.



Solución:

Se hallan los tiempos donde las entradas son diferentes. La salida tiene el nivel ALTO en esos tiempos y BAJO en todos los demás.



Otra manera de analizar este problema es considerar la entrada B como el control. En la primera mitad de la forma de onda, B es 0 y el dato pasa a la salida sin cambio alguno. Cuando B cambia al nivel ALTO, el dato en A aparece en la salida pero invertido.

4.4 NOR EXCLUSIVO



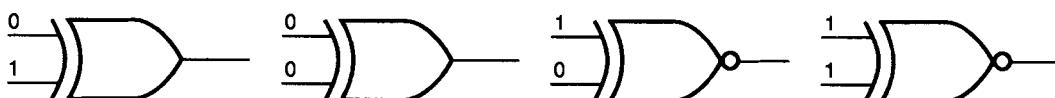
El **NOR exclusivo**, también conocido en ocasiones como **OR no exclusivo**, tiene la tabla de verdad y el símbolo que se muestran en la figura 4-8. La salida, Y , tiene el nivel ALTO cuando las entradas son iguales, y BAJO si son distintas.



Entradas		Salida
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

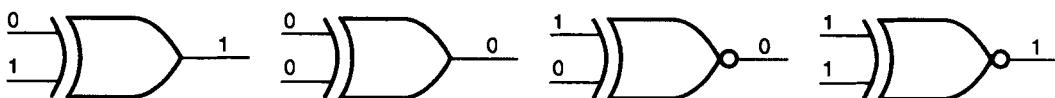
FIGURA 4-8 NOR exclusivo

Ejemplo: Obtenga la salida de cada compuerta.



Solución:

Las dos primeras compuertas son OR exclusivo. Puesto que las entradas de la primera compuerta son diferentes, la salida de ésta es 1. Las dos últimas compuertas son NOR exclusivos. Como las entradas de la tercera compuerta son distintas, la salida es 0.



4.5 OR/NOR EXCLUSIVO

La figura 4-9 presenta el diagrama de distribución de terminales y la tabla de verdad de un CI 74135 OR/NOR exclusivo cuádruple.



La señal en la entrada de control C determina si la combinación funcionará como OR o NOR exclusivo. Si C es 0 (las cuatro primeras líneas de la tabla de verdad) entonces la segunda compuerta (véase Figura 4-10) permite que los datos pasen sin cambio alguno, y la combinación funciona como un OR exclusivo. Si C es 1 (las cuatro últimas líneas de la tabla de verdad) entonces la segunda compuerta invierte los datos y la combinación funciona como un NOR exclusivo.

Entradas			Salida
A	B	C	Y
L	L	L	L
L	H	L	H
H	L	L	H
H	H	L	L
L	L	H	H
L	H	H	L
H	L	H	L
H	H	H	H

FIGURA 4-9 Tabla de verdad para OR/NOR exclusivo

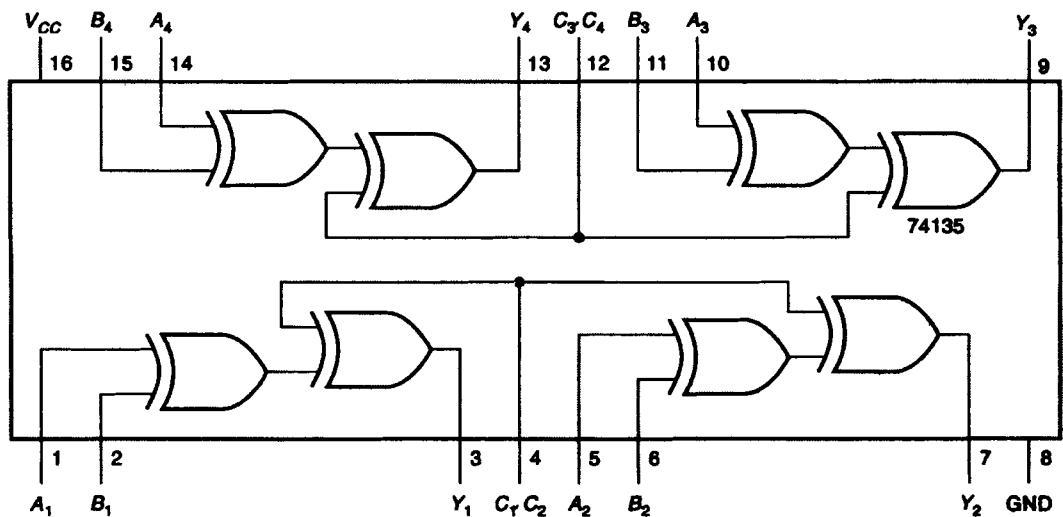


FIGURA 4-9 (cont.) Diagrama de distribución de terminales OR/NOR exclusivo

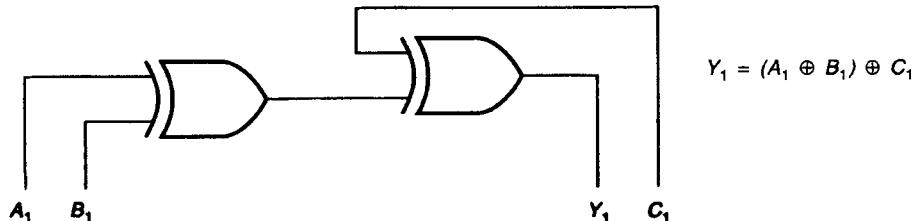
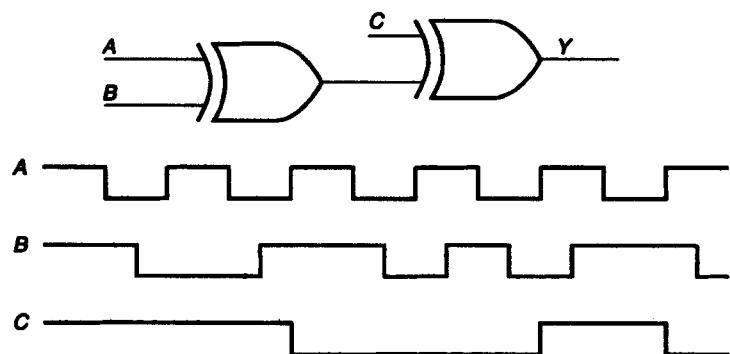


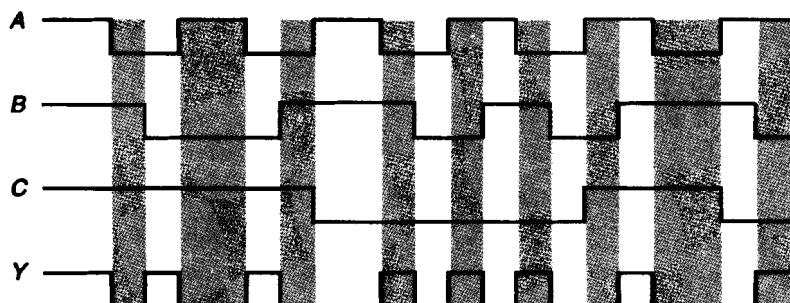
FIGURA 4-10 OR/NOR exclusivo

Ejemplo: Obtenga la salida de la compuerta OR/NOR exclusivo.



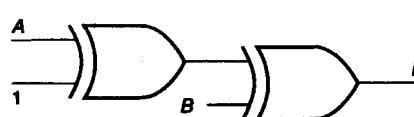
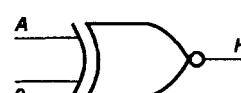
Solución:

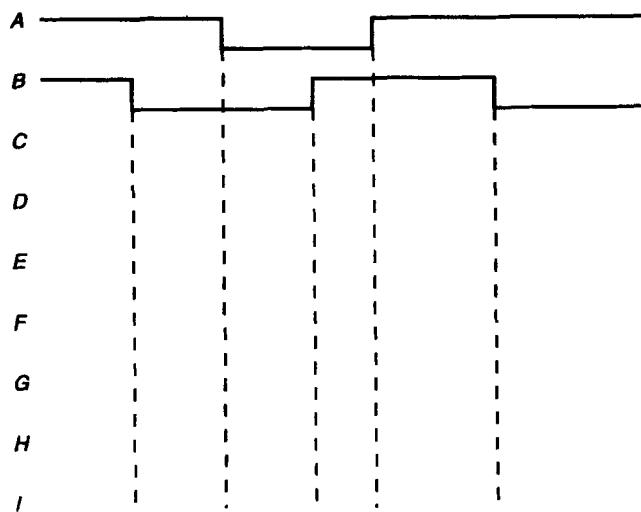
Cuando C está en el nivel ALTO, el circuito funciona como un NOR exclusivo. Se encuentran los tiempos donde A y B son diferentes y se dibuja la salida en el nivel BAJO. Para el resto del tiempo donde C tiene el nivel ALTO, la salida se dibuja con un nivel ALTO. Cuando C está en BAJO, el circuito funciona como un OR exclusivo. Se determinan los tiempos donde A y B son distintos y la salida se dibuja con un nivel ALTO. El resto del tiempo donde C está en el nivel BAJO, la salida tiene el nivel BAJO.



AUTOREVALUACIÓN PARA LAS SECCIONES 4.1, 4.2, 4.3, 4.4 Y 4.5

Obtenga la salida de cada compuerta. [3, 4, 5, 7]





4.6 PARIDAD



En algunos sistemas se agrega un bit a los de datos para asegurar que ninguno cambie durante la transmisión de un circuito a otro. Este bit adicional se conoce como **bit de paridad**. Los sistemas pueden trabajar ya sea con un sistema de **paridad par o impar**. Si el sistema es de *paridad par*, entonces el bit de paridad se escoge de modo que el número total de unos presentes en la palabra, incluyendo el bit de paridad, sea par. Por ejemplo, supóngase que se tienen siete bits de datos, siendo el octavo (el bit más significativo) un bit de paridad par:

1011101

Con los datos anteriores puede generarse el bit de paridad apropiado. Existen cinco unos en los bits de datos, de modo que el generador de paridad par debe generar un 1 para hacer que el número total de unos sea par. La palabra a transmitir sería entonces:

11011101

En la parte que corresponde a la recepción, se cuentan los unos. Si el número total de unos no es par, entonces se activa una alarma o bandera que notifica la ocurrencia de un error en la transmisión.

Ejemplo: Genere el bit de paridad par de la palabra siguiente:

0000000

Solución:

La ausencia de unos se considera par, así que el bit de paridad debe ser 0.

00000000

Ejemplo: ¿Cuál es el bit de paridad par de la siguiente palabra?

1111111

Solución:

Siete unos es un número impar, así que el bit de paridad debe ser un 1.

11111111

Ejemplo: Genere el bit de paridad par de la siguiente palabra:

1010101

Solución:

La palabra tiene cuatro unos, y el cuatro es par. Por tanto, el bit de paridad par debe ser 0.

01010101

En un sistema de *paridad impar*, el generador de paridad proporciona un bit de paridad que hace que el número total de unos sea impar.

Ejemplo: Determine el bit de paridad impar de la palabra siguiente:

1100110

Solución:

La palabra tiene cuatro unos, que es un número par. En consecuencia, el bit de paridad impar debe ser 1.

11100110

Ejemplo: Obtenga el bit de paridad impar de la siguiente palabra:

1100111

Solución:

Cinco unos es un número impar, de modo que el bit de paridad impar es 0.

01100111

Ejemplo: ¿Cuál es el bit de paridad impar de la siguiente palabra?

0000000

Solución:

La ausencia de unos se considera par, así que el bit de paridad de paridad par debe ser 1.

10000000

4.7

GENERADOR DE PARIDAD PAR

9

Un circuito que puede determinar si el bit de paridad es 1 o 0 se conoce como **generador de paridad**. Para construir un generador de esta naturaleza, pueden emplearse compuertas OR exclusivo. La figura 4-11 muestra cómo utilizar este tipo de compuertas como un generador de paridad par. Cada compuerta OR exclusivo verifica si sus entradas son distintas. La presencia de entradas diferentes en la última compuerta OR exclusivo significa que se ha encontrado un número impar de unos. Con esto, el 1 de la salida puede emplearse como bit de paridad, haciendo con esto que el número total de unos sea par.

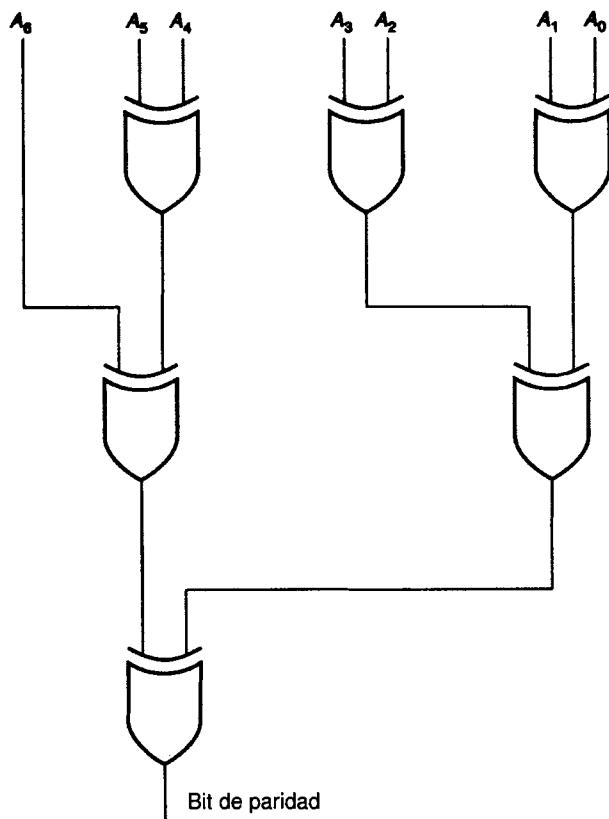


FIGURA 4-11 Generador de paridad par

Ejemplo: Utilice el generador de paridad par de la figura 4-11 para generar el bit de paridad par que corresponde a la palabra 1011101.

Solución:

El número de unos, cinco, es impar. Por consiguiente, el generador proporciona un 1 como bit de paridad par.

11011101

Véase la figura 4-12.

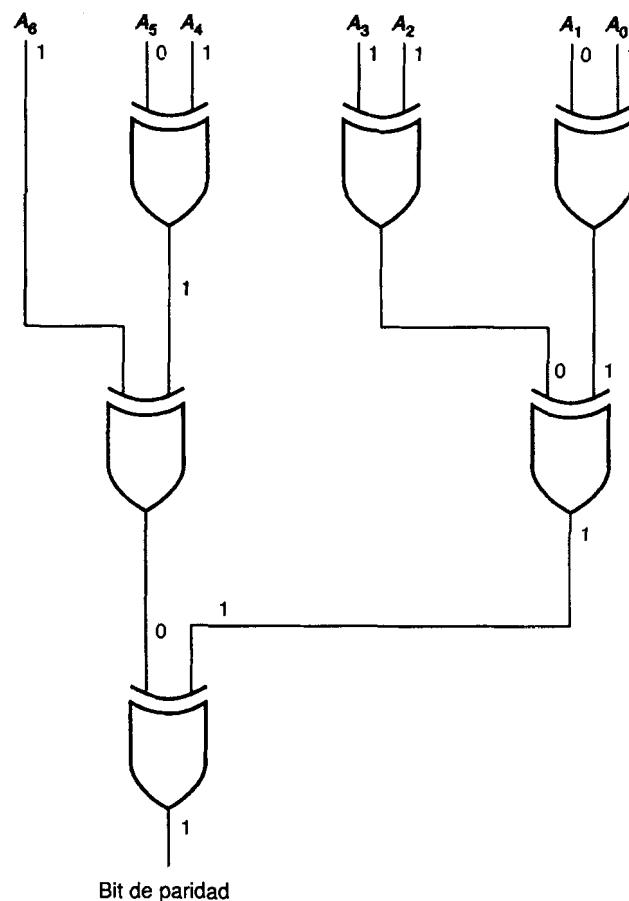


FIGURA 4-12

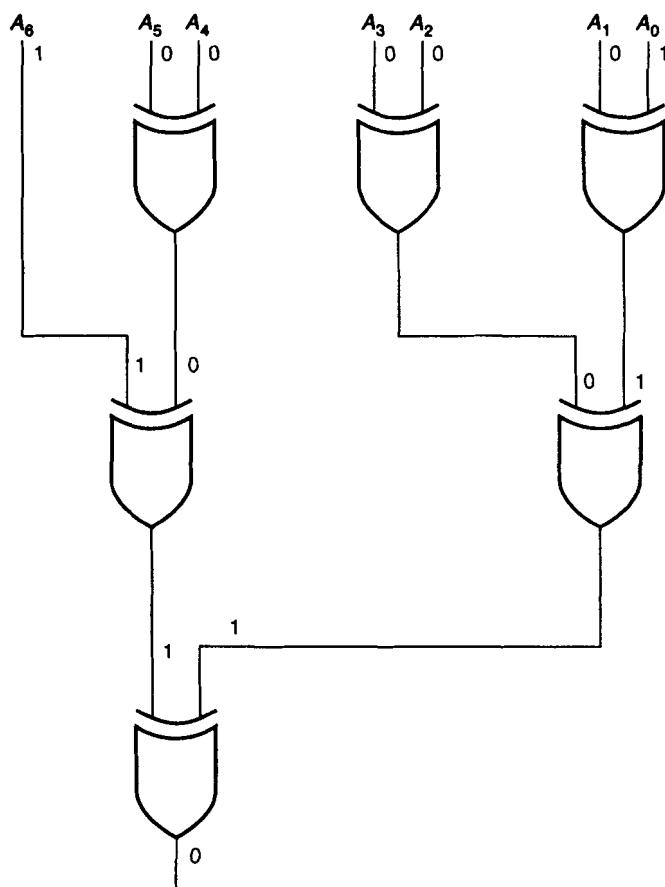
Ejemplo: Haga uso del generador de paridad par mostrado en la figura 4-11 para generar el bit de paridad par de la palabra 1000001.

Solución:

La cantidad de unos en la palabra, dos, es par. Con esto, el bit de paridad par que proporciona el generador es 0.

01000001

Véase la figura 4-13.



Bit de paridad

FIGURA 4-13

Ejemplo: Emplee compuertas OR exclusivo para construir un generador de paridad par de seis bits. El bit de paridad será el séptimo bit de la palabra.

Solución:

Véase la figura 4-14.

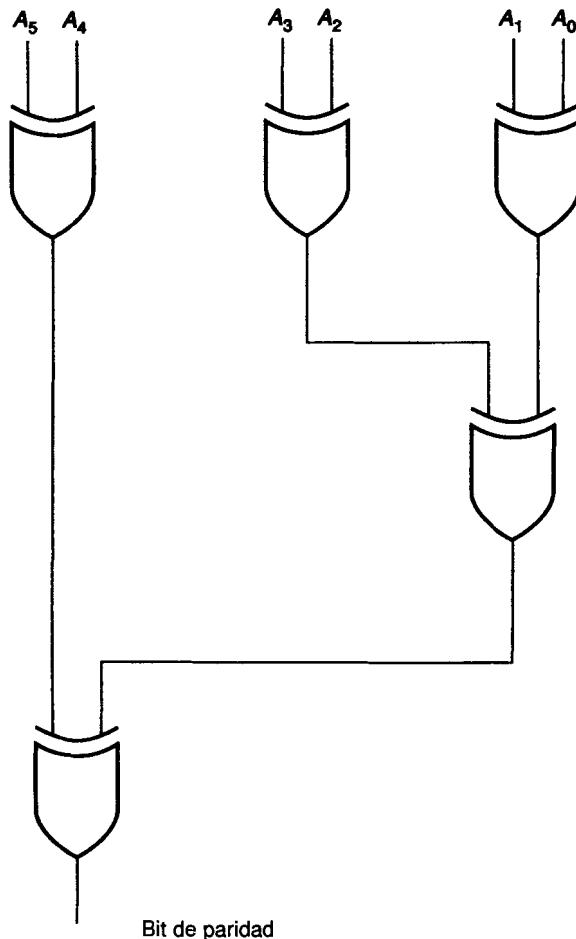


FIGURA 4-14

4.8 GENERADOR DE PARIDAD PAR/IMPAR

Si se añade una compuerta OR exclusivo más, el circuito puede hacerse más versátil. Un 1 en la entrada de control invierte la salida y cambia el circuito a un generador de paridad impar. Véase la figura 4-15.

Ejemplo: Haga uso del generador de paridad par/impar de la figura 4-15 para generar el bit de paridad impar de la palabra 0110101.

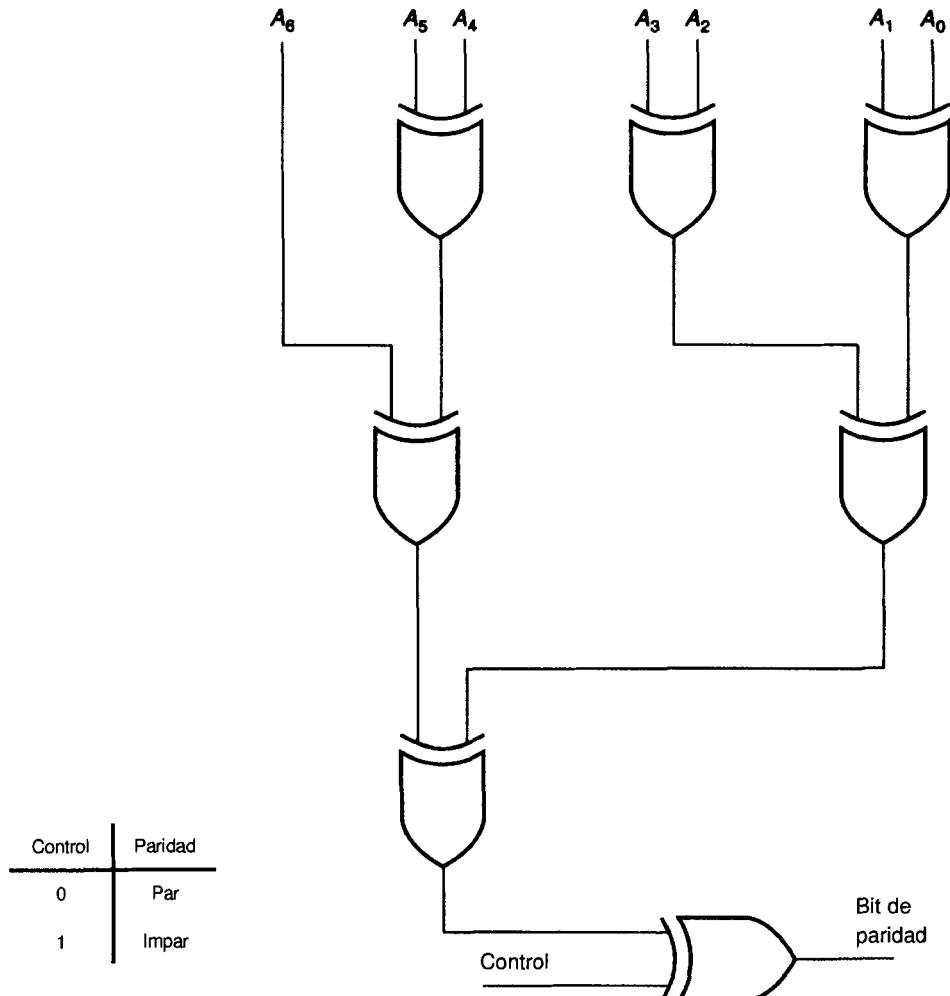


FIGURA 4-15 Generador de paridad par/impar

Solución:

La entrada de control debe ser 1 para un generador de paridad impar. El número de unos que contiene la palabra es cuatro, que es par, de modo que el generador proporciona un bit de paridad impar 1.

10110101

Véase la figura 4-16.

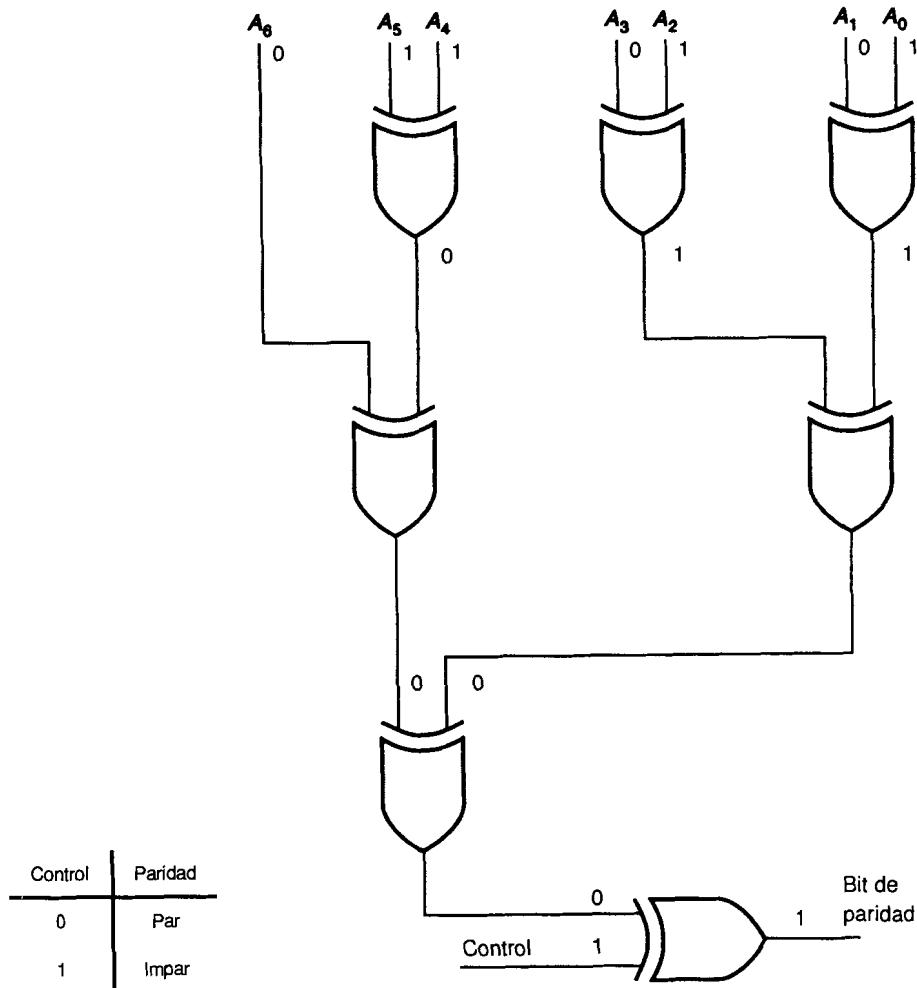


FIGURA 4-16

Ejemplo: Utilice el generador de paridad de la figura 4-15 para generar el bit de paridad par de la palabra 1111110.

Solución:

La entrada de control debe ser 0 para que el circuito funcione como un generador de paridad par. La palabra tiene seis unos, que es un número par, por lo que el bit de paridad debe ser 0.

0111110

Véase la figura 4-17.

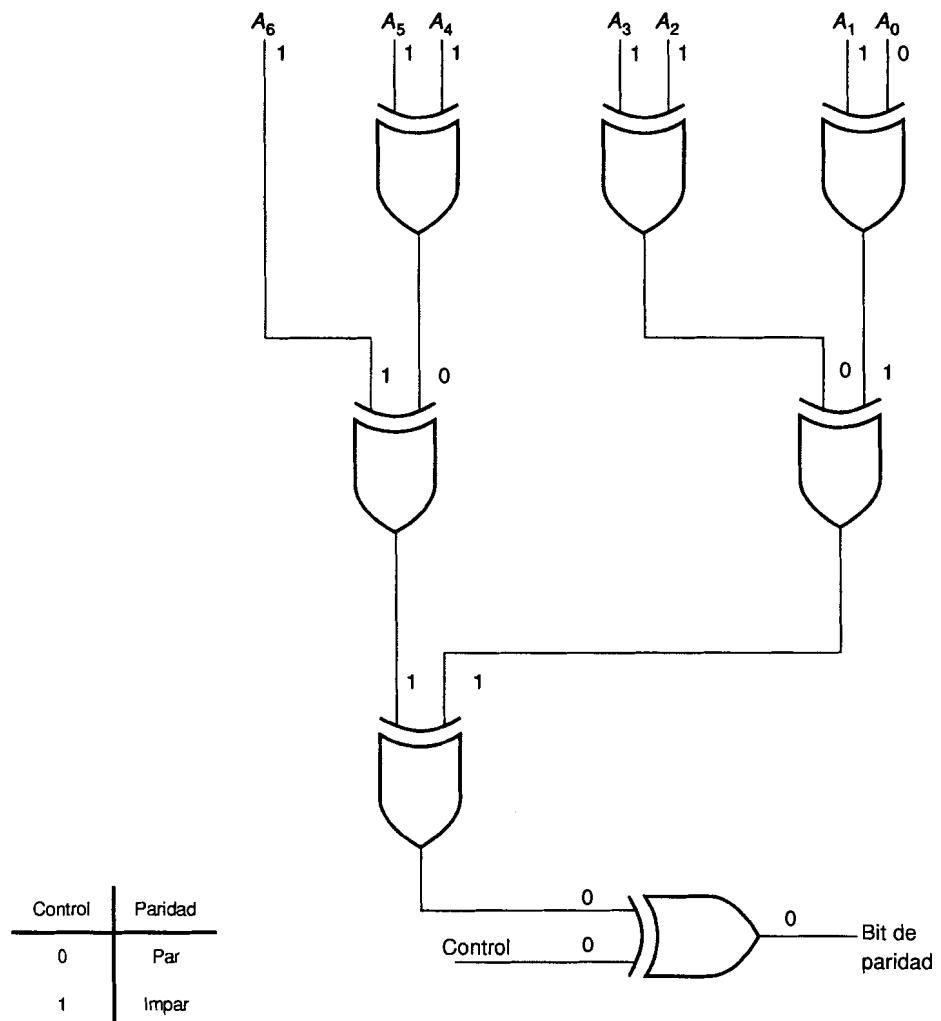


FIGURA 4-17

4.9 VERIFICADOR DE PARIDAD

10

Un circuito que puede determinar si el número total de unos es par o impar recibe el nombre de **verificador de paridad**. La figura 4-18 muestra un circuito con compuertas OR exclusivo con ocho entradas (siete de datos y una de paridad).

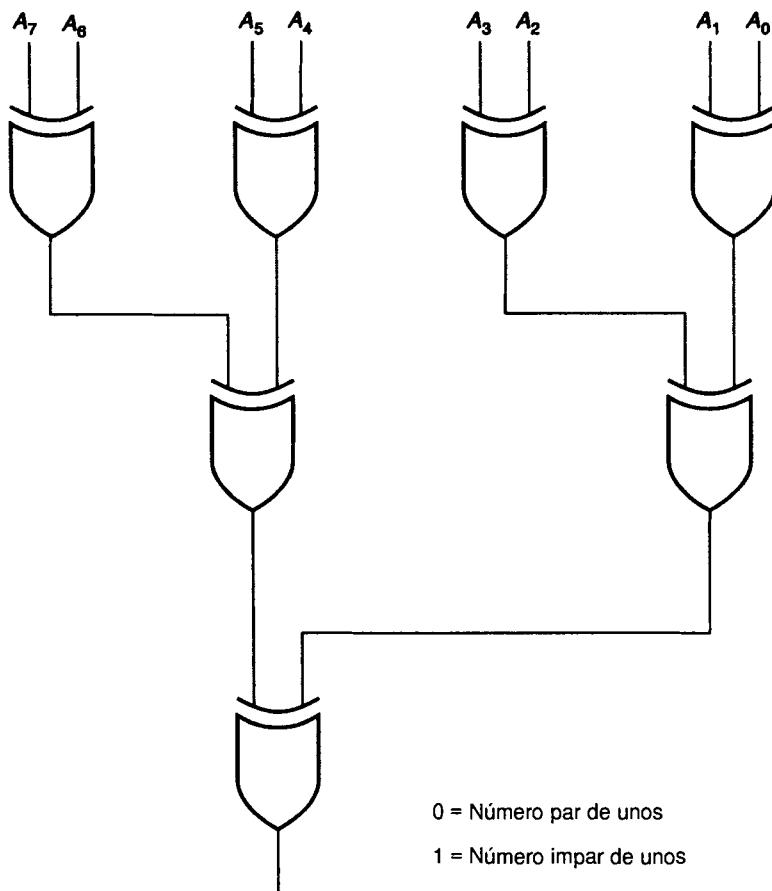


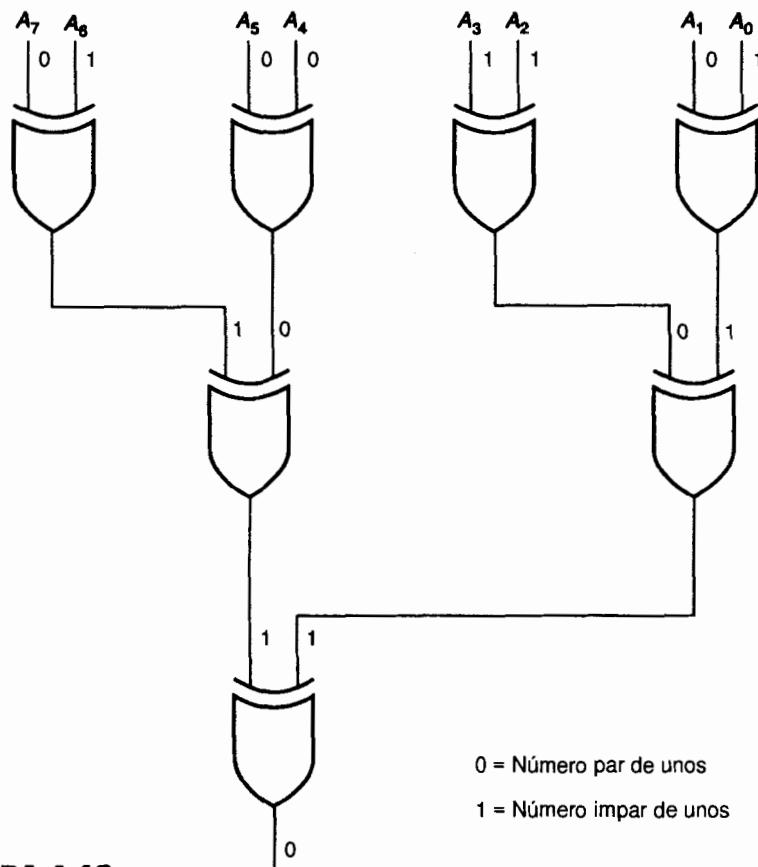
FIGURA 4-18 Verificador de paridad de ocho bits

Ejemplo: Se recibe la palabra 01001101, donde siete son bits de datos y uno es de paridad par. Haga uso del circuito de la figura 4-18 para determinar si existen errores de paridad.

Solución:

El 0 en la salida indica que se ha recibido un número par de unos. Por tanto, no se detectan errores en la paridad.

Véase la figura 4-19.

**FIGURA 4-19**

Ejemplo: Un receptor recibe la palabra 11000110, donde siete bits son de datos y uno es de paridad impar. Utilice el circuito de la figura 4-18 para determinar si existe un error en la paridad.

Solución:

El 0 en la salida indica que se ha recibido un número par de unos. Por tanto, ha ocurrido un error.

Es probable que uno de los bits se haya cambiado durante la transmisión o la recepción.

Véase la figura 4-20.

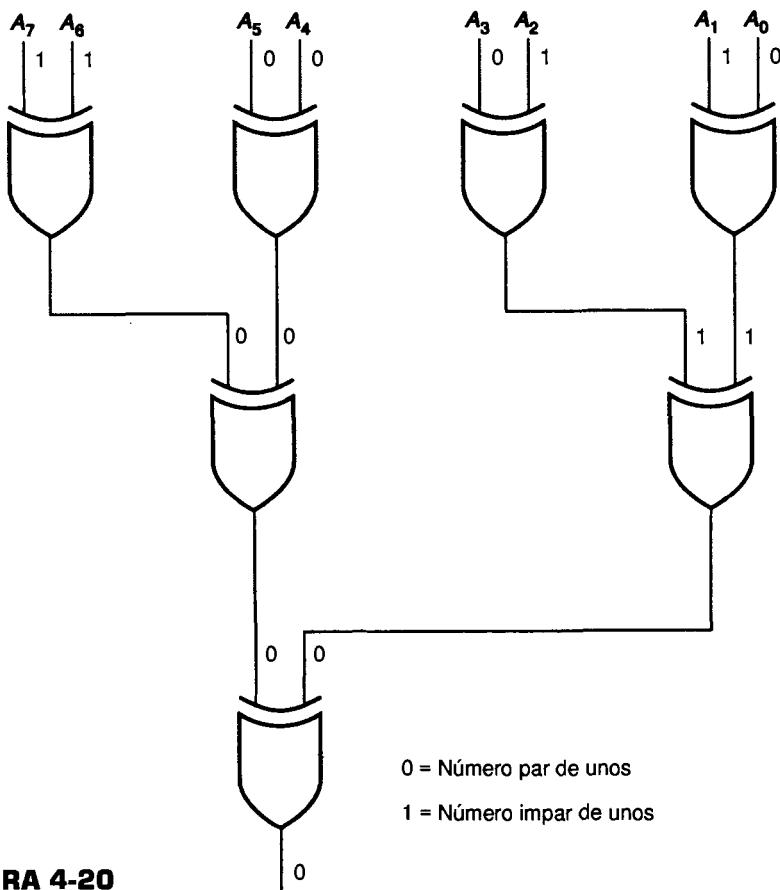


FIGURA 4-20

AUTODEVALUACIÓN PARA LAS SECCIONES 4.6, 4.7, 4.8 Y 4.9

1. Obtenga el bit de paridad par de la siguiente palabra:
0101110 [8]
2. Determine el bit de paridad impar de la siguiente palabra:
1011011 [8]
3. Utilice compuertas OR exclusivo para construir un generador de paridad impar de seis bits. El bit de paridad será el séptimo bit. [9]
4. Se recibe la palabra 11010111. Siete bits son de datos y uno de paridad impar. Haga uso del circuito de la figura 4-18 para determinar si existe un error de paridad. [10]

4.10 GENERADOR/VERIFICADOR DE PARIDAD DE 9 BITS

11

El 74S280 es un circuito integrado de mediana escala que funciona como generador/verificador de paridad de 9 bits. La figura 4-21 muestra el diagrama de distribución de terminales y la tabla de verdad de este circuito. Si el número de entradas (desde A hasta I) que tienen el nivel ALTO es par, entonces la salida Σ_{par} cambia al nivel ALTO y la salida $\Sigma_{\text{ímpar}}$ lo hace al nivel BAJO (línea 1 de la tabla de verdad). Para utilizar el CI como un generador de paridad par, puede emplearse la salida $\Sigma_{\text{ímpar}}$ para el bit de paridad.

Número de entradas (A-I) que están en el nivel ALTO	Salidas	
	Σ_{Par}	$\Sigma_{\text{Ímpar}}$
0, 2, 4, 6, 8	H	L
1, 3, 5, 7, 9	L	H

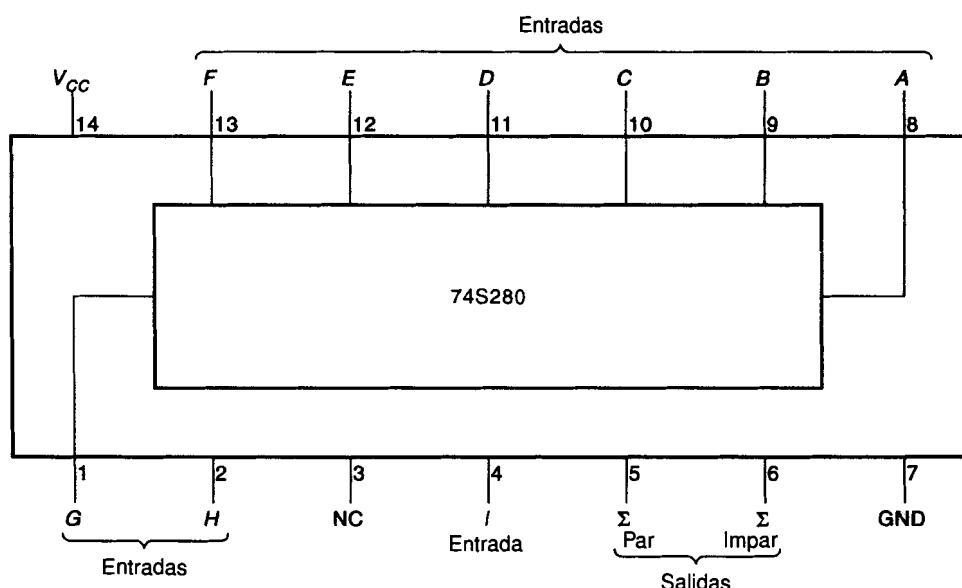


FIGURA 4-21 Generador/verificador de nueve bits 74S280

Ejemplo: Utilice el 74S280 como generador de paridad par de ocho bits (siete de datos y uno de paridad). Genere con él el bit de paridad para 0101010.

Solución:

Las entradas A hasta G son para los siete datos de entrada. H e I no se utilizan y están conectadas a tierra. La terminal 3 no está conectada internamente (NC).

0101010

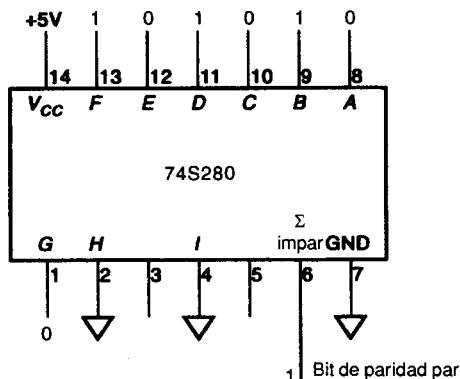
La línea de la tabla de verdad que corresponde a tres entradas en el nivel ALTO es la segunda.

Σ_{impar} va hacia ALTO y hace que el bit de paridad par sea 1.

10101010

El número total de unos es par.

Ejemplo: Haga uso del 74S280 como generador de paridad par de ocho bits (siete bits de datos y uno de paridad). Genere el bit de paridad que corresponde a 1111110.



Solución:

La primera línea de la tabla de verdad es la que corresponde a seis entradas en el nivel ALTO. Σ_{impar} va al nivel BAJO y hace que el bit de paridad par sea 0.

0111110

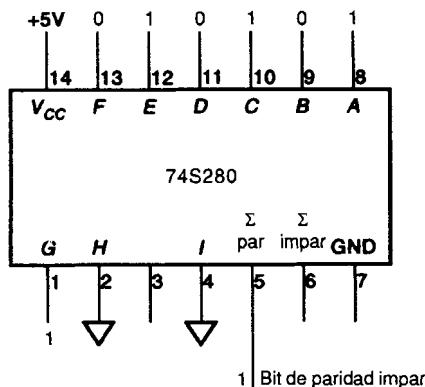
El número total de unos es par.

Para emplear un 74S280 como generador de paridad impar, se hace uso de la salida Σ_{par} para generar el bit de paridad.

Ejemplo: Haga uso del 74S280 como generador de paridad impar de ocho bits (siete bits de datos y uno de paridad). ¿Cuál es el bit de paridad para 1010101?

Solución:

Los bits que representan a los datos se colocan en las entradas A - G. Las entradas H e I se conectan a tierra de modo que no tengan efecto sobre la salida. La salida en la terminal 5 (Σ_{par}) será el bit de paridad par. En este caso existen cuatro unos en las entradas. La primera línea de la tabla de verdad indica que la salida Σ_{par} debe tener el nivel ALTO, tal y como debe ser para el bit de paridad impar, 11010101.



11

Para utilizar el 74S280 como verificador de paridad impar, se conectan a él hasta nueve entradas de datos, desde A hasta I. Si el número total de entradas que están en el nivel ALTO es impar (línea inferior de la tabla de verdad), entonces Σ_{impar} va al nivel ALTO y Σ_{par} al nivel BAJO. En este circuito integrado las salidas que tienen un nivel BAJO pueden consumir (esto es, proporcionar una trayectoria a tierra) 20 mA de modo que Σ_{impar} puede excitar un LED, tal como se muestra en la figura 4-22. Si el número total de unos recibido es par, entonces Σ_{impar} va al nivel BAJO y el LED enciende, lo que significa que ha ocurrido un error de paridad.

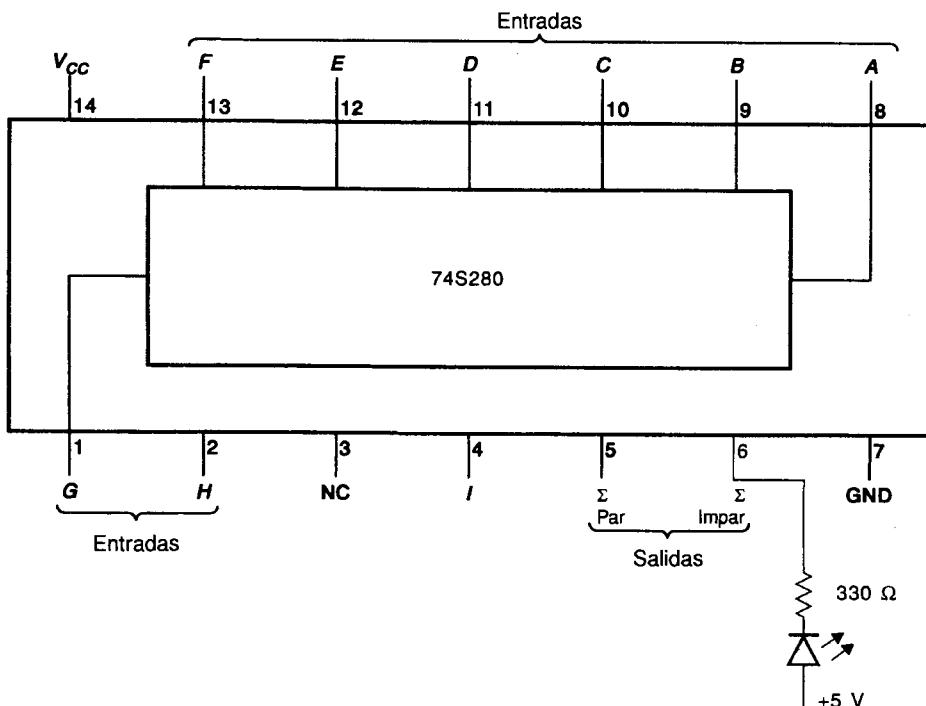


FIGURA 4-22 Indicador de error de paridad

Ejemplo: Emplee el 74S280 como un verificador de paridad impar de ocho bits (Figura 4-22) para examinar si existe un error de paridad en el dato 10111010.

Solución:

Los ocho bits se conectan a las entradas A a H del 74S280. I se aterriza de modo que no tenga influencia sobre la salida. La segunda línea de la tabla de verdad indica que cinco unos producen un nivel ALTO en la salida Σ_{Impar} , y por tanto el LED no enciende. El LED apagado es un indicador de la ausencia de un error de paridad.

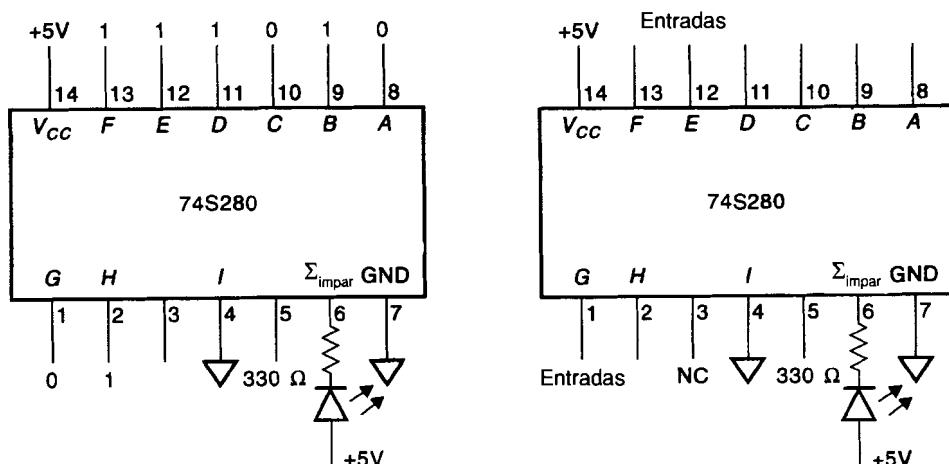
Ejemplo: Utilice el 74S280 como verificador de paridad par de ocho bits. El circuito debe tener un LED que encienda cuando no haya un error de paridad. Pruebe el circuito con las palabras 10111011 y 10111010.

Solución:

Cuando se tiene un número par de unos en la entrada, la salida Σ_{Impar} va al nivel BAJO (línea 1 de la tabla de verdad).

Esta salida puede emplearse para encender el LED que indica que no hay error de paridad.

Cuando 10111011 es la entrada, $\Sigma_{\text{ímpar}}$ va al nivel BAJO (línea 1 de la tabla de verdad), lo que indica un número par de entradas y el LED enciende (no hay error en la paridad). Cuando la entrada es 10111010, $\Sigma_{\text{ímpar}}$ cambia al nivel ALTO (línea 2 de la tabla de verdad) y el LED no enciende, lo que indica un error de paridad par.



El 74180 también es un generador/verificador de paridad de 9 bits que funciona de manera similar al 74S280. La figura 4-23 muestra el diagrama de distribución de terminales y la tabla de verdad de este circuito integrado. En el 74S280 la terminal 4 es otra entrada y la 3 no está conectada. En el 74180 las terminales 3 y 4 son la entrada par e impar respectivamente. Una de ellas debe ser el complemento de la otra, de lo contrario el CI queda inhabilitado (lo que corresponde a las dos últimas líneas de la tabla de verdad). Si la entrada par está en el nivel ALTO y la impar en el BAJO (los dos primeros renglones de la tabla de verdad), entonces un número par de entradas en ALTO hará que la salida Σ_{par} vaya al nivel ALTO y Σ_{impar} al bajo, tal como sucede con el 74S280.

El 74180 puede conectarse en cascada (esto es, extenderse) para construir un generador/verificador de paridad de 17 bits. Lo anterior se hace uniendo la salida Σ_{par} a la entrada par del siguiente CI, y la salida Σ_{impar} a la entrada impar del segundo CI.

Entradas			Salidas	
Σ de niveles ALTO en A - H	Par	Impar	Σ par	Σ impar
Par	H	L	H	L
Impar	H	L	L	H
Par	L	H	L	H
Impar	L	H	H	L
X	H	H	L	L
X	L	L	H	H

H = Nivel ALTO

L = Nivel BAJO

X = Sin importancia

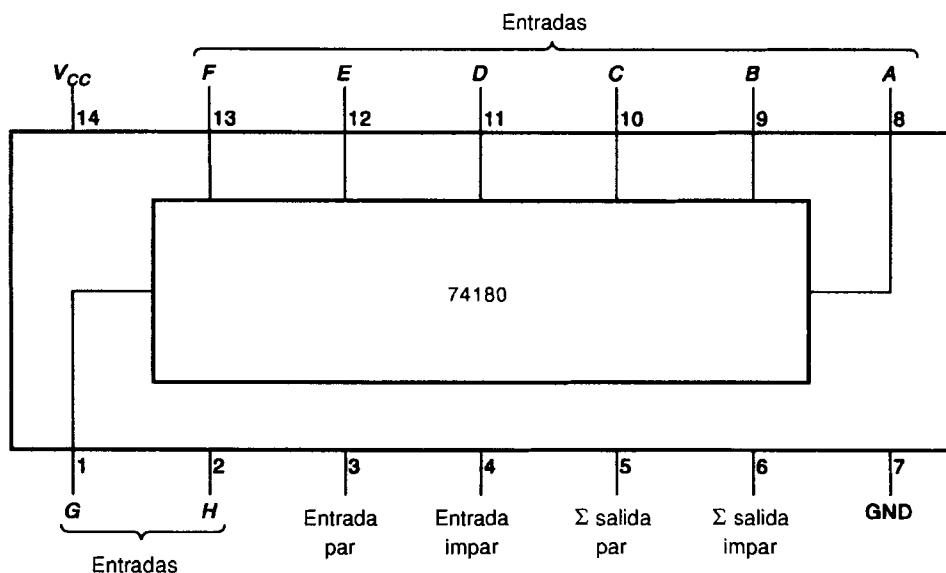


FIGURA 4-23 Generador de paridad de nueve bits 74180

Ejemplo: Emplee circuitos 74180 para generar el bit de paridad impar para un número de 18 bits (17 bits de datos y uno de paridad).

Solución:

Se hace uso de la salida Σ_{impar} para generar el bit de paridad impar.

Véase la figura 4-24.

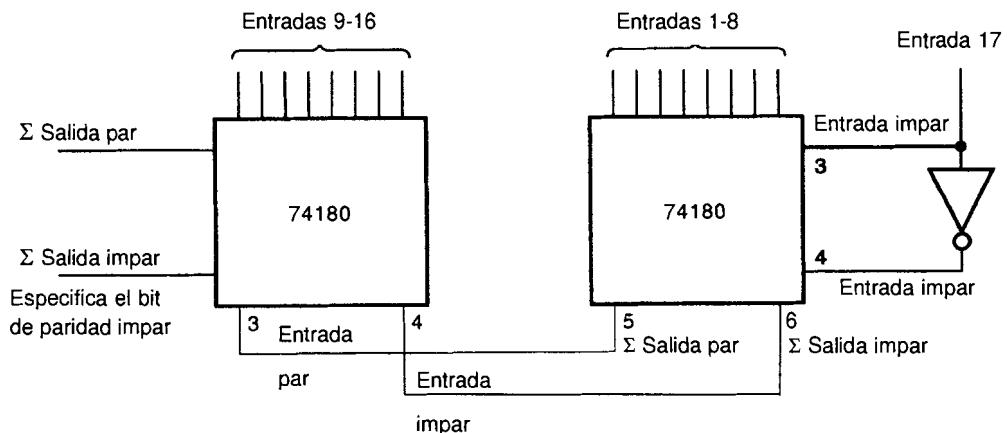


FIGURA 4-24 Generador de paridad impar

De nuevo, la adición de una compuerta OR exclusivo en la salida permitirá que el usuario invierta la señal si desea crear un verificador de paridad par o impar.

Ejemplo: Utilice el generador de paridad de la figura 4-24 para generar el bit de paridad impar para el dato 1A239₁₆.

Solución:

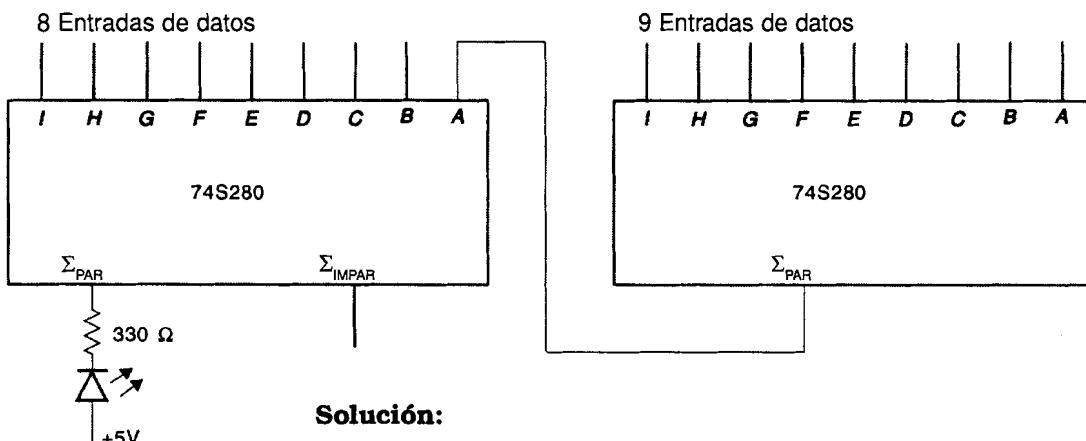
$$1A239_{16} = 1\ 1010\ 0010\ 0011\ 1001_2.$$

Los 17 bits anteriores son los que se emplean como entradas. En realidad, no importa en qué orden se conecten éstas al CI, pero se supondrá que el bit más significativo se pone en la entrada 17 y que los ocho bits menos significativos, 0011 1001, se conectan en las entradas 1 a 8. Puesto que la terminal de entrada par está en el nivel ALTO, lo que se va a hacer es trabajar con las dos primeras líneas de la tabla de verdad (par = H , impar = L). En el primer CI (el de la derecha) existe un número par de unos. La tabla de verdad (primera línea) indica que Σ_{par} va al nivel ALTO y Σ_{impar} al BAJO. Estas salidas están conectadas a las entradas par e impar del siguiente CI (el 74180 de la izquierda). En este caso, el segundo CI se comporta de acuerdo con las dos primeras líneas de la tabla de verdad. El segundo CI tiene tres unos en la entrada (línea 2 de la tabla de verdad). Por tanto, Σ_{impar} va al nivel ALTO para hacer que el bit de paridad impar sea 1. Los ocho unos en los datos más el 1 del bit de paridad hacen que el número total de unos sea impar.

11

El 74S280 puede ampliarse conectando la salida Σ_{par} a una de las entradas de datos de una etapa siguiente.

Ejemplo: Haga uso de dos 74S280 para producir un verificador de paridad impar de 17 bits. Conecte al circuito un LED que encienda para indicar la presencia de un error de paridad.



Solución:

Comprobación: Se ponen en 1 todas las entradas del primer 74S280 (derecha) y en cero las entradas del segundo (izquierda). La salida en Σ_{par} debe tener el nivel BAJO. Todas las entradas en cero en el segundo 74S280 harán que la salida Σ_{par} de éste vaya al nivel ALTO, con lo que el LED no encenderá. Esto es correcto ya que existe un número impar de unos en la entrada.

En resumen, en un generador de paridad, los bits de datos se introducen en él y la salida del circuito es la que proporciona el bit de paridad. En un verificador de paridad, tanto los bits de datos como el de paridad se conectan al circuito, y la salida indica si se ha detectado un error.

La figura 4-25 presenta el símbolo de la IEC para el 74S280. El 2k indica que un número par de unos en las terminales de entrada hará que la salida de la terminal 5 (Σ_{par}) vaya al nivel ALTO (no hay triángulo) y que la de la terminal 6 (Σ_{impar}) vaya al nivel BAJO (triángulo).

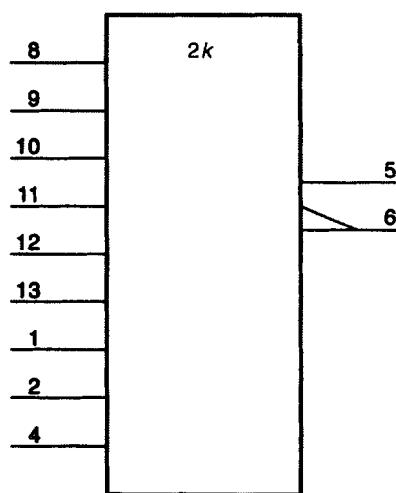
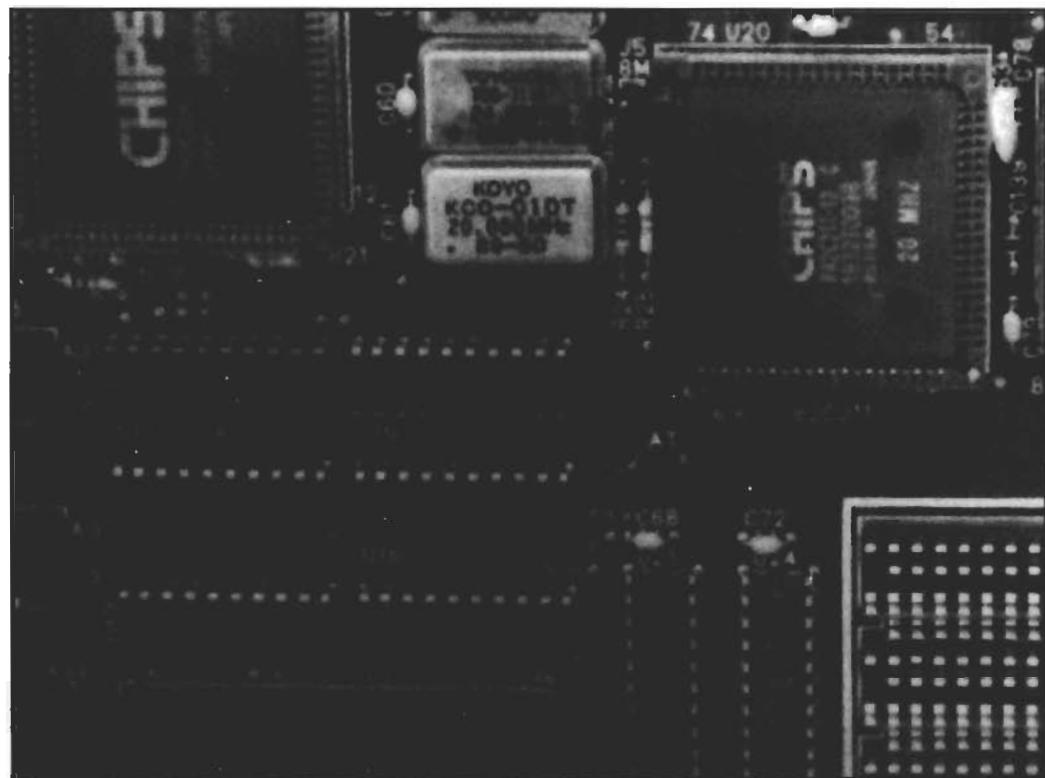


FIGURA 4-25

La siguiente es una lista de algunos circuitos integrados que incluyen un generador o verificador de paridad.

- 74373 Transceptor óctuple con generador/verificador de paridad de ocho bits.
- 74833 Transceptor de ocho bits con generador/verificador de paridad de nueve bits y flip-flop de error
- 74853 Transceptor inversor de ocho bits con generador/verificador de nueve bits y flip-flop de error
- 74834 Transceptor inversor de ocho bits con generador/verificador de nueve bits y flip-flop de error
- 9362 Generador/verificador de paridad de nueve bits

CI DE PARIDAD



Esta fotografía de la tarjeta principal de una computadora muestra cuatro CI que generan y verifican bits de paridad. En este capítulo el lector estudia muchos conceptos relacionados

con la paridad. Los CI U15, U16 y U17 son 74F573; el CI U11 es un 74F373. En este capítulo se identifican todos ellos.

- 9348 Generador/verificador de paridad de 12 bits
- 74655 Inversor de línea óctuple con generador/verificador de paridad de nueve bits
- 74656 Compuerta de aislamiento de línea óctuple con generador/verificador de nueve bits
- 74657 Transceptor óctuple con generador/verificador de ocho bits.

En capítulos posteriores se estudian los transceptores, excitadores, compuertas de aislamiento y flip-flops.

4.11 COMPARADOR

El OR exclusivo también puede emplearse para comparar dos números y decidir si son iguales. La figura 4-26 muestra un circuito que compara cada uno de los bits de dos números. Si cualesquiera de los bits correspondientes son distintos, entonces se aplica un 1 a la compuerta NOR obteniéndose una salida 0. Por tanto una salida 0 indica que los números no son iguales, y una salida 1 señala que son iguales.

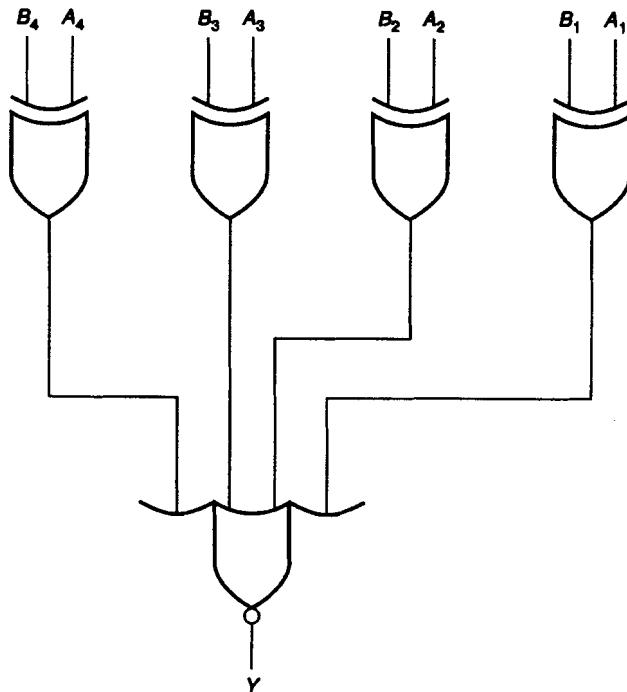


FIGURA 4-26 Comparador de cuatro bits

Ejemplo: Compare los números 1010 y 1001.

Solución:

La salida 0 indica que los números no son iguales.

Véase la figura 4-27.

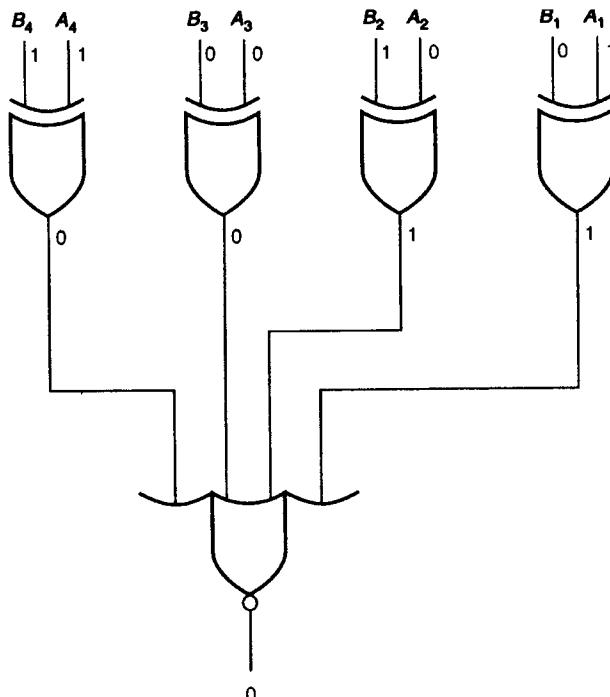


FIGURA 4-27

Los circuitos 7485 y 74C85 son **comparadores de magnitud** de cuatro bits, cuyas salidas indican si $A = B$, $A < B$ o $A > B$. El comparador de la figura 4-26 sólo señala si $A = B$ o $A \neq B$.

13

La figura 4-28 presenta los diagramas funcional y de distribución de terminales del comparador de magnitud de 4 bits 74LS85. En el diagrama funcional, las terminales están agrupadas de acuerdo con la función que tienen. Las terminales 2, 3 y 4 son entradas de ampliación que permiten extender el CI de modo que pueda emplearse en circuitos donde se tienen más de cuatro bits. Cuando el circuito se utiliza como un comparador de 4 bits, las terminales 2 y 4 ($I_{A < B}$ e $I_{A > B}$) deben conectarse a tierra, y la terminal 3 ($I_{A = B}$) debe estar en el nivel ALTO. La figura 4-29 presenta la tabla de verdad del '85. El CI compara los dos números de cuatro bits que hay en las entradas y envía las salidas 5, 6 o 7 al nivel ALTO dependiendo de la magnitud relativa de los números. Si el número de 4 bits A es mayor que B ($A > B$), entonces la salida $Q_{A > B}$ va al nivel ALTO. Si A y B son iguales ($A = B$), entonces la salida $Q_{A = B}$ es la que va al nivel ALTO. Si A es menor que B ($A < B$), entonces la salida $Q_{A < B}$ tiene el nivel ALTO.

196 Compuertas OR exclusivo

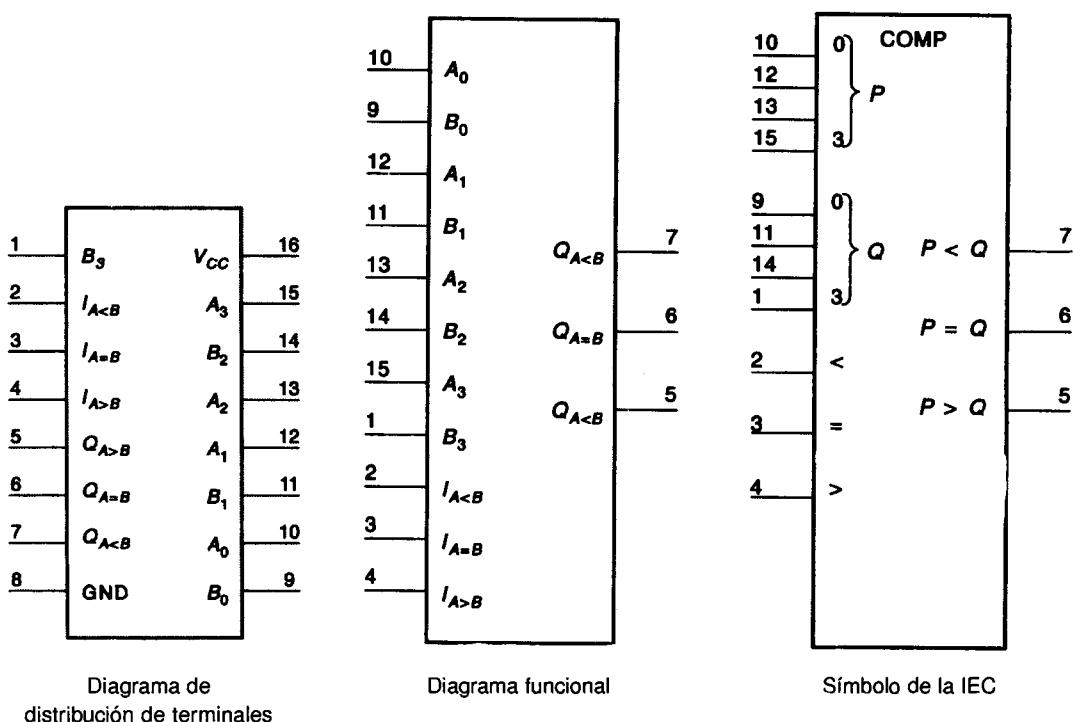


Diagrama de
distribución de terminales

Diagrama funcional

Símbolo de la IEC

FIGURA 4-28 Comparador de magnitud de cuatro bits 74LS85

Entradas a comparar				Entradas para conexión en cascada			Salidas		
A_3, B_3	A_2, B_2	A_1, B_1	A_0, B_0	$A > B$	$A < B$	$A = B$	$A > B$	$A < B$	$A = B$
$A_3 > B_3$	X	X	X	X	X	X	H	L	L
$A_3 < B_3$	X	X	X	X	X	X	L	H	L
$A_3 = B_3$	$A_2 > B_2$	X	X	X	X	X	H	L	L
$A_3 = B_3$	$A_2 < B_2$	X	X	X	X	X	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 > B_1$	X	X	X	X	H	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 < B_1$	X	X	X	X	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 > B_0$	X	X	X	H	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 < B_0$	X	X	X	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	H	L	L	H	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	L	H	L	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	L	L	H	H	L	H

H = Nivel ALTO

L = Nivel BAJO

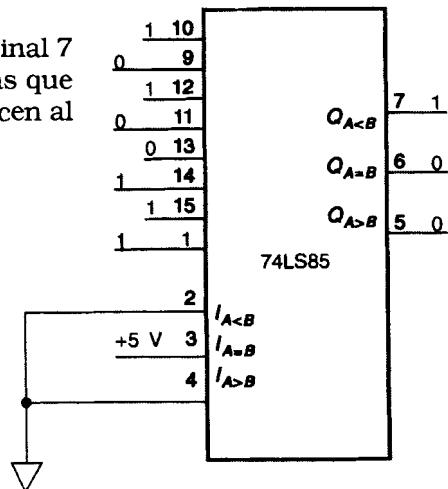
X = Sin importancia

FIGURA 4-29 Tabla de verdad del 74LS85

Ejemplo: Utilice el 74LS85 para comparar los números $A = 1011$ y $B = 1100$.

Solución:

Puesto que $A < B$, la terminal 7 va al nivel ALTO, mientras que las terminales 6 y 5 lo hacen al nivel BAJO.

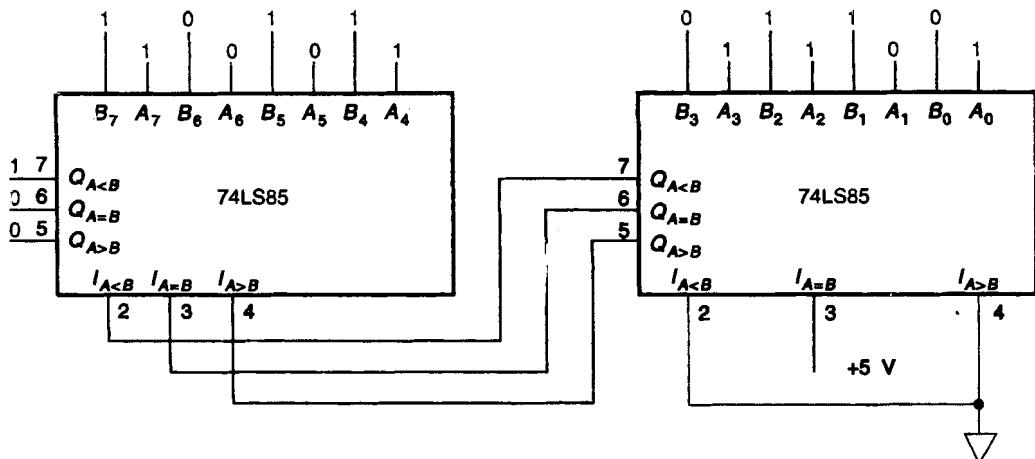


Para extender el 74LS85 y convertirlo en un comparador de 8 bits, la salida $Q_{A<B}$ del primer CI (el menos significativo) se conecta a la entrada $I_{A<B}$ del segundo CI (el más significativo). Del mismo modo, $Q_{A=B}$ se conecta a $I_{A=B}$ y $Q_{A>B}$ a $I_{A>B}$.

Ejemplo: Haga uso de dos 74LS85 para comparar los números de ocho bits $A = 9D_{16}$ y $B = B6_{16}$.

Solución:

$$9D_{16} = 100111012 \text{ y } B6_{16} = 101101102$$



198 Compuertas OR exclusivo

Las salidas del primer CI (parte derecha) se conectan a las entradas de ampliación del segundo CI (parte izquierda). Puesto que A es menor que B , la terminal 7 va al nivel ALTO mientras que las terminales 6 y 5 lo hacen al nivel BAJO.

14

Los CI 74ACT11521 y 74AC11521 son **comparadores de identidad** de ocho bits que comparan dos números binarios o en BCD y producen una salida en nivel BAJO si los dos números son idénticos. Tal como se muestra en la tabla de verdad de la figura 4-30A, la entrada de habilitación \bar{E} debe tener el nivel BAJO (lo que corresponde a las tres primeras líneas de la tabla) para que el CI funcione. Si E tiene el nivel ALTO, el CI ignora las entradas y la salida queda bloqueada en el nivel ALTO (cuarta línea de la tabla de verdad). La línea 1 indica que la salida $P = Q$ va al nivel BAJO si la entrada P es igual a la Q . La figura 4-30B presenta el diagrama de distribución de terminales y los símbolos lógicos. La figura 4-30C muestra el diagrama lógico de la circuitería interna, donde puede observarse que el CI está compuesto por inversores, compuertas NOR exclusivo y una compuerta NAND de nueve entradas.

Entradas		Salida
Datos P, Q	Habilitación \bar{E}	$\overline{P = Q}$
$P = Q$	L	L
$P > Q$	L	H
$P < Q$	L	H
X	H	H

FIGURA 4-30A

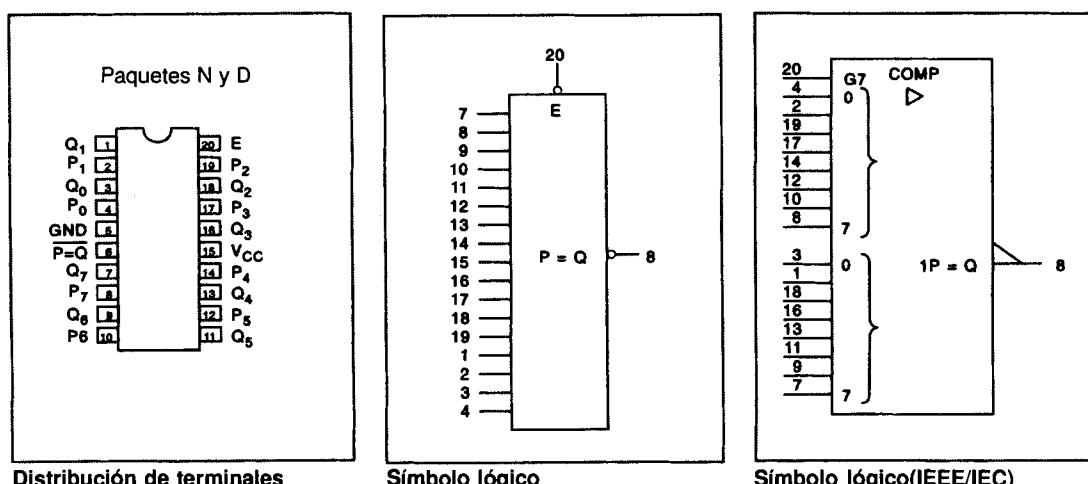


FIGURA 4-30B

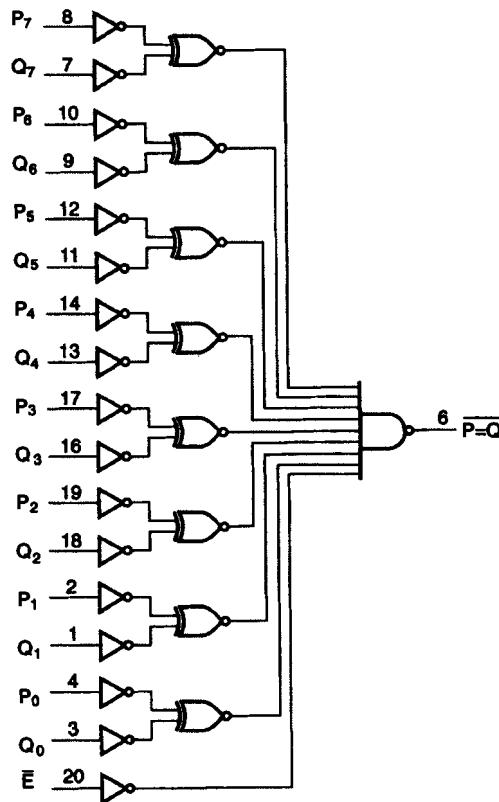


FIGURA 4-30C Comparador de identidad de ocho bits 74AC11521

AUTOREVALUACIÓN PARA LAS SECCIONES 4.10 Y 4.11

1. Haga uso del 74S280 como generador de paridad impar de ocho bits (siete de datos y uno de paridad). Genere el bit de paridad para 1011011. [11]
2. Utilice el 74S280 como verificador de paridad impar de ocho bits. Verifique el error de paridad en el dato 10101111. [11]
3. Emplee el comparador OR exclusivo para comparar los números 1110 y 1100. [12]
4. Use el 7485 para comparar los números 1010 y 1000. [13]
5. Utilice el comparador de identidad de ocho bits de la figura 4-30C para comparar 11000110 con 11100110 siguiendo cada uno de los niveles lógicos en todo el circuito. ¿Qué nivel lógico debe aplicarse en \bar{E} , terminal 20, para habilitar la salida de la compuerta NAND? [14]

TELEVISIÓN DE ALTA DEFINICIÓN

La televisión de alta definición, o HDTV por sus siglas en inglés, es un estándar nuevo para la transmisión de televisión. Los aparatos de televisión de alta definición tendrán una resolución dos veces mayor que la de los televisores utilizados hoy en día, una imagen mucho más amplia, mejor color, y cuatro canales de sonido digital. El estándar para Estados Unidos será

seleccionado por la FCC y probablemente sea de naturaleza digital.

La difusión digital de HDTV requerirá la transmisión de mil millones de bits por segundo. Hacia el final de la década de los noventas, la HDTV podría llegar a ser el centro de telecomunicaciones domésticas, que incluya la computadora, el teléfono y los reproductores de disco compacto.

RESUMEN

- Si las entradas de una compuerta OR exclusivo son iguales, entonces la salida es BAJO.
- Si las entradas de una compuerta OR exclusivo son diferentes, la salida tiene el nivel ALTO.
- Cuando la entrada de control de una compuerta OR exclusivo tiene el nivel BAJO, los datos pasan por ella sin modificación alguna.
- Cuando la entrada de control de una compuerta OR exclusivo tiene el nivel ALTO, los datos pasan a la salida invertidos.
- Si las entradas de una compuerta NOR exclusivo (OR no exclusivo) son iguales, la salida tiene el nivel ALTO.
- Si las entradas de una compuerta NOR exclusivo son diferentes, la salida tiene el nivel BAJO.
- Para asegurar que los datos sean transmitidos correctamente, se envía junto con ellos un bit de paridad.
- En un sistema de paridad par, el bit de paridad se genera de modo que el número total de unos en la palabra, incluyendo el bit de paridad, sea par.
- En un sistema de paridad impar, el bit de paridad se genera de modo que el número total de unos en la palabra, incluido el bit de paridad, sea impar.
- Un generador de paridad es un circuito que genera el bit de paridad.
- Un verificador de paridad es un circuito que verifica los bits de datos y el de paridad con la finalidad de determinar si ha ocurrido un error durante la transmisión.

- El comparador compara dos números con el propósito de determinar si éstos son iguales.

PREGUNTAS Y PROBLEMAS

1. Dibuje el símbolo y escriba la tabla de verdad de una compuerta OR exclusivo. [1]
2. Dibuje el símbolo y escriba la tabla de verdad de una compuerta NOR exclusivo. [6]
3. Con un 1 en la entrada de control de una compuerta OR exclusivo, ¿los datos pasan por ella sin modificación o invertidos? [3, 4]
4. Utilice la figura 4-31 para hacer un bosquejo de las formas de onda de salida para X y Y. [5]

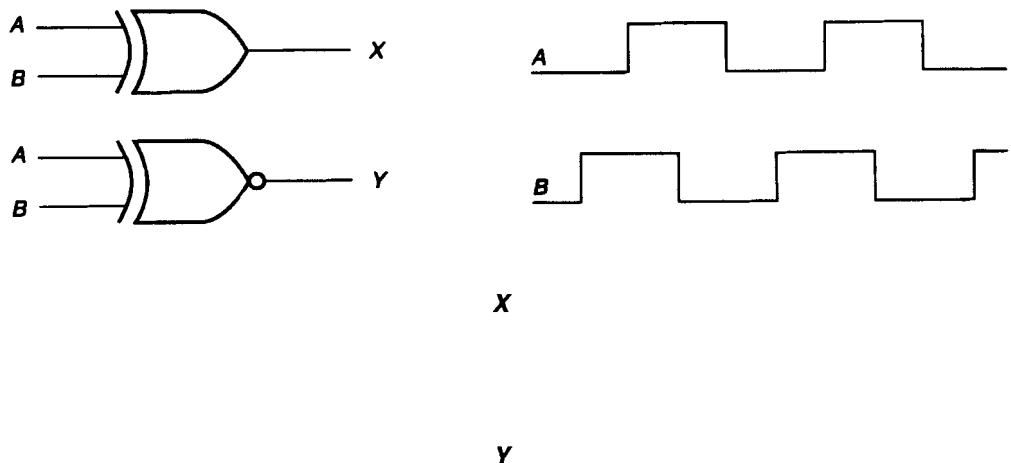
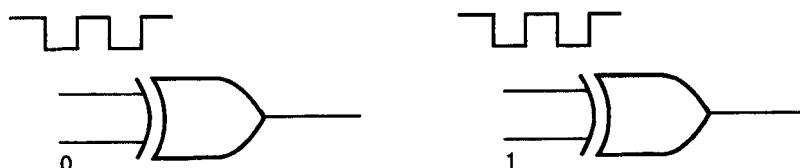


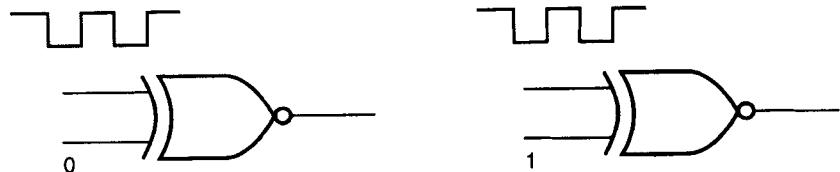
FIGURA 4.31

5. Obtenga la salida de cada compuerta. [5]

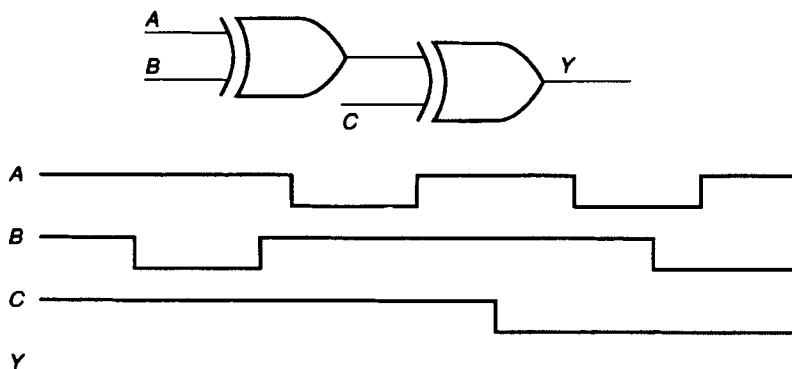


202 Compuertas OR exclusivo

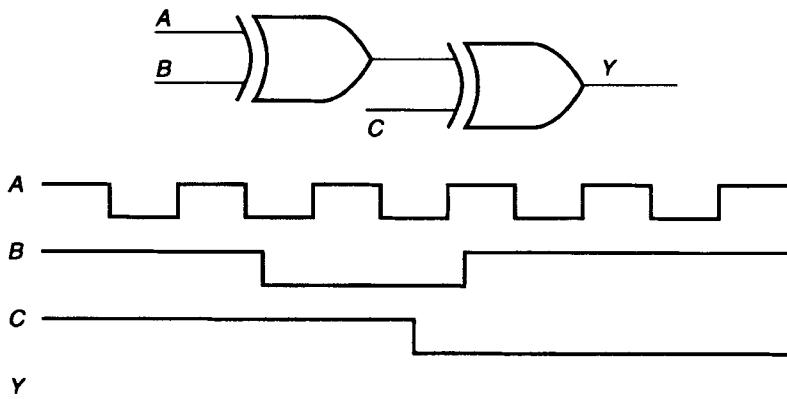
6. Determine la salida de cada compuerta. [5]



7. Haga un bosquejo de la salida del siguiente OR/NOR exclusivo. [7]



8. Dibuje la salida del siguiente OR/NOR exclusivo. [7]



9. Dibuje el diagrama lógico de una compuerta OR exclusivo utilizando compuertas básicas. [2]

10. Construya el diagrama lógico de un generador de paridad par que haga uso de cinco bits de datos y uno de paridad. [9]

11. Proporcione el bit de paridad. [8]
 - a) Par: 101101
 - b) Impar: 110000
 - c) Par: 000011
 - d) Impar: 110010
12. Elabore el diagrama lógico de un comparador de cinco bits e indique el significado de la salida. [12]
13. Dibuje el diagrama de distribución de terminales de un comparador de magnitud 7485 de cuatro bits. [13]
14. Describa, con sus propias palabras, el funcionamiento de un comparador de magnitud de cuatro bits. [12]
15. Dibuje el diagrama lógico de un comparador de magnitud de ocho bits. Utilice dos 7485. [13]
16. Dibuje el diagrama lógico de un circuito donde se muestre cómo utilizar el 74S280 como generador de paridad par de ocho bits (siete de datos y uno de paridad). [11]
17. Dibuje el diagrama lógico de un circuito que utilice el 74180 como generador de paridad impar de ocho bits (siete de datos y uno de paridad). [11]
18. Haga el diagrama lógico de un circuito que utilice el 74S280 como verificador de paridad par de ocho bits (siete de datos y uno de paridad). Utilice un LED para indicar la presencia de un error de paridad (encendido = error). [11]
19. Prepare el diagrama de un circuito lógico donde se utilice el 74180 como verificador de paridad impar de ocho bits (siete de datos y uno de paridad). Haga uso de un LED para señalar la ocurrencia de un error (encendido = error). [11]
20. Dibuje el diagrama lógico de un circuito que emplee dos 74S280 como generador de paridad impar de 16 bits (15 de datos y uno de paridad). [11]
21. Elabore el diagrama lógico de un circuito que utilice dos 74180 como generador de paridad par de 16 bits (15 de datos y uno de paridad). [11]
22. Dibuje el diagrama lógico de un verificador de paridad impar de 16 bits (15 de datos y uno de paridad) construido con dos 74S280. Emplee un LED para indicar la ocurrencia de un error de paridad (encendido = error). [11]
23. Dibuje el diagrama lógico de un verificador de paridad par de 16 bits (15 de datos y uno de paridad) construido con dos 74180. Haga uso de un LED para indicar un error en la paridad (encendido = error). [11]

204 Compuertas OR exclusivo

24. Dibuje el diagrama de distribución de terminales de un comparador CMOS.
25. ¿Qué diferencia existe entre los símbolos de la IEC para un inversor, una compuerta OR y una compuerta OR exclusivo? [13]
26. Dibuje el símbolo lógico de la IEC para un generador/verificador de paridad 74S280. [11]
27. Dibuje el símbolo lógico de la IEC para un comparador de magnitud de cuatro bits 7485. [13]

Práctica 4

OR Exclusivo

OBJETIVOS

Al término de esta práctica, el lector deberá ser capaz de:

- utilizar circuitos 7486 para construir un generador de paridad.
- emplear un 74180 para generar bits de paridad.
- usar un 74180 para detectar errores de paridad.
- conectar en cascada dos 74180 para construir un generador/verificador de paridad de 16 bits.
- hacer uso de compuertas OR exclusivo para construir un comparador de cuatro bits.

COMPONENTES NECESARIOS

2 7486

2 CI 74180

1 4009

1 4012

1 4070

1 LED

1 resistor de $330\ \Omega$

PREPARACIÓN

En un generador de paridad la entrada son los bits de magnitud, y el circuito genera el bit de paridad. El mismo circuito puede emplearse como verificador de paridad si se introducen en él todos los bits, incluyendo el de paridad. La salida es una señal o bandera que indica si existe un error de paridad.

206 Compuertas OR exclusivo

Repase las reglas de seguridad del laboratorio presentadas en la sección PREPARACIÓN de la práctica 1, capítulo 1.

1. Verifique el funcionamiento de las compuertas de un CI 7486 determinando la tabla de verdad de éstas.
2. Utilice circuitos integrados 7486 para construir un generador de paridad de ocho bits (el octavo es el bit de paridad).

Entrada 136_8

¿Cuál es la salida? ¿Es éste un generador de paridad par o impar?
¿Cómo puede cambiarse la paridad del generador?

Entrada 063_8

¿Cuál es la salida? Determine la salida del generador de paridad para los números siguientes. Después ponga como entradas estos números y verifique sus conclusiones.

135_8

056_8

060_8

177_8

3. Complete la tabla de verdad de un generador/verificador de paridad de nueve bits 74180.

Entradas		Salidas		
Σ de niveles ALTO en 0 - 7	Par	Impar	Σ Par	Σ Impar
Par	H	L		
Impar	H	L		
Par	L	H		
Impar	L	H		
X	H	H		
X	L	L		

H = Nivel ALTO

L = Nivel BAJO

X = Sin importancia

4. Utilice el 74180 como generador de paridad impar para determinar los bits de paridad de los números que aparecen en el inciso 2 de este experimento.

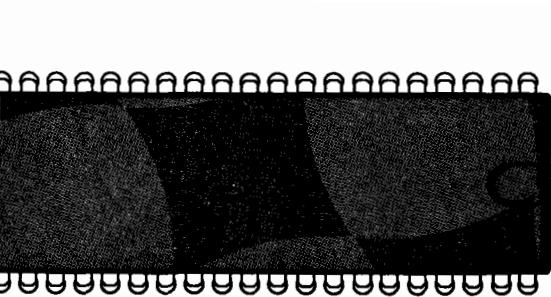
5. Emplee el 74180 como verificador de paridad impar. Ponga un LED que encienda si no hay error en la paridad. Utilice como entradas los resultados del inciso 4.
6. Haga uso de dos 74180 para construir un generador de paridad impar de 16 bits. El bit 16 es el de paridad. Utilice el circuito para determinar el bit de paridad de las siguientes palabras:

$2D6B_{16}, 6F50_{16}, 3BD4_{16}$

7. Use el circuito anterior como verificador de paridad par de 16 bits aplicando a las entradas los 16 bits. Ponga un LED que encienda si existe un error en la paridad. Determine si existe un error de paridad en los siguientes números:

$F809_{16}, 400A_{16}, CD13_{16}$

8. Construya un comparador de cuatro bits con circuitos integrados 4070, 4012 y 4009. Ponga como entradas 0110 y 1010. ¿Cuál es la salida? ¿Qué es lo que ésta indica? Ahora utilice como entradas 0110 y 0110. ¿Cuál es la salida? ¿Qué indica ésta? Pruebe el circuito con más combinaciones de entradas.



CONTENIDO

- 5.1 MEDIO SUMADOR**
- 5.2 SUMADOR COMPLETO**
- 5.3 SUMADOR/RESTADOR DE COMPLEMENTO A UNO**
- 5.4 SUMADOR/RESTADOR DE COMPLEMENTO A DOS**
- 5.5 SUMA EN DECIMAL CODIFICADO EN BINARIO**
- 5.6 SUMADOR DE DECIMAL CODIFICADO EN BINARIO**
- 5.7 UNIDAD DE ARITMÉTICA Y LÓGICA**

Sumadores

Capítulo 5

LISTA DE TÉRMINOS

medio sumador
sumador completo
acarreo rápido

acarreo anticipado
unidad de aritmética y lógica (ALU,
por sus siglas en inglés)

OBJETIVOS



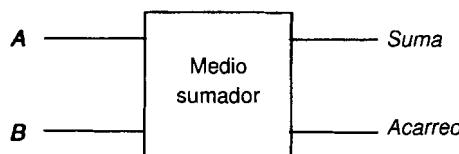
Al término de este capítulo el lector debe ser capaz de:

1. Definir el medio sumador y dibujar su diagrama de bloque y su tabla de verdad.
2. Desarrollar la circuitería lógica y construir un medio sumador.
3. Definir un sumador completo y dibujar su diagrama de bloque y su tabla de verdad.
4. Desarrollar la circuitería lógica y construir un sumador completo.
5. Diseñar la circuitería necesaria para utilizar un sumador completo como sumador/restador de complemento a uno.
6. Diseñar la circuitería necesaria para utilizar un sumador completo como sumador/restador de complemento a dos.
7. Sumar en decimal codificado en binario.
8. Diseñar la circuitería requerida para emplear un sumador completo como sumador de BCD.

5.1 MEDIO SUMADOR



Un **medio sumador** es un circuito que tiene dos entradas, A y B , y dos salidas, la suma y el acarreo. Este circuito suma A y B de acuerdo con las reglas de la suma binaria, y genera como salidas la suma y el acarreo. La figura 5-1 presenta el diagrama de bloque y la tabla de verdad de un medio sumador. Como puede observarse, la tabla de verdad cumple con las reglas de la suma binaria. La última línea indica que 1 más 1 es 10, tal y como debe ser.



		Entradas		Salidas	
		B	A	Suma	Acarreo
0	0	0	0	0	0
0	1	0	1	1	0
1	0	1	0	1	0
1	1	1	1	0	1

FIGURA 5-1 Medio sumador

La salida que representa la suma tiene una tabla de verdad idéntica a la de una compuerta OR exclusivo mientras que la salida de acarreo tiene la misma tabla de verdad que una compuerta AND. En las figuras 5-2 y 5-3 se muestran dos maneras de construir un medio sumador. En la figura 5-3, el OR exclusivo se construye a partir de una compuerta AND y dos compuertas NOR. Como parte del OR exclusivo se hace el AND de A y B , y el resultado puede emplearse como la señal de acarreo.

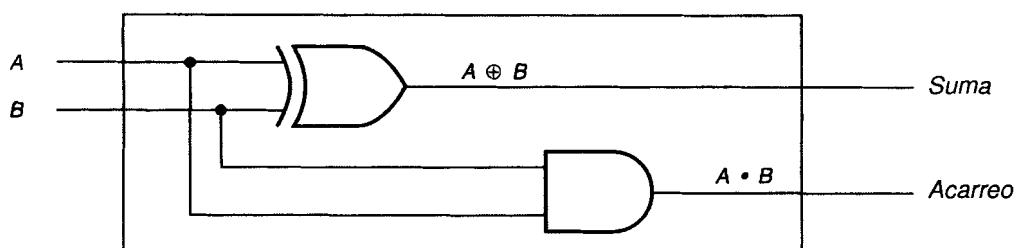


FIGURA 5-2 Diagrama lógico de un medio sumador

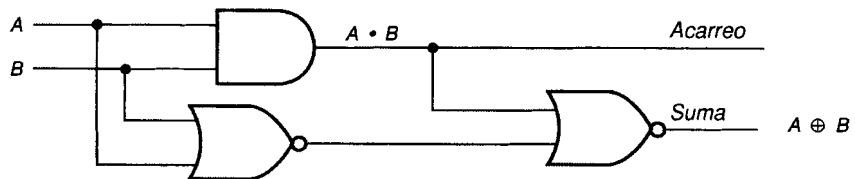


FIGURA 5-3 Uso de una compuerta AND y dos NOR para construir un medio sumador

Ejemplo: Sume $A = 1$, $B = 1$.

Solución:

Véase la figura 5-4.

1 más 1 tiene una suma igual a 0 y un acarreo de 1.

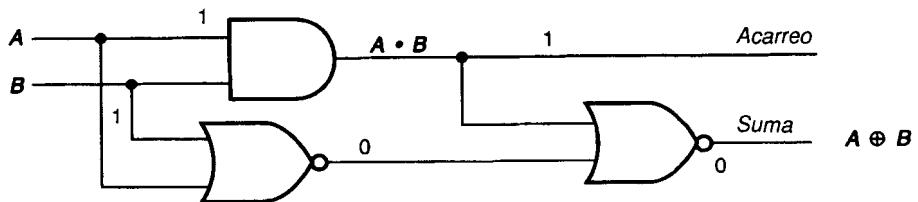


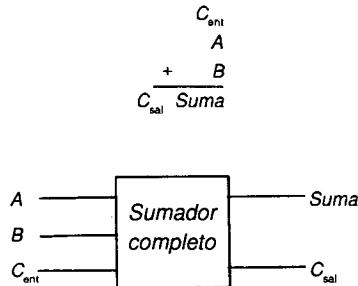
FIGURA 5-4

5.2 SUMADOR COMPLETO

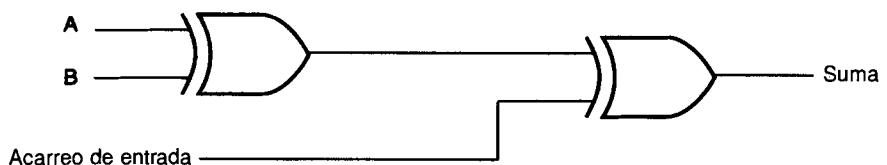


Mientras el medio sumador suma dos entradas, A y B , el **sumador completo** suma tres, A , B y un acarreo que proviene de una suma anterior, y genera como salida una suma y un acarreo. La tabla de verdad satisface las reglas de la adición binaria. La figura 5-5 contiene el diagrama de bloque y la tabla de verdad de un sumador completo.

La suma es 1 cada vez que el número total de unos en las entradas A , B y acarreo, es impar. Esta situación es análoga a la de un generador de paridad par, como se muestra en la figura 5-6. La salida es 1 cuando hay un número impar de unos en las entradas.



Entradas			Salidas	
B	A	Acarreo de entrada	Suma	Acarreo de salida
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

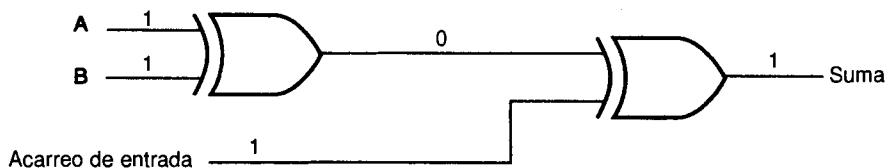
FIGURA 5-5 Sumador completo**FIGURA 5-6** Sumador completo (suma)

Ejemplo: Sume $A = 1$, $B = 1$, acarreo de entrada = 1.

Solución:

Véase la figura 5-7.

La suma de 1 más 1 más 1 es 1.

**FIGURA 5-7**

Cada una de las compuertas OR exclusivo de la figura 5-6 puede reemplazarse con dos compuertas NOR y una AND (Figura 5-8).

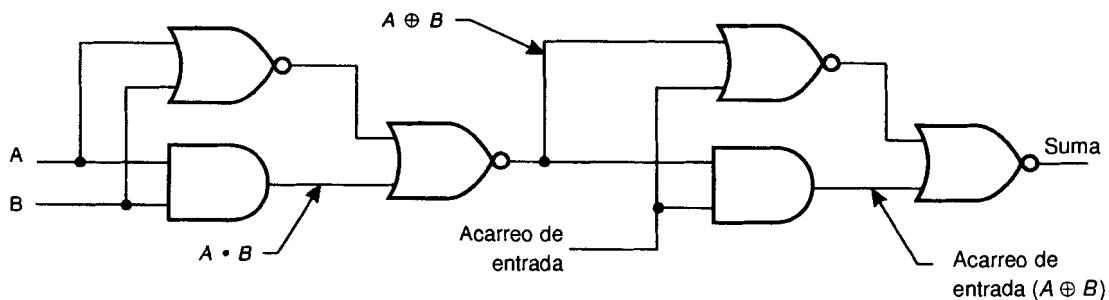


FIGURA 5-8 Segunda forma de construir un sumador completo (suma)

Ejemplo: Sume $A = 1$, $B = 0$, acarreo de entrada = 1.

Solución:

Véase la figura 5-9.

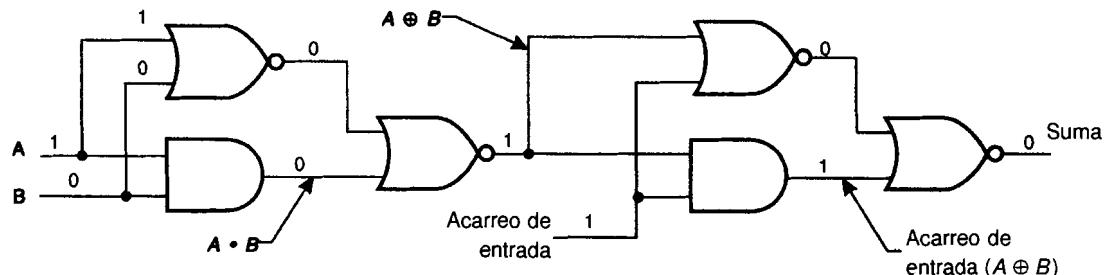


FIGURA 5-9

La suma de 1 más 0 más 1 es 0.

La salida de acarreo es 1 para las condiciones dadas por las líneas 4, 6, 7 y 8 de la tabla de verdad de la figura 5-5.

$$\begin{aligned}
 C_{sal} &= \overline{B}AC_{ent} + B\overline{A}C_{ent} + BA\overline{C}_{ent} + BAC_{ent} \\
 &= C_{ent}(\overline{B}A + B\overline{A}) + BA(\overline{C}_{ent} + C_{ent}) \\
 &= C_{ent}(\overline{B}A + B\overline{A}) + BA \\
 &= C_{ent}(B \oplus A) + BA
 \end{aligned}$$

En la figura 5-8 ya se ha hecho el OR exclusivo de A con B , así como el AND del resultado con C_{ent} . Por otra parte, también se ha hecho el AND de A con B . Para producir la salida de acarreo se utiliza una compuerta OR de dos entradas, la cual combina estas dos señales, tal como se muestra en la figura 5-10. El sumador completo de la figura 5-10 se construye a partir de dos medio sumadores y una compuerta OR. Cada medio sumador está delimitado por líneas punteadas.

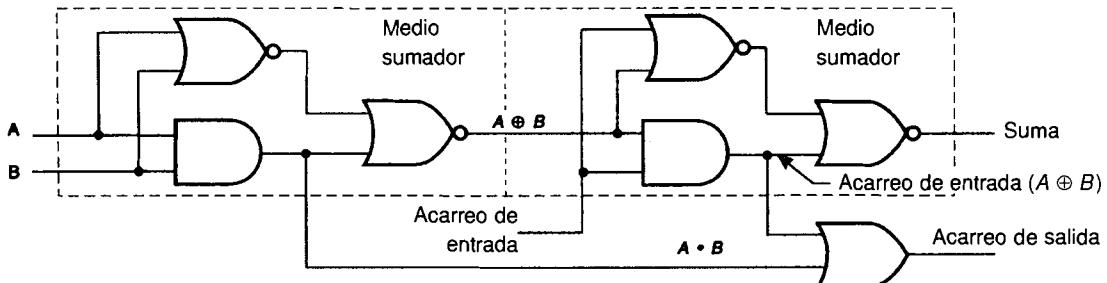


FIGURA 5-10 Sumador completo (suma y acarreo)

Ejemplo: Sume $A = 1$, $B = 1$, acarreo de entrada = 0.

Solución:

Véase la figura 5-11.

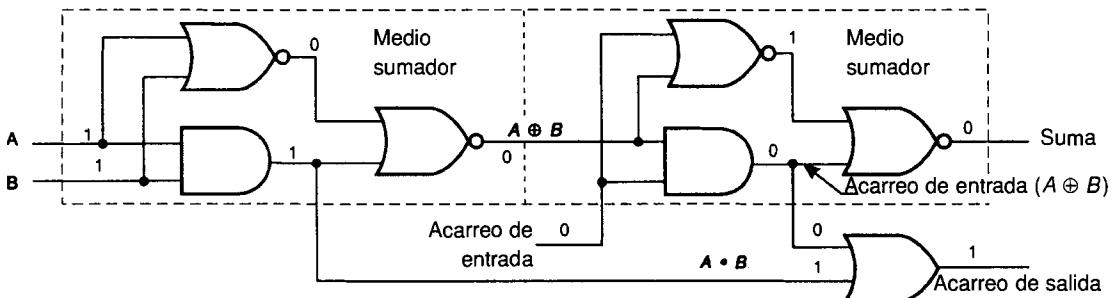


FIGURA 5-11

Suma = 0; acarreo = 1

1 más 1 más 0 = 10

La tabla 5-1 presenta una lista con varios CI sumadores completos de cuatro bits. La circuitería interna contiene suficientes componentes como

para clasificar los CI como de integración a mediana escala. El 7483 fue utilizado en el experimento 1 para sumar dos números de cuatro bits, A y B , y un acarreo de entrada, C_0 . Las salidas son una suma de cuatro bits y un acarreo, C_4 , como se ilustra en la figura 5-12. Los acarreos C_1 , C_2 y C_3 se manejan de manera interna, y no aparecen en las terminales del CI.

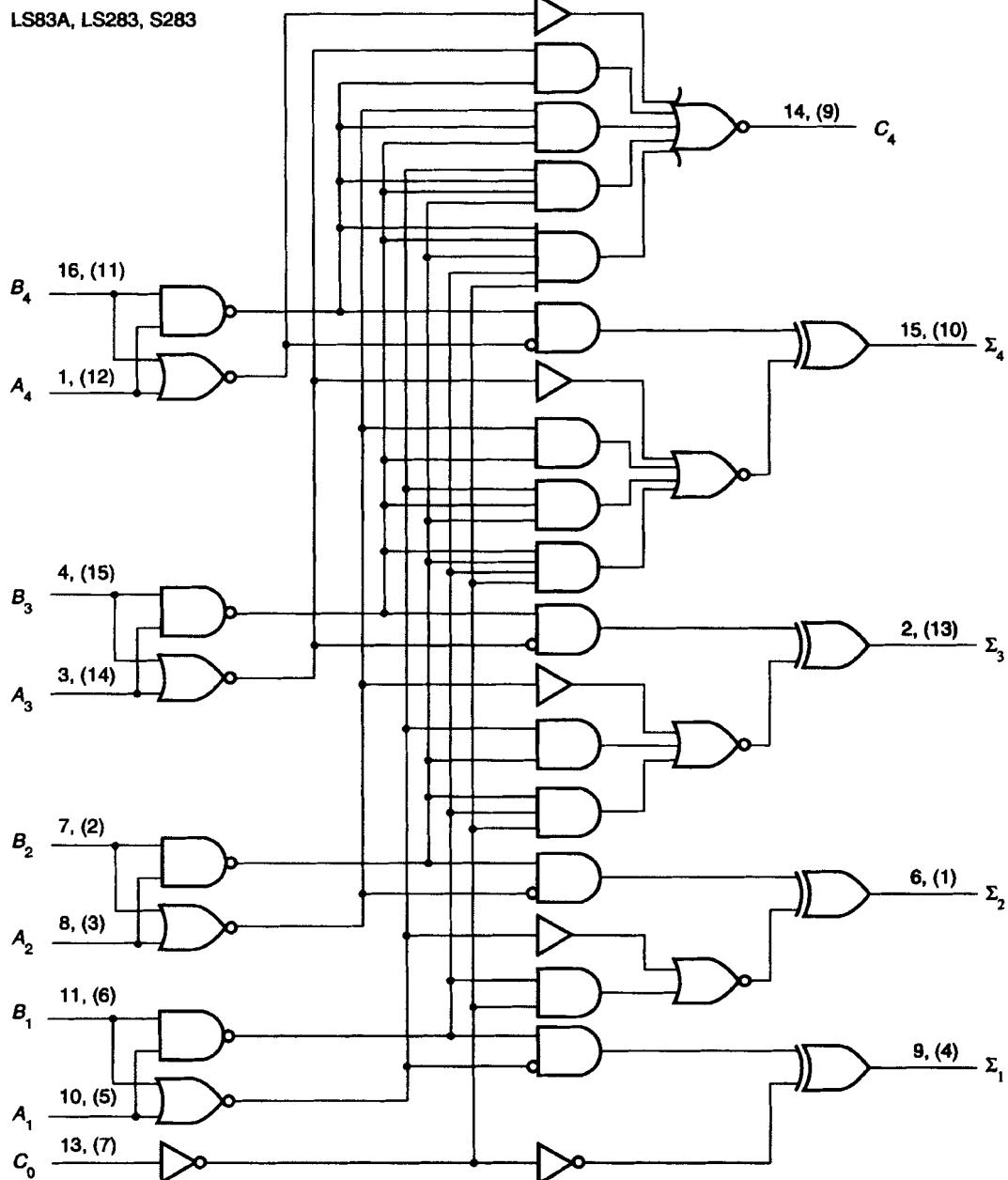
$$\begin{array}{r}
 & C_3 & C_2 & C_1 & C_0 \\
 & A_4 & A_3 & A_2 & A_1 \\
 + & B_4 & B_3 & B_2 & B_1 \\
 \hline
 C_4 & \Sigma_4 & \Sigma_3 & \Sigma_2 & \Sigma_1
 \end{array}$$

FIGURA 5-12 Entradas y salidas de un sumador completo de cuatro bits

Cuando se hace una suma, C_4 no queda determinado sino hasta después de haber sumado todas las columnas. El acarreo tiene que “propagarse” por las cuatro etapas de la adición. El diagrama lógico de la figura 5-13 muestra la forma en la que el 7483 produce C_4 a partir de las entradas sin esperar a que se lleve a cabo el “efecto de propagación”. Lo anterior da como resultado un **acarreo rápido o anticipado**. El resultado es un funcionamiento más rápido; de hecho, C_4 aparece antes que se establezcan las salidas Σ .

TABLA 5-1 Circuitos sumadores de integración a mediana escala

NÚMERO DE DISPOSITIVO	FAMILIA	DESCRIPCIÓN
7483	TTL	Sumador binario de 4 bits con acarreo rápido
74C83	CMOS	Sumador binario de 4 bits con acarreo rápido
4008	CMOS	Sumador completo de 4 bits con acarreo rápido



Nota: Los números de terminales mostrados entre paréntesis son para los LS283, S283

FIGURA 5-13 Diagrama lógico del 7483

Una de las compuertas que aparecen en el diagrama de la figura 5-13 no es una compuerta básica, sino una combinación de éstas. La expresión booleana para ella, el diagrama lógico equivalente y su tabla de verdad aparecen en las figuras 5-14a y 5-14b. La salida es 1 cuando A es 0 AND (y) B es 1.

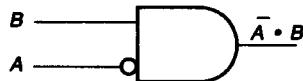


FIGURA 5-14a

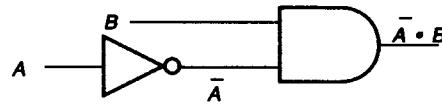


FIGURA 5-14b

B	A	Y
0	0	0
0	1	0
1	0	1
1	1	0

Ejemplo: Para la compuerta de la figura 5-15a, escriba la expresión booleana, dibuje el diagrama lógico equivalente y proporcione la tabla de verdad.

Solución:

La salida es 0 cuando A es 1 y B es 0. Véase la figura 5-15b.

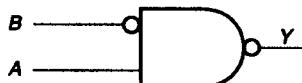
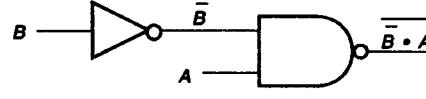


FIGURA 5-15a



B	A	Y
0	0	1
0	1	0
1	0	1
1	1	1

Ejemplo: Sume estos números utilizando un 7483. Siga los niveles lógicos en el diagrama lógico.

$$A = 1001, B = 1010 \text{ y } C_0 = 1$$

Solución:

Véase la figura 5-16.

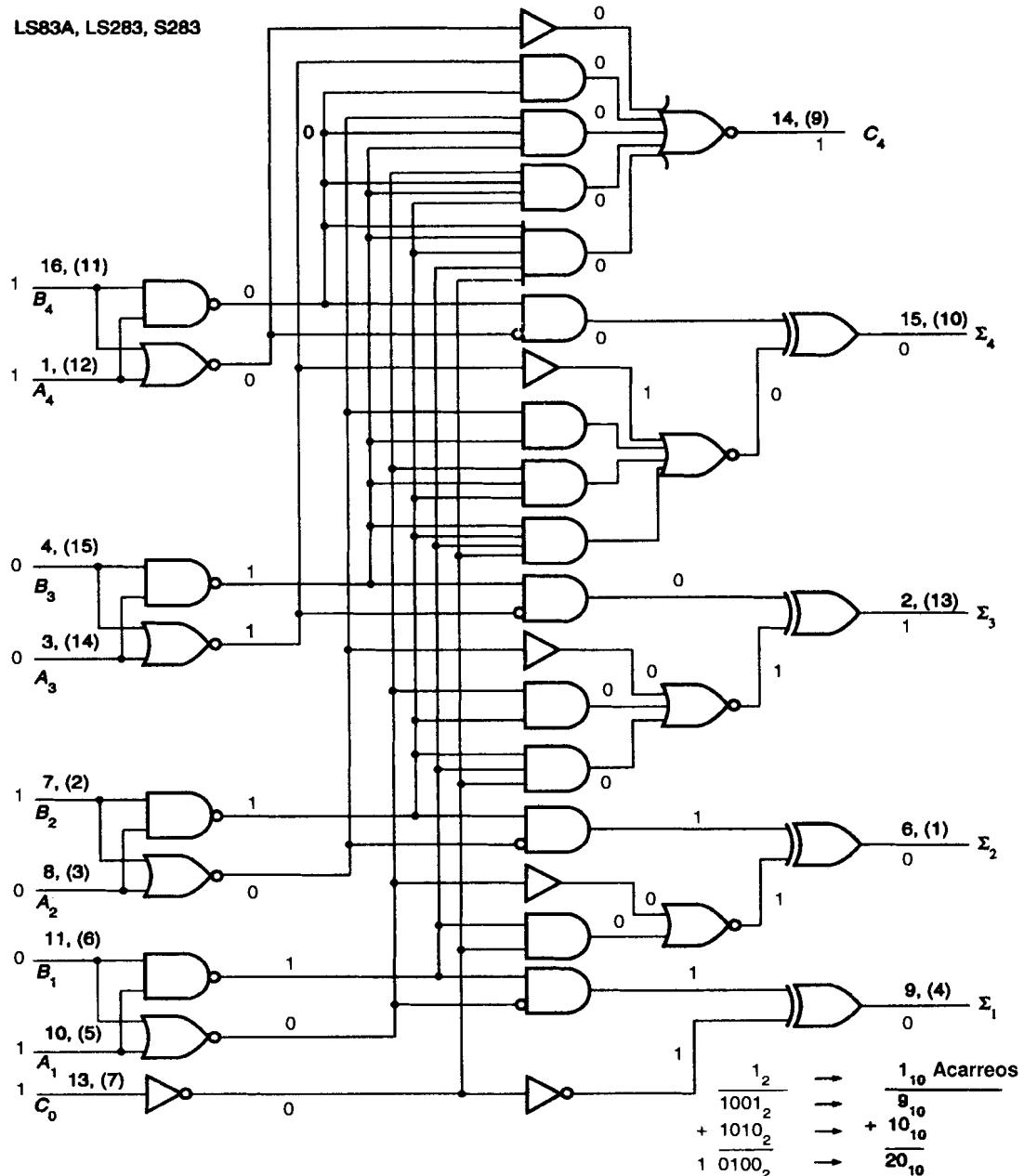
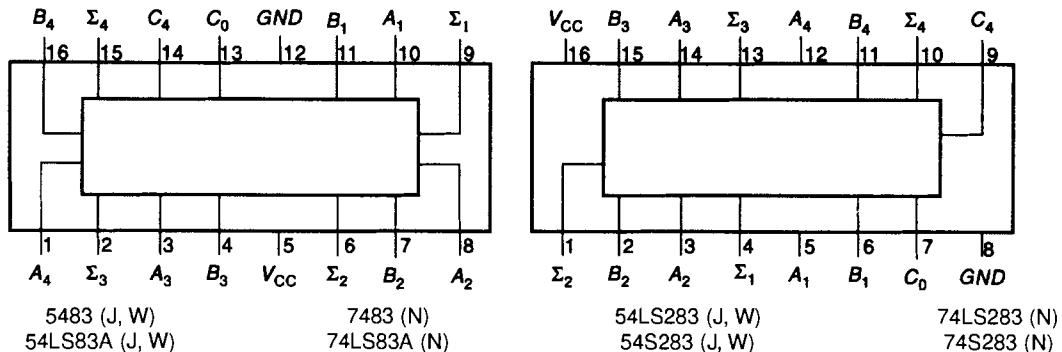


FIGURA 5-16

La figura 5-17 presenta la tabla de verdad y el diagrama de conexiones de los circuitos 7483 y 74S283. Nótese que la distribución de terminales no es la común, V_{CC} está en la terminal 5 y tierra en la 12.



ENTRADA										SALIDA								Cuando $C_0 = L$				Cuando $C_0 = H$							
										Cuando $C_0 = L$				Cuando $C_0 = H$															
A_1				B_1		A_2				B_2		Σ_1		Σ_2		C_2		Σ_1		Σ_2		C_2		C_4					
A_3	B_3	A_4	B_4									Σ_3	Σ_4	Σ_3	Σ_4	C_3	C_4	Σ_1	Σ_3	Σ_2	Σ_4	C_3	C_4						
L	L	L	L									L	L	L	L	L	L	H	L	L	H	L	L						
H	L	L	L									H	L	L	L	L	L	L	H	H	H	L	H	L					
L	H	L	L									H	L	L	L	L	L	L	L	H	H	L	H	L					
H	H	L	L									L	H	L	H	L	L	H	H	H	H	L	H	L					
L	L	H	L									L	H	L	H	L	L	H	L	H	H	L	H	L					
H	L	H	L									H	H	L	H	L	L	L	L	L	L	L	H	L					
L	H	H	L									H	H	L	H	L	L	H	L	L	L	L	H	H					
H	H	H	L									L	L	H	L	L	L	H	H	L	L	L	H	H					
L	L	L	H									L	H	L	H	L	L	L	H	H	H	L	H	L					
H	L	L	H									H	H	L	H	L	L	H	L	H	H	L	H	L					
L	H	H	H									L	L	H	L	L	L	H	L	H	H	L	H	L					
H	L	H	H									H	H	L	H	L	L	H	L	H	H	L	H	L					
L	H	H	H									H	H	L	H	L	L	H	L	H	H	L	H	L					
H	H	H	H									L	H	L	H	L	L	H	L	H	H	L	H	L					

H = Nivel ALTO, L = Nivel BAJO

Nota: Las condiciones de entrada en A_1 , B_1 , A_2 , B_2 y C_0 se emplean para determinar las salidas Σ_1 y Σ_2 así como el valor del acarreo interno C_2 . Los valores en C_2 , A_3 , B_3 , A_4 y B_4 se utilizan para determinar las salidas Σ_3 , Σ_4 y C_4 .

FIGURA 5-17 Tabla de verdad y diagramas de conexión

Una tabla de verdad para nueve entradas constaría de 512 renglones (2⁹). La tabla de verdad de la figura se ha reducido a 16 renglones.

La nota al final de la tabla explica que ésta se emplea en dos pasos. A_1 , B_1 , A_2 , B_2 y C_0 determinan las salidas Σ_1 , Σ_2 y C_2 , las cuales son internas. Despues se emplea C_2 con A_3 , B_3 , A_4 y B_4 para determinar Σ_3 , Σ_4 y C_4 .

Ejemplo: Utilice el 7483 para sumar 0110 y 1101 con $C_0 = 1$.

A_4	A_3	A_2	A_1
0	1	1	0

B_4	B_3	B_2	B_1
1	1	0	1

C_0
1

Solución:

$$\text{Paso 1. } \begin{array}{cccc} A_1 & B_1 & A_2 & B_2 \end{array} = \begin{array}{cccc} L & H & H & L \end{array} \text{ (renglón 7)}$$

con $C_0 = H$, $\Sigma_1 = L$, $\Sigma_2 = L$, $C_2 = H$

$$\text{Paso 2. } \begin{array}{cccc} A_3 & B_3 & A_4 & B_4 \end{array} = \begin{array}{cccc} H & H & L & H \end{array} \text{ (renglón 12)}$$

con $C_2 = H$, $\Sigma_3 = H$, $\Sigma_4 = L$, $C_4 = H$

$$\begin{array}{cccc} \Sigma_4 & \Sigma_3 & \Sigma_2 & \Sigma_1 \end{array} = \begin{array}{cccc} L & H & L & L \end{array} = 0100$$

con $C_4 = H = 1$.

$$0110 + 1101 + 1 = 10100$$

$$6 + 13 + 1 = 20$$

Si se emplea el sistema de complemento presentado en el capítulo 1, un circuito sumador puede servir también como restador.

La figura 5-18 muestra el símbolo lógico de la IEC para un 7483. La sigma mayúscula, Σ , se utiliza para indicar la suma. Este símbolo emplea a P_3 , P_2 , P_1 , P_0 y Q_3 , Q_2 , Q_1 , Q_0 para representar los dos números de cuatro bits a ser sumados, y a Σ_3 , Σ_2 , Σ_1 y Σ_0 para denotar el resultado. Nótese que C_i se utiliza para el acarreo de entrada y C_o para el de salida.

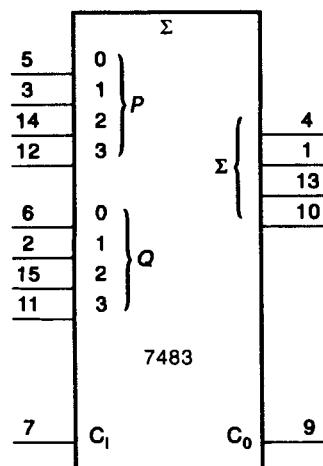


FIGURA 5-18 Símbolo lógico de la IEC para el 7483

AUTOEVALUACIÓN PARA LAS SECCIONES 5.1 Y 5.2

1. ¿Cuál es la diferencia entre un medio sumador y uno completo? [1, 3]
2. Dibuje el diagrama de bloque y la tabla de verdad de un medio sumador. [1]
3. Dibuje el diagrama de bloque y la tabla de verdad de un sumador completo. [3].
4. Sume los números siguientes utilizando un 7483. Siga los niveles lógicos en la figura 5-13.

$$\begin{array}{r}
 & 1 & (C_0 = 1) \\
 1001 & \\
 + 0110 & \\
 \hline
 \end{array}$$

5.3 SUMADOR/RESTADOR DE COMPLEMENTO A UNO



5

Diseñe un circuito que haga uso de un 7483 que sume los números de cuatro bits $B_4B_3B_2B_1$ y $A_4A_3A_2A_1$ o que reste $B_4B_3B_2B_1$ de $A_4A_3A_2A_1$. Para hacer la resta utilice el método del complemento a uno.

Para emplear un sumador completo de cuatro bits 7483 como sumador/ restador de complemento a uno, es necesario considerar los detalles siguientes.

1. Consultese la figura 5-19. Para la suma, déjese el número $B_4B_3B_2B_1$ sin cambio, pero use el complemento a uno del sustraendo para la resta. Una compuerta OR exclusivo invierte los datos (complemento a uno) cuando la entrada de control es ALTO. Las compuertas OR exclusivo serán empleadas para invertir a $B_4B_3B_2B_1$ cuando se haga la resta. Para ello se necesita una señal de control que sea 1 para la resta y 0 para la suma. $A_4A_3A_2A_1$ será conectado directamente al 7483.
2. Véase la figura 5-20. Si el problema es de resta y existe un rebasamiento ($C_4 = 1$), entonces efectúese un acarreo circular (EAC). Para detectar cuándo se presentan la resta y el rebasamiento, hágase el AND de la línea de control con C_4 . La salida de la compuerta AND número 1 es 1 cuando se tenga un EAC. Pero en este caso, la salida de esta compuerta puede enviarse directamente a C_0 .
3. Véase la figura 5-21. Si el problema es de resta y no hay rebasamiento ($C_4 = 0$), entonces esto indica que la respuesta es negativa y que debe calcularse el complemento a uno del resultado para obtener la magnitud.

tud verdadera de la respuesta. Si se invierte C_4 , entonces es posible utilizar una compuerta AND para detectar cuándo se va a realizar el proceso de resta y cuándo C_4 es 0. La entrada de control y C_4 están conectadas como entradas a la compuerta AND número 2. Una salida en el nivel ALTO indica la realización de un problema de resta, y la respuesta es entonces negativa. Esta señal puede emplearse para encender un LED que señale que la respuesta es negativa. El LED requiere aproximadamente de 12 mA para que su luz pueda observarse bien. Como se verá en el capítulo 6, TTL puede manejar más corriente en el modo 0 que en el modo 1. Esta señal será invertida para excitar un LED en el modo activo BAJO. La caída de voltaje a través de un LED

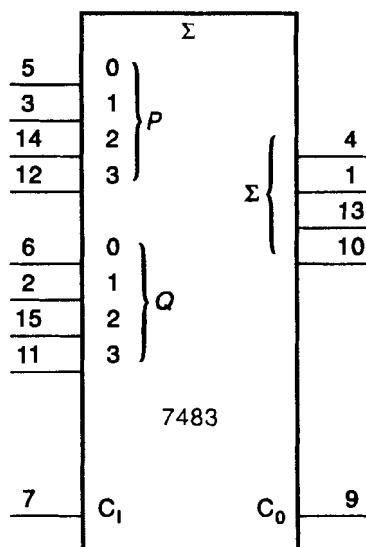


FIGURA 5-19

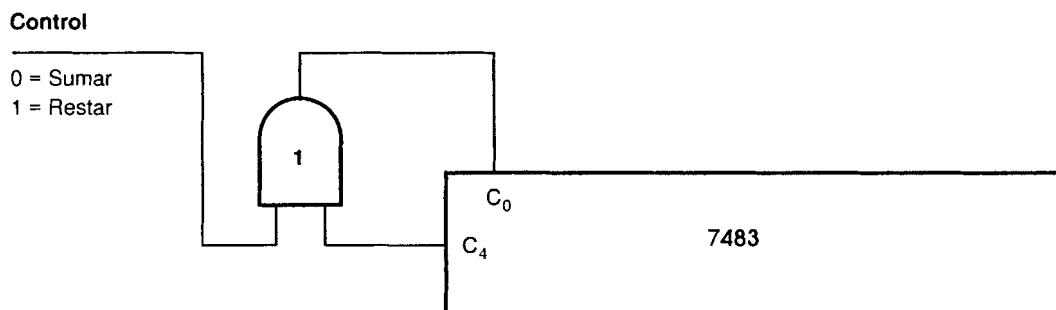


FIGURA 5-20

rojo es entre 1.6 V y 1.7 V cuando está encendido (la caída de voltaje en los LED cambia mucho en función de los diferentes colores). Con esto debe haber una caída de voltaje de $5\text{ V} - 1.7\text{ V} = 3.3\text{ V}$ a través del resistor. La ley de Ohm indica que el resistor debe ser alrededor de

$$\frac{3.3V}{12 \times 10^{-3} A} = 275\Omega$$

Por tanto, se utilizará un resistor de $330\ \Omega$, el valor comercial más cercano, para limitar la corriente que circula por el LED. El inversor 7404 puede manejar 16 mA en el modo cero, la cual es más que suficiente para encender el LED de la manera indicada.

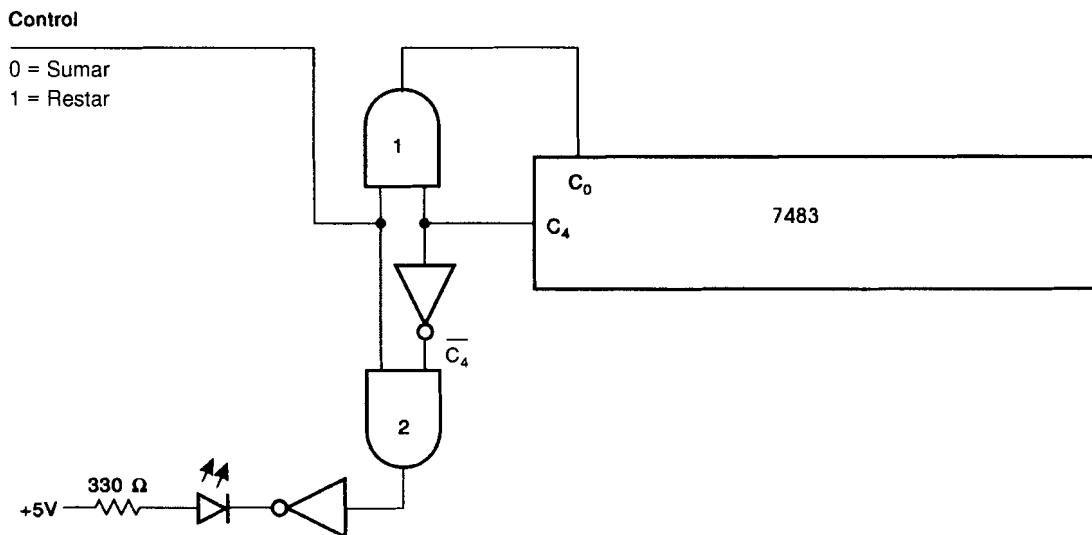


FIGURA 5-21

La salida de la compuerta AND número 2 puede emplearse para controlar cuatro compuertas OR exclusivo para hacer la inversión (obtener el complemento a uno) cuando la respuesta al problema de resta sea negativa. Véase la figura 5-22. El diagrama completo del circuito aparece en la figura 5-23.

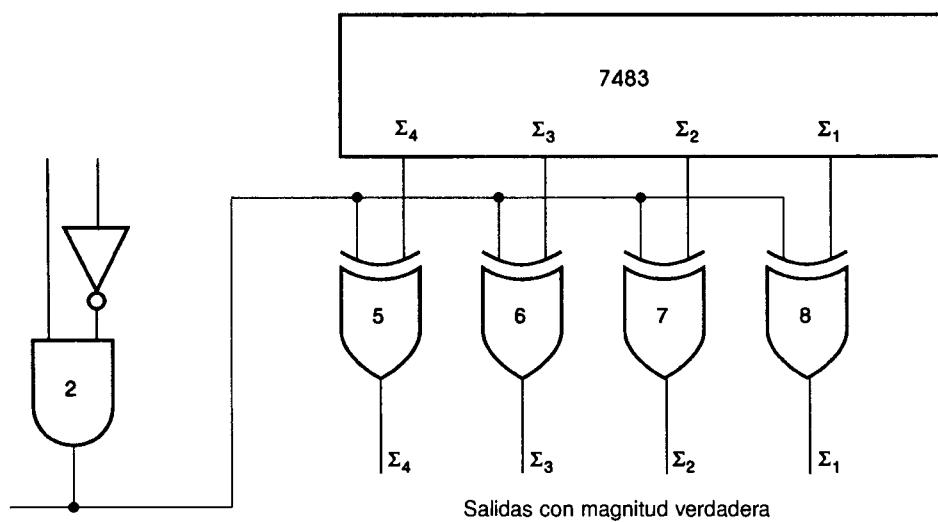


FIGURA 5-22

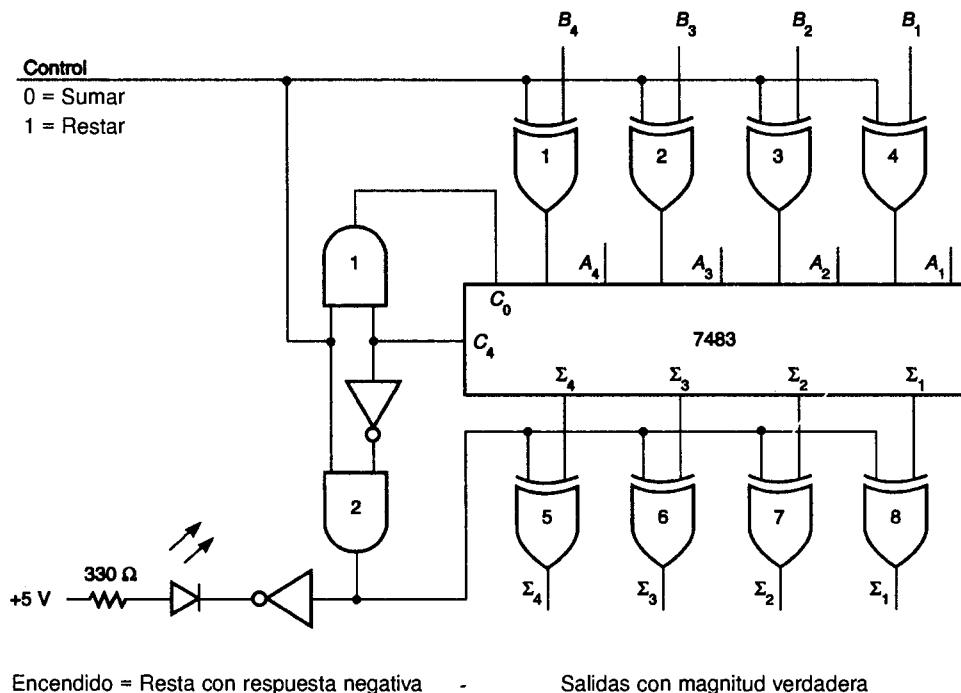


FIGURA 5-23 Sumador/restador de complemento a uno

Ejemplo: Sume 1011 y 0010.

Solución:

Véase la figura 5-24.

Ejemplo: Reste 0110 de 1001.

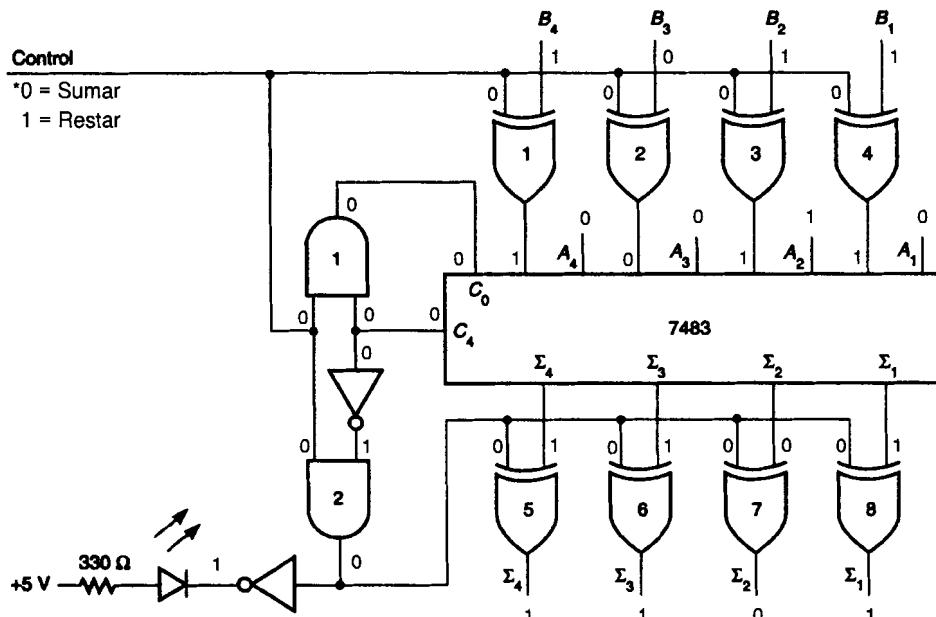
Solución:

Véase la figura 5-25.

Ejemplo: Reste 1010 de 0011.

Solución:

Véase la figura 5-26.



Encendido = Resta con respuesta negativa

Salidas con magnitud verdadera

FIGURA 5-24

226 Sumadores

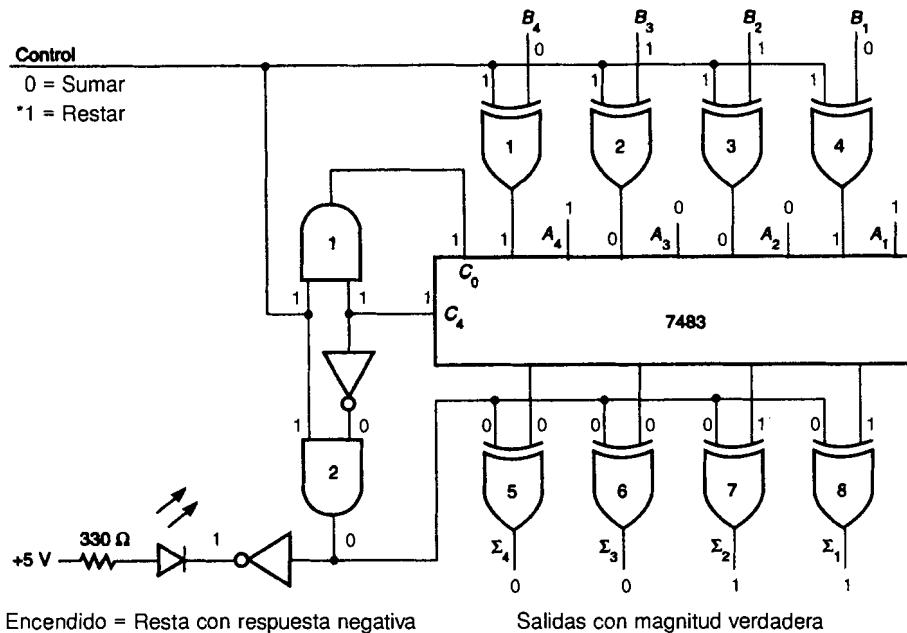


FIGURA 5-25

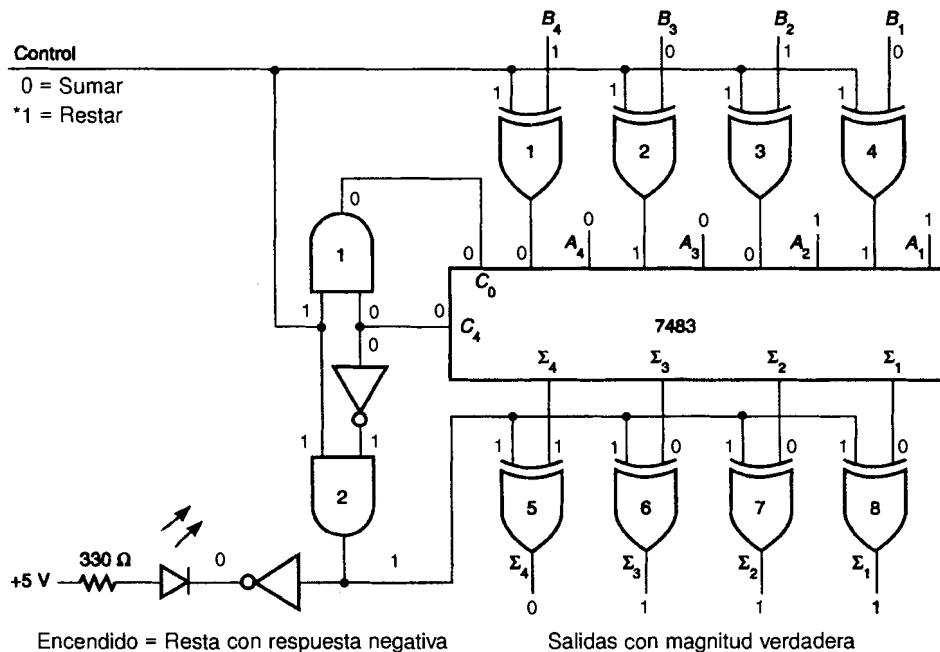


FIGURA 5-26

5.4 SUMADOR/RESTADOR DE COMPLEMENTO A DOS

6

Diseñe un circuito que utilice un 7483 para sumar los números de cuatro bits $A_4A_3A_2A_1$ y $B_4B_3B_2B_1$, y que reste $B_4B_3B_2B_1$ de $A_4A_3A_2A_1$. Para restar utilice el método del complemento a dos.

Para utilizar el sumador completo 7483 como sumador/restador de complemento a dos de cuatro bits es necesario considerar lo siguiente.

1. Véase la figura 5-27. Para el problema de suma déjese el número $B_4B_3B_2B_1$ sin cambio alguno, pero use el complemento a dos del sustraendo para la resta. El complemento se forma calculando el complemento a uno y luego sumándole 1. El complemento a uno puede obtenerse mediante el empleo de compuertas OR exclusivo, tal como se hizo en el restador de complemento a uno. Después puede sumarse un 1 para formar el complemento a dos al conectar la señal de control directamente a C_0 .
2. Consultese la figura 5-28. Si el problema es restar y no existe rebasamiento ($C_4 = 0$), entonces la respuesta es negativa y se calcula el complemento a dos del resultado para obtener la magnitud verdadera de la respuesta. Al igual que con el circuito de resta con complemento a uno, C_4 puede invertirse para formar \bar{C}_4 . Después puede hacerse el AND de C_4 y la señal de control. Una salida en ALTO de la compuerta AND indica que se está realizando un problema de resta y que la respuesta es negativa.

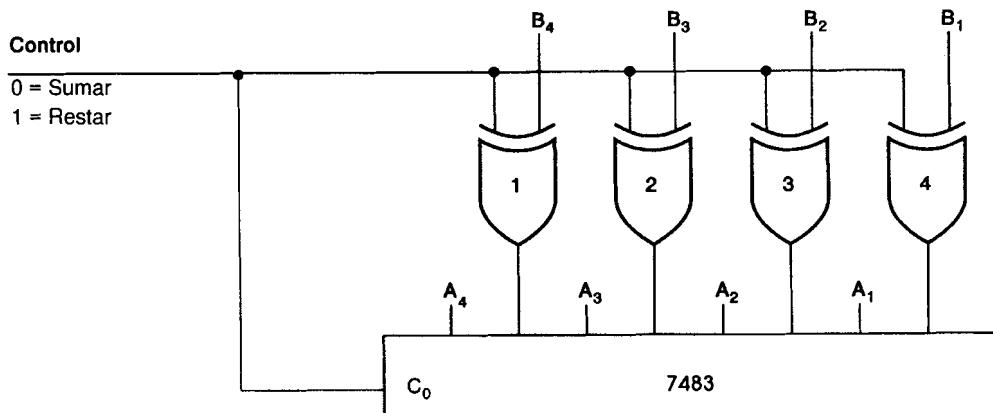


FIGURA 5-27

Esta señal puede invertirse para excitar un LED en el modo activo BAJO. Véase la figura 5-29. Una salida en el nivel ALTO de la compuerta AND también indica que es necesario calcular el complemento a dos de la salida para obtener la magnitud verdadera de la respuesta. El

complemento a uno puede formarse al hacer el OR exclusivo de los resultados con la salida de la compuerta AND. Para sumar 1 y obtener el complemento a dos, es necesario utilizar otro 7483. La salida de la compuerta AND puede conectarse directamente a la entrada C_0 del segundo 7483 para terminar el proceso de complemento a dos. La magnitud verdadera aparece entonces en las terminales $\Sigma_4 \Sigma_3 \Sigma_2 \Sigma_1$ del segundo 7483.

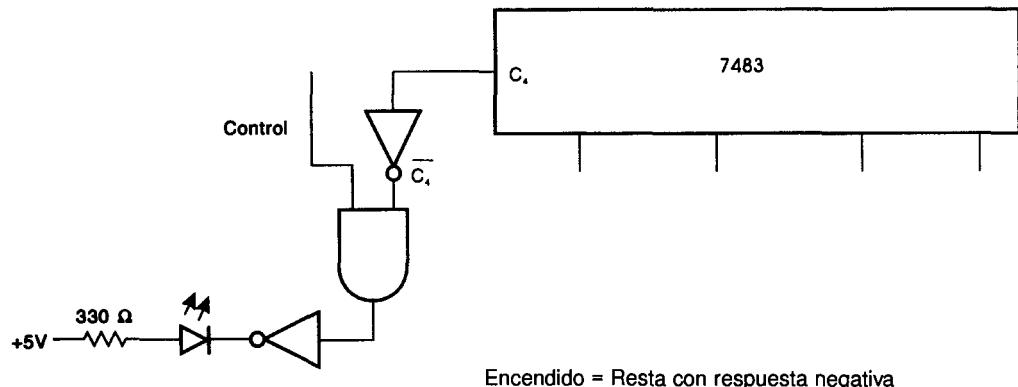


FIGURA 5-28

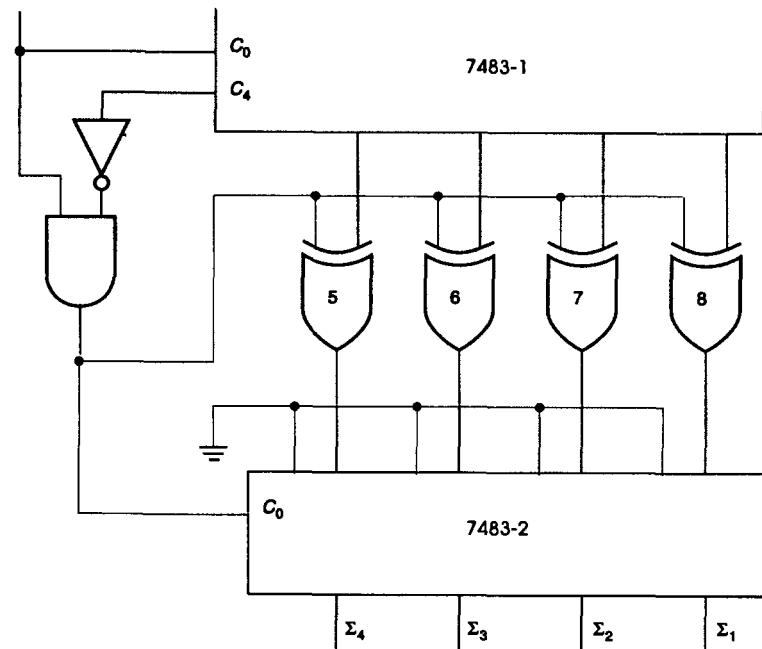


FIGURA 5-29

3. Si el problema es de resta y existe un rebasamiento ($C_4 = 1$), entonces no se usa el complemento a dos del resultado que aparece en el primer 7483. La respuesta ya tiene la forma de magnitud verdadera y no debe ser alterada por el resto de la circuitería. En esta situación, la salida de la compuerta AND será 0. Con un 0 en las entradas de control de las compuertas OR exclusivo 5, 6, 7 y 8, el resultado del primer 7483 pasa sin cambio por el segundo 7483, y la magnitud verdadera aparece en las salidas Σ_4 , Σ_3 , Σ_2 , Σ_1 del segundo 7483. La circuitería desarrollada en el punto 2 ya ha tomado en cuenta este detalle. El diagrama completo aparece en la figura 5-30.

El lector debe resolver varios problemas de suma y resta para comprender completamente el funcionamiento del circuito.

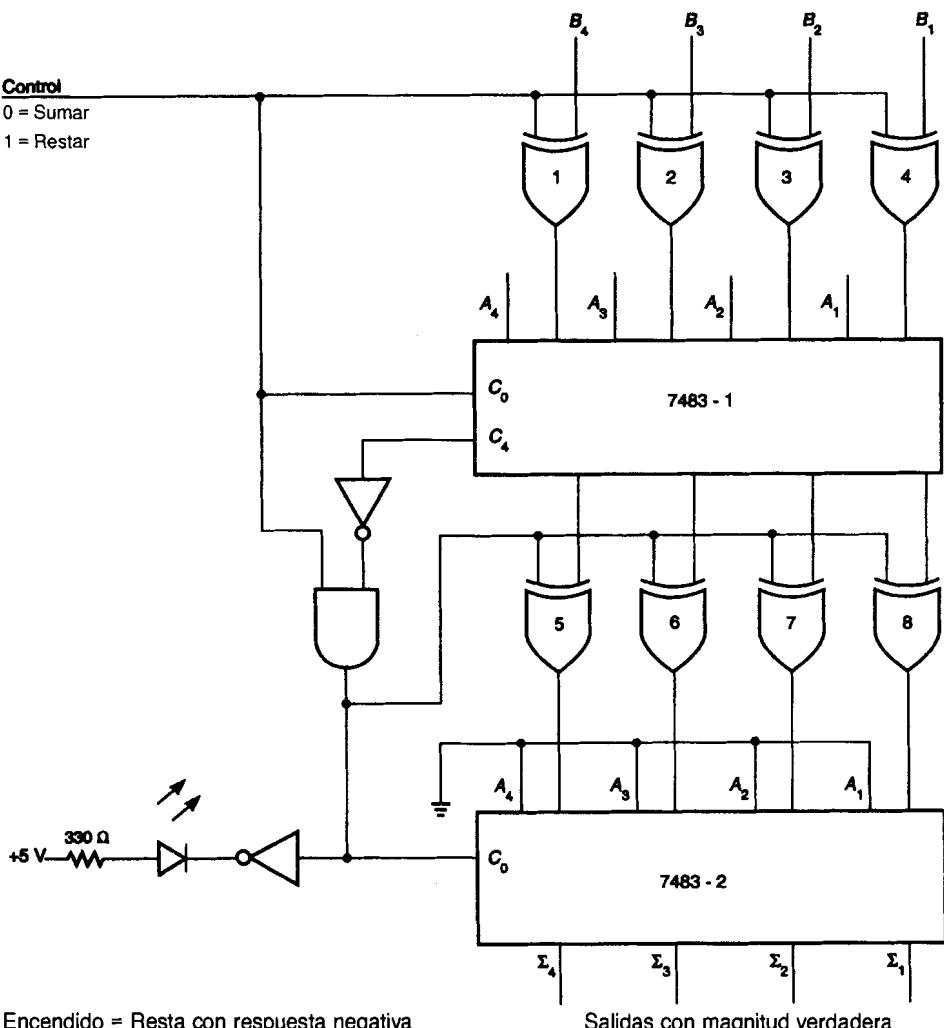


FIGURA 5-30 Sumador/restador de complemento a dos

Ejemplo: Sume 1001 y 0101.

Solución:

Véase la figura 5-31.

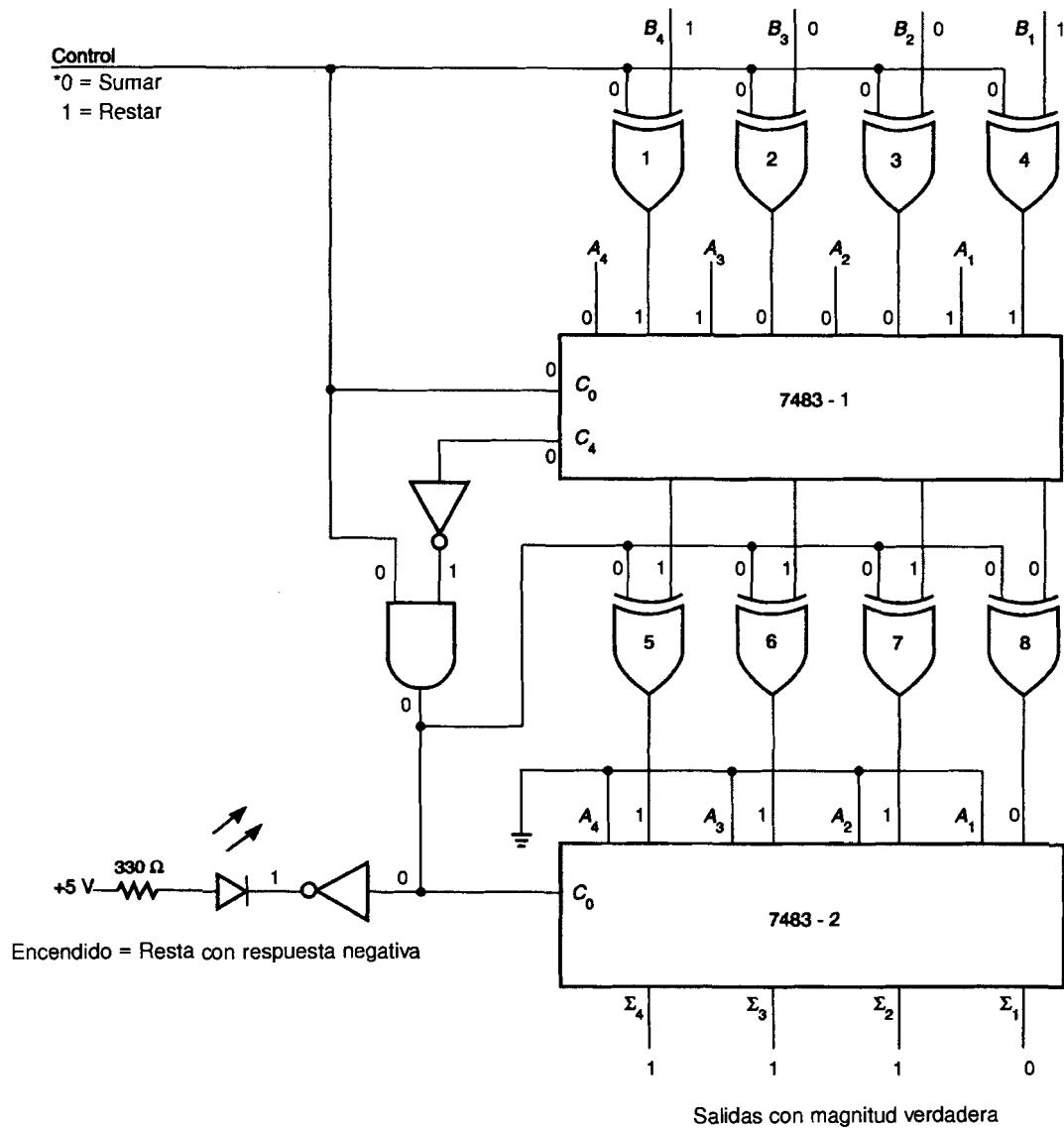


FIGURA 5-31

Ejemplo: Reste 0101 de 1001.

Solución:

Véase la figura 5-32.

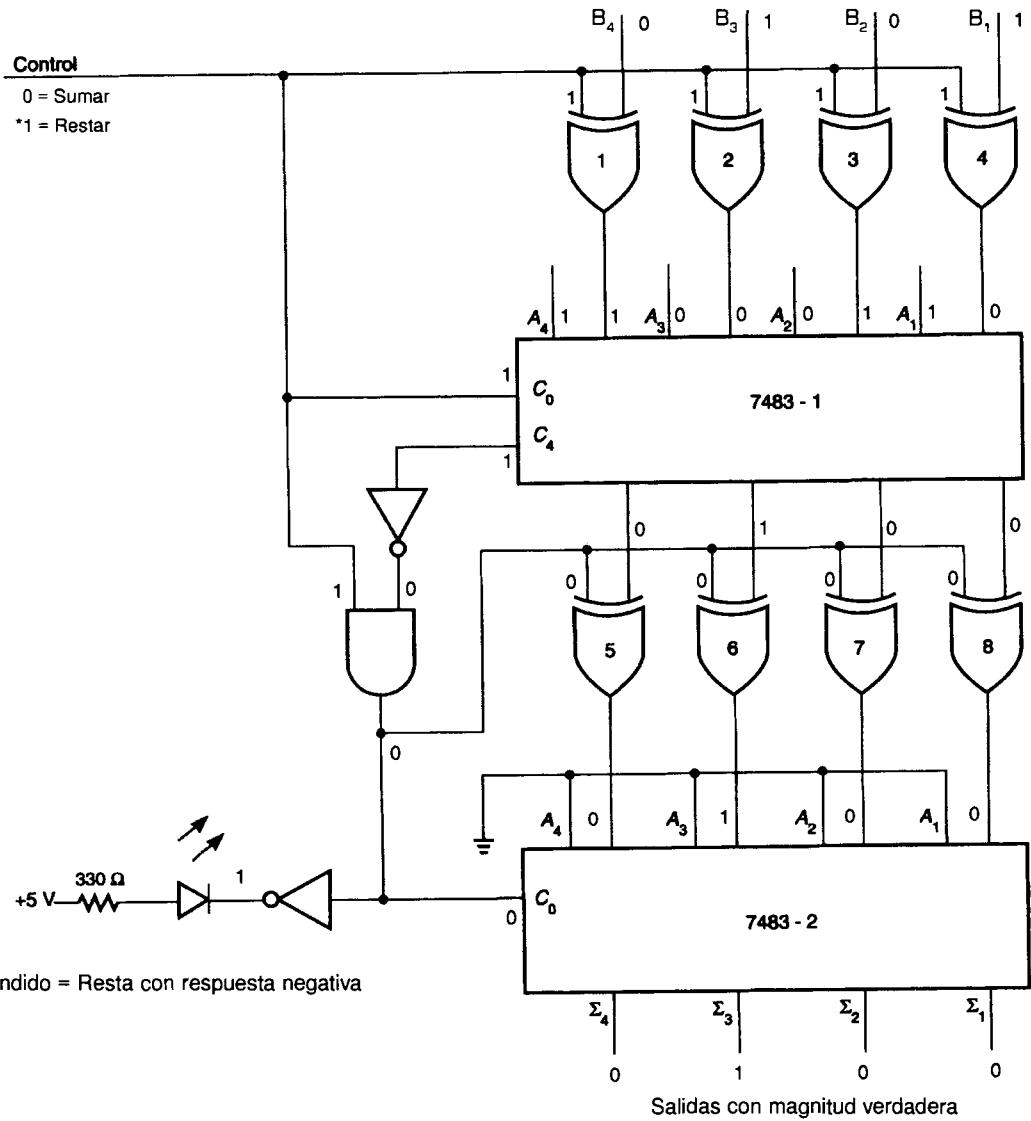


FIGURA 5-32

Ejemplo: Reste 1001 de 0101.

Solución:

Véase la figura 5-33.

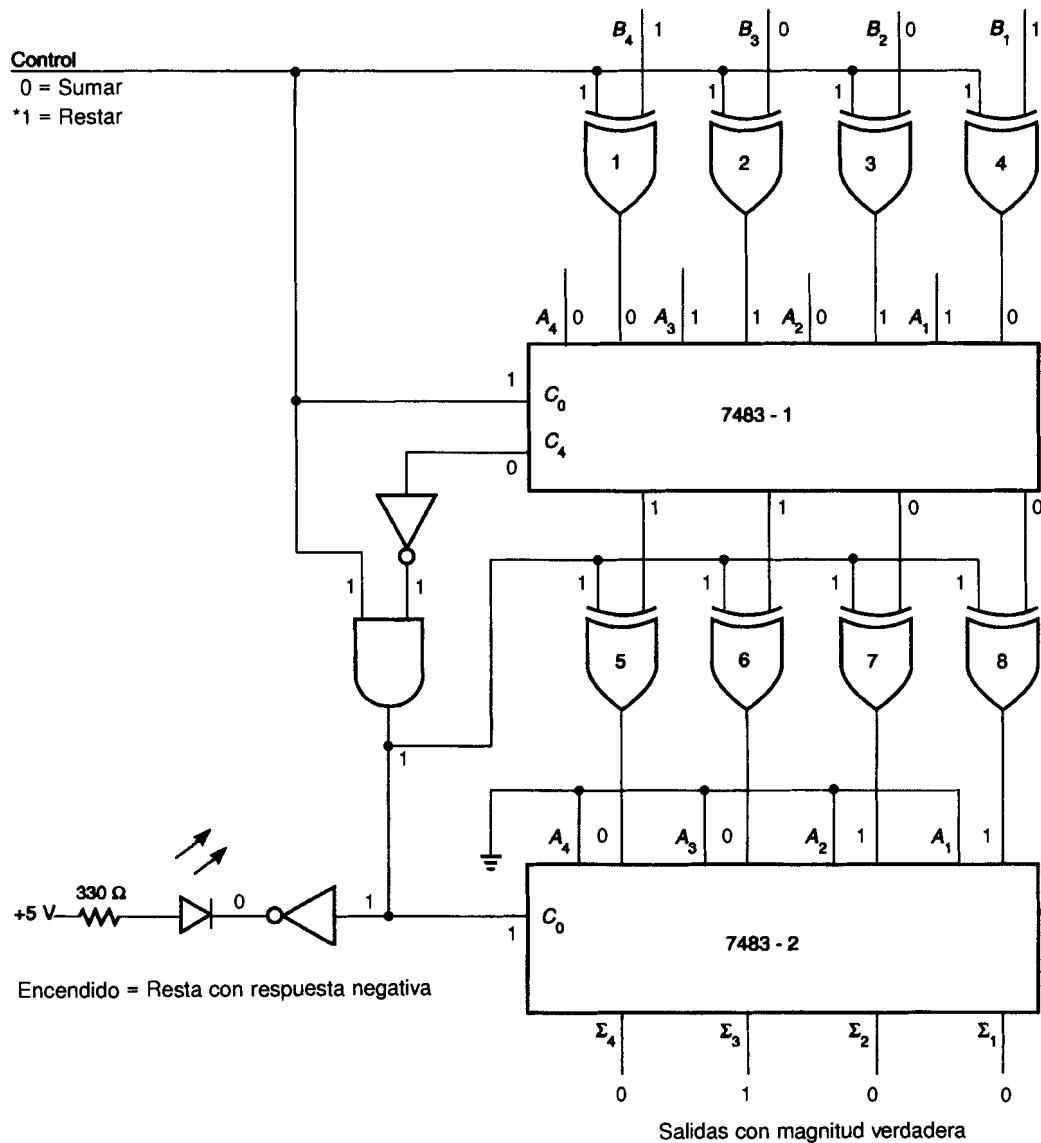


FIGURA 5-33

AUTOEVALUACIÓN PARA LAS SECCIONES 5.3 Y 5.4

1. Reste utilizando el método del complemento a uno. Siga los niveles lógicos en la figura 5-23. [5]

$$\begin{array}{r} 0101 \\ -1010 \\ \hline \end{array}$$

2. Haga la resta con el método del complemento a dos. Haga el seguimiento de los niveles lógicos en la figura 5-30. [6]

$$\begin{array}{r} 1001 \\ -0110 \\ \hline \end{array}$$

5.5 SUMA EN DECIMAL CODIFICADO EN BINARIO



Recuérdese que el BCD utiliza cuatro bits para representar un número decimal, como se muestra en la figura 5-34. Aunque los números válidos en BCD llegan sólo hasta el nueve, existen seis más antes de que se llenen las cuatro columnas. Estos seis no son números legítimos en BCD. Por tanto al realizar la suma en BCD, debe tenerse cuidado para compensar estos seis estados prohibidos. Si se presenta un rebasamiento en la suma, o si aparece alguno de los estados prohibidos como resultado de la adición, entonces debe sumarse 6 al resultado para "brincar" los estados no deseados. En la figura 5-34, considérese la suma de 7 y 5. El resultado es 1100. Para evitar los estados prohibidos, avance seis posiciones más. La respuesta es 0010, o 2, con un acarreo a la siguiente columna. Cuando se llega a 1111, el número que sigue es 0000, con la ocurrencia de un acarreo.

$$7 + 5 = 12$$

Números válidos en BCD	0	0	0	0	0
	0	0	0	1	1
	0	0	1	0	2
	0	0	1	1	3
	0	1	0	0	4
	0	1	0	1	5
	0	1	1	0	6
	0	1	1	1	7
	1	0	0	0	8
	1	0	0	1	9
Números prohibidos	1	0	1	0	
	1	0	1	1	
	1	1	0	0	
	1	1	0	1	
	1	1	1	0	
	1	1	1	1	

FIGURA 5-34 Números en BCD

Ejemplo: Sume 3 y 5.

Solución:

$$\begin{array}{r} 0011 \\ + 0101 \\ \hline 1000 \end{array}$$

No hay rebasamiento y el resultado es un número legítimo en BCD, lo que es correcto. La respuesta es 8.

Ejemplo: Sume 8 y 5.

Solución:

$$\begin{array}{r} 1000 \\ + 0101 \\ \hline 1101 \end{array}$$

No existe rebasamiento, pero el resultado no es un número legítimo en BCD. Por consiguiente, debe sumarse seis para compensar los seis números prohibidos.

$$\begin{array}{r} 1101 \\ + 0110 \\ \hline 10011 \end{array}$$

La respuesta es 13.

Ejemplo: Sume 8 y 9.

Solución:

$$\begin{array}{r} 1000 \\ + 1001 \\ \hline 10001 \end{array}$$

El resultado es un número válido en BCD, pero existe rebasamiento. Por consiguiente, es necesario sumar seis para compensar los estados prohibidos.

$$\begin{array}{r} 10001 \\ + 0110 \\ \hline 10111 \end{array}$$

La respuesta es 17.

Ejemplo: Sume 167 y 366.

Solución:

1	1	Acarreos
<u>0001</u>	<u>0110</u>	<u>0111</u>
+ 0011	1001	0110
<u>0101</u>	<u>0000</u>	<u>1101</u>

Se suma seis al dígito menos significativo debido a que el resultado no es un número válido en BCD. También es necesario sumar seis al dígito de la parte media debido al rebasamiento. El dígito más significativo del resultado no produce rebasamiento, y es un número válido en BCD, de modo que no es necesario sumarle seis.

0101	0000	1101
+	0110	0110
<u>0101</u>	<u>0110</u>	<u>0011</u>

La respuesta es 563.

5.6 SUMADOR DE DECIMAL CODIFICADO EN BINARIO



Para convertir un sumador binario en uno de BCD, se debe añadir lógica que produzca una señal que indique si es necesario sumar seis al resultado de la suma. La salida de acarreo del sumador binario puede vigilarse para determinar si se produce un rebasamiento. Pero ahora, ¿cómo distinguir un número válido en BCD de uno prohibido? Véase la figura 5-34.

Todos los números de cuatro bits mayores que nueve tienen un 1 en la columna correspondiente al ocho y un 1 la columna correspondiente al cuatro o al dos. En términos booleanos, lo anterior es $8(4 + 2)$. Esta señal puede producirse con una compuerta OR y otra AND, cada una de dos entradas. Si esta señal es 1, o si ocurre un rebasamiento ($C_4 = 1$), entonces debe sumarse 6 para compensar los seis estados prohibidos. Para producir la señal SUMAR 6 se hace el OR de $8(4 + 2)$ con C_4 . También se utilizará otro 7483 para sumar 6 al resultado que proviene del 7483-1 cuando la señal SUMAR 6 sea 1. Puesto que 6 es 0110 en binario, B_4 y B_1 estarán conectadas a tierra, mientras que la señal SUMAR 6 estará conectada a B_3 y B_2 . Cuando SUMAR 6 sea 0, B_4, B_3, B_2, B_1 será 0000. Cuando SUMAR 6 sea 1, B_4, B_3, B_2, B_1 será 0110 o 6. La terminal C_0 del 7483-2 debe conectarse a

tierra, o de lo contrario en lugar de sumar 6 se sumará 7. La figura 5-35 muestra el diagrama completo del circuito.

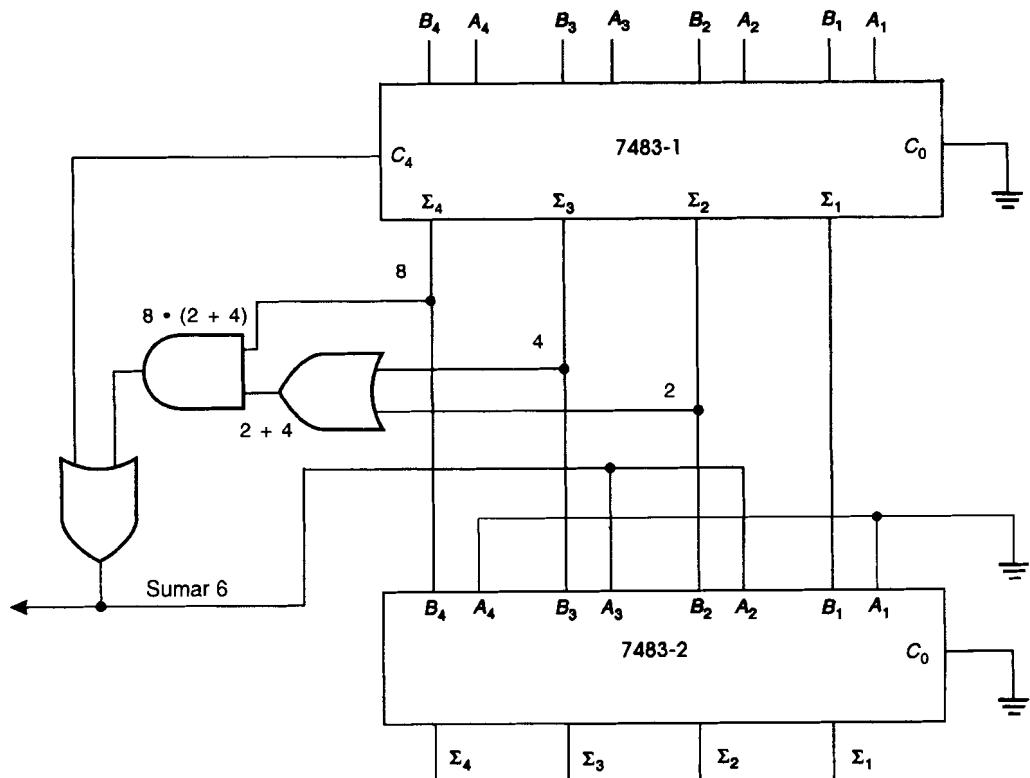


FIGURA 5-35 Sumador de BCD

Ejemplo: Utilice el sumador de BCD para sumar 9 y 3.

Solución:

Véase la figura 5-36. La suma del primer sumador es 1100, la cual genera una señal SUMAR 6 y un acarreo a la siguiente etapa. El segundo sumador suma 1100 + 0110, cuyo resultado es 0010 o 2. La respuesta es 12.

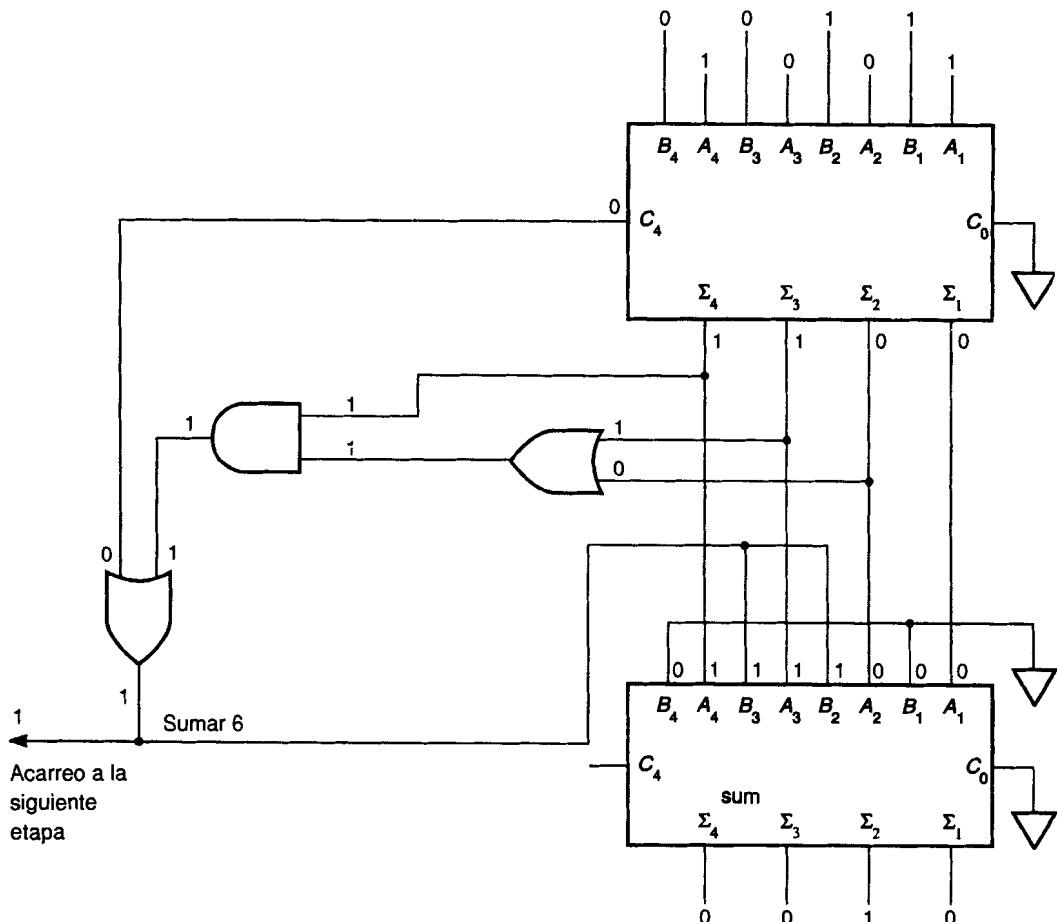


FIGURA 5-36

Ejemplo: Utilice el sumador de BCD para sumar 9 y 7.

Solución:

Véase la figura 5-37. La suma del primer sumador es 0000 con un 1 en C_4 . Esta vez C_4 genera la señal SUMAR 6 y el acarreo a la siguiente etapa. La respuesta es 16.

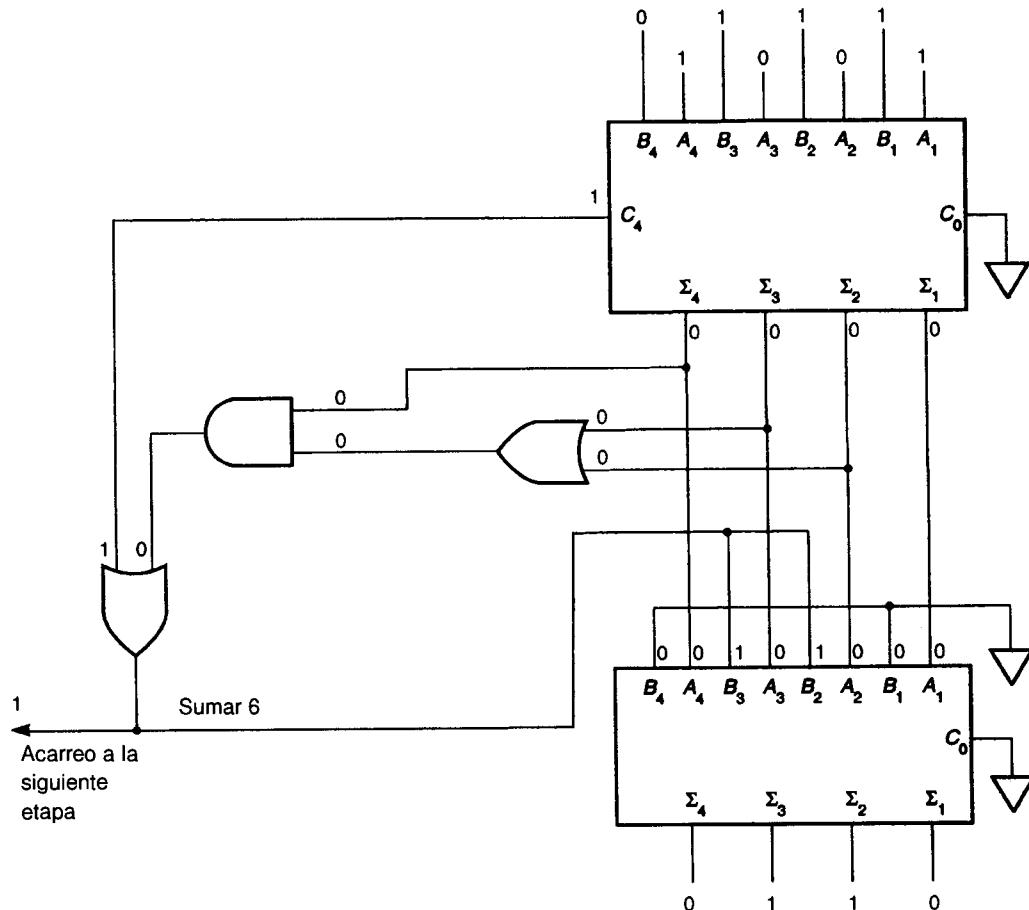


FIGURA 5-37

El lector debe estudiar varios ejemplos hasta que comprenda el funcionamiento del circuito SUMAR 6.

AUTOEVALUACIÓN PARA LAS SECCIONES 5.5 Y 5.6

1. Haga una lista con los números prohibidos en el sistema de numeración BCD. [7]
2. Diga cuáles son las dos condiciones que hacen necesario sumar 6 a la suma preliminar en el sumador de BCD. [7]
3. Sume los siguientes números en BCD. Haga el seguimiento de los niveles lógicos en la figura 5-35. [8]

$$\begin{array}{r}
 0111 \\
 + 1000 \\
 \hline
 \end{array}$$

5.7 UNIDAD DE ARITMÉTICA Y LÓGICA

Una **unidad de aritmética y lógica** (ALU, por sus siglas en inglés) se encarga de realizar las operaciones de suma y resta, así como otras de naturaleza lógica como el AND y el OR de sus datos de entrada. El 74181 es una ALU con cuatro entradas de selección de función, $S_3 - S_0$, que permiten escoger 16 operaciones aritméticas diferentes o 16 operaciones lógicas distintas. Cuando la entrada de control de modo M tiene el nivel ALTO, se inhabilitan todos los acarreos internos, y la ALU lleva a cabo operaciones lógicas, tales como AND, OR, NAND, NOR, OR exclusivo y NOR exclusivo. Cuando M tiene el estado BAJO, los acarreos están habilitados y la ALU realiza operaciones aritméticas, tales como suma, resta, comparación y multiplicación por 2. La tabla 5-2 define las 16 operaciones aritméticas y las 16 lógicas realizadas por el 74181.

Las operaciones aritméticas se llevan a cabo sobre dos palabras de cuatro bits, A_3, A_2, A_1, A_0 y B_3, B_2, B_1, B_0 . El resultado aparece en F_3, F_2, F_1, F_0 . El 74181 es un sumador completo. El acarreo de entrada es C_n , mientras que el de salida es C_{n+4} . C_n y C_{n+4} son señales activas en el nivel BAJO. Una señal con nivel BAJO en C_n representa un acarreo de entrada, y una con nivel ALTO indica que no hay acarreo de entrada. Los resultados negativos se presentan en forma de complemento a dos.

Ejemplo: Si M tiene el nivel BAJO, $S = 1001$, $A = 1011$, $B = 1000$, y C_n en el nivel ALTO, determine las salidas F y C_{n+4} .

Solución:

Con M en el nivel BAJO, se eligen las funciones aritméticas. $S = 1001$ selecciona la función A más B . C_n en ALTO significa que no hay acarreo de entrada. Con esto el 74181 sumará A

y B sin acarreo de entrada. C_{n+4} = BAJO (lo que indica acarreo de salida) y $F = 0011$.

Comprobación: $11 + 8 + 0 = 19$

TABLA 5-2 Tabla de funciones del 74181

S₃	S₂	S₁	S₀	(M = 1) LÓGICAS	(M = 0) ARITMÉTICAS
L	L	L	L	\bar{A}	$A + 1$
L	L	L	H	$\bar{A} + \bar{B}$	$A + B$
L	L	H	L	$\bar{A}\bar{B}$	$A + \bar{B}$
L	L	H	H	0	0
L	H	L	L	$\bar{A}\bar{B}$	A más $A\bar{B}$
L	H	L	H	\bar{B}	$A\bar{B}$ más $(A + B)$
L	H	H	L	$A + B$	A menos B
L	H	H	H	$A\bar{B}$	$A\bar{B}$
H	L	L	L	$\bar{A} + B$	$A\bar{B}$ más A
H	L	L	H	$A + B$	A más B
H	L	H	L	B	$A\bar{B}$ más $(A + \bar{B})$
H	L	H	H	AB	AB
H	H	L	L	1	A más A
H	H	L	H	$A + \bar{B}$	A más $(A + B)$
H	H	H	L	$A + B$	A más $(A + \bar{B})$
H	H	H	H	A	$A - 1$

Ejemplo: Si S cambia a 1100, obtenga las salidas.

Solución:

1100 selecciona la función A más A . C_{n+4} = BAJO significa acarreo de salida y $F = 0110$.

Comprobación: 11 más $11 = 22$.

Las operaciones lógicas se realizan en pares de bits. La función $A + B$ hace el OR de A_0 con B_0 , y el resultado aparece en F_0 . Por otra parte, también se hace el OR de A_1 con B_1 y el resultado aparece en F_1 , y así sucesivamente.

mente. Por ejemplo, cuando se hace el OR de 1010 con 1001, el resultado es 1011. Durante las operaciones lógicas los acarreos C_n y C_{n+4} están inhabilitados.

Ejemplo: Si $M = \text{ALTO}$, $S = 1011$, $A = 0110$ y $B = 1100$, determine la salida F .

Solución:

$M = \text{ALTO}$ selecciona las funciones lógicas. $S = 1011$ escoge AB (A AND B). C_n y C_{n+4} están inhabilitados. Por tanto, se hace el AND de los correspondientes bits de A y B . $F = 0100$.

Ejemplo: Si S cambia a 0001, ¿cuál es la salida?

Solución:

$S = 0001$ selecciona $\bar{A} + \bar{B}$. Por tanto, primero se complementan A y B y luego se hace el OR de los bits correspondientes.

$$\bar{A} = 1001, \quad \bar{B} = 0011, \quad y \quad F = 1001.$$

Los siguientes CI también son algunas unidades de aritmética y lógica:

74381 ALU de cuatro bits

74382 ALU de cuatro bits con salida de rebasamiento para complemento a dos

74881 ALU de cuatro bits

74582 ALU BCD de cuatro bits

74583 sumador de BCD de cuatro bits

74882 generador de acarreo anticipado de 32 bits

AUTOREVALUACIÓN PARA LA SECCIÓN 5.7

Dadas las entradas siguientes, determine las salidas de un 74181.

1. $A = 0111$, $B = 1001$, $M = \text{BAJO}$. $S = 0110$, $C_n = \text{BAJO}$ (se ha tomado de A un 1. Se resta 1 de A y luego B de A . Utilice resta en complemento a dos).
2. $A = 1100$, $B = 0100$, $M = \text{ALTO}$, $S = 0110$

RESUMEN

- Un medio sumador suma dos entradas y produce la suma y un acarreo.
- Un sumador completo suma tres entradas, dos bits y un acarreo de entrada, y produce una suma y un acarreo.
- El acarreo rápido o anticipado se produce sin tener que esperar que se "propague" el resultado de cada etapa de la adición.
- Para producir un sumador/restador de complemento a uno a partir de un CI sumador completo:
 1. para la resta se utilizan compuertas OR exclusivo para complementar el sustraendo.
 2. una compuerta AND produce un EAC cuando se genera un rebasamiento durante la resta.
 3. en el caso de la resta la detección de la ausencia de rebasamiento se hace con un inversor y una compuerta.
 4. cuando no se detecta rebasamiento en la resta, las compuertas OR exclusivo generan el complemento a uno para que en las salidas se tenga la magnitud verdadera del resultado.
- Para construir un sumador/restador de complemento a dos a partir de un CI sumador completo:
 1. para la resta se emplean compuertas OR exclusivo para producir el complemento a uno del sustraendo, con un 1 en la entrada C_0 para obtener el complemento a dos.
 2. en la resta la detección de la ausencia de rebasamiento se hace con un inversor y una compuerta.
 3. cuando no se detecta rebasamiento, debe obtenerse el complemento a dos para que en la salida se tenga la magnitud verdadera del resultado. Las compuertas OR exclusivo generan el complemento a uno de la suma preliminar, y se emplea un segundo sumador completo para sumar un 1 y producir con ello el complemento a dos.
- En el sistema numérico BCD existen seis números prohibidos: 1010, 1011, 1100, 1101, 1110, 1111.
- Si aparece uno de los seis números prohibidos como resultado de una suma de BCD, entonces es necesario sumar 6 para brincar los estados prohibidos.
- Si se genera un acarreo de salida como resultado de una suma en BCD, entonces debe sumarse 6 para compensar los seis estados prohibidos.

■ Para construir un sumador de BCD a partir de un CI sumador completo:

1. Dos compuertas, una OR y otra AND, observan el resultado de 8 AND 4 OR 2, lo que indica la generación de un número prohibido como suma preliminar.
2. El OR del número prohibido con el acarreo de salida C_4 del sumador indican que es necesario sumar 6 a la suma original.
3. Se emplea un segundo sumador para sumar 6 cuando se detecta una de las condiciones anteriores.

PREGUNTAS Y PROBLEMAS

1. Proporcione la tabla de verdad y el diagrama lógico de un medio sumador. Señale números de CI y de terminales. [1, 2]

2. Escriba la tabla de verdad y dibuje el diagrama lógico de un sumador completo. Indique números de CI y de terminales. [3, 4]

3. Resuelva los problemas siguientes. Utilice el método del complemento a uno para los problemas de resta. Verifique el diagrama de la figura 5-23 siguiendo en él cada paso del proceso de solución. [5]

$$\begin{array}{r} 0111 \\ + 1000 \\ \hline \end{array}$$

$$\begin{array}{r} 1010 \\ - 0111 \\ \hline \end{array}$$

$$\begin{array}{r} 0011 \\ - 1000 \\ \hline \end{array}$$

4. Haga las operaciones siguientes. Utilice el método del complemento a uno en los problemas de resta. Verifique el diagrama de la figura 5-23 siguiendo en él cada paso del proceso de solución. [5]

$$\begin{array}{r} 0101 \\ + 1011 \\ \hline \end{array}$$

$$\begin{array}{r} 1000 \\ + 0110 \\ \hline \end{array}$$

$$\begin{array}{r} 0100 \\ - 1100 \\ \hline \end{array}$$

5. Resuelva los problemas siguientes. Utilice el método del complemento a dos para los problemas de resta. Verifique el diagrama de la figura 5-30 siguiendo en él cada paso del proceso de solución. [6]

$$\begin{array}{r} 0101 \\ + 1000 \\ \hline \end{array}$$

$$\begin{array}{r} 1001 \\ - 0111 \\ \hline \end{array}$$

$$\begin{array}{r} 0011 \\ - 1000 \\ \hline \end{array}$$

6. Obtenga la solución de los problemas siguientes. Utilice el método del complemento a dos para los que son de resta. Verifique el diagrama de la figura 5-30 siguiendo en él cada paso del proceso de solución. [6]

$$\begin{array}{r} 0110 \\ + 1000 \\ \hline \end{array}$$

$$\begin{array}{r} 1011 \\ - 101 \\ \hline \end{array}$$

$$\begin{array}{r} 101 \\ - 1010 \\ \hline \end{array}$$

7. Resuelva los siguientes problemas de BCD. Verifique el diagrama de la figura 5-34 siguiendo en él cada paso del proceso de solución. [7, 8]

a) $\begin{array}{r} 0100 \\ + 0101 \end{array}$	b) $\begin{array}{r} 1001 \\ + 0110 \end{array}$	c) $\begin{array}{r} 1001 \\ + 0111 \end{array}$
--	--	--

8. Haga las siguientes operaciones en BCD. Verifique el diagrama de la figura 5-35 siguiendo en él cada paso del proceso de solución. [7, 8]

a) $\begin{array}{r} 101 \\ + 1001 \end{array}$	b) $\begin{array}{r} 1001 \\ + 1000 \end{array}$	c) $\begin{array}{r} 0101 \\ + 0010 \end{array}$
---	--	--

9. Dibuje el diagrama lógico de un sumador/restador de ocho bits de complemento a uno. [5]

10. Dibuje el diagrama lógico de un sumador/restador de ocho bits de complemento a dos. [6]

11. Proporcione el diagrama lógico de un sumador de BCD de ocho bits. [8]

12. Dibuje el diagrama lógico de un CI sumador CMOS. Describa con sus propias palabras su funcionamiento.

13. Resuelva los problemas siguientes. Utilice el método del complemento a uno. Confirme el diseño del problema 9 siguiendo en él cada paso del proceso de solución. [5]

a) $\begin{array}{r} 01101100 \\ + 00111010 \end{array}$	b) $\begin{array}{r} 10101011 \\ - 01001100 \end{array}$	c) $\begin{array}{r} 00011100 \\ - 10110101 \end{array}$
--	--	--

14. Haga las operaciones siguientes. Utilice el método del complemento a uno. Confirme el diseño del problema 9 siguiendo en él cada paso del proceso de solución. [5]

a) $\begin{array}{r} 10000001 \\ + 00111010 \end{array}$	b) $\begin{array}{r} 10001111 \\ - 10000111 \end{array}$	c) $\begin{array}{r} 00111111 \\ - 01000110 \end{array}$
--	--	--

15. Resuelva los problemas siguientes. Utilice el método del complemento a dos para los problemas de resta. Confirme el diseño del problema 10 siguiendo en él cada paso del proceso de solución. [6]

a) $\begin{array}{r} 01010001 \\ + 01111010 \end{array}$	b) $\begin{array}{r} 11010011 \\ - 00101101 \end{array}$	c) $\begin{array}{r} 11000000 \\ - 11000001 \end{array}$
--	--	--

16. Obtenga la solución de los siguientes problemas. Utilice el método del complemento a dos para los problemas de resta. Confirme el diseño del problema 10 siguiendo en él cada paso del proceso de solución. [6]

a) $\begin{array}{r} 10011000 \\ + 01100110 \end{array}$	b) $\begin{array}{r} 01111101 \\ - 00110010 \end{array}$	c) $\begin{array}{r} 01101100 \\ - 10010010 \end{array}$
--	--	--

17. Haga las siguientes operaciones. Confirme el diseño del problema 11 siguiendo en él cada paso del proceso de solución. Todos los números son BCD. [8]

a) $\begin{array}{r} 10000010 \\ + 00000111 \\ \hline \end{array}$	b) $\begin{array}{r} 00101000 \\ - 01001001 \\ \hline \end{array}$	c) $\begin{array}{r} 10010101 \\ + 01010001 \\ \hline \end{array}$
--	--	--

18. Resuelva los siguientes problemas. Confirme el diseño del problema 11 siguiendo en él cada paso del proceso de solución. Todos los números son BCD. [8]

a) $\begin{array}{r} 01110100 \\ + 00111001 \\ \hline \end{array}$	b) $\begin{array}{r} 10000110 \\ + 01111000 \\ \hline \end{array}$	c) $\begin{array}{r} 01010001 \\ + 00110100 \\ \hline \end{array}$
--	--	--

Las siguientes preguntas se refieren al circuito restador de complemento a uno de la figura 5-23. [5]

19. ¿Cómo se obtiene el acarreo circular?

20. Explique la función de las compuertas OR exclusivo 1, 2, 3 y 4.

21. Explique la función de las compuertas OR exclusivo 5, 6, 7 y 8.

22. ¿Cuál es la función de la compuerta AND 2?

Las siguientes preguntas se refieren al sumador/restador de complemento a dos de la figura 5-30. [6]

23. ¿Cuál es la función de las compuertas OR exclusivo 5, 6, 7 y 8.

24. ¿Cuándo está en el nivel 1 la entrada C_0 del 7482-2?

25. ¿Cuáles son las cuatro terminales que están conectadas a tierra en el 7483-2?

26. ¿Por qué están conectadas a tierra?

27. ¿Cuándo es 1 la salida de la compuerta AND?

Las siguientes preguntas se refieren al sumador de BCD de la figura 5-35. [8]

28. ¿Cuál es la función del 7483-2?

29. ¿Por qué es necesario incluir la salida C_4 del 7483-1 en la generación de la señal SUMAR 6?

30. ¿Qué sucedería si C_0 del 7483-2 no estuviese conectada a tierra?

31. Dibuje el símbolo de la IEC para un sumador completo de cuatro bits.

Práctica 5

Sumadores

OBJETIVOS

Al término de esta práctica, el lector deberá ser capaz de:

- dibujar el diagrama lógico de un sumador de BCD.
- construir y utilizar un sumador de BCD.
- dibujar el diagrama lógico de un sumador/restador de complemento a uno.
- construir y utilizar un sumador/restador de complemento a uno.

COMPONENTES NECESARIOS

- 1 CI 7408
- 1 CI 7432
- 2 CI 7483
- 2 CI 7486
- 5 LED
- 5 resistores de $330\ \Omega$

PREPARACIÓN

Utilice un sumador de BCD de la siguiente manera.

- Ponga 0000 y 0011 en la entrada del sumador de BCD. Verifique que la salida del primer CI 7483 sea 0011. Si esto es así, entonces compruebe que la suma en el segundo CI 7483 sea 0011.
- Si el sumador funciona con sumas iguales o menores que 9, pero no con sumas iguales o mayores que 10, entonces no está funcionando la parte SUMAR 6 del sumador.
- Si la suma de las dos entradas 0000 y 0011 es 1001, entonces la parte SUMAR 6 del sumador de BCD se activa cuando no debería hacerlo.

Si fuera necesario, detecte y corrija las fallas que se presenten en lo que resta de la práctica. Es buena idea escribir los pasos utilizados al corregir

un circuito en una libreta, tanto para consultarlos durante el procedimiento de corrección como para su uso posterior.

Repase las reglas de seguridad que aparecen en la sección de PREPARACIÓN de la práctica 1, capítulo 1.

PROCEDIMIENTO

- Dibuje el diagrama lógico de un sumador de BCD. Indique los números de las terminales. Utilice dos 7483 y las compuertas lógicas adicionales que considere necesarias. Emplee los LED para vigilar las salidas. Pida a su profesor que apruebe el diagrama.
- Construya el circuito. Sean $A = 0101$ y $B = 0011$. ¿Cuál es el resultado de la suma? ¿Existe un acarreo proveniente del primer 7483?
- Sean $A = 0101$ y $B = 1001$. ¿Cuál es el resultado de la suma? El primer 7483, ¿produce un acarreo?
- ¿Cuál es la finalidad de la señal SUMAR 6?
- Sume estas combinaciones:

a) $\begin{array}{r} 0110 \\ +0110 \end{array}$	b) $\begin{array}{r} 1001 \\ +1001 \end{array}$	c) $\begin{array}{r} 1001 \\ +0001 \end{array}$
---	---	---
- Dibuje el diagrama lógico de un sumador/restador de complemento a uno. Utilice un 7483 y las compuertas lógicas adicionales que considere necesarias. Haga uso de LED para vigilar las salidas. Pida a su profesor que apruebe el diagrama.
- Construya el circuito. Sume $A = 0101$ y $B = 0011$. ¿Cuál es el resultado de la suma? ¿Se produce un acarreo de salida? El primer conjunto de compuertas OR exclusivo, ¿complementa a B ? El último conjunto, ¿invierte la respuesta? ¿Se lleva a cabo un EAC?
- Sean $A = 0101$ y $B = 1001$. ¿Cuál es el resultado de la resta ($A - B$)? El resultado de la suma, ¿es complementado por el segundo conjunto de compuertas OR exclusivo? El primer conjunto de compuertas OR exclusivo, ¿complementa a B ? ¿Se lleva a cabo un EAC?
- Sean $A = 1001$ y $B = 0101$. ¿Cuál es el resultado de la resta ($A - B$)? El primer conjunto de compuertas OR exclusivo, ¿complementa a B ? El resultado de la suma, ¿es complementado por el segundo conjunto de compuertas OR exclusivo? ¿Se lleva a cabo un EAC?
- Pruebe con las siguientes combinaciones:

a) $\begin{array}{r} 0110 \\ -0110 \end{array}$	b) $\begin{array}{r} 1001 \\ -1010 \end{array}$	c) $\begin{array}{r} 1001 \\ -0001 \end{array}$
---	---	---

Si el circuito no funciona de manera adecuada, considere los siguientes puntos:

1. Verifique todos los voltajes de alimentación y las conexiones.
2. Verifique que todos los voltajes de entrada y salida sean los apropiados.
3. Detecte y corrija las fallas en el circuito utilizando los siguientes pasos básicos. Estos pueden emplearse para corregir fallas en cualquier circuito electrónico.
 - a) Primero comprenda la teoría de operación del circuito.
 - b) Determine o fije el valor de entrada a los circuitos.
 - c) Mida el valor de salida del circuito.
 - d) Con base en los valores de entrada, de salida y el entendimiento de la forma en que el circuito funciona, determine qué parte del mismo es la que está fallando. Después pruebe la parte bajo sospecha.

CONTENIDO

- 6.1** SUBFAMILIAS TTL
- 6.2** CARACTERÍSTICAS ELÉCTRICAS DE TTL
- 6.3** CORRIENTES DE ALIMENTACIÓN DE TTL
- 6.4** CARACTERÍSTICAS DE CONMUTACIÓN DE TTL
- 6.5** COMPUERTAS DE COLECTOR ABIERTO TTL
- 6.6** APLICACIONES DE COLECTOR ABIERTO
- 6.7** CMOS
- 6.8** SUBFAMILIAS CMOS
- 6.9** ESPECIFICACIONES DE CMOS
- 6.10** INTERCONEXIÓN DE TTL CON CMOS
- 6.11** LÓGICA DE EMISORES ACOPLADOS (ECL)
- 6.12** INTERCONEXIÓN DE ECL CON OTRAS FAMILIAS LÓGICAS
- 6.13** TECNOLOGÍA DE MONTAJE DE SUPERFICIE

Especificaciones y compuertas de colector abierto

Capítulo 6

LISTA DE TÉRMINOS

lógica transistor-transistor (TTL)
subfamilia Schottky (S)
subfamilia Schottky de bajo consumo de potencia (LS)
subfamilia Schottky avanzada (AS)
FAST (F)
metal-óxido semiconductor complementario (CMOS)
CMOS avanzado (AC)
CMOS avanzado compatible con TTL (ACT)
lógica de emisores acoplados (ECL)

subfamilia de bajo consumo de potencia (L)
subfamilia Schottky avanzada de bajo consumo de potencia (ALS)
colector abierto
CMOS de alta velocidad (HC)
CMOS de alta velocidad compatible con TTL
lógica de emisores acoplados (ECL)
tecnología de montaje de superficie (SMT)

OBJETIVOS



Al término de este capítulo el lector debe ser capaz de:

1. Identificar CI TTL con especificaciones comerciales y militares.
2. Definir los parámetros de TTL y encontrar sus valores en un manual de especificaciones.
3. Definir y calcular el factor de carga máxima de la salida (fan-out) y el margen de ruido.
4. Estimar la frecuencia máxima de operación de una subfamilia.
5. Hacer una lista de las subfamilias TTL de acuerdo con su velocidad y su consumo de potencia.
6. Describir la diferencia entre las salidas en tótem y las de colector abierto.
7. Utilizar compuertas de colector abierto en aplicaciones.
8. Identificar CI CMOS.
9. Definir los parámetros de CMOS y encontrar sus valores en un manual de especificaciones.
10. Identificar la serie de CI CMOS 74XX y comentar sus características.
11. Hacer la interconexión entre familias lógicas.
12. Identificar las series de CI ECL 10K y 100K, y describir sus características.
13. Describir los encapsulados de CI para montaje de superficie.

6.1 SUBFAMILIAS TTL



Una familia de CI digitales de uso muy común y de fácil adquisición es la de **lógica transistor-transistor** (TTL). La identificación de la familia TTL se hace con los dos primeros dígitos del número de dispositivo. 74XX indica que el CI cumple con especificaciones comerciales y que tiene un intervalo de operación de 0 °C a 70 °C, mientras que 54XX denota un CI que cumple con todas las especificaciones militares y que puede trabajar entre -55 °C y +125°C. La serie 54XX trabaja en ambientes más severos en comparación con la serie 74XX. La distribución de terminales de CI correspondientes, como el 5404 y el 7404, es la misma.

Cualquier letra o letras después del 54 o 74 denotan la subfamilia del CI. Las subfamilias TTL son las siguientes :

Ninguna letra	TTL estándar
LS	Schottky de bajo consumo de potencia
S	Schottky
L	bajo consumo de potencia
ALS	Schottky avanzada de bajo consumo de potencia
AS	Schottky avanzada
F	TTL Schottky avanzada de Fairchild (FAST)

Los números que siguen después de la indicación de la subfamilia señalan la función del CI. El 54L10 es una compuerta NAND triple de tres entradas de bajo consumo de potencia que satisface especificaciones militares. El 74LS32 es una compuerta OR cuádruple de dos entradas Schottky de bajo consumo de potencia que cumple con especificaciones comerciales.

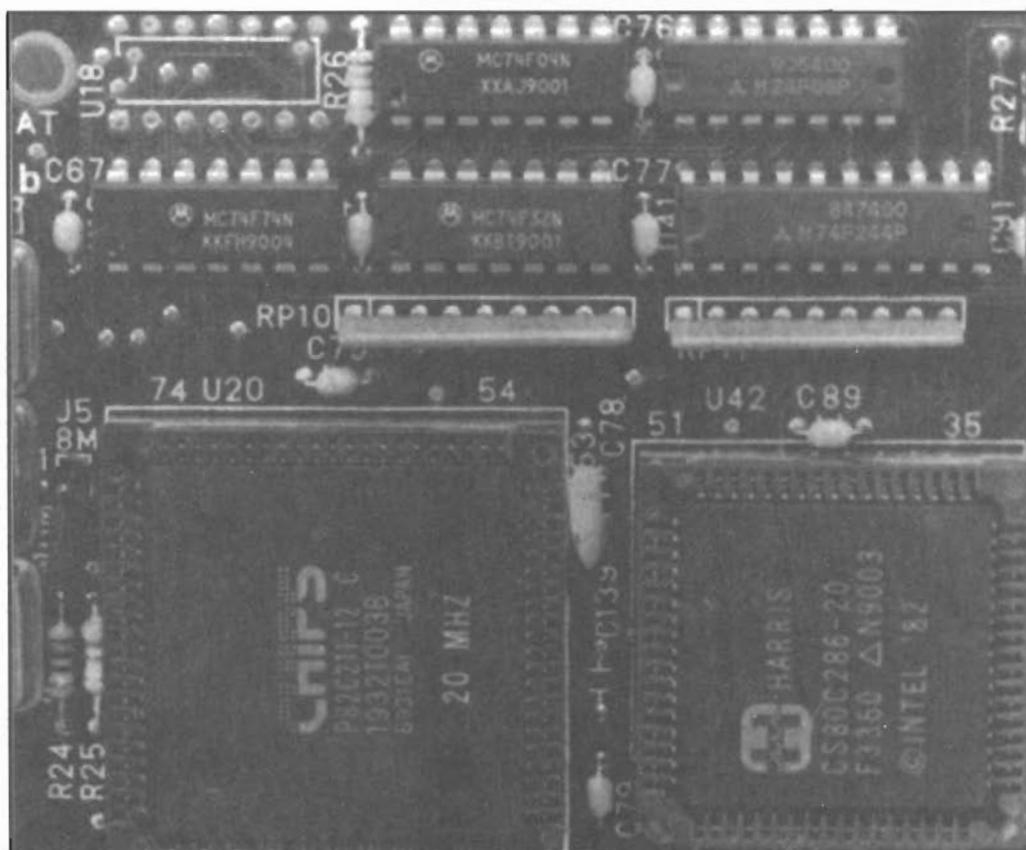
Los fabricantes garantizan que la serie 74 puede trabajar con voltajes de alimentación que varían entre 4.75 V y 5.25 V, y que la serie de CI 54 lo puede hacer con voltajes entre 4.50 V y 5.50 V.

6.2 CARACTERÍSTICAS ELÉCTRICAS DE TTL

En TTL lo usual es representar el nivel alto con un 1, y el nivel bajo con un 0. Cuando se emplea de esta manera, el sistema se conoce como *lógica positiva*. Si el nivel alto está representado por 0 y el bajo por 1, entonces el sistema es de *lógica negativa*. En este libro se utilizará la lógica positiva para TTL.

La figura 6-1 es la versión en español de una hoja de especificaciones del National Semiconductor Data Book. La figura muestra las condiciones de operación recomendadas, las características eléctricas y de conmutación para una compuerta NAND cuádruple de dos entradas 5400 y 7400. Estos valores son comunes para todas las compuertas TTL estándar.

TTL FAST



Esta fotografía de la tarjeta principal de una computadora muestra varios CI que pertenecen a la subfamilia TTL conocida como FAST, 74FXX, una de las subfamilias estudiadas en este capítulo. Algunos de los CI son compuertas básicas; otros serán estudiados en capítulos posteriores. ¿Cuántos pue-

de identificar? Los CI cuadrados grandes de la parte inferior de la fotografía son CI para montaje de superficie, en encapsulados estilo PLCC. Los CI están montados sobre bases para CI. Los encapsulados para montaje de superficie también se estudian en este capítulo.

Después del estudio de dichas especificaciones, éstas serán comparadas con las de las subfamilias L, S, AS, LS, F y ALS. En esta tabla se considera negativa la corriente convencional que sale de la compuerta, y positiva la que se dirige hacia la compuerta. Las unidades para cada parámetro aparecen en la última columna.

2 En la tabla V_{IH} , voltaje de entrada en el nivel alto, aparece con un valor mínimo de 2 V. Para que una entrada sea reconocida como nivel 1 debe tener al menos 2 V. Una entrada de nivel 1 puede variar entre 2 V y V_{cc} . V_{OH} , voltaje de salida en el nivel alto, tiene un valor mínimo de 2.4 V. Una salida con nivel 1 puede variar entre 2.4 V y V_{cc} .

Si una compuerta proporciona al menos 2.4 V para el nivel 1 y la compuerta que sigue puede reconocer hasta 2.0 V como un 1, entonces existe una diferencia de 0.4 V en los niveles. Este margen de seguridad recibe el nombre de margen de ruido del CI. Tal como se muestra en la figura 6-2, una salida de nivel 1 puede tener superpuesto un ruido de 0.4 V y aun así el CI que sigue continuará reconociendo la señal como un 1.

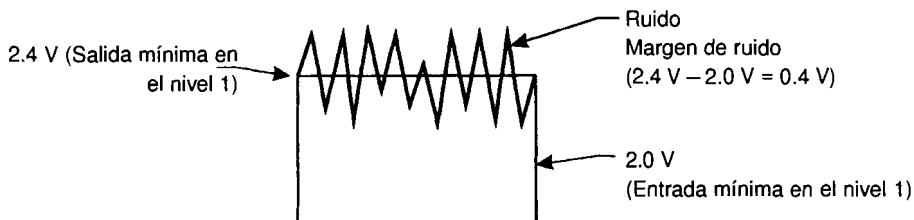


FIGURA 6-2 Margen de ruido en el nivel 1 para TTL

2 En la tabla aparece V_{IL} , voltaje de entrada en el nivel bajo, con un valor máximo de 0.8 V. El voltaje más alto que un CI aceptará como un 0 es 0.8 V. Una entrada de nivel 0 puede variar desde 0 hasta 0.8 V. V_{OL} , voltaje de salida en el nivel bajo, aparece con un valor máximo de 0.4 V. Por lo tanto, la salida en nivel 0 puede variar entre 0 y 0.4 V. Si el nivel 0 más grande que puede proporcionar un CI es 0.4 V, pero el CI que sigue puede reconocer hasta 0.8 V como un 0, entonces existe de nuevo un margen de ruido de 0.4 V, como se muestra en la figura 6-3.

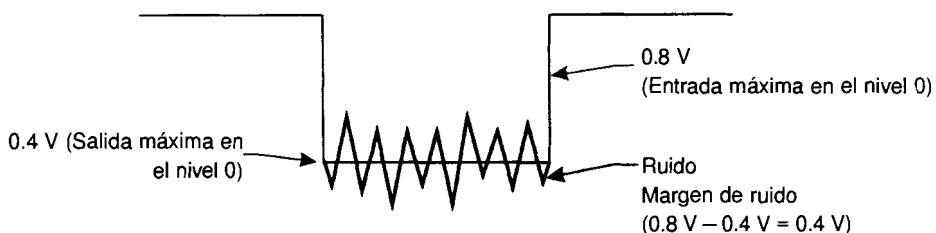


FIGURA 6-3 Margen de ruido en el nivel 0 para TTL

La figura 6-4 es un resumen del margen de ruido en TTL estándar.

La figura 6-5 es un resumen de los voltajes de entrada y salida de cada una de las subfamilias.

Condiciones de operación recomendadas								
Símbolo	Parámetro	DM5400			DM7400			Unidades
		Mín	Nom	Máx	Mín	Nom	Máx	
V_{cc}	Voltaje de alimentación	4.5	5	5.5	4.75	5	5.25	V
V_{ih}	Voltaje de entrada en el nivel alto	2			2			V
V_{il}	Voltaje de entrada en el nivel bajo			0.8			0.8	V
I_{oh}	Corriente de salida en el nivel alto			-0.4			-0.4	mA
I_{ol}	Corriente de salida en el nivel bajo			16			16	mA
T_A	Temperatura ambiente de operación	-55		125	0		70	°C

Características eléctricas a la temperatura ambiente de operación recomendada (a menos que se indique otra cosa)							
Símbolo	Parámetro	Condiciones		Mín	Típ (Nota 1)	Máx	Unidades
V_i	Voltaje de recorte en la entrada	$V_{cc} = \text{Mín}, I_i = -12\text{mA}$				-1.5	V
V_{oh}	Voltaje de salida en el nivel alto	$V_{cc} = \text{Mín}, I_{oh} = \text{Máx}, V_{il} = \text{Máx}$		2.4	3.4		V
V_{ol}	Voltaje de salida en el nivel bajo	$V_{cc} = \text{Mín}, I_{ol} = \text{Máx}, V_{ih} = \text{Mín}$			0.2	0.4	V
I_i	Corriente de entrada @ Voltaje de entrada máximo	$V_{cc} = \text{Máx}, V_i = 5.5V$				1	mA
I_{ih}	Corriente de entrada en el nivel alto	$V_{cc} = \text{Máx}, V_i = 2.4V$				40	μA
I_{il}	Corriente de entrada en el nivel bajo	$V_{cc} = \text{Máx}, V_i = 0.4V$				-1.6	mA
I_{os}	Corriente de salida en cortocircuito	$V_{cc} = \text{Máx}$		-20		-55	mA
		(Nota 2)		DM54	-18	-55	
I_{och}	Corriente de alimentación con las salidas en alto	$V_{cc} = \text{Máx}$			4	8	mA
I_{ocl}	Corriente de alimentación con las salidas en bajo	$V_{cc} = \text{Máx}$			12	22	mA

Características de conmutación con $V_{cc} = 5V$ y $T_A = 25^\circ C$ (Consulte en la Sección 1 las formas de onda de prueba y la carga a la salida)						
Parámetro	Condiciones	$C_L = 15\text{ pF}$ $R_L = 400\Omega$			Unidades	
		Mín	Típ	Máx		
t_{phl} retraso de propagación del nivel bajo a alto en la salida			12	22		ns
t_{phl} retraso de propagación del nivel alto al bajo en la salida			7	15		ns

Nota: Todos los valores típicos son para $V_{cc} = 5V$, $T_A = 25^\circ C$.

Nota: No debe haber más de una salida en cortocircuito al mismo tiempo.

FIGURA 6-1 Especificaciones de una compuerta NAND TTL

Ejemplo: Calcule el margen de ruido de un 54S00.

Solución:

La figura 6-1 muestra que $V_{OH} = 2.5$ V mínimo, $V_{IL} = 0.8$ V máximo, $V_{OL} = 0.5$ V máximo, $V_{IH} = 2.0$ V mínimo.

Margen de ruido en el nivel alto = $V_{OH} - V_{IH} = 2.5$ V - 2.0 V = 0.5 V

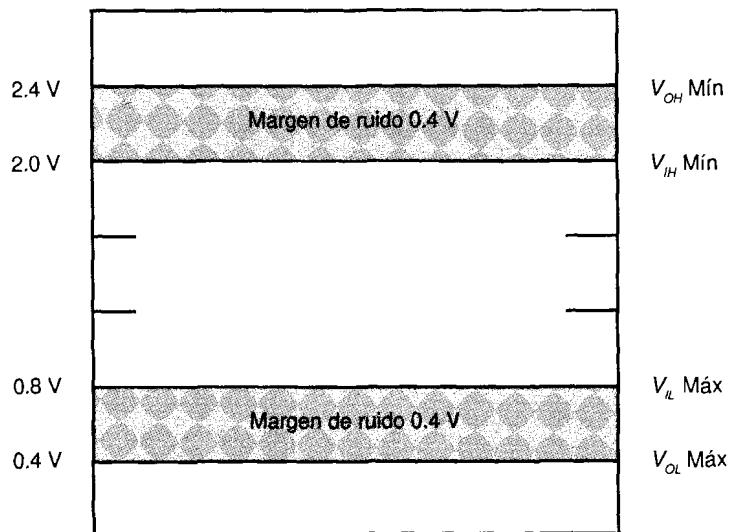


FIGURA 6-4 Niveles de voltaje para lógica TTL

Margen de ruido en el nivel bajo = $V_{IL} - V_{OL} = 0.8$ V - 0.5 V = 0.3 V

Ejemplo: Determine el margen de ruido de un 74ALS00 que funciona a 5 V.

Solución:

$V_{IL} = 0.8$ V máximo, $V_{OL} = 0.5$ V máximo,

$V_{IH} = 2$ V mínimo.

Margen de ruido en el nivel alto = $V_{OH} - V_{IH} = 5 - 2 - 2 = 1$ V

Margen de ruido en el nivel bajo = $V_{IL} - V_{OL} = 0.8 - 0.5 = 0.3$ V

DM5400/DM7400 NAND de dos entradas		TTL	L-TTL	LS	ALS	S	AS	F	Unidades
MII	V_{OH}	2.4	2.4	2.5	$V_{cc} - 2$	2.5	$V_{cc} - 2$		V
Com	V_{OH}	2.4	2.4	2.7	$V_{cc} - 2$	2.7	$V_{cc} - 2$	2.5	V
MII	V_{OL}	0.4	0.3	0.4	0.4	0.5	0.5		V
Com	V_{OL}	0.4	0.4	0.5	0.5	0.5	0.5	0.5	V
	V_{ih}	2	2	2	2	2	2	2	V
MII	V_{IL}	0.8	0.7	0.7	0.8	0.8	0.8		V
Com	V_{IL}	0.8	0.7	0.8	0.8	0.8	0.8	0.8	V

FIGURA 6-5 Voltajes de entrada y salida: subfamilias TTL

2

En la figura 6-1 aparece I_{OL} , corriente de salida en el nivel bajo, con un valor máximo de 16 mA. Esta corriente convencional fluye hacia la compuerta, con lo que se dice que la compuerta “absorbe” corriente. El fabricante garantiza que el 7400 puede “absorber” 16 mA de corriente sin que el voltaje de salida del nivel cero aumente por encima de 0.4 V. I_{IL} , corriente de entrada en el nivel bajo, tiene un máximo de -1.6 mA. Esta corriente fluye alejándose de la compuerta. La figura 6-6 muestra una compuerta NAND 7400 que absorbe la corriente de otras diez compuertas, cada una con una corriente de entrada en el nivel bajo de -1.6 mA. Se dice que 1.6 mA es “una carga TTL estándar”. El factor de carga en la salida es una medida del número de cargas que una compuerta puede excitar.

$$\text{Factor de carga de la salida} = \frac{I_{OL} \text{ de la compuerta excitadora}}{I_{IL} \text{ de la compuerta excitada}}$$

Para una compuerta NAND que excita otras compuertas NAND o inversores,

$$\text{Factor de carga de la salida} = \frac{I_{OL}}{I_{IL}} = \frac{16 \text{ ma}}{1.6 \text{ ma}} = 10 \text{ cargas estándar}$$

Cada una de las compuertas TTL estándar puede excitar otras diez compuertas estándar.

La figura 6-7 contiene las corrientes de entrada y salida de una compuerta NAND de cada subfamilia. I_{OL} es una medida de la capacidad de excitación de cada subfamilia. Schottky, Schottky avanzada y Fast tienen

los valores más altos, con 20 mA, seguidas por TTL estándar con 16 mA, Schottky de bajo consumo de potencia y Schottky avanzada de bajo consumo de potencia con 8 mA (4 mA para dispositivos militares), y finalmente 3.6 mA para TTL de bajo consumo de potencia (2 mA para dispositivos militares).

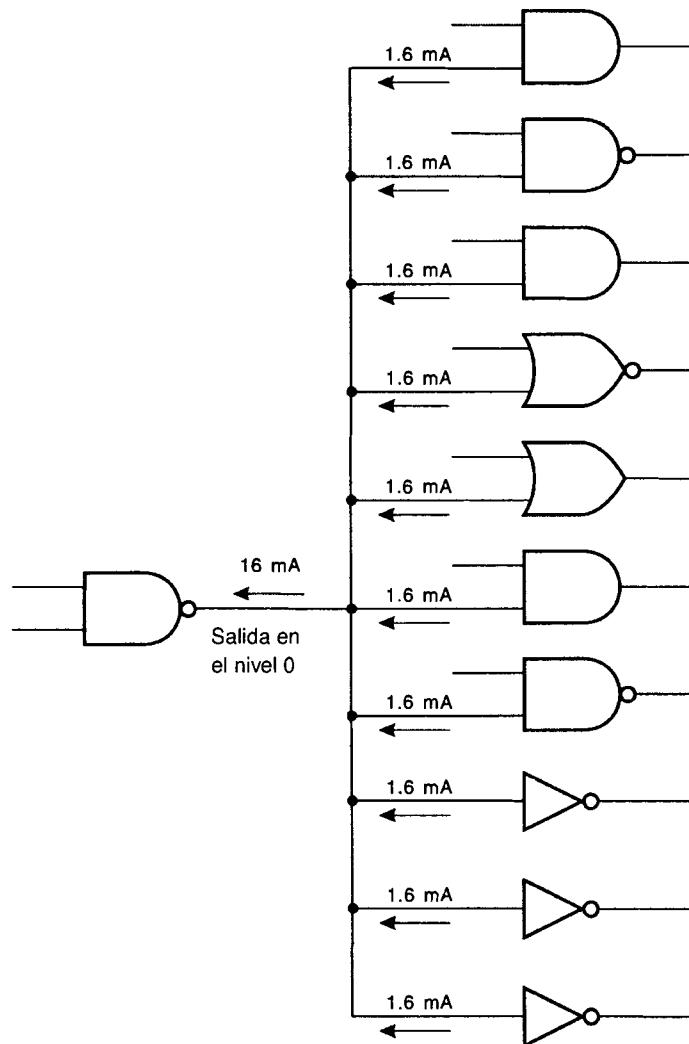


FIGURA 6-6 Factor de carga de salida TTL

Ejemplo: ¿Cuántas compuertas 54ALS00 puede excitar un 54L00?

Solución:

De la figura 6-7 se tiene que, para un 54L00, I_{OL} es 2 mA mientras que I_{IL} para el 54ALS00 es -0.2 mA.

$$\text{Factor de carga de la salida} = \frac{I_{OL}}{I_{IL}} = \frac{2}{.2} = 10$$

		TTL	L-TTL	LS	ALS	S	AS	F	Unidades
	I_{OH}	-400	-200	-400	-400	-1000	-2000	-1000	μA
Comercial	I_{OL}	16	3.6	8	8	20	20	20	mA
Militar	I_{OL}	16	2	4	4	20	20		mA
	I_{IH}	40	10	20	20	50	20	20	μA
	I_{IL}	-1.6	-0.18	-0.36	-0.20	-2	-0.50	-0.6	mA

FIGURA 6-7 Corrientes de entrada y salida: subfamilias TTL

Ejemplo: ¿Cuántas cargas estándar TTL puede manejar un 54LS00?

Solución:

De la figura 6-7 se tiene que la I_{OL} máxima para un 54LS00 es de 4 mA.

$$\text{Factor de carga de la salida} = \frac{I_{OL}}{I_{IL}} = \frac{4}{1.6 \text{ mA}} = 2.5$$

Puesto que una carga de 0.5 no es una carga completa, se omite el 0.5. Por tanto, el 54LS00 tiene un factor de carga de salida de dos cargas TTL estándar.

Ejemplo: ¿Cuántos inversores 74LS04 puede manejar un 74LS00?

Solución:

Para un 74LS00 I_{OL} es 8 mA.

Para un 74LS04 I_{IL} es 0.36 mA.

$$\text{Factor de carga de la salida} = \frac{I_{OL}}{I_{IL}} = \frac{8}{.36 \text{ mA}} = 22.22$$

En consecuencia, un 74LS00 puede manejar 22 compuertas 74LS04.

Una compuerta de cualquiera de las subfamilias TTL puede manejar al menos otras diez compuertas de la misma subfamilia.

2

Para un 7400 I_{OH} , la corriente de salida en el nivel alto, es igual a -0.4 mA . El signo negativo implica que la corriente fluye alejándose de la compuerta. La compuerta proporciona corriente cuando da salida a un 1. Este grupo de compuertas puede absorber 16 mA cuando la salida tiene el nivel bajo, pero sólo puede proporcionar 0.4 mA en el nivel alto. Puede aprovecharse el hecho de que existe una corriente mayor en el nivel bajo si se hace uso de ésta en un modo activo en BAJO, como se muestra en la figura 6-8. Cuando A cambia al nivel ALTO, B lo hace al nivel BAJO. Puesto que el 7404 puede absorber 16 mA cuando su salida es un 0, el LED enciende con una luz muy brillante.

En la conexión de la figura 6-9, una salida de nivel alto debe encender el LED. Sin embargo, el manual indica que la I_{OH} para un 7408 tiene un valor máximo de $-800\text{ }\mu\text{A}$. El LED requiere más de $800\text{ }\mu\text{A}$, con lo que el nivel 1 podría descender a menos de 2.04 V . Con esto, la salida ya no sería un nivel 1 legítimo.

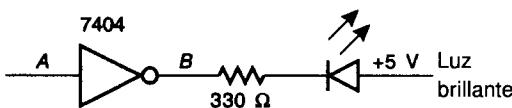


FIGURA 6-8 Modo activo BAJO

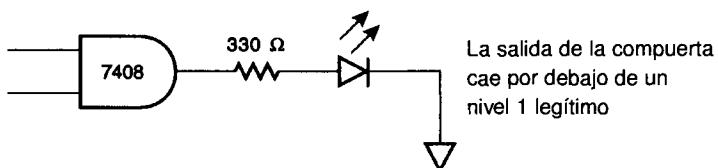


FIGURA 6-9 Modo activo ALTO

2

En la figura 6-1, I_{IH} , la corriente de entrada en el nivel alto tiene un valor de $40\text{ }\mu\text{A}$ para las compuertas estándar. Puesto que una compuerta NAND estándar puede proporcionar $400\text{ }\mu\text{A}$ cuando su salida tiene el nivel alto, entonces puede excitar otras diez compuertas. El resultado anterior es compatible con lo aprendido para señales de nivel bajo.

6.3 CORRIENTES DE ALIMENTACIÓN DE TTL

La figura 6-10, que es la versión en español de una hoja de especificaciones del National Semiconductor Data Book, indica el consumo de corriente del suministro de voltaje por CI para la NAND 7400. I_{CCH} representa el consumo de corriente de colector total cuando todas las salidas tienen el nivel ALTO, e I_{CCL} es la corriente total con todas las salidas en BAJO. El CI TTL estándar 7400 consume un máximo de 8 mA de la fuente de voltaje cuando las salidas están en el nivel ALTO, y 22 mA máximo con las salidas en el nivel BAJO. Un Schottky 74S00 es el que más corriente consume con 36 mA (salidas en BAJO), seguido por TTL, AS, F, LS, ALS y finalmente por el 74L00 de bajo consumo de potencia, con 2.04 mA.

I_{CCH}	Corriente de alimentación con salidas en ALTO (máxima)	S	TTL	AS	F	LS	ALS	L	Unidades
	16	8	3.2	2.8	1.6	0.85	0.8	mA	
I_{CCL}	Corriente de alimentación con salidas en BAJO (máxima)	36	22	17.4	10.2	4.4	3.0	2.04	mA

FIGURA 6-10 Corrientes de alimentación: NAND cuádruple TTL de dos entradas

Para calcular la corriente que necesita proporcionar una fuente de alimentación a un circuito, siga estas reglas:

1. Calcule el total de las corrientes en el peor de los casos de todos los CI del circuito.
2. Sume el consumo de corriente de todos los demás dispositivos, tales como LED y dispositivos de visualización.
3. Como regla a seguir, duplique el total y diseñe la fuente de alimentación de acuerdo con la cifra obtenida.

6.4 CARACTERÍSTICAS DE CONMUTACIÓN TTL



La figura 6-11 contiene las características de conmutación para compuertas TTL. El t_{PLH} (tiempo de propagación de BAJO a ALTO) es una medida del tiempo necesario para que un cambio en la entrada provoque un cambio de BAJO a ALTO en la salida. Tal como se muestra en la figura 6-12, t_{PLH} se mide del momento en que la entrada alcanza 1.5 V hasta el instante en que la salida llega a 1.5 V en una transición de BAJO a ALTO. Estos parámetros

se miden con las compuertas conectadas a una carga equivalente a 10 compuertas de la misma subfamilia. TTL estándar tiene un t_{PLH} máximo de 22 nanosegundos, mientras que Schottky avanzada es la más rápida con sólo 4.5 nanosegundos de retraso.

	L	TTL	LS	ALS	F	S	AS	TIEMPO
t_{PLH}	60	22	15	11	5	7	4.5	ns
t_{PHL}	60	15	15	8	4.3	8	4	ns

FIGURA 6-11 Características de conmutación máximas: NAND cuádruple TTL de dos entradas

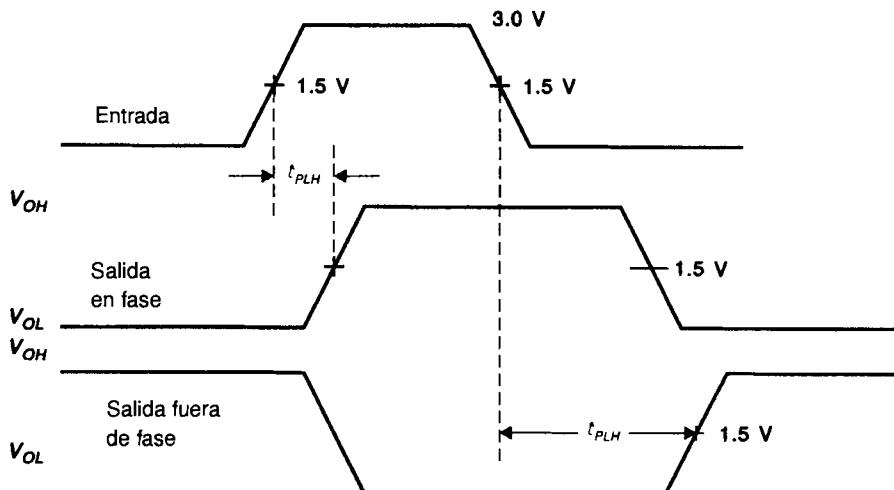


FIGURA 6-12 Propagación de BAJO a ALTO para TTL

El t_{PLH} (tiempo de propagación de ALTO a BAJO) es una medida del tiempo necesario para que un cambio en la entrada provoque una transición de ALTO a BAJO en la salida. Tal como se muestra en la figura 6-13, el t_{PLH} se mide a partir del momento en que la entrada alcanza 1.5 V hasta el instante en que la salida llega a 1.5 V en una transición de ALTO a BAJO.

TTL estándar tiene un t_{PLH} máximo de 15 nanosegundos. Note que TTL estándar se apaga con una rapidez mayor que con la que se enciende. Schottky avanzada es de nuevo la subfamilia más rápida con un t_{PLH} máximo de 4 nanosegundos, mientras que la TTL de bajo consumo de potencia es la más lenta, con un retraso en la propagación de 60 nanosegundos.

4

El retraso en la propagación limita la velocidad a la que puede trabajar el CI. Cuando el retraso en la propagación se convierte en una parte significativa del periodo de la señal aplicada, entonces los niveles de las salidas y la temporización se distorsionan. Como regla a seguir, limite la frecuencia de la forma de onda aplicada de modo que su periodo sea más de dos veces el retraso de propagación máximo del CI.

$$\boxed{T \geq 2 \cdot t_{PLH}(\text{máx}) \text{ o}} \\ T \geq 2 \cdot t_{PHL}(\text{máx})$$

donde T es el periodo, en segundos, de la forma de onda aplicada.

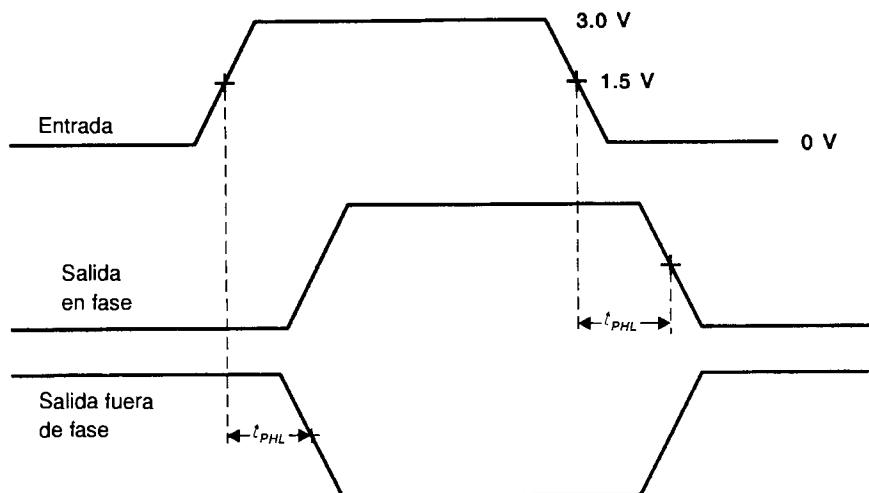


FIGURA 6-13 Propagación de ALTO a BAJO para TTL

$$\boxed{f = \frac{1}{T} \leq \frac{1}{2 \cdot t_{PLH}(\text{máx})} \text{ o}} \\ f = \frac{1}{T} \leq \frac{1}{2 \cdot t_{PHL}(\text{máx})}$$

la que sea menor, donde f es la frecuencia de la forma de onda aplicada en hertz.

Ejemplo: Estime la frecuencia máxima que puede aplicarse a las compuertas NAND TTL estándar.

Solución:

En el cálculo se hará uso de t_{PLH} (máx) ya que éste es mayor que t_{PHL} (máx).

$$f = \frac{1}{T} \leq \frac{1}{2 \cdot T_{PLH}(\text{máx})} \leq \frac{1}{2 \cdot 22 \cdot 10^{-9} \text{s}} \leq 22.7 \text{ MHz}$$

Las compuertas NAND TTL estándar deben trabajar con frecuencias menores de 22.7 MHz.

Ejemplo: Estime la máxima frecuencia que puede aplicarse a una compuerta NAND Schottky de bajo consumo de potencia.

Solución:

$$f \leq \frac{1}{2 \cdot 10 \cdot 10^{-9} \text{s}} \leq 50 \text{ MHz}$$

Ejemplo: Calcule la máxima frecuencia con la que puede trabajar una compuerta NAND Schottky avanzada.

Solución:

Para el cálculo se utiliza t_{PLH} ya que éste es mayor que t_{PHL} .

$$f = \frac{1}{T} \leq \frac{1}{2t_{PLH}(\text{máx})} \leq \frac{1}{2 \cdot 4.5 \cdot 10^{-9} \text{s}} = 111 \text{ MHz}$$



Cuando se escoge una familia lógica para emplearse en un circuito, debe considerarse tanto la velocidad como el consumo de potencia. La figura 6-14 presenta un resumen de estas propiedades. TTL de bajo consumo de potencia es la que disipa menos potencia, pero también es la más lenta. Lo anterior representa el compromiso clásico de consumo contra velocidad. Schottky es una de las subfamilias más rápidas, pero es la que disipa la mayor cantidad de potencia. ALS se encuentra entre las más rápidas, con una dissipación de potencia menor que el de las demás subfamilias, con excepción de la L. Estas cualidades la hacen una buena elección para muchas aplicaciones.

Velocidad		Consumo de potencia	
Más rápida	AS	Bajo	L
	F		ALS
	S		LS
	ALS		F
	LS		AS
	TTL		TTL
Más lenta	L	Alto	S

FIGURA 6-14 Velocidad relativa y consumo de potencia de TTL

Dado que Schottky de bajo consumo de potencia es más rápida que la TTL estándar, y consume mucho menos corriente de la fuente de alimentación, se encuentra entre las subfamilias más populares.

A continuación, una sinopsis breve de la evolución de las subfamilias TTL.

La **subfamilia L de bajo consumo de potencia** surgió de TTL al aumentar por un factor de 10 las resistencias de los resistores en la circuitería interna. La disipación de potencia del dispositivo L se reduce entonces por un factor de 10 pero a costa de la velocidad. Los dispositivos L tienen un retraso de propagación tres veces mayor que los TTL estándar.

La **subfamilia Schottky S** emplea diodos Schottky como fijadores de voltaje para impedir que los transistores se saturen, y utiliza resistores cuyas resistencias son casi la mitad de las que se emplean en TTL estándar. Esta lógica no saturable comuta tres veces más rápido que TTL estándar, pero también consume más potencia. Las compuertas de esta familia disipan alrededor de 20 miliwatts con retrasos de propagación típicos de 3 nanosegundos.

La **subfamilia Schottky de bajo consumo de potencia LS** utiliza resistores de mayor valor con entradas a través de diodos en lugar de las entradas de emisor múltiple de la circuitería TTL estándar. Las entradas con diodos comutan con más rapidez, y tienen retrasos de propagación típicos de 10 nanosegundos y una disipación de potencia de 2 miliwatts por compuerta.

La **subfamilia Schottky avanzada de bajo consumo de potencia, ALS**, emplea técnicas de fabricación refinadas para aumentar las velocidades de conmutación y reducir el consumo de potencia con respecto a los dispositi-

vos LS. Las compuertas ALS tienen retrasos de propagación típicos de aproximadamente 4 nanosegundos, con una disipación de potencia de 1 mW por compuerta.

La **subfamilia Schottky avanzada AS** está diseñada con la velocidad en mente. Utiliza redes en los circuitos de salida para reducir el tiempo de subida. Las compuertas AS disipan alrededor de 8 mW y tienen retrasos de propagación típicos de 1.5 ns. Las compuertas Schottky avanzadas tipo **FAST** de Fairchild emplean la letra F para indicar la subfamilia. El 74F04 es una compuerta NAND cuádruple de dos entradas TTL Schottky avanzada de Fairchild. Las compuertas F tienen retrasos de propagación de 3 nanosegundos y disipan alrededor de 5 mW.

La figura 6-15 muestra la circuitería interna de una compuerta NAND TTL. Aunque la compuerta puede utilizarse sin necesidad de tener conocimiento de dicha circuitería, las características TTL pueden entenderse mejor si se estudia ésta. En el apéndice D se incluye una descripción completa del circuito de esta compuerta NAND.

R_4 , Q_3 , D_3 y Q_4 constituyen el circuito de salida, como se muestra en la figura 6-16. Esta configuración recibe el nombre de salida en "tótem". Lo normal es que Q_3 o Q_4 estén encendidos, pero no ambos. Con Q_3 encendido Y va al nivel uno, mientras que con Q_4 encendido, Y va al nivel cero. Sin embargo, durante la conmutación, Q_3 y Q_4 se encienden simultáneamente durante un breve lapso, lo que impone una gran demanda a la fuente de alimentación. Los circuitos TTL están diseñados de modo que Q_3 y Q_4 conmутen rápidamente para minimizar los efectos en la fuente de alimentación.

Para filtrar el ruido inducido en la fuente de alimentación por la acción de conmutación, es necesario conectar un capacitor de cerámica de 0.01 μ F en paralelo con la fuente de alimentación cerca de las terminales correspondientes del CI. Como regla a seguir, póngase un capacitor por cada dos CI.

Nunca deben conectarse directamente dos salidas en tótem, como se muestra en la figura 6-17. Si el transistor superior de una salida en tótem se enciende, y el inferior de la otra se enciende, entonces la fuente de alimentación queda en cortocircuito y circulan corrientes muy grandes. Como resultado pueden dañarse la fuente de alimentación y las compuertas. Las salidas en tótem deben conectarse entre sí a través de otras compuertas.

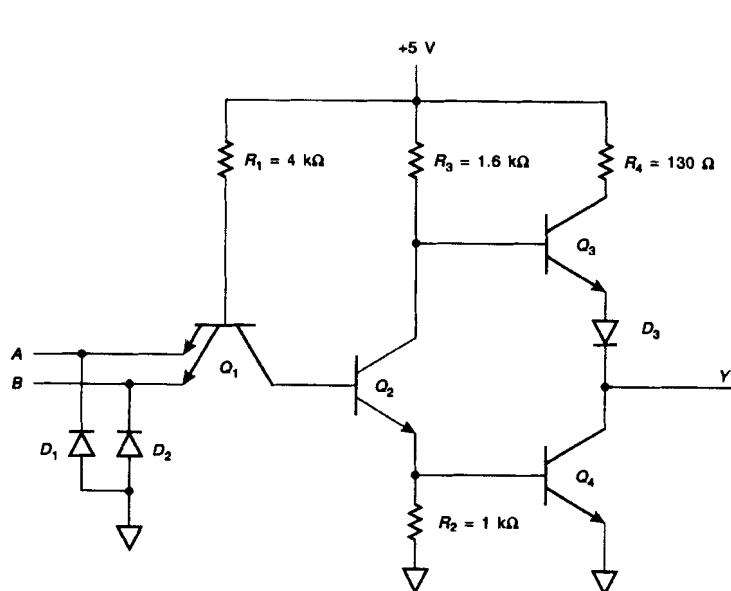


FIGURA 6-15 Compuerta NAND TTL de dos entradas

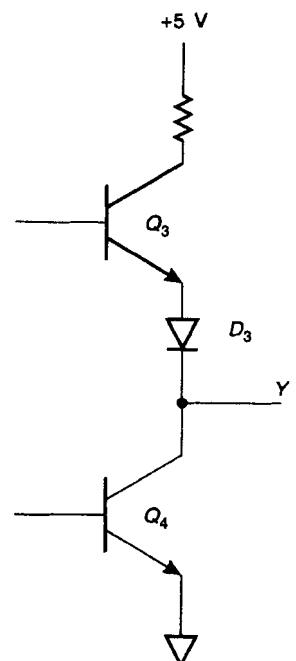


FIGURA 6-16 Salida en tótem TTL

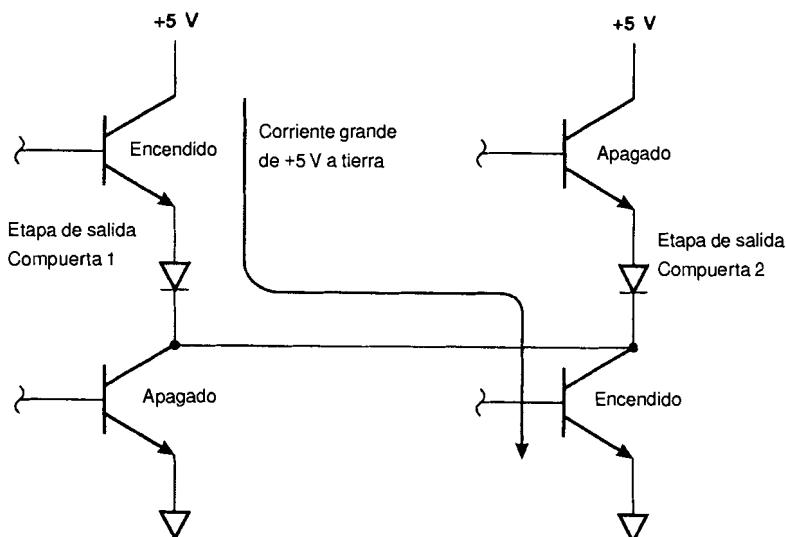


FIGURA 6-17 Riesgo que se corre al conectar entre sí salidas en tótem

6.5 COMPUERTAS DE COLECTOR ABIERTO TTL



Existe un tipo especial de compuerta, conocida como **compuerta de colector abierto**, que tiene un circuito de salida modificado. En él se ha omitido el transistor superior del par del tótem, de modo que la salida no tenga ninguna trayectoria interna a +5 V. Cuando la salida se lleva al nivel BAJO, el transistor se enciende y conecta la salida Y a tierra a través de un transistor saturado. Cuando la salida se lleva al estado ALTO, Y ya no queda conectada a tierra ni tampoco a +5 V, puesto que ya no existe una trayectoria. La salida entra en un estado de alta impedancia, "HiZ" (por sus siglas en inglés), en la que la compuerta no tiene influencia alguna en la salida. Ésta queda flotando. Las salidas de colector abierto pueden conectarse entre sí puesto que no existe el riesgo de poner a la fuente de alimentación en cortocircuito. La figura 6-18 muestra los circuitos de salida de tres compuertas de colector abierto conectadas entre sí. Las salidas están unidas a un resistor común, el cual está conectado a +5 V. Este resistor se conoce como resistor de acoplamiento a positivo, ya que proporciona a la salida una trayectoria a +5 V y la "lleva" al nivel uno. Si la salida de cualquiera de las compuertas va al nivel BAJO, entonces la salida Y va a BAJO. La corriente convencional fluye de +5 V por el resistor de acoplamiento, luego por el transistor saturado y de allí a tierra. La mayor parte de los 5 V se caen a través del resistor de acoplamiento.

La figura 6-19 muestra tres inversores de colector abierto cuyas salidas están conectadas entre sí. Cuando A, B y C tienen todos el nivel BAJO, las salidas no están conectadas a tierra internamente. El resistor de $1\text{ k}\Omega$ lleva la salida Y al nivel uno. Si cualquiera de las entradas va al nivel ALTO, entonces el transistor de salida correspondiente se enciende y lleva a Y al nivel BAJO. La tabla de verdad del circuito también aparece en la figura 6-19. La tabla de verdad es idéntica a la de una compuerta NOR de tres entradas. Esta configuración se conoce como circuito *NOR alambrado* o *NOR puntual*.

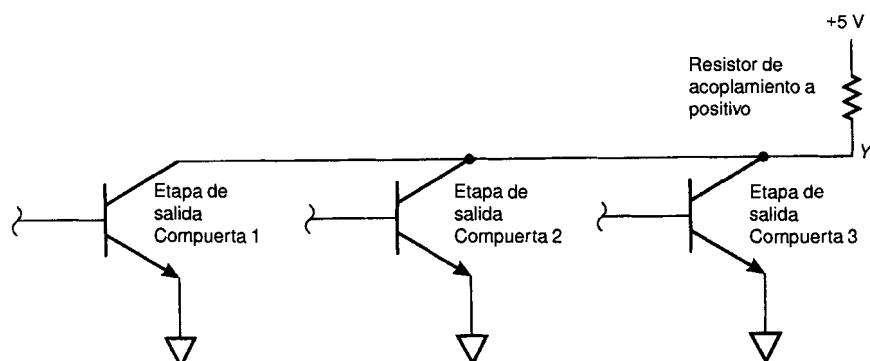
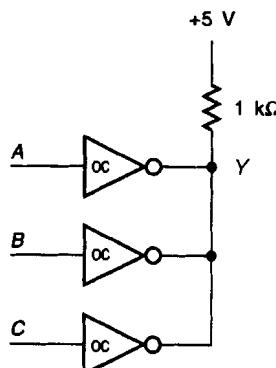


FIGURA 6-18 Compuertas de colector abierto

Las salidas de colector abierto están denotadas en los símbolos de la IEC y el IEEE por el símbolo \diamond en cada salida.

La tabla 6-1 contiene una lista de las compuertas de colector abierto disponibles comercialmente.

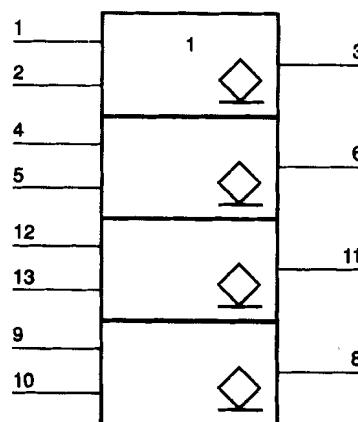


Entradas			Salida
A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

FIGURA 6-19 Inversor de colector abierto y tabla de verdad

Ejemplo: Dibuje el símbolo lógico de la IEC para el OR exclusivo cuádruple 74LS136 con salidas de colector abierto.

Solución:



74LS136

El 1 indica que exactamente una entrada debe estar en ALTO para que la salida vaya al estado de alta impedancia.

TABLA 6-1 Compuertas de colector abierto

Número de dispositivo	Descripción
5401/7401 54ALS01/74ALS01 54L01/74L01 54LS01/74LS01 5403/7403 54L03/74L03 54LS03/74LS03 54ALS03/74ALS03 54S03/74S03	Compuertas NAND cuádruples de 2 entradas con salidas de colector abierto
5405/7405 54L05/74L05 54ALS05/74ALS05 54S05/74S05	Inversores séxtuples con salidas de colector abierto
5406/7406 74F06	Inversores de aislamiento séxtuples con colectores abiertos de alto voltaje
5407/7407 74F07	Compuertas de aislamiento séxtuples con salidas de colector abierto de alto voltaje
5409/7409 54L09/74L09 54LS09/74LS09 54ALS09/74ALS09 54S09/74S09	AND cuádruple de 2 entradas con salidas de colector abierto
54LS12/74LS12 54ALS12/74ALS12	NAND triple de 3 entradas con salidas de colector abierto
54LS15/74LS15 54ALS15/74ALS15	Compuertas AND triples de 3 entradas con salidas de colector abierto
5416/7416	Inversores de aislamiento séxtuples con salidas de colector abierto de alto voltaje
5417/7417	Compuertas de aislamiento séxtuples con salidas de colector abierto de alto voltaje
54ALS22/74ALS22 54LS22/74LS22 54S22/74S22	Compuertas NAND dobles de 4 entradas con salidas de colector abierto
5438/7438 54ALS38/74ALS38 54LS38/74LS38	Compuertas de aislamiento NAND cuádruples de 2 entradas con salidas de colector abierto
54LS136/74LS136 54AS136/74AS136 54S136/74S136	OR exclusivo cuádruple con salidas de colector abierto
54LS266/75LS266	NOR exclusivo cuádruple con salidas de colector abierto

6.6 APLICACIONES DE COLECTOR ABIERTO

7

Los 7406, 7407, 7416 y 7417 son compuertas de colector abierto con salidas de alto voltaje. Aunque los CI en sí trabajan a 5 V, las salidas de colector abierto pueden llevarse a voltajes mayores: 30 V para los 06 y 07, y 15 V para los 16 y 17. Los CI 7406 y 7416 invierten la señal de entrada, mientras que los 7407 y 7417 no. Además de los voltajes mayores en las salidas, estas compuertas pueden absorber más corriente de salida en el nivel bajo que las compuertas con salida en tótem. Las compuertas 5406, 07, 16 y 17 pueden absorber 30 mA, mientras que las compuertas 7406, 07, 16 y 17 pueden absorber 40 mA. Estas compuertas de colector abierto se emplean en aplicaciones de alto voltaje y para conectar entre sí varias salidas.

La figura 6-20 muestra un inversor 7406 séxtuple con salidas acopladas a un voltaje positivo de 30 V a través de un resistor de $1\text{ k}\Omega$. Cuando la salida va al nivel BAJO, la compuerta absorbe alrededor de 30 mA. Puesto que este valor es menor que los 40 mA máximos que aparecen en las especificaciones, el voltaje de salida no aumentará más allá de 0.4 V. Este circuito integrado será utilizado en capítulos posteriores para permitir el empleo de voltajes de alimentación mayores, y en este capítulo, para hacer la interconexión de TTL con CMOS.

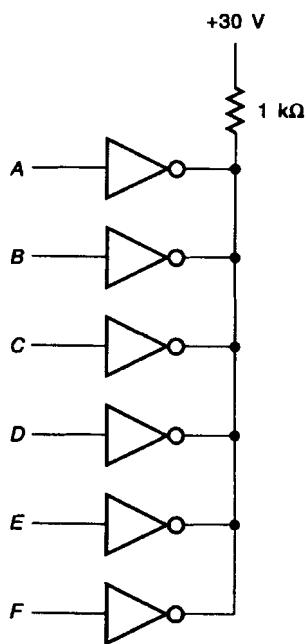


FIGURA 6-20 Inversor de colector abierto 7406

La figura 6-21 muestra un inversor 7406 de alto voltaje y de colector abierto que excita la bobina de un relevador de 12 V y 500 W. Cuando la salida del inversor va hacia el nivel BAJO, fluyen aproximadamente 24 mA por la bobina, con lo que los contactos se cierran. El 7406 puede absorber hasta 40 mA. El diodo fija el voltaje inverso que se induce a través de la bobina cuando la salida, al ir al nivel ALTO, interrumpe la corriente por la bobina.

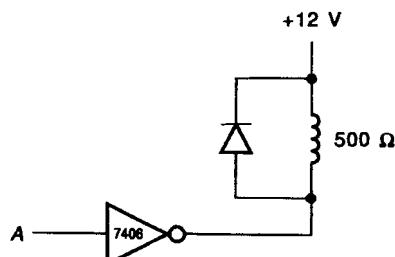


FIGURA 6-21 Excitación de la bobina de un relevador con una compuerta de colector abierto

AUTOEVALUACIÓN PARA LAS SECCIONES 6.1, 6.2, 6.3, 6.4, 6.5 Y 6.6

1. Identifique en un manual las especificaciones siguientes y sus valores para el 7483. [1, 2]
 - a) salida mínima para el nivel 1
 - b) entrada mínima para el nivel 1
 - c) salida máxima para el nivel 0
 - d) entrada máxima para el nivel 0
 - e) consumo de corriente máximo de la fuente de alimentación
 - f) retraso de propagación máximo de bajo a alto
 - g) retraso de propagación máximo de alto a bajo.
 - h) corriente de salida máxima en el nivel 0
 - i) corriente de entrada máxima en el nivel 0
2. A partir de los valores anteriores, calcule
 - a) margen de ruido. [3]
 - b) factor de carga de la salida de un 7432. [3]
 - c) el número de entradas 7486 que puede excitar un 7432. [3]
3. ¿Qué es un resistor de acoplamiento a positivo y por qué una compuerta de colector abierto utiliza uno? [6]

6.7 CMOS

CMOS son las siglas en inglés de transistor de efecto de campo **metal-óxido-semiconductor complementario**. El término complementario significa que un transistor de canal P y otro de canal N trabajan juntos en una configuración tótem, como se muestra en la figura 6-22. Metal-óxido se refiere a una capa de dióxido de silicio entre la compuerta y el canal. El canal, la compuerta y el aislante de dióxido de silicio forman un capacitor pequeño. Esta entrada capacitiva determina muchas de las características de los CI CMOS.

En la figura 6-22, cuando A está en ALTO, el canal N de la parte inferior conduce y la salida Y queda conectada a tierra a través de un canal completo. El MOS de canal P de la parte superior no conduce. Cuando A está en el nivel BAJO, el canal P conduce y el N no. Con esto, Y queda conectada a V_{DD} a través del canal P. Los dos transistores producen un inversor.

Los voltajes de alimentación para los CI CMOS a menudo se conocen como V_{DD} , el voltaje de drenaje, y V_{SS} , el voltaje de fuente. A estos voltajes de alimentación en algunas ocasiones se les denomina V_{CC} (voltaje del colector) y tierra, como en el caso de TTL. V_{DD} cambia para cada subfamilia, pero V_{SS} es usualmente 0 V.

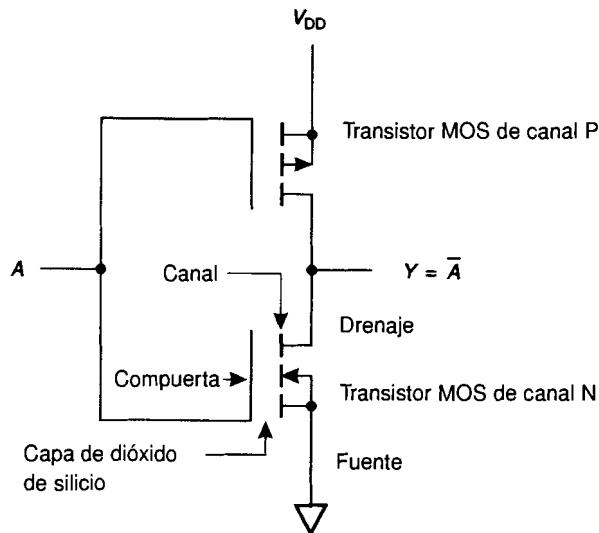


FIGURA 6-22 Inversor CMOS

En el apéndice D se incluye una presentación de los transistores y circuitos CMOS.

6.8 SUBFAMILIAS CMOS

Una de las series originales de CI CMOS, la CD4000B de compuerta metálica, ofrece las siguientes ventajas sobre los CI TTL:

1. Voltaje de operación más amplio (3 - 15 volts),
2. Menor consumo de potencia (microwatts a bajas frecuencias), y
3. Alta inmunidad al ruido (margen de ruido igual a 1 V)

y estas desventajas:

1. grandes retrasos de propagación (100 nanosegundos),
2. corriente de excitación baja (1 carga LS-TTL),
3. problemas de "amarre" (el dispositivo permanece en un estado de baja impedancia), y
4. sensibilidad a descargas electrostáticas (ESD).

Algunos ejemplos de CI de esta familia son:

- 4001 NOR cuádruple de dos entradas
- 4012 NAND doble de cuatro entradas
- 4070 OR exclusivo cuádruple de dos entradas

La serie de compuerta de silicio HE4000B retiene las ventajas antes mencionadas al mismo tiempo que reduce los retrasos de propagación y duplica la corriente de excitación.

Otra serie de CI CMOS es la que puede identificarse por la letra C en el número del dispositivo. Las subfamilias CMOS de esta serie son:

74Cxx o 54Cxx	CMOS
74HCxx	CMOS de alta velocidad (HC)
74HCTxx	CMOS de alta velocidad compatible con TTL (HCT)
74ACxx	CMOS avanzada (AC)
74ACTxx	CMOS avanzada compatible con TTL (ACT)

Los CI 74C y 54C tienen la misma distribución de terminales y funciones que los CI correspondientes 74xx o 54xx. Por ejemplo, un 7430 y un 74C30 son ambos compuertas NAND de 8 entradas con la misma distribución de terminales. Las series 74HC y 74HCT están diseñadas para ser compatibles con las terminales de la serie 74LS. Muchas de las funciones de TTL más algunas otras de la serie 4000 también existen en la lógica HC. Por ejemplo, un 4060 es un contador de propagación binario de 14 etapas con oscilador, al igual que el 74HC4060. El 7404 es un inversor séxtuple, igual que el 74HCT04. Por otra parte, los retrasos de propagación en los dispositivos 74HC y 74HCT son menores y de una magnitud comparable con la de los dispositivos 74LS. Los retrasos de propagación típicos son del orden de 10 nanosegundos. Los dispositivos 74HC pueden funcionar con voltajes de alimentación de 2 a 6 volts. Los dispositivos 74HCT pueden conectarse directamente con dispositivos TTL-LS, de modo que su intervalo de voltajes de alimentación queda limitado entre 4.5 y 5.5 volts.

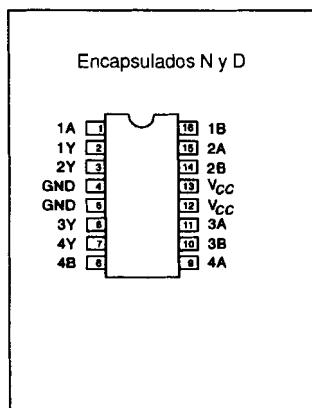
La serie lógica CMOS avanzada (ACL) se diseñó para aumentar más la velocidad de operación y la corriente de excitación de salida de los dispositivos CMOS. Existen dos subfamilias de dispositivos ACL. Los dispositivos 74AC y 54AC son compatibles con CMOS y pueden trabajar con voltajes de alimentación que van desde 3 hasta 5.5 volts. Los dispositivos 74ACT y 54ACT son compatibles con TTL y trabajan con un voltaje de 5 volts $\pm 10\%$.

Las series 74AC11xxx y 74ACT11xxx adoptaron una "arquitectura de flujo directo". En esta arquitectura, las terminales que corresponden a la fuente de alimentación están en la parte central de cada lado del CI, en lugar del acomodo más común, de "alimentación en las esquinas". Al poner

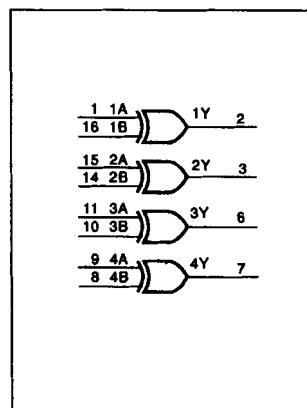
la muesca del encapsulado DIP hacia arriba, V_{CC} está a la mitad del lado derecho. Las terminales de entrada están en la parte derecha, alrededor de la terminal de V_{CC} . La terminal de tierra está a la mitad del lado izquierdo, con las terminales de salida alrededor de ella. Las terminales de habilitación y control están colocadas en las esquinas. La figura 6-23 muestra la distribución de terminales y el diagrama lógico de una compuerta OR exclusivo cuádruple de dos entradas 74AC11086. Nótese que éste es un encapsulado de 16 terminales, mientras que el 7486 sólo tiene 14 terminales. Los dispositivos ACL de 16 terminales con tres o cuatro salidas tienen dos terminales de tierra y dos para la fuente de alimentación. Nótese que seis de las entradas están alrededor de las terminales de la fuente (V_{DD}), y que las cuatro salidas están ubicadas alrededor de las terminales de tierra.

La figura 6-24 muestra la distribución de terminales de una unidad de aritmética y lógica de 4 bits 74ACT11181. Los dispositivos ACL de 20, 24 y 28 terminales con tres o más salidas tienen cuatro terminales de tierra y dos para V_{CC} . Las entradas A_0 a A_3 y B_0 a B_3 están a la derecha, localizadas alrededor de las terminales de la fuente. Las salidas F_0 hasta F_3 , $A = B$, P , G y C_{n+4} están en la parte izquierda, alrededor de las terminales de tierra. S_0 hasta S_3 y M son señales de control situadas en las esquinas. C_n es la única entrada fuera de lugar.

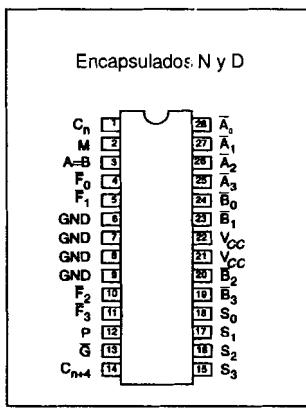
DISTRIBUCIÓN DE TERMINALES



SÍMBOLO LÓGICO



DISTRIBUCIÓN DE TERMINALES

**FIGURA 6-23** OR exclusivo cuádruple 74AC11086 de dos entradas**FIGURA 6-24** ALU de 4 bits 74ACT11181

Este estilo de arquitectura tiene dos ventajas: minimiza la inductancia interna y reduce el ruido en el sistema generado por las velocidades de conmutación tan grandes. Con esta distribución de terminales, los retrasos en la propagación se reducen a tiempos de cinco nanosegundos. Por otra parte el diseño de la tarjeta de circuito impreso se simplifica al tener las entradas en la parte derecha y las salidas en la izquierda, lo que ade-

más ayuda a reducir el tamaño de la tarjeta. Una desventaja de esta arquitectura es que los dispositivos AC11xxx y ACT11xxx no son compatibles con las terminales de los dispositivos TTL.

Los CI 74HC y 74AC resuelven los problemas de "amarre" y de ESD inherentes en los dispositivos de tipo 4000. Sin embargo, incluso con esto, se recomienda seguir para todos los dispositivos CMOS los procedimientos de manejo que aparecen en la preparación de la práctica del capítulo 2. Estos procedimientos se repiten a continuación.

Debe tenerse cuidado en el manejo de CI CMOS puesto que pueden dañarse debido a una acumulación de carga estática excesiva entre terminales. Para evitar esto, deben seguirse las reglas siguientes:

1. Guarde los CI CMOS en tubos antiestáticos o en hule espuma negro conductor. Nunca ponga un CI CMOS en espuma de poliestireno. También puede envolverlos en papel de aluminio.
2. En ambientes de baja humedad donde la carga estática es un problema, evite tocar las terminales de los CI CMOS al tomarlos del sitio donde están guardados, a menos que se hayan seguido las precauciones necesarias para descargar la carga electrostática. Uno de los métodos utilizados para hacer esto es utilizar una pulsera conductiva conectada a tierra a través de un resistor.
3. Conecte el voltaje de alimentación al circuito CMOS antes de aplicar señales a éste.
4. Quite todas las fuentes de señal antes de apagar la fuente de alimentación.
5. Apague todas las fuentes de alimentación antes de insertar o quitar de un circuito dispositivos CMOS.

6.9 ESPECIFICACIONES DE CMOS

La tabla 6-2 ofrece una comparación entre la potencia disipada por las compuertas CMOS y TTL en miliwatts (capacitancia de carga de 15 pF). La primera linea muestra potencias típicas con las compuertas en reposo, esto es, sin conmutar (estáticas). Las subfamilias aparecen en orden creciente de disipación de potencia. Nótese que las compuertas CMOS son las que consumen la menor cantidad de potencia y que su disipación de potencia es del orden de nanowatts.

TABLA 6-2 Disipación de potencia de compuertas CMOS y TTL (en mw salvo donde se indica otra unidad)

	74AC	74HC	4000	74ALS	74LS	74F	74AS	74	74S
estática	2.5 nw	2.5 nw	1 nw	1.2	2	5.5	8.5	10	19
100 kHz		0.075	0.1	1.2	2	5.5	8.5	10	19

A medida que aumenta la frecuencia de operación, también se incrementa la potencia consumida por los dispositivos CMOS. Esto se debe a la carga y descarga de los pequeños capacitores de las entradas de los transistores MOS. La potencia consumida por los dispositivos TTL permanece, en esencia, constante. La segunda línea de la tabla muestra la disipación de potencia a 100 kHz. Aproximadamente a 10 MHz, la potencia consumida por los dispositivos HC y HCT llega a los niveles consumidos por los dispositivos TTL-LS.

La tabla 6-3 ofrece un contraste entre los retrasos de propagación típicos y las frecuencias de reloj máximas en nanosegundos para las compuertas CMOS y TTL (con una capacitancia de carga de 15 pF). Las subfamilias AS, AC, F y S tienen los tiempos de retraso más cortos y las frecuencias de reloj más grandes. Las subfamilias HC y LS trabajan casi a la misma velocidad. Los dispositivos de la serie 4000 son los más lentos.

Las compuertas de la serie 4000 son las más lentas pero disipan la menor cantidad de potencia. Este compromiso entre el consumo de potencia y el retraso aparece muy a menudo. Para medir el retraso y la potencia consumida por una compuerta se define un parámetro igual a la multiplicación del retraso en nanosegundos por la potencia consumida en miliwatts.

$$\text{Potencia} \times \text{Tiempo} = \text{Energía}$$

Watts por segundos son joules

$$\text{miliwatts} \times \text{nanosegundos} = \text{picojoules}$$

TABLA 6-3 Retrasos de propagación y frecuencias de reloj máximas para compuertas CMOS y TTL

	74AS	74AC	74F	74S	74ALS	74HC	74LS	74	4000	
	HE	HC							40	95
Retraso (ns)	1.5	3	3	3	4	8	9.5	10	40	95
Reloj máx (MHz)	160	150	125	100	60	55	33	25	12	4

El producto retraso/potencia se mide en picojoules.

La tabla 6-4 muestra el producto retraso/potencia a 100 kHz para las subfamilias CMOS y TTL. El bajo consumo de potencia y la velocidad relativamente grande de los dispositivos 74AC y HC los ponen en la parte inferior de todo el espectro.

TABLA 6-4 Producto Retraso/Potencia en pJoules a 100 kHz

	74AC	74HC	74ALS	4000		74AS	74F	74LS	74S	74
	CD	HE								
Retraso/Potencia (pJ)		0.52	4.8	9	4	13	16.5	19	57	100

Otra manera de ver este compromiso potencia velocidad es el que se muestra en la figura 6.25.

La figura 6-25 muestra las relaciones velocidad/potencia para muchas de las subfamilias estudiadas en este capítulo. El eje vertical es el retraso de propagación en nanosegundos. Cuanto más alto esté un punto en la gráfica mayor es su retraso de propagación y menor su velocidad de operación. Los dispositivos de la serie 4000B tienen los retrasos de propagación más grandes, mientras que los ECL (que se estudiarán más adelante en este capítulo) tienen los más pequeños. El eje horizontal es la disipación de potencia en miliwatts. Los dispositivos que aparecen a la derecha consumen más potencia de la fuente de alimentación que los que se encuentran a la izquierda. Nótese que ACL se encuentra entre las familias más rápidas y entre las que consumen la menor cantidad de potencia de la fuente.

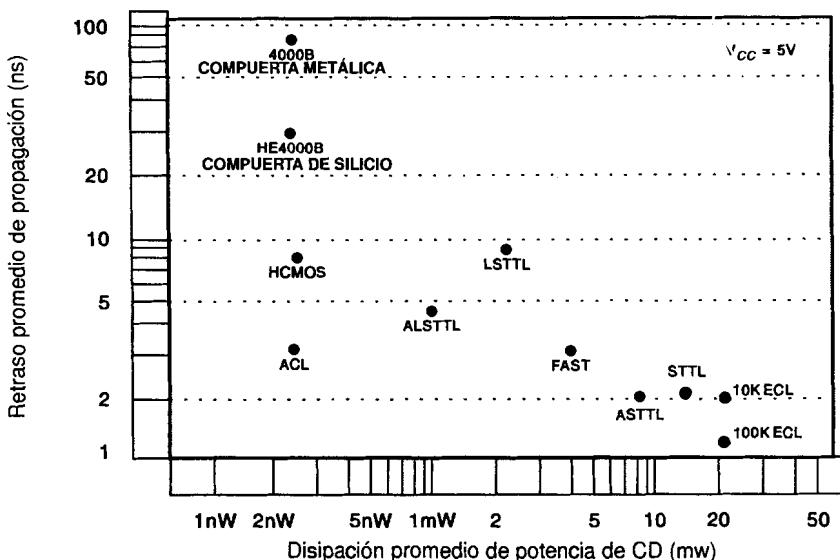


FIGURA 6-25 Espectro velocidad/potencia de las familias lógicas

Los primeros CI CMOS tenían una corriente de excitación baja. Los avances recientes en la tecnología han incrementado la capacidad de corriente de CMOS hasta los niveles que tiene TTL. La tabla 6-5 lista la corriente de excitación (I_{OL}) y el factor de carga a la salida de los CI CMOS y TTL.

TABLA 6-5 Corriente de excitación (I_{OL}) y factor de carga de la salida para cargas LS-TTL

	74AC	74S	74AS	74F	74	74LS	74ALS	74HC	4000	
	CD	HE								
Corriente de excitación (mA)	24	20	20	20	16	8	8	4	.5	.8
Factor de carga para LS-TTL	66	55	55	55	44	22	22	11	1	2

Los dispositivos de la serie 4000 no tienen suficiente corriente de excitación como para excitar una compuerta TTL, pero sí para excitar una compuerta LS-TTL. Los dispositivos 74AC pueden absorber 24 mA y excitar 66 cargas LS-TTL.

Los cálculos del factor de carga de la salida también requieren un conocimiento de la corriente de entrada (I_{IL} e I_{IH}). Las corrientes de entrada a los dispositivos CMOS son bastante pequeñas, 1 uA para los dispositivos 74HC y 74AC. Por consiguiente, es posible excitar con dispositivos CMOS o TTL prácticamente un número ilimitado de dispositivos CMOS.

La tabla 6-6 resume los requisitos de alimentación para los CI CMOS. Los dispositivos ACT y HCT están diseñados para conectarse directamente con CI TTL y deben trabajar a 5 voltios. Los demás CI CMOS tienen un intervalo de operación más amplio. Sin embargo este intervalo de voltajes de alimentación más grande no elimina la necesidad de tener una regulación buena en el voltaje de alimentación. Una fuente con fluctuaciones puede provocar errores en la operación del circuito.

TABLA 6-6 Intervalo de valores para el voltaje de alimentación para CI CMOS

	4000	74C	74HC	74HCT	74AC	74ACT
Intervalo de valores para el voltaje de alimentación (voltos)	3 - 15	3 - 15	2 - 6	4.5 - 5.5	3 - 5.5	4.5 - 5.5

La tabla 6-7 lista los voltajes de salida, alto y bajo, y los voltajes de entrada, alto y bajo, de dispositivos CMOS que funcionan con un voltaje

de 5 V a 25 °C. Para las subfamilias ACT y HCT, V_{IH} es 2.0 volts y V_{IL} es 0.8 volts. Estos valores deben parecer familiares, ya que son los mismos que para los CI TTL. Esto significa que los dispositivos ACT y HCT pueden reconocer niveles de voltaje de salida TTL sin ninguna interfaz especial. Los CI TTL, ¿pueden reconocer salidas ACT y HCT? El valor mínimo de la salida en el nivel ALTO de un dispositivo TTL puede variar entre 2.4 y 5 volts. El nivel ALTO mínimo que puede generar como salida un dispositivo ACT o HCT (V_{OH}) es de alrededor de 4 volts, lo que representa muy bien un nivel ALTO legítimo para dispositivos TTL.

TABLA 6-7 Niveles de voltaje de entrada y salida para CMOS

		AC	ACT	HC	HCT	4000
V_{OH}	(Vmín)	4.4	4.4	4.5	4.0	4.95
V_{OL}	(Vmáx)	.36	.36	.26	.26	0.05
V_{IH}	(Vmín)	3.5	2.0	3.5	2.0	3.5
V_{IL}	(Vmáx)	1.5	0.8	1.5	0.8	1.5

Los dispositivos ACT y HCT pueden excitar y ser excitados por dispositivos TTL sin ninguna interfaz especial. Sin embargo, los dispositivos AC y HC sólo pueden reconocer entradas de nivel ALTO hasta de 3.5 volts (V_{IH}). Una salida TTL puede descender hasta 2.4 volts. Por tanto, TTL no puede conectarse directamente con HC o AC.

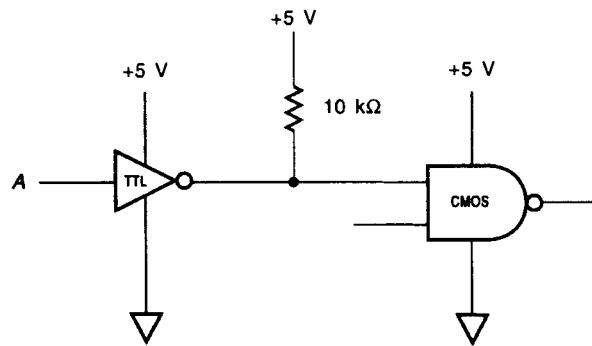
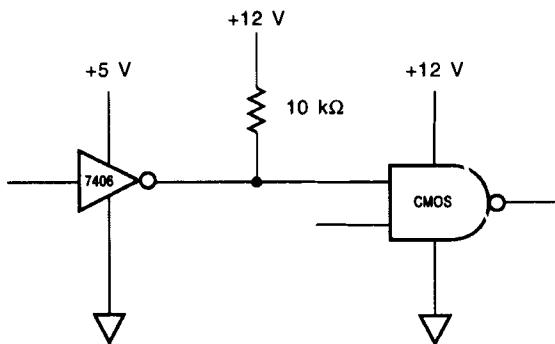
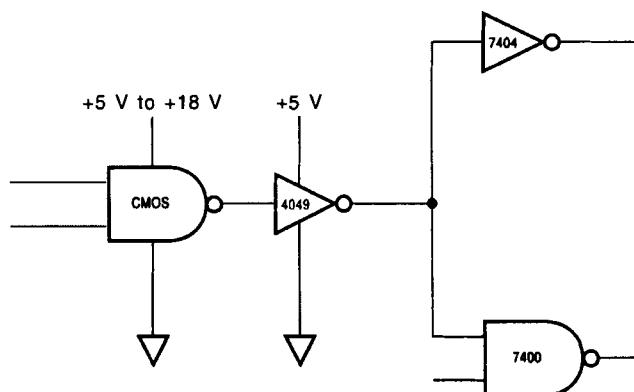
6.10 INTERCONEXIÓN DE TTL CON CMOS



Para hacer la interconexión de TTL con CMOS a 5 V, debe tenerse cuidado de que las salidas en el nivel alto de TTL sean lo suficientemente altas para ser reconocidas como tales por los CI CMOS subsecuentes. Para ello la salida TTL debe ser acoplada a positivo mediante un resistor externo de 10 kΩ, como se muestra en la figura 6-26.

Para hacer la interconexión de TTL con CMOS que trabajen con niveles de voltaje altos puede emplearse una de las compuertas de colector abierto de alto voltaje, como se muestra en la figura 6-27. La salida de colector abierto se acopla al voltaje de operación de la compuerta CMOS.

En cualquier caso, TTL es capaz de absorber suficiente corriente para excitar un número ilimitado de compuertas CMOS a baja frecuencia.

**FIGURA 6-26** TTL con CMOS de 5 volts**FIGURA 6-27** TTL con CMOS de mayor voltaje**FIGURA 6-28** Interconexión de CMOS con TTL

La figura 6-28 muestra una compuerta NAND CMOS que podría estar trabajando con voltajes de entre 5 V y 18 V. Los voltajes mayores en su salida no son compatibles con entradas TTL. Estos niveles no presentan ningún problema para la compuerta de aislamiento inversora séxtuple 4049. El 4049 puede trabajar con un voltaje de alimentación de 5 V y manejar voltajes de entrada hasta de 15 V. Las salidas son compatibles con TTL. El 4049 absorbe suficiente corriente como para excitar dos compuertas TTL estándar; en este caso una 7404 y una 7400. Puede emplearse la compuerta de aislamiento no inversora séxtuple 4059 si no se requiere la inversión.

Puesto que CMOS HC trabaja a 5 V y HCT tiene salidas que son compatibles con TTL, los dispositivos HC y HCT pueden excitar de manera directa un dispositivo TTL. Sin embargo, las salidas de nivel ALTO de TTL pueden descender hasta 2.4 V, valor que es menor que la entrada aceptable de 3.5 V que pueden reconocer los dispositivos HC. En este caso se requiere un resistor de acoplamiento a positivo para hacer la interconexión. Los dispositivos HCT pueden reconocer niveles lógicos TTL e interconectarse directamente con ellos. La figura 6-29 presenta un resumen de estas interconexiones.

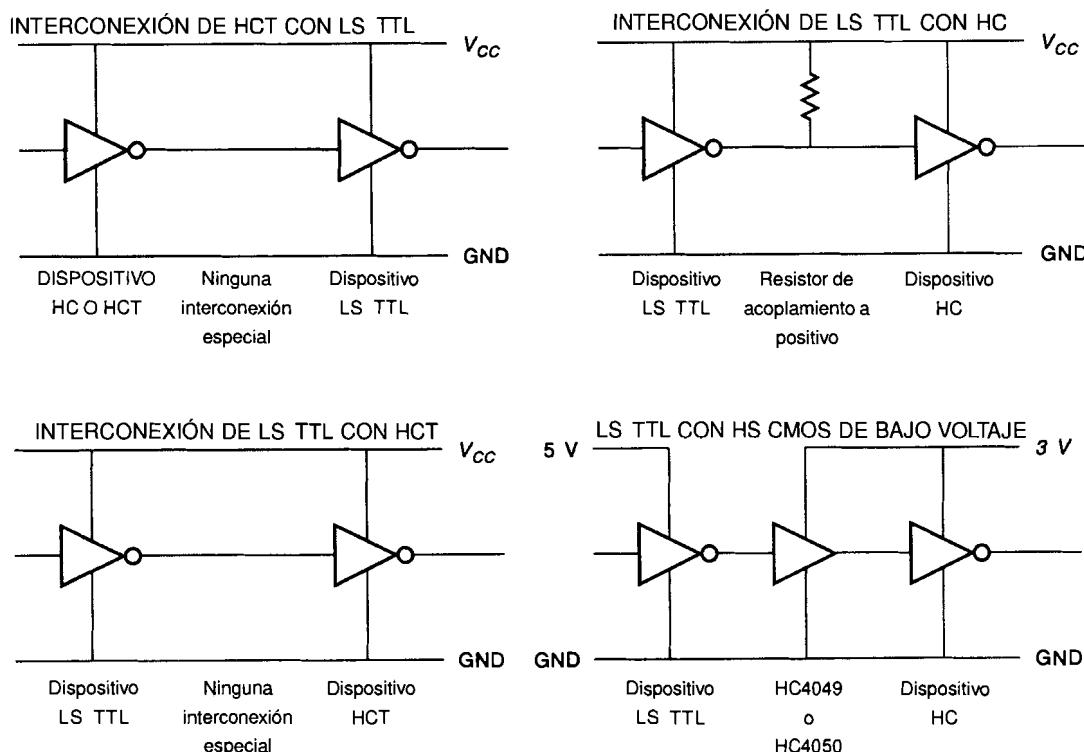


FIGURA 6-29 Interconexión de TTL con dispositivos HC y HCT
(Cortesía de Motorola, Inc.)

Las técnicas presentadas para hacer la interconexión de HC con TTL también se aplican a la interconexión de AC con TTL. Los dispositivos ACT, al igual que los HCT, se interconectan directamente con los TTL.

Ejemplo: Excite el mayor número posible de compuertas 74LS00 con un 74HCT00.

Solución:

Las salidas HCT son directamente compatibles con los dispositivos TTL. No se necesitan resistores de acoplamiento a positivo. Un 74HCT00 tiene un factor de carga de salida de 10 compuertas LS.



Ejemplo: Excite el mayor número posible de compuertas 74HC00, que trabajen a 5 V, con un 74LS00.

Solución:

El voltaje de salida en el nivel alto, V_{OH} , de un 74LS00 puede descender hasta 2.4 V. La entrada en el nivel alto de un 74HC00, V_{IH} , tiene un valor mínimo de 3.15 V. Por tanto, es necesario "elevar" la salida del 74LS00 con un resistor de acoplamiento a positivo. La corriente de entrada máxima que consume el 74HC00 es de 1 μ A.

Para un 74LS00 la corriente de salida de nivel bajo, I_{OL} , es 8 mA, pero la corriente de salida en el nivel alto es únicamente de 0.4 mA. Si se emplea el valor de 0.4 mA para calcular el factor de carga de la salida, esto permite todavía excitar 400 compuertas.

$$\text{Factor de carga de la salida} = \frac{I_{OH}}{I_{IH}} = \frac{0.4 \text{ mA}}{1 \mu\text{A}} = 400$$

Si se emplea un resistor de acoplamiento a positivo (de alrededor de 1 kW), entonces un 74LS00 puede excitar 400 o más 74HC00.

AUTOEVALUACIÓN PARA LAS SECCIONES 6.7, 6.8, 6.9, 6.10 Y 6.11

1. Utilice un manual de especificaciones para hallar los valores de los siguientes parámetros para una AND cuádruple 74HC08 de dos entradas que trabaje a 4.5 volts. [9]
 - a) voltaje de salida máximo en el nivel bajo
 - b) voltaje de salida mínimo en el nivel alto

- c) corriente de entrada
 - d) corriente de excitación mínima de salida en el canal N (corriente de salida en el nivel BAJO)
 - e) corriente de excitación mínima de salida en el canal P (corriente de salida en el nivel ALTO)
2. Calcule el factor de carga de salida si las cargas son otros 74HC08. [3]
3. Haga la interconexión de [11]
- a) un 4070 trabajando a 5 volts con un 7408.
 - b) un 74HCT00 con un 7400.
 - c) un 74LS00 con un 74HC08 que trabaje a 5 volts.

6.11 LÓGICA DE EMISORES ACOPLADOS (ECL)

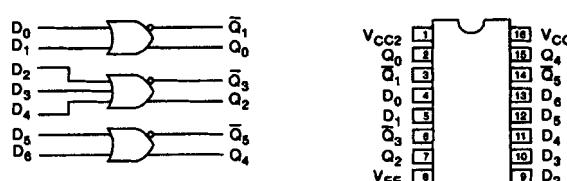


Existen dos familias de **lógica de emisores acoplados (ECL)** que son las series 10K y 100K. Al igual que TTL, ECL está construida con transistores bipolares. Sin embargo, en lugar de utilizar transistores con emisor múltiple para las entradas, ECL emplea un transistor para cada entrada, y éstos están conectados en paralelo. Los circuitos con transistores ECL están diseñados para no saturarse cuando se encienden. Los tiempos de conmutación disminuyen, y para la familia 10K el resultado son retrasos de propagación de 2 nanosegundos. Los ECL 10K pueden trabajar a frecuencias mayores de 200 MHz. ECL consume más del doble de potencia que TTL. En las compuertas ECL las entradas sin utilizar pueden dejarse flotando. La impedancia de entrada de las compuertas ECL es alta, mientras que la de salida es baja, con lo que se tiene un factor de carga de salida mayor que 30. A diferencia de las compuertas TTL y CMOS, la compuerta básica de ECL es un OR/NOR, una compuerta con salidas complementarias. Véase la figura 6-30.

Un miembro de la familia 10K es el 10105, una compuerta OR/NOR triple de 2-3-2 entradas. La figura 6-31 presenta el diagrama de terminales de esta compuerta.



FIGURA 6-30 Compuerta ECL OR/NOR



$$\begin{aligned}
 Q_0 &= D_0 + D_1 \\
 Q_2 &= D_2 + D_3 + D_4 \\
 Q_4 &= D_5 + D_6 \\
 \bar{Q}_1 &= D_0 + D_1 \\
 \bar{Q}_3 &= D_2 + D_3 + D_4 \\
 \bar{Q}_5 &= D_5 + D_6
 \end{aligned}$$

FIGURA 6-31 Distribución de terminales del 10105

Nótese que existen tres conexiones a fuentes de alimentación, V_{CC1} , V_{CC2} y V_{EE} . ECL 10K trabaja mejor con dos fuentes de alimentación de 5.2 voltos, V_{CC1} y V_{CC2} . V_{CC1} proporciona corriente a los transistores de commutación de la compuerta, y V_{CC2} suministra corriente a la etapa de salida. Este sistema reduce la cantidad de ruido acoplado entre compuertas cuando las salidas excitan cargas grandes. Las dos terminales V_{CC} están conectadas a la tierra del circuito, lo que hace que V_{EE} sea -5.2 voltos.

La figura 6-32 contiene una lista con algunos otros CI de la serie 10K. La terminal de selección (*strobe*) de una 10100 y una 10101 es una entrada única que está alambrada a cada una de las compuertas del CI y sirve para habilitar o inhabilitar todas las compuertas del CI. Si dicha terminal se queda sin conectar, entonces no tiene ninguna influencia sobre la operación de cada una de las compuertas. La entrada de selección del 10100 crea compuertas de tres entradas, mientras que la del 10101 crea compuertas de dos entradas. La entrada de habilitación del 10113 debe estar en BAJO para que la compuerta funcione como una OR exclusivo. Si está en ALTO entonces se ignoran las entradas de datos, D0 a D7, y las salidas permanecen en BAJO.

La salida en ALTO de una compuerta ECL 10K, V_{OH} , varía entre -0.810 y -0.960 voltos. Un nivel BAJO legítimo, V_{OL} , se encuentra entre -1.650 y -1.850 voltos.

10100	Compuerta NOR cuádruple de dos entradas con selección
10101	Compuerta OR/NOR cuádruple de dos entradas con selección
10102	Compuerta NOR cuádruple de dos entradas (3 NOR y 1 OR/NOR)
10103	Compuerta OR cuádruple de dos entradas (3 OR y 1 OR/NOR)
10104	Compuerta AND cuádruple de dos entradas
10106	NOR triple con 4-3-3 entradas
10107	Compuerta OR exclusivo/NOR exclusivo triple de dos entradas
10108	Compuerta AND/NAND doble de cuatro entradas
10109	Compuerta OR/NOR doble con 4-5 entradas
10113	Compuerta OR exclusivo cuádruple con habilitación

FIGURA 6-32 Compuertas ECL 10K

En ECL el margen de ruido en el nivel BAJO es aproximadamente de 0.155 voltos, mientras que en el nivel ALTO es alrededor de 0.125 voltos. Aunque el margen de ruido de ECL es considerablemente menor que el de

TTL o CMOS, las impedancias del circuito hacen posible que ECL trabaje a frecuencias mucho mayores sin errores inducidos por ruido en los estados lógicos.

La familia ECL 100K tiene su origen en cambios en el voltaje y las redes de compensación de temperatura de la circuitería de la familia 10K. La familia 100K tiene retrasos de propagación de 0.75 nanosegundos, lo que le permite trabajar a frecuencias del orden de gigahertz. El V_{EE} óptimo es de -4.5 volts, aunque puede llegar a ser hasta -7 volts. Puesto que la familia 100K trabaja con un V_{EE} diferente al de la familia 10K, sus voltajes de salida difieren muy poco. V_{OH} varía entre -0.880 volts y -1.025 volts. V_{OL} se encuentra entre -1.810 y -1.620 volts. V_{EE} puede aumentarse hasta -5.2 volts para hacer las salidas de 100K compatibles con las de 10K.

La figura 6-33 presenta algunos de los CI disponibles en la familia 100K.

100101	Compuerta OR/NOR triple de cinco entradas
100102	Compuerta OR/NOR quintuple de dos entradas con habilitación
100107	Compuerta OR exclusivo/NOR exclusivo quíntuple con comparación
100117	Compuerta OR-AND/OR-AND-INVERSOR triple con 1-2-2 entradas
100118	Compuerta OR-AND quíntuple con 2-4-4-5 entradas
100166	Comparador de 9 bits
100179	Generador de acarreo anticipado
100180	Sumador de 6 bits de alta velocidad
100181	ALU de 4 bits binario/BCD

FIGURA 6-33 CI ECL 100K

6.12 INTERCONEXIÓN DE ECL CON OTRAS FAMILIAS LÓGICAS

En sistemas donde se utiliza lógica tanto TTL como ECL, existe una fuente de alimentación negativa, V_{EE} , para ECL y una de +5 volts, V_{CC} , para TTL. Estas dos fuentes de alimentación comparten una tierra común. Para hacer la interconexión entre los dos sistemas lógicos deben emplearse circuitos de conversión. Los siguientes circuitos se utilizan para hacer la conversión de una familia a otra, pero no viceversa. Estos dispositivos se conocen como convertidores unidireccionales.

TTL a 10K	10124
10K a TTL	10125
TTL a 100K	100124
100K a TTL	100125

La figura 6-34 muestra la distribución de terminales y el diagrama lógico del convertidor de TTL a ECL cuádruple 10124.

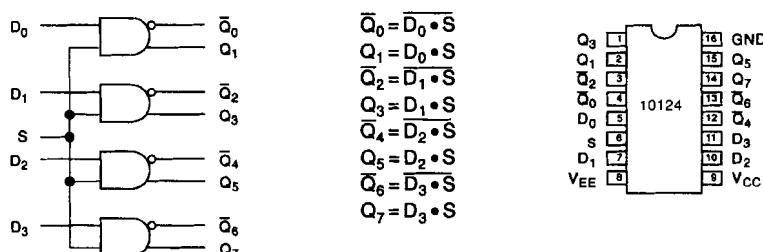


FIGURA 6-34 Distribución de terminales y diagrama lógico del 10124

Nótese que el 10124 tiene conexiones a fuentes de alimentación para V_{CC} , V_{EE} y tierra. Las terminales D_0 a D_3 y S son entradas TTL Schottky. Las salidas Q son todas salidas ECL 10K. La figura 6-35 muestra la interconexión de un 74LS00 con un 10101.

El 100255 es un convertidor bidireccional de 4 bits. Puede hacer la conversión ya sea de TTL a ECL o de ECL a TTL. La figura 6-36 muestra el diagrama lógico de un 100255. Las entradas B_0 a B_4 son compatibles con TTL, mientras que las entradas de habilitación de circuito (CE), control de dirección (DIR) y A_0 hasta A_4 son compatibles con ECL 100K. Para hacer la conversión de ECL a TTL o viceversa, CE debe estar en el nivel ALTO. Cuando CE se encuentra en el nivel BAJO, todas las compuertas entran en un estado de alta impedancia. La terminal DIR controla la dirección de la transferencia.

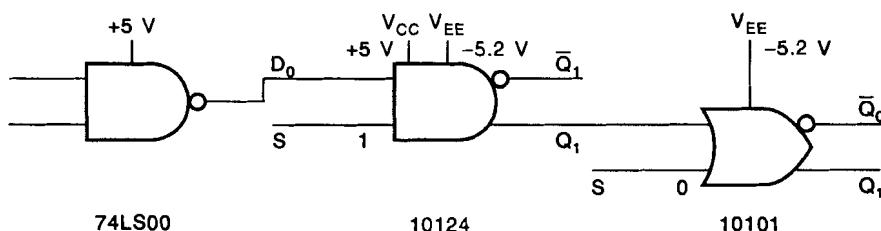


FIGURA 6-35 Interconexión de TTL con ECL

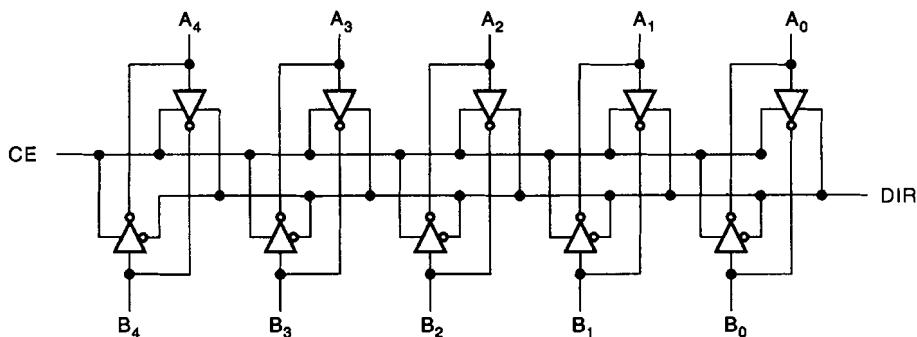


FIGURA 6-36 Conversión bidireccional

Un nivel BAJO en DIR permite que los inversores conduzcan de B a A (nótese el círculo de inversión en la entrada de control de estos inversores). Con DIR BAJO, el CI hace la conversión de TTL a ECL. Un ALTO en DIR hace que los inversores conduzcan de A a B (ningún círculo de inversión en las entradas de control de estos inversores). Con DIR ALTO, el CI hace la conversión de ECL a TTL.

Los convertidores antes usados para TTL, también funcionan para CI CMOS que trabajen con 5 voltos. Para hacer la interconexión con CMOS cuando éstos funcionan con otros niveles de voltaje, primero debe hacerse la conversión a TTL y luego emplear compuertas de colector abierto, como se indicó anteriormente en este capítulo, para hacer la interconexión con el nivel de voltaje deseado.

6.13 TECNOLOGÍA DE MONTAJE DE SUPERFICIE

Microminiaturización es una palabra relativamente nueva que se refiere al proceso de reducir el tamaño y la disipación de potencia de los circuitos electrónicos. En las prácticas de este libro se han empleado CI con un encapsulado de doble hilera de terminales (DIP). El CI DIP representa ciertamente una mejora sobre los circuitos equivalentes construidos con tubos de vacío o transistores discretos. En pos de la microminiaturización, el encapsulado DIP ha cedido el camino a la **tecnología de montaje de superficie (SMT)**. Los dispositivos SMT no atraviesan la tarjeta de circuito impreso para ser soldados del otro lado (lado del componente, lado de la soldadura). Estos dispositivos se sueldan sobre zonas metalizadas que están en cualquier lado de la tarjeta, pero sin pasar a través de ella; de aquí el nombre de montaje de superficie. Los siguientes son algunos estilos de SMT.

Los encapsulados de contorno pequeño (SO) fueron desarrollados por Philips Corp. para la industria relojera suiza y originalmente se conocieron como encapsulados de contorno suizo. En Estados Unidos fueron introducidos en la industria por Signetics a mediados de la década de los setenta.

Tal como se muestra en la figura 6-37, el encapsulado SO tiene el mismo estilo que el de doble hilera de terminales, con éstas dobladas hacia abajo y hacia afuera para facilitar el montaje sobre las zonas metalizadas de la tarjeta de circuito impreso. Esta forma de terminal se conoce como ala de gaviota o ala M. Existen CI SO en encapsulados de 8, 14 y 16 terminales que tienen un ancho de 0.0150 pulgadas. Existen CI grandes de contorno pequeño (SOL) en encapsulados de 16, 18, 20, 24 y 28 terminales que tienen un ancho de 0.300 pulgadas. Los dispositivos TTL estándar, FAST, LS, S, CMOS, HC, HCT, AC, ACT y ECL están disponibles en encapsulados SO y SOL.

Un portador de pastilla sin terminales (LCC) es un encapsulado de CI de cerámica que no tiene terminales que sobresalgan para conectarlo a la tarjeta de circuito impreso. La conexión del LCC se hace tanto mecánica como eléctricamente mediante soldadura. La figura 6-38a muestra la forma de un portador de pastilla sin terminales. La figura 6-38b ilustra un LCC soldado de manera correcta a una tarjeta de circuito impreso.

El portador de pastilla de plástico con terminales (PLCC) fue introducido en 1980 como una alternativa de menor costo para el LCC. Tal como se muestra en la figura 6-39a, el PLCC tiene terminales por los cuatro lados.

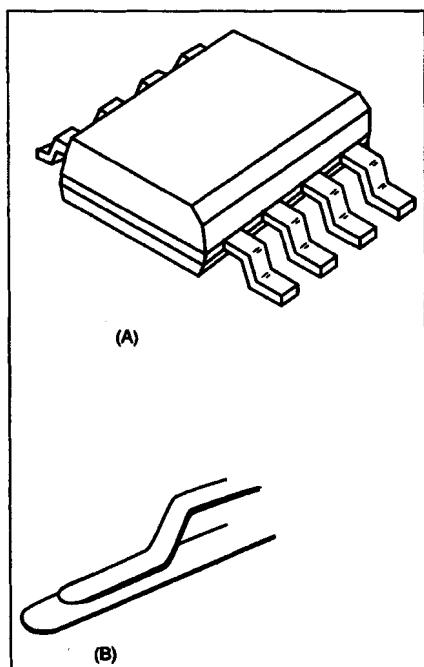


FIGURA 6-37 Contorno pequeño

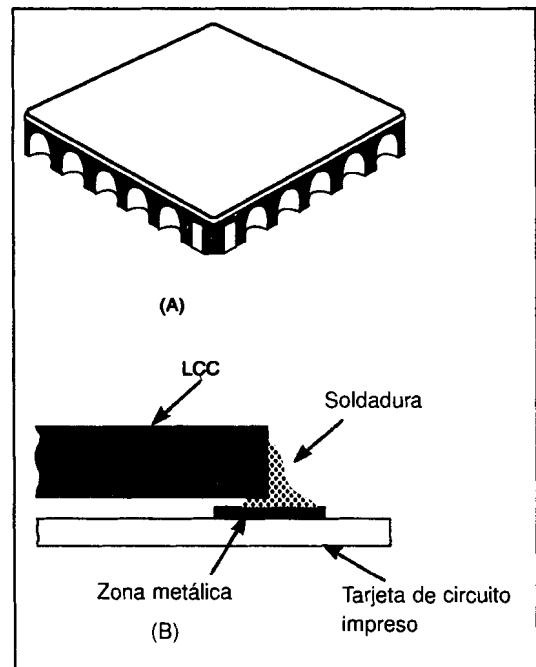


FIGURA 6-38 Portador de pastilla sin terminales (LCC)

Estas terminales sobresalen hacia abajo del encapsulado de plástico y tienen un doblez hacia atrás debajo del encapsulado, en forma de J; de aquí el nombre de terminal J. Los PLCC están disponibles en encapsulados con 20, 28, 44, 52, 68 y 84 terminales. La figura 6-39b muestra la distribución de terminales para un sumador completo de ocho bits ECL 100180 en un encapsulado PLCC. Como puede observarse, la terminal 1 está en la parte media de uno de los lados y está señalada por una muesca. Las terminales se numeran a partir de la terminal 1 en sentido contrario al de las manecillas del reloj.

Obsérvese que la muesca que sirve como índice está en la primera esquina, al ir en dirección contraria a la del giro de las manecillas del reloj, a partir de la terminal 1. La figura 6-39c muestra una terminal J soldada de manera correcta a una tarjeta de circuito impreso.

También existen disponibles para montaje de superficie componentes pasivos como resistores y capacitores.

AUTOEVALUACIÓN PARA LAS SECCIONES 6.12, 6.13 Y 6.14

1. Explique el papel que tienen las tres terminales de voltaje de alimentación de un CI ECL. [12]
2. ¿Cuál es el voltaje de alimentación óptimo de un CI ECL de 10K? ¿De uno de 100K? [12]
3. ¿Qué convertidor se necesita para hacer la interconexión de un 10101 con un 74LS04? [11]
4. Compare ECL con otras familias lógicas en lo que respecta a la velocidad [2, 10, 12]
5. Compare ECL con otras familias lógicas en lo que toca al consumo de potencia [2, 10, 12]
6. ¿Qué es una terminal en M? [13]
7. ¿Qué es una terminal J? [13]
8. ¿Qué diferencia existe entre un PLL y un CI SO o PLCC? [13]

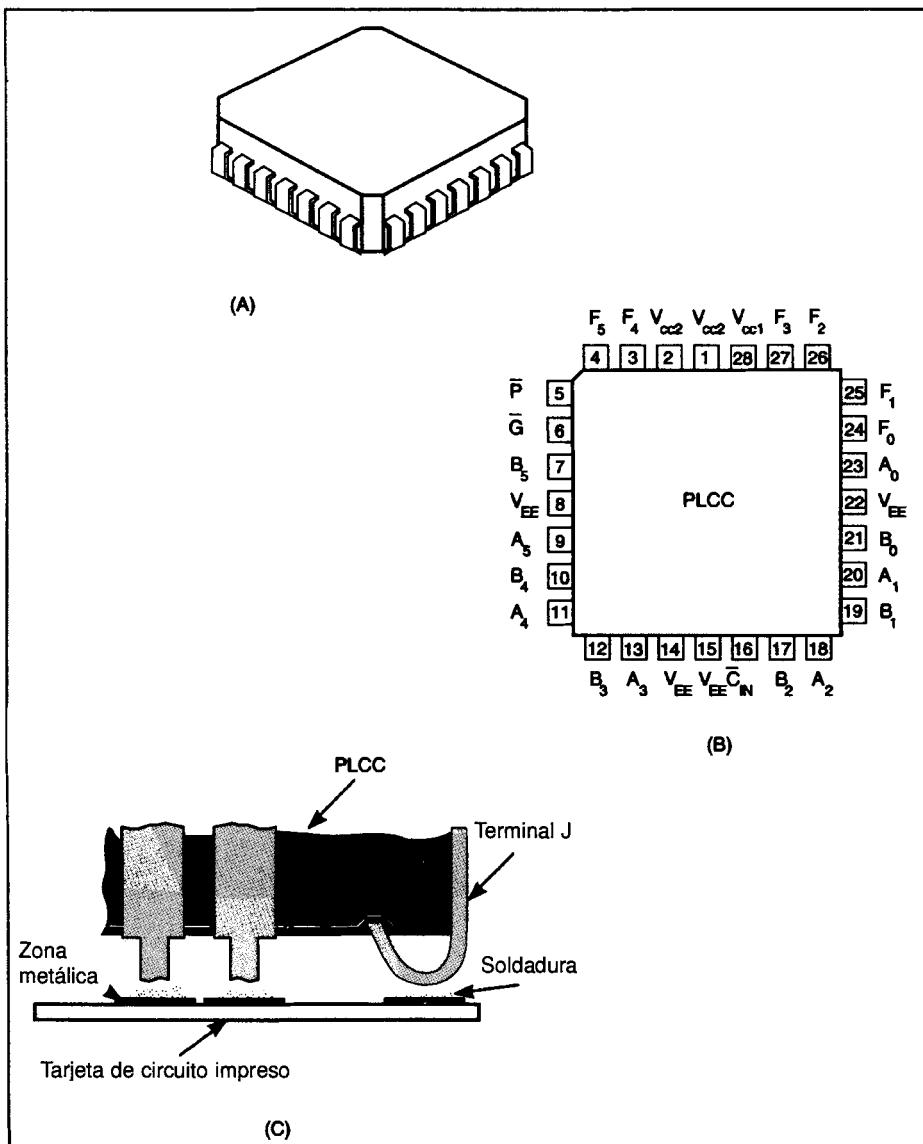
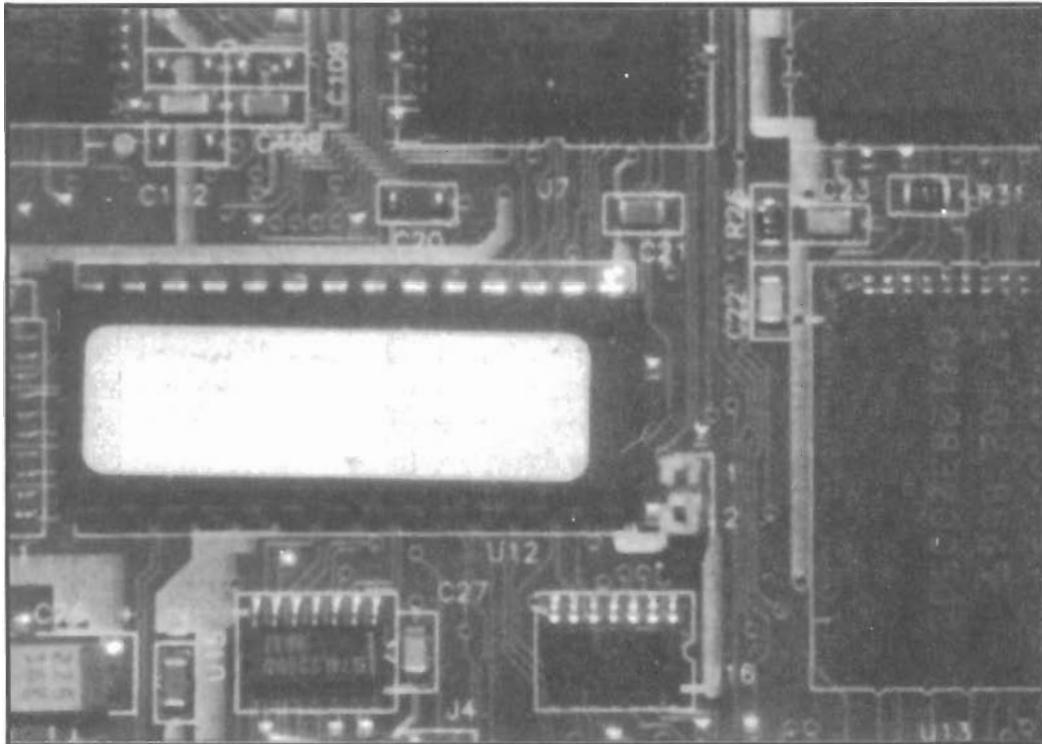


FIGURA 6-39 Portador de pastilla de plástico con terminales (PLCC)

CI DE MONTAJE DE SUPERFICIE



Esta tarjeta de circuito impreso contiene CI tanto DIP como de montaje de superficie. El CI grande que aparece en la parte media de la fotografía es un DIP de 28 terminales. Compare su tamaño con el CI PLCC cuadrado de montaje de superficie que está a la derecha. Este es un CI de 68 terminales con terminales J. Los dos CI más pe-

queños que están en la parte inferior de la fotografía son CI de montaje de superficie de contorno pequeño de 14 terminales en forma de ala de gaviota. Los CI de montaje de superficie se sueldan directamente a la tarjeta. En la fotografía también aparecen varios resistores y capacitores de montaje de superficie.

RESUMEN

- En TTL una salida de nivel alto puede variar desde 2.4 V hasta V_{CC} , pero una entrada de nivel alto puede hacerlo desde 2.0 volts hasta V_{CC} . La diferencia proporciona un margen de ruido de 0.4 volts.
- 1.6 mA se conoce como “una carga TTL estándar”.
- El factor de carga de la salida es el número de cargas que un dispositivo puede excitar.
- Las subfamilias TTL son, de la más rápida a la más lenta, AS, F, S, ALS, LS, TTL y L.
- La clasificación de las subfamilias TTL en cuanto al consumo de potencia es, de menor a mayor, L, ALS, LS, F, AS, TTL, S.
- El circuito de salida de una compuerta de colector abierto no tiene una trayectoria interna hacia la fuente de alimentación. Para ello debe conectarse un resistor externo de acoplamiento a positivo.
- Las salidas de las compuertas de colector abierto pueden conectarse entre sí y compartir un resistor de acoplamiento a positivo común.
- Los CI 7406, 7407, 7416 y 7417 son compuertas de colector abierto con salidas de alto voltaje. Los resistores de acoplamiento a positivo de estas compuertas pueden conectarse a voltajes mayores que V_{CC} .
- Las subfamilias CMOS incluyen las series 4000, 74C, 74HC, 74HCT, 74AC y 74ACT.
- Se necesita un resistor de acoplamiento a positivo para hacer la interconexión de TTL con CMOS a 5 volts.
- Se utiliza un 4049 o un 4050 para hacer la interconexión de TTL con CMOS a voltajes mayores de 5 V.
- HCT está diseñada para interconectarse directamente con LS TTL.
- ECL es la familia más rápida de compuertas lógicas, y también es la que consume la mayor cantidad de corriente de la fuente de alimentación.
- Dos series de CI ECL son la 10K y la 100K.
- Para interconectar ECL con otras familias lógicas es necesario emplear CI convertidores.
- Los encapsulados de CI para montaje de superficie son SO, LCC y PLCC.

PREGUNTAS Y PROBLEMAS

1. ¿Cuál es la salida en el nivel 1 mínima de un 74LS08? [2]
2. ¿Cuál es la corriente máxima que puede absorber un 74LS08 en el estado de salida cero? [2]
3. ¿Cuántos 5475 puede excitar un 7404? [3]
4. ¿Cuál es la corriente máxima que consume un CI 74LS83A? [2]
5. ¿Cuál es el retraso de propagación máximo de BAJO a ALTO de un 5421? (Suponga una carga de 50 pF, 2 kΩ.) [2]
6. Para un voltaje de alimentación de 15 V, ¿cuánta corriente puede absorber un 4006BM? [9]
7. ¿Cuál es el voltaje de salida mínimo en el nivel 1 de un 4006BM (alimentación de 5 V)? [9]
8. ¿Puede un 4006BM (voltaje de alimentación de 5 V) excitar un 7400? ¿Por qué sí o por qué no? [11]
9. ¿Cuánta corriente puede absorber un 4049 con la salida en el nivel BAJO ($V_{DD} = 5$ V)? [9]
10. Haga la interconexión de una compuerta OR 7432 con una compuerta AND 4081 que trabaje a 5 V. [11]
11. Conecte un inversor 7404 con una compuerta OR 4071 que funcione con 5 V. [11]
12. Utilice un 7406 para interconectar una compuerta AND 7408 con otra AND 4081 que trabaje a 12 V. [11]
13. Haga uso de un 7406 para interconectar una compuerta AND 7408 con una AND 74C08 que funcione con 12 V. [11]
14. Utilice un 4049 para interconectar una compuerta AND 4081 que trabaje a 12 V con un inversor 7404. [1]
15. Use un 4050 para hacer la conexión de una compuerta NAND 74C00 que funcione a 15 V con una compuerta NAND 7400. [11]
16. Use un 4049 para hacer la conexión de un 4001 que trabaje a +12V con la mayor cantidad de 7404 que sea posible. [11]
17. Utilice un 4049 para hacer la conexión de un 74LS00 con un 74HC06 que funcione a 3 V. [11]
18. Para un dispositivo HC, ¿cuál es el intervalo aceptable de voltajes de alimentación? [10]

19. ¿Cuál es el intervalo aceptable de voltajes de alimentación para dispositivos HCT? [10]
20. ¿Puede un dispositivo TTL excitar directamente a uno HCT? [11]
21. ¿Puede un dispositivo TTL excitar directamente a uno HC que funciona a 5 V? [11]
22. ¿Qué significan las siglas HCT? [10]
23. ¿Cuántos dispositivos LS puede excitar una compuerta CMOS HC? [3]
24. Clasifique, en orden descendente, las siguientes familias de acuerdo con su consumo de potencia: CMOS HC, CMOS, CMOS AC, ECL, TTL, LS, ALS, FAST, S. [4]
25. Clasifique las siguientes familias de acuerdo con velocidad, en orden descendente: CMOS HC, CMOS AC, CMOS, TTL, LS, ALS, FAST, S. [4]
26. ¿Cuál es el retraso de propagación máximo de una compuerta NOR 4001? [9]
27. En estado estático, ¿cuánta corriente consume una compuerta NOR 4001? [9]
28. ¿Cuál es la corriente de excitación de nivel bajo típica de una compuerta NAND 4011? [9]
29. ¿Cuál es el voltaje de salida máximo en el nivel bajo para una compuerta NOR 4001 cuádruple de dos entradas? [9]
30. Dibuje un diagrama donde aparezca un inversor de colector abierto excitando la bobina de un relevador que está conectada a +20 V. [7]
31. Dibuje un diagrama donde se muestren tres inversores de colector abierto, 7406, conectados a un resistor de acoplamiento a positivo de $5\text{ k}\Omega$ y a una fuente de alimentación de 20 V. [7]
32. ¿Qué diferencia existe entre una compuerta de tótem y otra de colector abierto? [6]
33. Dibuje el símbolo de una compuerta OR/NOR ECL. [12]
34. Conecte las compuertas de un 10105 para formar una compuerta NOR con el máximo número de entradas (amplíe el NOR). [12]
35. ¿Qué niveles lógicos deben existir en las terminales CE y DIR de un 100255 para que el CI haga la conversión de ECL a TTL? [11, 12]
36. Defina microminiaturización. [13]
37. Mencione dos tipos de CI con terminales para el montaje de superficie. [13]
38. Indique dos estilos de terminales empleados en los CI de montaje de superficie. [13]

Práctica 6

Especificaciones y compuertas de colector abierto

OBJETIVOS

Al término de esta práctica, el lector deberá ser capaz de:

- medir y graficar la corriente de entrada contra el voltaje de entrada para una compuerta TTL.
- medir y graficar la corriente de salida contra el voltaje de salida de una compuerta TTL.
- medir y graficar la corriente de la fuente contra la frecuencia aplicada para un CI CMOS.
- construir un circuito NOR alambrado de seis entradas.

COMPONENTES NECESARIOS

1 CI 7404

1 CI 7406

1 CI 74C14

1 CI 4001

1 resistor de 1 kΩ

1 potenciómetro de 1 kΩ

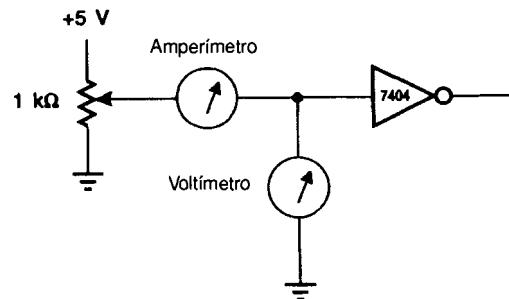
1 resistor de 100 Ω

Repase las reglas de seguridad que aparecen en la sección de PREPARACIÓN de la práctica 1, capítulo 1.

PROCEDIMIENTO

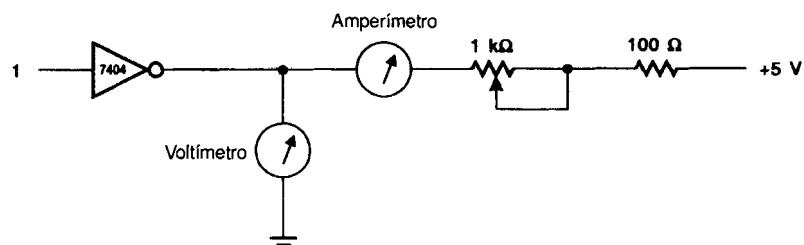
1. Arme el circuito de la figura y encuentre los valores desconocidos de la tabla. Luego dibuje una gráfica del voltaje de entrada contra la corriente de entrada. La corriente de entrada máxima medida, ¿se encuentra dentro de las especificaciones del CI?

Voltaje de entrada	Corriente
5.0 V	
4.5 V	
4.0 V	
3.5 V	
3.0 V	
2.5 V	
2.0 V	
1.5 V	
1.0 V	
0.5 V	
0.0 V	



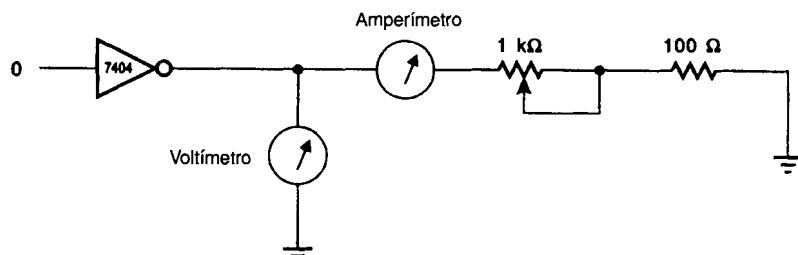
2. Arme el siguiente circuito y determine los valores desconocidos de la tabla. Haga una gráfica del voltaje de salida contra la corriente de salida. El voltaje de salida, ¿cae dentro de las especificaciones del CI?

Corriente de salida	Voltaje de salida
4 mA	
6 mA	
8 mA	
10 mA	
12 mA	
14 mA	
16 mA	
18 mA	
20 mA	
25 mA	
30 mA	
40 mA	



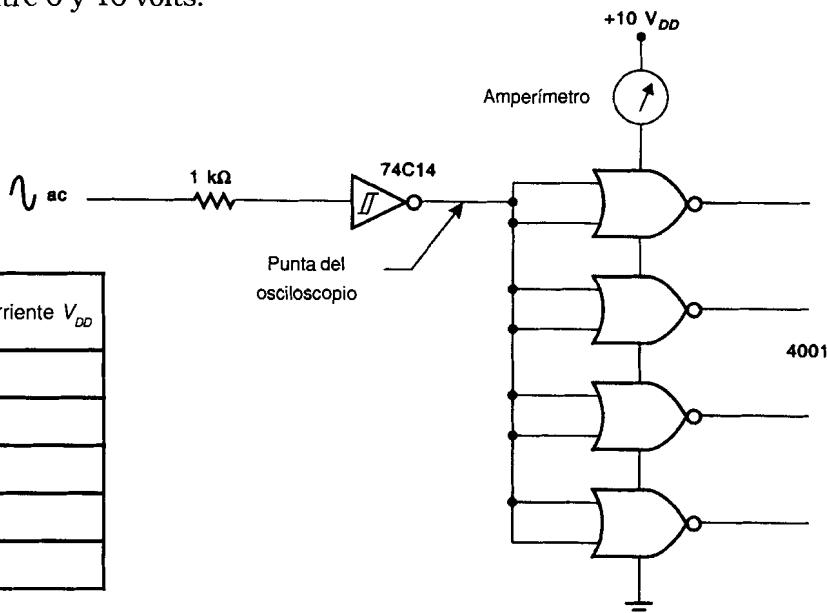
3. Construya el siguiente circuito y mida los valores desconocidos de la tabla. Dibuje la gráfica de la corriente de salida contra el voltaje de salida.

Corriente de salida	Voltaje de salida
	5.0 V
	4.5 V
	4.0 V
	3.5 V
	3.0 V
	2.4 V
	2.0 V

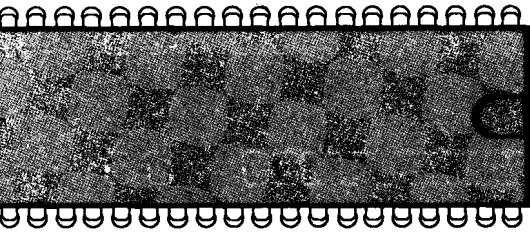


4. Construya el circuito de la figura y determine los valores desconocidos de la tabla. Haga una gráfica de la frecuencia de entrada contra la corriente V_{DD} . Utilice el osciloscopio para medir la frecuencia de entrada. El 74C14, que será estudiado en un capítulo posterior, se emplea aquí para convertir la señal de ca en una onda cuadrada que varíe entre 0 y 10 volts. También puede emplearse un generador de señales cuya salida pueda ajustarse para obtener una onda cuadrada que varíe entre 0 y 10 volts.

Frecuencia de entrada	Corriente V_{DD}
1. kHz	
10 kHz	
100 kHz	
500 kHz	
1 MHz	



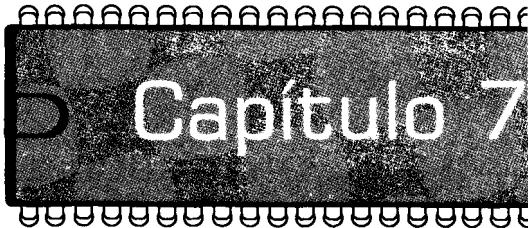
5. Utilice una compuerta 7406 de colector abierto para construir una compuerta NOR alambrada de seis entradas.



CONTENIDO

- 7.1** INTRODUCCIÓN A LOS FLIP-FLOPS
- 7.2** FLIP-FLOPS SET-RESET CON COMPUERTAS NAND CON CONEXIÓN CRUZADA
- 7.3** FLIP-FLOPS SET-RESET CON COMPUERTAS NOR CON CONEXIÓN CRUZADA
- 7.4** COMPARACIÓN ENTRE FLIP-FLOPS SET-RESET CON COMPUERTAS NAND Y NOR CON CONEXIÓN CRUZADA
- 7.5** USO DEL FLIP-FLOP SET-RESET COMO INTERRUPTOR SIN OSCILACIONES
- 7.6** FLIP-FLOP SET-RESET CON ENTRADA DE CONTROL
- 7.7** FLIP-FLOP *D* TRANSPARENTE
- 7.8** FLIP-FLOP *D* MAESTRO-ESCLAVO
- 7.9** FLIP-FLOP *D* DISPARADO POR FLANCO DE PULSO

Flip-flops



LISTA DE TÉRMINOS

flip-flop

flip-flop SET - RESET

flip-flop SET - RESET con compuertas NAND de conexión cruzada

flip-flop SET - RESET con compuertas NOR de conexión cruzada

CLEAR

PRESET

eliminación de oscilaciones

flip-flop SET-RESET con entrada de control con compuertas NAND con conexión cruzada

flip-flop *D* transparente

flip-flop *D* maestro-esclavo disparado por flanco

OBJETIVOS



Al término de este capítulo el lector debe ser capaz de:

1. Explicar la operación de un flip-flop SET-RESET.
2. Utilizar un flip-flop con compuertas NAND o NOR con conexión cruzada como interruptor sin oscilaciones.
3. Explicar la operación de un flip-flop SET-RESET con entrada de control.
4. Explicar la operación de un flip-flop *D* transparente.
5. Explicar la operación de un flip-flop *D* empleado como retenedor.
6. Explicar la operación de un flip-flop *D* maestro-esclavo.
7. Describir flip-flops típicos de CI.

7.1 INTRODUCCIÓN A LOS FLIP-FLOPS

Un **flip-flop** es un circuito digital que tiene dos salidas Q y \bar{Q} , las cuales siempre se encuentran en estados opuestos. Si Q es 1 entonces \bar{Q} es 0 y se dice que el flip-flop está inicializado (*set*), activo o preinicializado (*preset*). Si Q es 0 entonces \bar{Q} es 1 y se dice que el flip-flop está reinicializado, inactivo o borrado. Existen varios tipos de flip-flops, y las entradas de control cambian con cada tipo. Los niveles lógicos en las entradas de los flip-flops determinan el estado de las salidas Q y \bar{Q} de acuerdo con la tabla de verdad del flip-flop.

A diferencia de las compuertas estudiadas hasta este momento, el flip-flop puede en algunos estados mantener su estado de salida (encendido o apagado) aun después de que las señales de entrada que produjeron el estado de salida cambien. Es así como el flip-flop puede guardar un bit de información o uno de los dígitos de un número binario grande. Los flip-flops tienen muchos más usos, como se verá en los siguientes capítulos.

7.2 FLIP-FLOPS SET - RESET CON COMPUERTAS NAND CON CONEXIÓN CRUZADA



Un **flip-flop SET - RESET** es un circuito digital cuya salida es inicializada por la entrada $\overline{\text{SET}}$ pero que sólo puede ser reinicializada por la entrada $\overline{\text{RESET}}$. Las dos compuertas NAND con conexión cruzada de la figura 7-1 forman un flip-flop SET - RESET.

Las entradas $\overline{\text{SET}}$ y $\overline{\text{RESET}}$ son activas en el nivel BAJO. La entrada $\overline{\text{SET}}$ debe ser 0 para inicializar la salida Q en 1. Nótese la barra de complemento sobre las entradas SET y RESET. Esto significa que estas entradas están activas en el nivel BAJO. Las salidas de un flip-flop usualmente se representan por Q y \bar{Q} , lo que significa que si Q es 1 entonces \bar{Q} es 0 y viceversa.

Cuando la entrada $\overline{\text{SET}}$ va a 0 y la entrada $\overline{\text{RESET}}$ se mantiene en 1, la salida del flip-flop con compuertas NAND con conexión cruzada tiene la configuración que se muestra en la figura 7-2. Esto se debe a que un 0 en cualquiera de las entradas de una compuerta NAND hace que la salida de ésta sea 1. Lo anterior inicializará la salida Q a 1 y \bar{Q} a 0.

Si la entrada $\overline{\text{SET}}$ va hacia 1 y $\overline{\text{RESET}}$ permanece en 1, la salida no cambia, como se muestra en la figura 7-3.

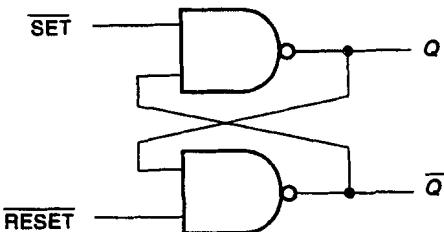


FIGURA 7-1 Flip-flop $\overline{\text{SET}}$ - $\overline{\text{RESET}}$ con compuertas NAND con conexión cruzada

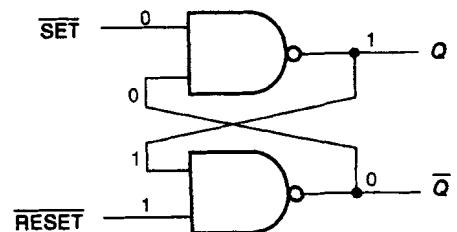


FIGURA 7-2 Puesta en 1 de la salida Q de un flip-flop $\overline{\text{SET}}$ - $\overline{\text{RESET}}$ con compuertas NAND con conexión cruzada

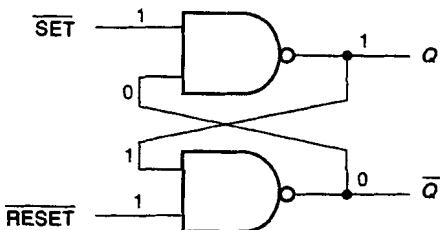


FIGURA 7-3 Estado sin cambio para el flip-flop $\overline{\text{SET}}$ - $\overline{\text{RESET}}$ con compuertas NAND con conexión cruzada

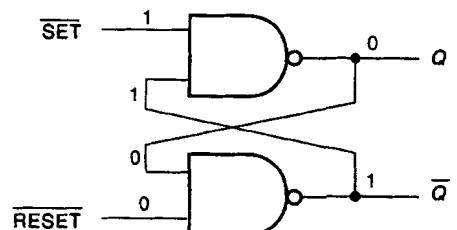


FIGURA 7-4 Puesta en 0 de la salida Q de un flip-flop $\overline{\text{SET}}$ - $\overline{\text{RESET}}$ con compuertas NAND con conexión cruzada

Esto se debe a la retroalimentación de las salidas a la entrada de la compuerta opuesta, lo que hace que éstas retengan su configuración de salida original.

Para reinicializar el flip-flop, la entrada $\overline{\text{RESET}}$ debe llevarse a 0 manteniendo a $\overline{\text{SET}}$ en 1, como se muestra en la figura 7-4. Como puede observarse, la entrada $\overline{\text{SET}}$ no puede reinicializar la salida Q a 0. Lo anterior sólo puede hacerse llevando la entrada $\overline{\text{RESET}}$ a 0, al mismo tiempo que se mantiene la entrada $\overline{\text{SET}}$ en 1. Lo anterior también es cierto para la entrada $\overline{\text{RESET}}$. Ésta no puede inicializar o llevar la salida Q a 1; sólo puede reinicializarla o llevarla de Q a 0.

El otro estado de entrada posible que aún no ha sido tratado para el flip-flop $\overline{\text{SET}}$ - $\overline{\text{RESET}}$ es aquel en el que ambas entradas son 0, como se muestra en la figura 7-5. Éste es un estado no utilizado, y lo que nunca se desea es que las salidas Q y \overline{Q} del flip-flop tenga el mismo valor.

La entrada que regrese primero a 1 es la que determinará el estado resultante del flip-flop. La figura 7-6 muestra la tabla de verdad de un flip-flop $\overline{\text{SET}}$ - $\overline{\text{RESET}}$ con compuertas NAND con conexión cruzada.

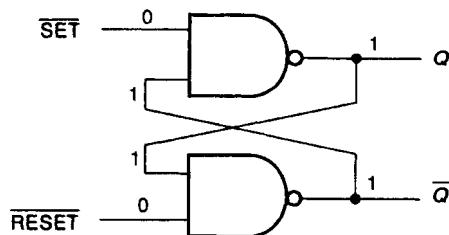


FIGURA 7-5 Estado no utilizado de un flip-flop SET-RESET con compuertas NAND con conexión cruzada

SET	RESET	SET	RESET	Q	\overline{Q}	
1	1	0	0	1	1	Estado no utilizado
1	0	0	1	1	0	
0	1	1	0	0	1	
0	0	1	1	Q	\overline{Q}	Estado sin cambio

FIGURA 7-6 Tabla de verdad para un flip-flop SET-RESET con compuertas NAND con conexión cruzada

Ejemplo: Construya dos flip-flops SET - RESET a partir de un CI 74LS00.

Solución:

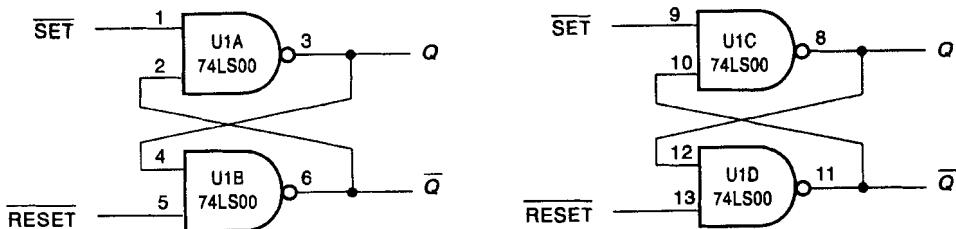


FIGURA 7-7

7.3 FLIP-FLOPS SET-RESET CON COMPUERTAS NOR CON CONEXIÓN CRUZADA

La figura 7-8 presenta un flip-flop SET-RESET con compuertas NOR con conexión cruzada. Nótese que las entradas no están complementadas; por tanto, éstas son activas en el nivel ALTO.



Cuando la entrada SET va hacia 1 y RESET permanece en 0, la salida Q va al estado 1, como se indica en la figura 7-9. Cualquier 1 en la entrada de una compuerta NOR produce una salida 0.

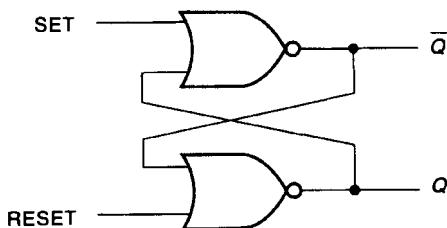


FIGURA 7-8 Flip-flop SET-RESET con compuertas NOR con conexión cruzada

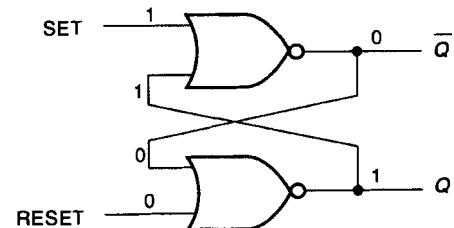


FIGURA 7-9 Puesta en 1 de la salida Q de un flip-flop SET-RESET con compuertas NOR con conexión cruzada

Cuando la entrada SET regresa a 0, y RESET también es 0, las salidas Q y \bar{Q} no cambian, como se indica en la figura 7-10. Este comportamiento se debe a que las salidas de las compuertas NOR están conectadas a la entrada de las compuertas opuestas. Esto impide que las compuertas cambien de estado.

Para llevar a Q de regreso a 0, la entrada RESET debe ponerse en 1 al mismo tiempo que se mantiene la entrada SET en 0. Esto se muestra en la figura 7-11.

El estado no utilizado para el flip-flop SET-RESET con compuertas NOR con conexión cruzada es aquel en que SET y RESET son ambos 1, como se ilustra en la figura 7-12.

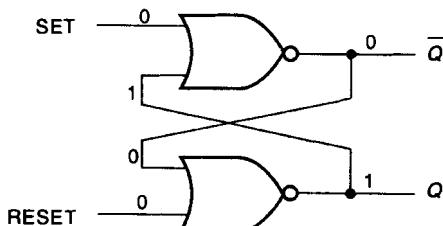


FIGURA 7-10 Estado sin cambio para el flip-flop SET-RESET con compuertas NOR con conexión cruzada

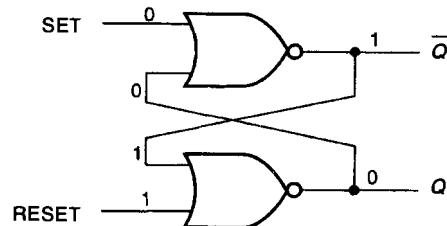


FIGURA 7-11 Puesta en 0 de la salida Q de un flip-flop SET-RESET con compuertas NOR con conexión cruzada

La primera entrada que regrese a 0 será la que determine el estado de las salidas Q y \bar{Q} . En la figura 7-13 se presenta la tabla de verdad de este flip-flop.

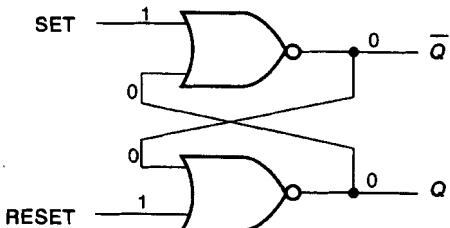


FIGURA 7-12 Estado no utilizado de un flip-flop SET-RESET con compuertas NOR con conexión cruzada

SET	RESET	$\bar{S}ET$	$\bar{R}ESET$	Q	\bar{Q}	
1	1	0	0	0	0	Estado no utilizado
1	0	0	1	1	0	
0	1	1	0	0	1	
0	0	1	1	Q	\bar{Q}	Estado sin cambio

FIGURA 7-13 Tabla de verdad para un flip-flop SET-RESET con compuertas NOR con conexión cruzada

AUTOEVALUACIÓN PARA LAS SECCIONES 7.1, 7.2 Y 7.3

1. ¿Cuál es el estado lógico de las salidas Q y \bar{Q} del flip-flop SET-RESET con compuertas NAND de conexión cruzada si SET es 1 y RESET es 0? [1]
2. ¿Cuál será el estado lógico de las salidas Q y \bar{Q} del flip-flop de la pregunta 1 si RESET cambia al estado lógico 1 y SET permanece en 1? [1]
3. ¿Cuál será el estado lógico de las salidas Q y \bar{Q} de un flip-flop SET-RESET con compuertas NOR con conexión cruzada si SET es 1 y RESET es 0? [1]
4. ¿Cuáles serán los estados lógicos Q y \bar{Q} del flip-flop de la pregunta 3 si RESET se mueve al estado 1 y SET permanece en 1? [1]

7.4

COMPARACIÓN ENTRE FLIP-FLOPS SET-RESET CON COMPUERTAS NAND Y NOR CON CONEXIÓN CRUZADA

Cuando se hace la comparación de las tablas de verdad de la figura 7-6, flip-flop SET - RESET con compuertas NAND con conexión cruzada, y de la figura 7-13, flip-flop SET-RESET con compuertas NOR con conexión cruzada, una de las diferencias observadas es en los valores de Q y \bar{Q} en el estado no utilizado.

Otra diferencia importante entre los dos flip-flops son las entradas SET y RESET. Las entradas a las compuertas NOR son activas en el nivel ALTO, mientras que las entradas $\overline{\text{SET}}$ - $\overline{\text{RESET}}$ de las compuertas NAND son activas en el nivel BAJO. Esto significa que el flip-flop con compuertas NOR con conexión cruzada cambiará de estado cuando una de las entradas vaya al nivel ALTO o 1, mientras que el flip-flop con compuertas NAND lo hará cuando una entrada vaya al nivel BAJO o 0.

Ejemplo: Dibuje la forma de onda de la salida Q de un flip-flop NAND y de otro NOR con conexiones cruzadas, para las entradas dadas en la figura 7-14.

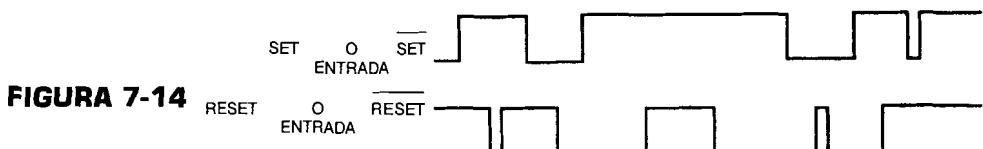


FIGURA 7-14

Solución:

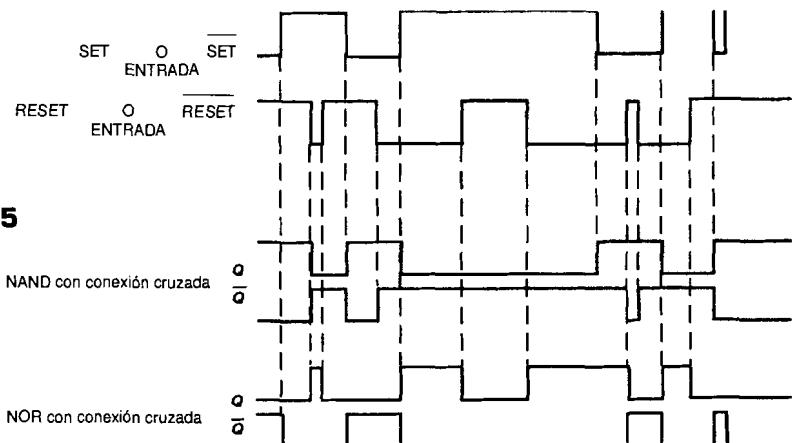


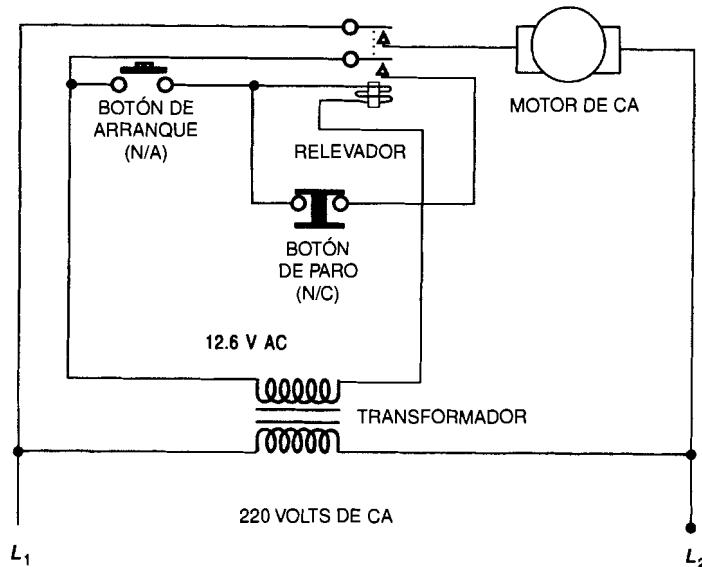
FIGURA 7-15

7.5 USO DEL FLIP-FLOP SET-RESET COMO INTERRUPTOR SIN OSCILACIONES



Cuando se cierra o se abre el contacto metálico de un interruptor de un polo, en realidad no lo hace directamente, sino que oscila, abriéndose y cerrándose muchas veces, antes de que finalmente quede en reposo. Esto

FLIP-FLOP MECÁNICO



¿Ha visto alguna vez la caja de control de una máquina grande con un botón de arranque y otro de paro para arrancar y detener la máquina? El circuito eléctrico que controla a la máquina es un flip-flop SET-RESET electromecánico. El diagrama muestra el circuito típico de arranque y paro de una máquina grande, tal como un compresor grande de un sistema de aire acondicionado. El circuito utiliza un relevador

que puede ser energizado al oprimir el botón de arranque (entrada SET) y desenergizado al presionar el botón de alto (entrada RESET). Los contactos del relevador pueden manejar las corrientes de CA grandes necesarias para encender y apagar la máquina, pero la corriente necesaria para hacer funcionar el relevador es pequeña. ¿Puede diseñar un circuito digital con compuertas NAND para controlar el relevador?

sucede con mucha rapidez y puede provocar estragos en circuitos digitales que tal vez estén contando el número de veces que el interruptor se cierra. La figura 7-16 muestra un circuito típico con un interruptor de un polo y las formas de onda correspondientes generadas cuando se cierra el interruptor. Si la salida del inversor de la figura 7-16, se hubiera estado usando como reloj de un contador, éste habría contado tres pulsos en lugar de uno.

La figura 7-17 muestra la forma en que puede emplearse un interruptor de un tiro polo y dos tiros en conjunción con un flip-flop $\overline{\text{SET}}$ - $\overline{\text{RESET}}$ para evitar la oscilación en el interruptor.

Estos circuitos funcionan porque cuando el interruptor se mueve las salidas del flip-flop permanecen sin cambio hasta que el polo central del interruptor entra en contacto con el polo opuesto, momento en que el flip-flop cambia de estado y permanece en él aunque el interruptor oscile. La figura 7-18 muestra el movimiento del interruptor utilizando un flip-flop $\overline{\text{SET}}$ - $\overline{\text{RESET}}$ con compuertas NAND con conexión cruzada.

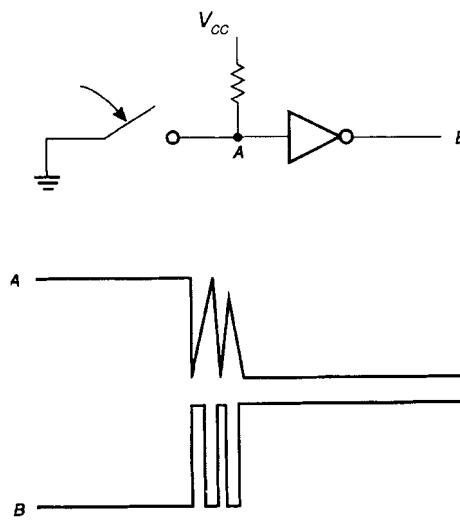


FIGURA 7-16 Oscilación en el interruptor

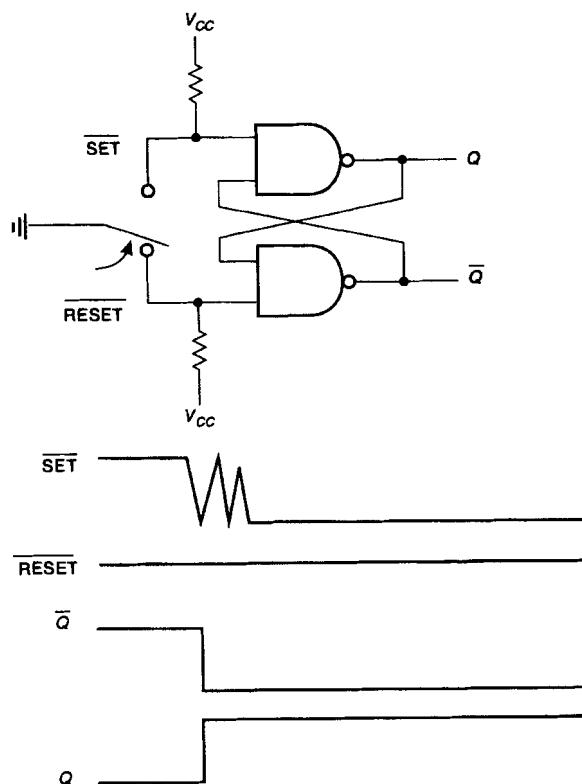


FIGURA 7-17 Flip-flop $\overline{\text{SET}}$ - $\overline{\text{RESET}}$ utilizado como interruptor sin oscilación

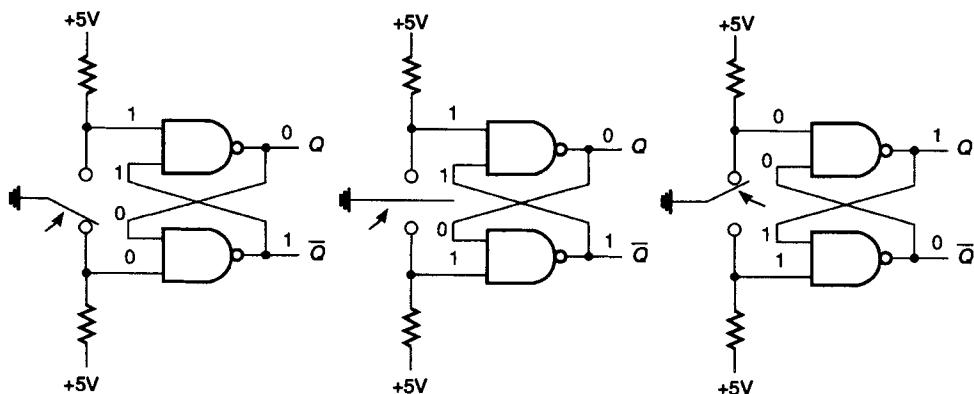


FIGURA 7-18 Cambio de estados en un flip-flop SET-RESET con compuertas NAND con conexión cruzada

Ejemplo: Dibuje el circuito para un interruptor sin oscilaciones utilizando un flip-flop SET-RESET formado por un conjunto de compuertas NOR.

Solución:

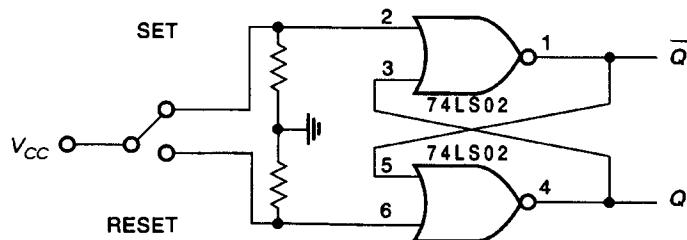


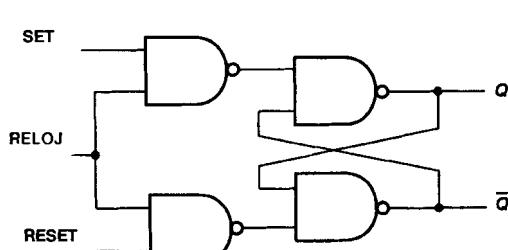
FIGURA 7-19

7.6 FLIP-FLOP SET-RESET CON ENTRADA DE CONTROL



La figura 7-20 muestra un **flip-flop SET-RESET con entrada de control construido con compuertas NAND con conexión cruzada** y su tabla de verdad. Existen dos compuertas NAND que se emplean para controlar el paso de las entradas SET-RESET al flip-flop SET - RESET. La entrada de reloj se utiliza para habilitar o inhabilitar las dos compuertas. Si se pone

un 0 en la entrada de reloj, la salida de las dos compuertas NAND se ve forzada a ir a 1. Esto coloca al flip-flop SET - RESET con compuertas NAND con conexión cruzada en su estado sin cambio o de memorización. Por consiguiente, cuando el reloj es 0, las salidas del flip-flop no pueden cam-



Reloj	SET	RESET	Q	\bar{Q}	
0	0	0	Q	\bar{Q}	
0	0	1	Q	\bar{Q}	
0	1	0	Q	\bar{Q}	
0	1	1	Q	\bar{Q}	
1	0	0	Q	\bar{Q}	
1	0	1	0	1	Estado sin cambio
1	1	0	1	0	
1	1	1	1	1	Estado no utilizado

FIGURA 7-20 Flip-flop SET-RESET con entrada de control

biar. Cuando el reloj es 1, las compuertas son habilitadas, o activadas, y en sus salidas aparecen los complementos de las entradas. Lo anterior se muestra en la figura 7-21.

Dado que las compuertas NAND invierten las entradas, cuando SET es 1 y RESET 0, Q es 1 y \bar{Q} es 0. Por otra parte, cuando SET es 0 y RESET 1, Q es 0 y \bar{Q} es 1. Esto significa que cuando el reloj es 1, las salidas Q y \bar{Q} siguen los valores que tienen SET y RESET respectivamente.

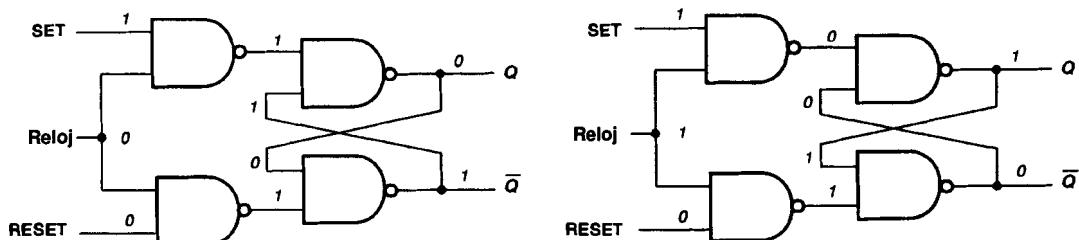


FIGURA 7-21 Habilitación de un flip-flop SET-RESET entrada de control

Ejemplo: Dibuja la forma de onda de la salida Q de un flip-flop SET-RESET con entrada de control a partir de las entradas que aparecen en la figura 7-22.

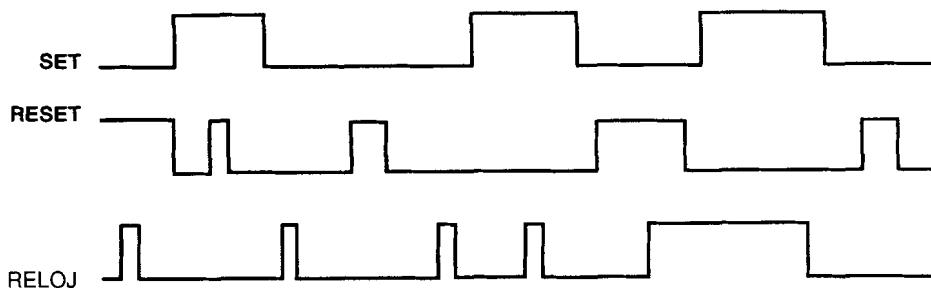


FIGURA 7-22

Solución:

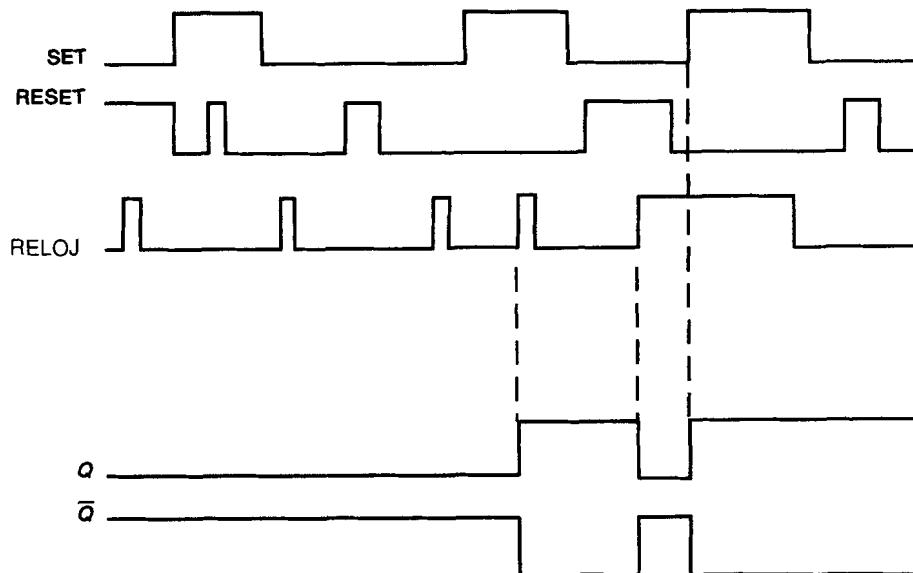


FIGURA 7-23

7.7 FLIP-FLOP D TRANSPARENTE



Un problema con el flip-flop SET-RESET con compuertas NAND con entrada de control es que puede haber un 1 en la salida Q y otro en la salida \bar{Q} cuando las entradas SET y RESET son ambas 1. Éste es el estado no utilizado y debe evitarse en la medida de lo posible. Por otro lado, sería mucho más conveniente tener una entrada para inicializar (SET) y reinicializar (RESET) el flip-flop. Los dos problemas pueden resolverse si se coloca un inversor entre las entradas SET y RESET, como se ilustra en la figura 7-24. Esto crea una nueva entrada, la cual se llamará entrada D . Nótese que las entradas SET y RESET nunca pueden tener el mismo valor debido a la presencia del inversor. Esto significa que nunca existirá el estado no utilizado. Por otra parte, ahora se tiene una entrada D o de datos para inicializar o reinicializar el flip-flop.

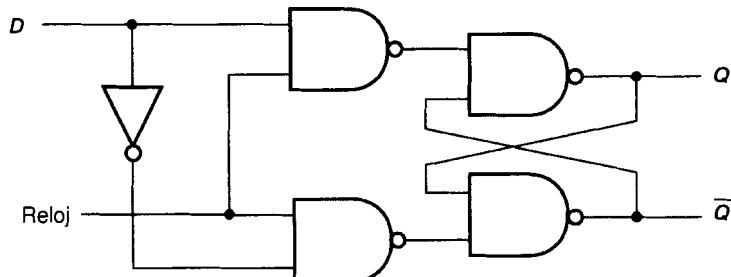


FIGURA 7-24 Flip-flop D

Es fácil ver que cuando el reloj es 1, lo que habilita las compuertas del flip-flop SET - RESET, el valor de D (1 o 0) se transfiere a la salida Q . Cuando el reloj es 0, la entrada D no puede cambiar las salidas Q y \bar{Q} .

Este tipo de flip-flop D se conoce como **flip-flop D transparente** ya que cuando el reloj es 1, Q cambia cuando D cambia. El flip-flop es transparente hasta que el reloj cambia a 0, momento en que el flip-flop se vuelve opaco. La figura 7-25 presenta la tabla de verdad del flip-flop D transparente.

D	Reloj	Q	\bar{Q}	
0	0	Q	\bar{Q}	
1	0	Q	\bar{Q}	Estado sin cambio
0	1	0	1	
1	1	1	0	

FIGURA 7-25 Tabla de verdad para el flip-flop D transparente

Ejemplo: Dibuje un flip-flop *D* utilizando únicamente compuertas NOR.

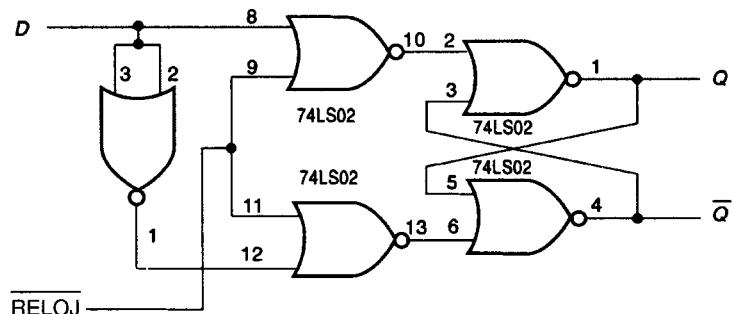


FIGURA 7-26

Solución:

Nótese que se han intercambiado las salidas Q y \bar{Q} para hacer que el flip-flop trabaje correctamente.

5

El flip-flop *D* se emplea para guardar bits de números binarios. Dado que el flip-flop puede ser activado o desactivado por el reloj, también se le utiliza para atrapar o retener un número binario presente en la entrada *D* por un tiempo corto y guardarlo en las salidas Q y \bar{Q} . El flip-flop *D* puede emplearse como puerto de salida de una microcomputadora, tal como se muestra en la figura 7-27. Cuando la computadora quiere enviar un númer-

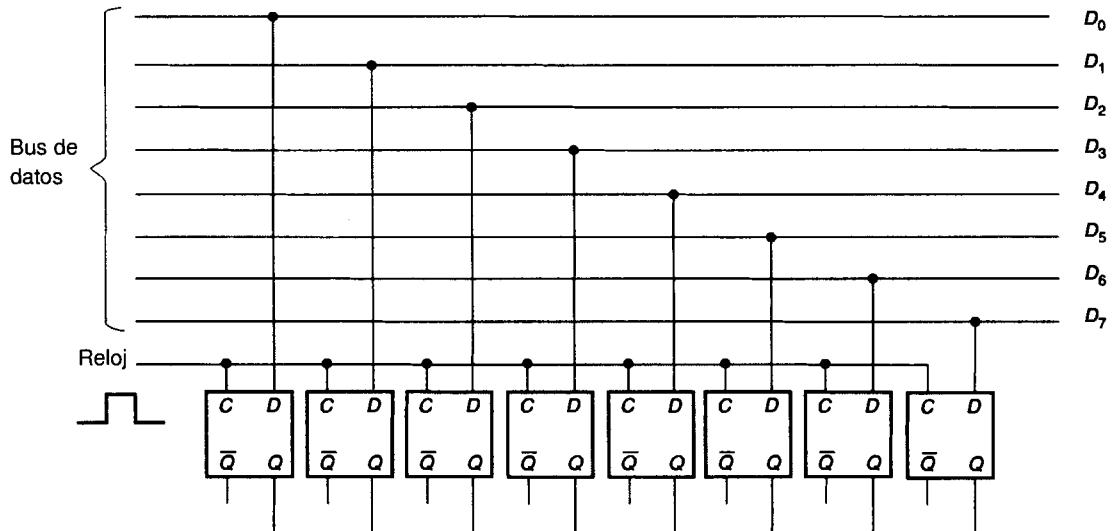


FIGURA 7-27 Puerto de salida de computadora

ro binario de ocho bits a la impresora, coloca éste en el bus de datos y luego habilita las entradas de reloj de los flip-flops D . Lo anterior hace que las salidas Q tomen los valores del bus de datos. Con esto el número queda retenido en las salidas Q y no cambiará aun cuando los datos del bus cambien. Un CI TTL típico, que contiene cuatro flip-flops D transparentes, es el retenedor cuádruple 7475.

El símbolo para el flip-flop D también aparece en la figura 7-27.

AUTOEVALUACIÓN PARA LAS SECCIONES 7.4, 7.5, 7.6 y 7.7

1. Dibuje un flip-flop SET-RESET con entrada de control utilizando compuertas NOR.
2. Dibuje las formas de onda de la salida de un flip-flop D transparente con un reloj activo en ALTO si las entradas son las siguientes. [4, 5]

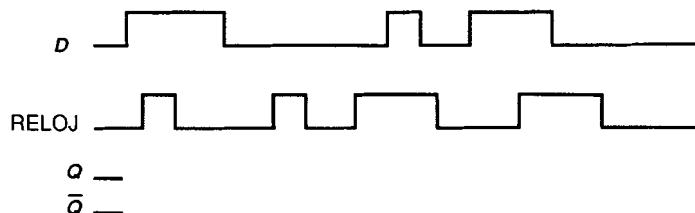


FIGURA 7-28

3. Utilizando las siguientes formas de onda como entradas a un flip-flop SET-RESET formado por compuertas NAND, dibuje las formas de onda de la salida. [3]

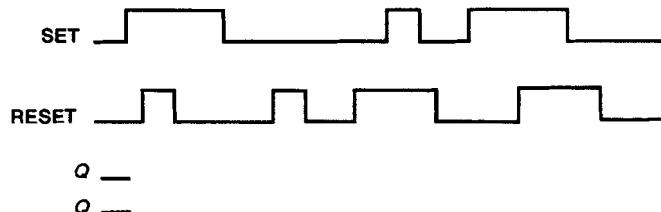


FIGURA 7-29

7.8 FLIP-FLOP D MAESTRO-ESCLAVO



La figura 7-30 muestra un **flip-flop D maestro-esclavo** formado por compuertas NAND. La sección del maestro es un flip-flop D transparente, mientras que la que corresponde al esclavo es un flip-flop SET-RESET con entrada de control. El reloj se aplica a un inversor que está conectado al reloj del esclavo.

Este tipo de flip-flop D maestro-esclavo se conoce como **flip-flop D disparado por flanco negativo** debido a que las salidas Q toman el valor de la entrada D sólo durante el flanco de bajada del pulso de reloj.

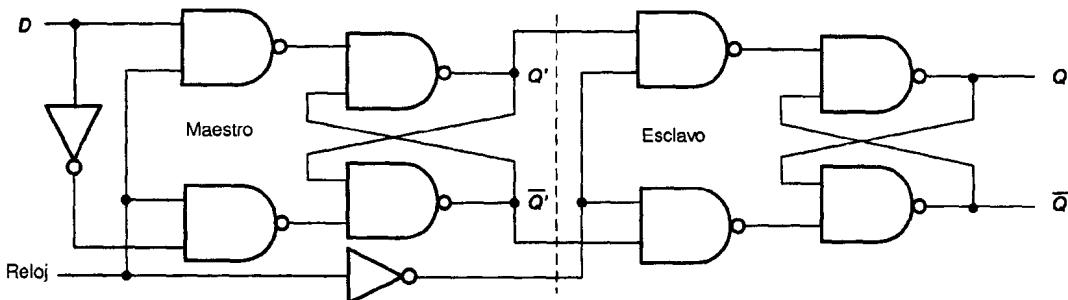


FIGURA 7-30 Flip-flop D maestro-esclavo

Como se muestra en la figura 7-31, cuando el reloj es 1, la parte del flip-flop que corresponde al maestro, que es el flip-flop D transparente, se activa. La salida Q' sigue a la entrada D . La parte del esclavo, que es el flip-flop SET-RESET con entrada de control, se inactiva debido a que el inversor en el reloj hace que éste sea 0. Dado que el esclavo queda inactivo, las salidas Q no pueden cambiar.

Cuando el reloj cae de 1 a 0, el maestro se inactiva y no puede cambiar; pero el esclavo transfiere los valores de Q' y \bar{Q}' a Q y \bar{Q} dado que el reloj del esclavo ahora es 1. El esclavo no cambiará si la entrada D cambia, dado que el maestro está inactivo por el 0 en el reloj. Por consiguiente, las salidas Q sólo pueden cambiar durante el flanco descendente del reloj y toman el valor de la entrada D en el momento en que el flanco aparece.

Si el inversor se invierte como se indica en la figura 7-32, el flip-flop cambiará estados en el flanco positivo o ascendente del reloj. La figura 7-32 también muestra las entradas **CLEAR** y **PRESET**, las cuales pueden emplearse para obligar a que la salida del flip-flop sea 0 o 1, sin importar los valores del reloj o los de la entrada D . Cuando **PRESET** va hacia el nivel BAJO, la salida Q se ve obligada a tomar el valor 1. Cuando la entrada **CLEAR** va hacia el nivel BAJO, la salida Q es borrada u obligada a ser 0. Nótese que se obtiene un estado no válido si tanto **PRESET** como **CLEAR**

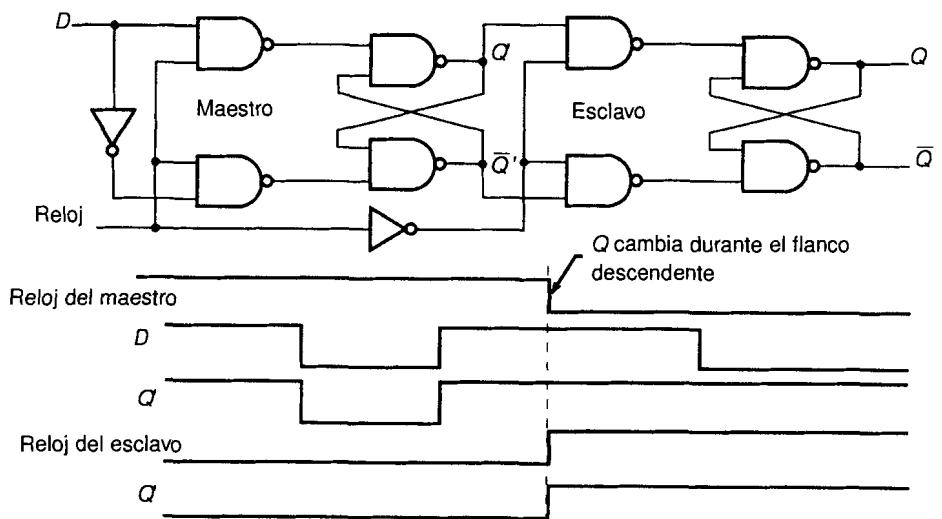


FIGURA 7-31 Flip-flop *D* maestro-esclavo disparado por flanco negativo

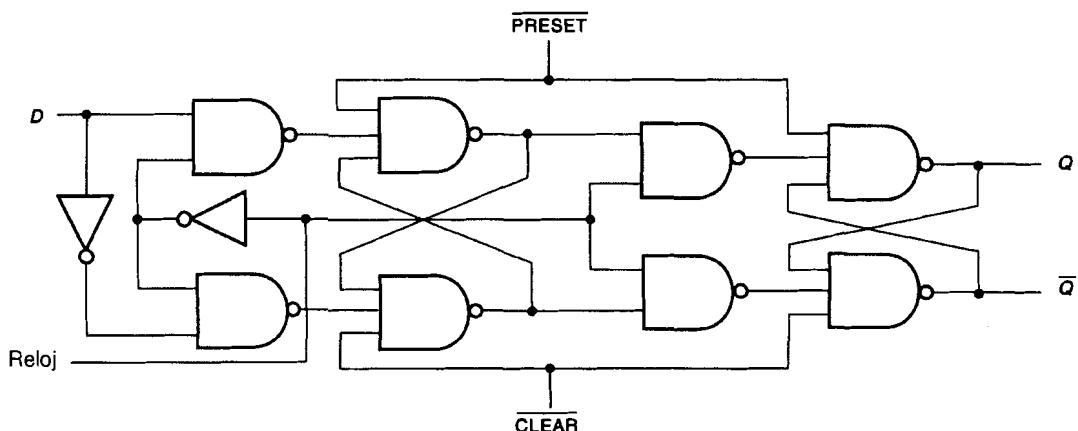
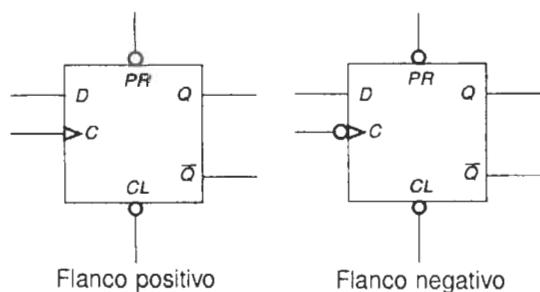


FIGURA 7-32 Flip-flop *D* maestro-esclavo disparado por flanco positivo

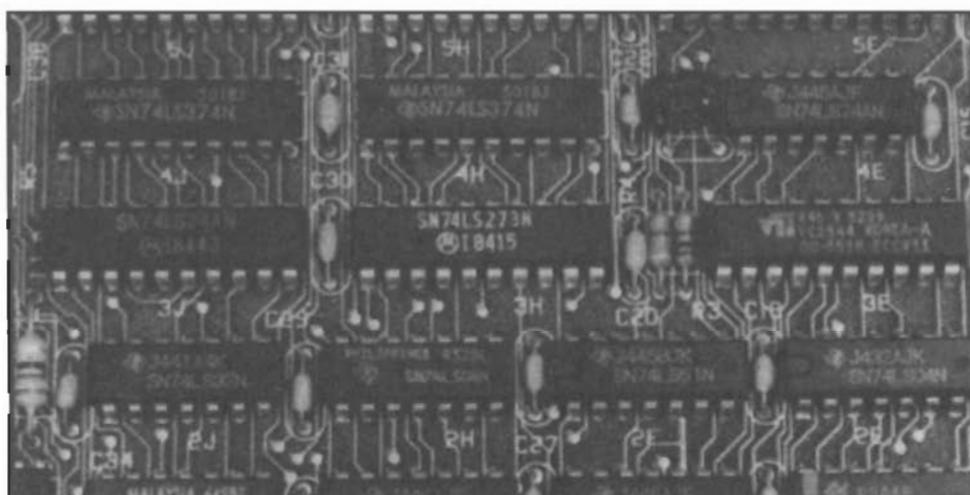
tienen el nivel BAJO o 0 al mismo tiempo. Las entradas PRESET y CLEAR también pueden representarse por SET y RESET, ya que ellas hacen que el flip-flop se comporte de manera similar a un flip-flop SET - RESET simple.

La figura 7-33 presenta los símbolos de un flip-flop *D* disparado por flanco positivo y de otro disparado por flanco negativo. Nótese la entrada con círculo en las entradas activas en el nivel BAJO y la marca > que indica que el flip-flop está disparado por flanco.

**FIGURA 7-33** Símbolos para flip-flops

El TTL 7474 es un flip-flop disparado por flanco positivo típico, el cual tiene dos flip-flops en un CI. El 4013 es un flip-flop doble CMOS disparado por flanco con entradas SET y RESET activas en el nivel ALTO. La figura 7-34 contiene la tabla de verdad de un flip-flop disparado por flanco positivo, tal como el CI 7474. Dos de los símbolos más comunes para indicar el flanco positivo son \neg o \uparrow .

USO DE UN FLIP-FLOP EN UN PUERTO DE IMPRESORA IBM



Esta fotografía muestra el CI SN74LS273. Este CI se emplea como retenedor de salida para el puerto paralelo de impresora

de una computadora compatible con IBM. Este CI contiene ocho flip-flops *D*.

Como se verá en el siguiente capítulo, los flip-flops maestro-esclavo se utilizan en muchos tipos diferentes de circuitos digitales, tales como registros de corrimiento, contadores y divisores de frecuencia, debido a que son disparados por flanco.

7

La figura 7-35 muestra algunos de los flip-flops D y $\overline{\text{SET}} - \overline{\text{RESET}}$ más comunes, los cuales son fabricados por varios fabricantes de circuitos integrados. El 7475 es un flip-flop D transparente cuádruple que puede emplearse como retenedor o registro de almacenamiento. El 74LS74 es un flip-flop disparado por flanco positivo con entradas preset y clear activas en el nivel BAJO. Los 74LS174 y 74LS175 a menudo se emplean como retenedores del puerto de salida para microcomputadoras debido a que tienen una entrada de borrado activa en el nivel BAJO; pero el 74LS273 tiene ocho flip-flops D en una pastilla de 20 terminales, lo que significa que puede almacenar un byte.

CLEAR	PRESET	Reloj	D	Q	\bar{Q}	
0	1	X	X	0	1	
1	0	X	X	1	0	
0	0	X	X	1	1	Estado no utilizado
1	1	-	1	1	0	
1	1	-	0	0	1	

$X = 1 \text{ o } 0$

FIGURA 7-34 Tabla de verdad para un flip-flop D disparado por flanco positivo

Esto lo convierte en la mejor elección para el puerto de salida de una microcomputadora. El 74LS279 tiene cuatro flip-flops $\overline{\text{SET}} - \overline{\text{RESET}}$ con compuertas NAND con conexión cruzada en un encapsulado de doble hilera con 16 terminales.

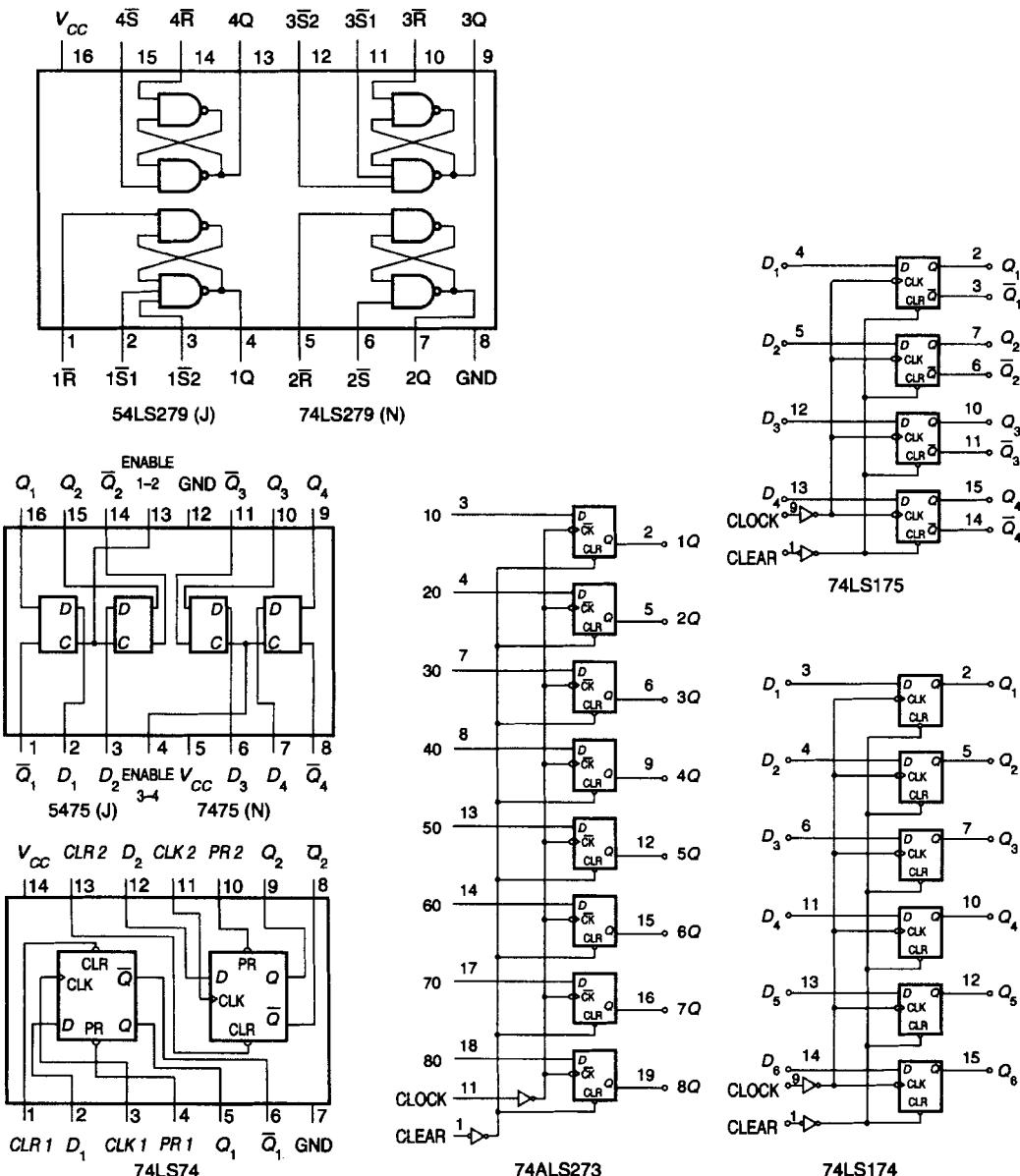


FIGURA 7-35 Flip-flops D comunes

Ejemplo: Dibuje las salidas Q y \bar{Q} del flip-flop para las entradas dadas en la figura 7-36.

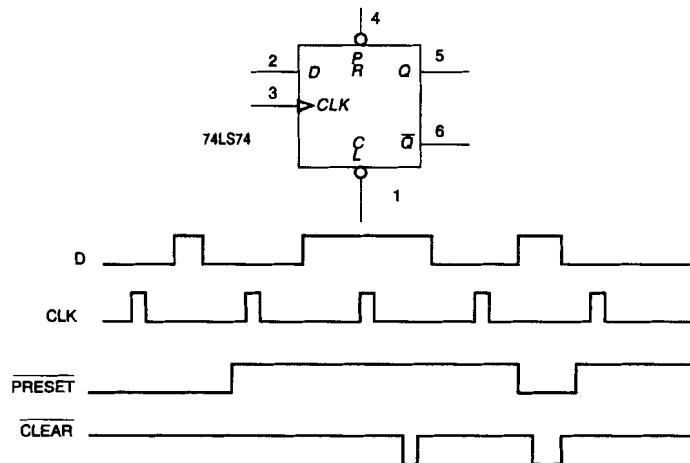


FIGURA 7-36

Solución:

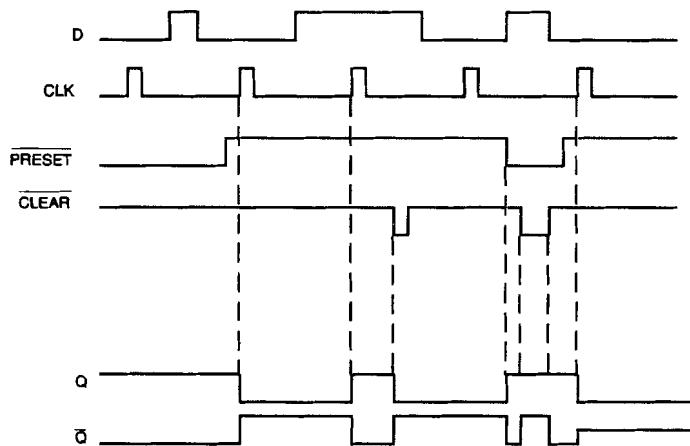


FIGURA 7-37

7.9 FLIP-FLOP D DISPARADO POR FLANCO DE PULSO

El flip-flop *D* maestro-esclavo no es la única manera de construir un flip-flop *D* disparado por flanco. La figura 7-38 muestra un flip-flop *D* disparado por flanco que emplea un generador de pulsos en la entrada de reloj para habilitar e inhabilitar con rapidez el reloj del flip-flop *D* transparente. Dado que este pulso breve ocurre sólo en el flanco ascendente de la entrada de reloj, el flip-flop *D* es un flip-flop *D* disparado por flanco.

El circuito que produce el pulso breve durante el flanco ascendente del reloj recibe el nombre de multivibrador monoestable disparado por flanco. En un capítulo posterior se estudian los multivibradores monoestables.

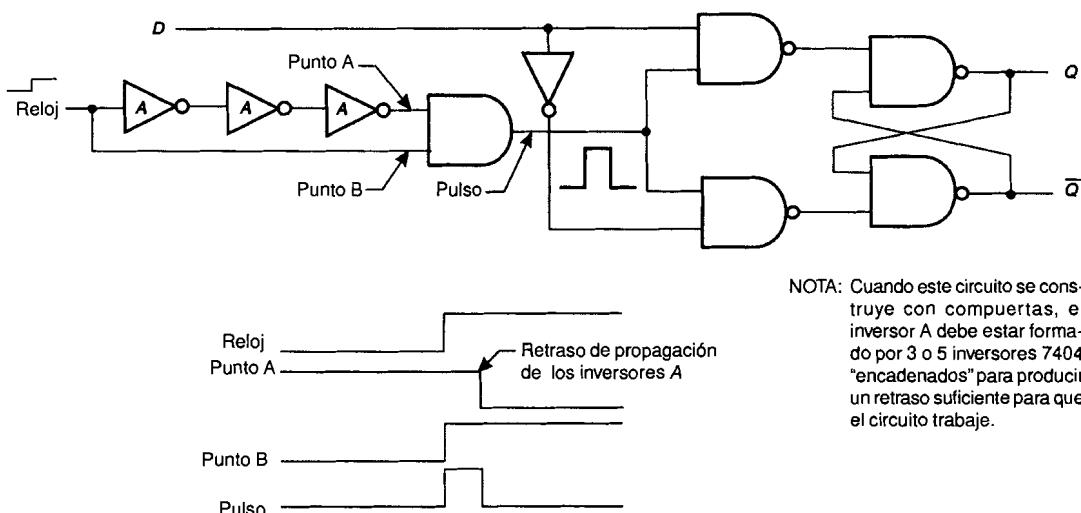


FIGURA 7-38 Flip-flop *D* disparado por flanco

RESUMEN

- Los flip-flops son circuitos lógicos diseñados para guardar un bit de un número binario.

Las salidas de un flip-flop son Q y \bar{Q} y deben tener siempre estados lógicos diferentes. Existen varios tipos de flip-flops, los cuales se emplean para cosas diferentes.

- Los flip-flops con compuertas NAND con conexión cruzada tienen entradas activas en el nivel BAJO denominadas SET y RESET, mientras que los que están construidos con compuertas NOR tienen entradas activas, SET y RESET, en el nivel ALTO.

Estos flip-flops se conocen como flip-flops SET-RESET y contienen un estado no utilizado en sus tablas de verdad. Los flip-flops de este tipo a menudo se emplean para eliminar oscilaciones en los interruptores y para guardar estados lógicos en circuitos más complejos.

- Los flip-flops con entrada de control son flip-flops SET-RESET que tienen un par de compuertas, NAND o NOR, para controlar el paso de las entradas SET y RESET.

Lo anterior introduce una entrada nueva al flip-flop, el reloj. La entrada de reloj habilita o inhabilita el flip-flop. Cuando está habilitado, el flip-flop puede cambiar de estado, pero cuando está inhabilitado, las salidas Q y \bar{Q} no pueden cambiar de estado.

- El flip-flop *D* transparente es un flip-flop con entrada de control con un inversor entre las entradas SET y RESET que evita que éstas tengan el mismo estado lógico.

Este tipo de flip-flop se emplea con mucha frecuencia como registro de almacenamiento o retenedor en circuitos con microprocesadores. Lo común es que los flip-flops de este tipo tengan entradas PRESET y CLEAR para obligar a la salida Q a que sea 1 o 0 respectivamente.

- El flip-flop *D* maestro-esclavo está formado por un flip-flop *D* transparente cuyas salidas están conectadas a las entradas de un flip-flop SET-RESET con entrada de control.

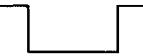
	NIVEL POSITIVO	
	NIVEL NEGATIVO	
	DISPARADO POR FLANCO POSITIVO	
	DISPARADO POR FLANCO NEGATIVO	

FIGURA 7-39 Tabla de tipos de reloj para flip-flops

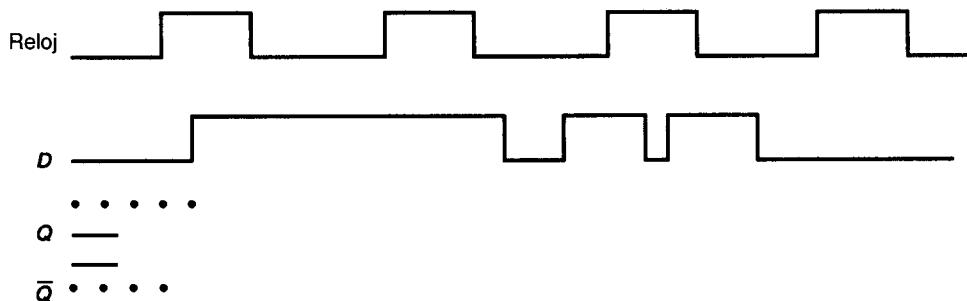
El flip-flop *D* es el maestro, mientras que el flip-flop con entrada de control es el esclavo. Lo anterior crea un flip-flop cuyos estados sólo cambian durante el flanco del reloj. Estos flip-flops pueden ser de flanco ascendente o descendente. La figura 7-39 muestra los símbolos más comunes utilizados para el reloj de los flip-flops.

- Los flip-flops disparados por flanco también pueden construirse con circuitos de retraso, los cuales serán estudiados más adelante.

Los flip-flops disparados por flanco también se utilizan como divisores de frecuencia y contadores, como se verá en el capítulo siguiente.

PREGUNTAS Y PROBLEMAS

1. Dibuje el diagrama lógico de un flip-flop $\overline{\text{SET}}$ - $\overline{\text{RESET}}$ utilizando compuertas NAND. [1]
2. Dibuje el diagrama lógico de un flip-flop $\overline{\text{SET}}$ - $\overline{\text{RESET}}$ con entrada de control utilizando compuertas NAND. [1]
3. Dibuje el diagrama lógico de un flip-flop *D* transparente utilizando compuertas NAND. [4]
4. Dibuje el diagrama lógico de un flip-flop *D* maestro-esclavo disparado por flanco descendente utilizando compuertas NAND o NOR. [6]
5. Complete las formas de onda para el flip-flop maestro-esclavo disparado por flanco negativo. [5, 6]



6. Dibuje el diagrama lógico de un flip-flop SET-RESET utilizando compuertas NOR. [1]
7. Dibuje el diagrama lógico de un flip-flop SET-RESET con entrada de control empleando compuertas NOR. [3]

Práctica 7

Flip-flops

OBJETIVOS

Al término de esta práctica, el lector deberá ser capaz de:

- construir un interruptor sin oscilaciones.
- explicar la operación de un flip-flop SET-RESET con entrada de control.
- explicar la operación de un flip-flop D maestro-esclavo.

COMPONENTES NECESARIOS

- 3 CI 7400 (compuerta NAND cuádruple)
- 1 CI 7408 (compuerta AND cuádruple)
- 1 interruptor de un polo y dos tiros

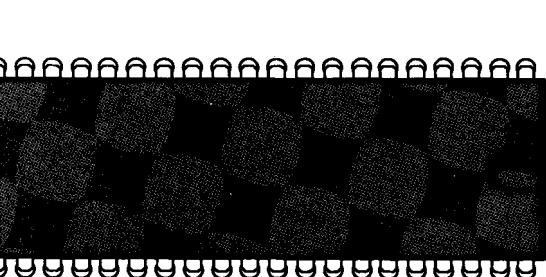
PROCEDIMIENTO

1. Utilice un CI 7400 NAND cuádruple y un interruptor de un polo y dos tiros para construir un interruptor sin oscilación.
2. Dibuje el diagrama lógico de un flip-flop D maestro-esclavo disparado por flanco negativo con entradas $\overline{\text{CLEAR}}$ y $\overline{\text{RESET}}$. Para ello utilice un CI 7408 y tres CI 7400.
3. Construya el flip-flop del punto anterior y pida al profesor que comprove su funcionamiento.
4. Escriba la tabla de verdad para el flip-flop del punto anterior y verifique su operación.
5. ¿Cuándo cambia de estado el flip-flop?

6. Ponga las entradas CLEAR y RESET en ALTO y coloque un alambre de \bar{Q} a la entrada D . Después ponga una señal de onda cuadrada TTL de 1 kHz en la entrada de reloj del flip-flop D maestro-esclavo y compárela con la salida Q utilizando un osciloscopio. ¿Cuál es la frecuencia de la salida Q ? El cambio de estado repetitivo de un flip-flop maestro-esclavo es el tema del siguiente capítulo. En este momento tal vez quiera leer algunas páginas del capítulo 8 para comprender mejor el funcionamiento del flip-flop.

Si el circuito no funciona de manera apropiada, considere entonces lo siguiente:

1. Pruebe todas los conexiones de la fuente de alimentación a los CI.
2. Verifique que todos los voltajes de entrada y salida tengan los niveles apropiados.
3. Desconecte de la parte del maestro del flip-flop las salidas de las dos primeras compuertas NAND. Ahora compruebe el funcionamiento correcto de las entradas y salidas de esta parte.
4. Si lo hecho en el punto anterior no corrige el problema, quite la salida del flip-flop SET - RESET con compuertas NAND con conexión cruzada de la entrada a la compuerta NAND del esclavo y pruebe el funcionamiento correcto de esta parte.



CONTENIDO

- 8.1 CONMUTACIÓN DE UN FLIP-FLOP *D* MAESTRO-ESCLAVO**
- 8.2 FLIP-FLOP *JK***
- 8.3 RELOJ SIN TRASLAPAMIENTO**
- 8.4 CONTADOR DE CORRIMIENTO**
- 8.5 CI *JK* TÍPICOS**

Flip-flops *D* y *JK* maestro-esclavo

Capítulo 8

LISTA DE TÉRMINOS

comutación
retraso de propagación

flip-flop *JK*
contador de corrimiento

OBJETIVOS



Al término de este capítulo el lector debe ser capaz de:

1. Hacer comutar flip-flops *D* y *JK* maestro-esclavo.
2. Explicar el funcionamiento de un flip-flop *JK*.
3. Explicar el funcionamiento de un reloj de dos fases sin traslapamiento.
4. Explicar el funcionamiento de un contador de corrimiento.
5. Describir varios flip-flops *JK* comunes de CI.

8.1 CONMUTACIÓN DE UN FLIP-FLOP *D* MAESTRO-ESCLAVO



La figura 8-1 muestra un flip-flop *D* maestro-esclavo construido con compuertas NAND alambrado de modo tal que commute. Se dice que un flip-flop **conmuta** cuando las salidas *Q* cambian de estado con cada pulso de reloj. Esto significa que si *Q* es 1, después del siguiente pulso de reloj, *Q* conmutará o cambiará a 0, y después del siguiente pulso de reloj, *Q* cambiará de nuevo a 1. El proceso continúa siempre y cuando los pulsos de reloj también continúen. Nótese que la salida \bar{Q} está conectada a la entrada *D*. Ésta es la razón por la que el flip-flop conmuta.

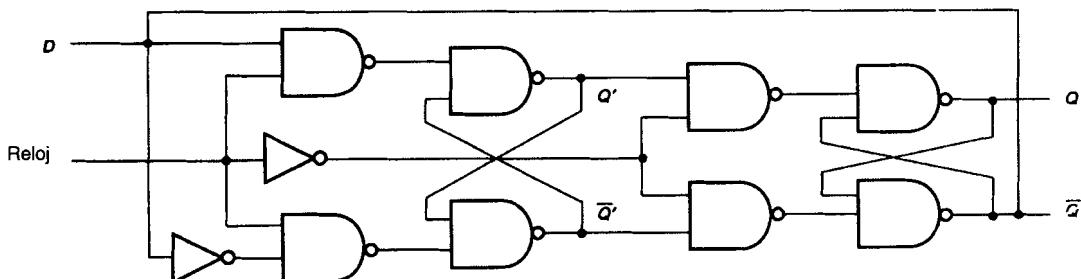


FIGURA 8-1 Flip-flop *D* maestro-esclavo alambrado para conmutar.

La figura 8-2 muestra las formas de onda para la conmutación del flip-flop *D* de la figura 8-1. Cuando el reloj va hacia el nivel ALTO, la parte del flip-flop que corresponde al maestro, la cual es un flip-flop *D* transparente, transfiere el valor de la entrada *D*, que es 0, a las salidas *Q'* del maestro. La parte esclava del flip-flop aún no puede cambiar su salida, dado que el inversor entre el maestro y el esclavo hace que el reloj de éste sea 0, inhabilitando al esclavo. Cuando el reloj cae a 0, primero se inhabilita el maestro, evitando con ello que *Q'* y \bar{Q}' cambien. Pocos nanosegundos después, las salidas *Q* y \bar{Q} cambian de estado para concordar con los valores de *Q'* y \bar{Q}' . Esto cambia el valor de la entrada *D* a 1. El maestro queda deshabilitado por el estado BAJO del reloj. Por tanto, *Q'* y \bar{Q}' no pueden cambiar hasta que el reloj regrese a 1.

Cuando el reloj regresa a 1, el esclavo queda inhabilitado por el 0 en su reloj. Pocos nanosegundos después, el maestro pasa el 1 de la entrada *D* a las salidas *Q'*, y todo el ciclo vuelve a comenzar otra vez.

El circuito funciona debido al **retraso de propagación** de las compuertas NAND empleadas en él. El esclavo queda inhabilitado antes de que las salidas del maestro cambien de estado, y el maestro queda inhabilitado antes que las salidas del esclavo cambien de estado. Durante el flanco

descendente de cada pulso de reloj, la salida Q cambia de estado. Nótese en la figura 8-2 que la salida Q tiene un pulso ascendente por cada dos pulsos ascendentes del reloj.

Cuando un flip-flop comuta, la frecuencia de la salida Q es igual a la mitad de la frecuencia de entrada de reloj al flip-flop. Esto será estudiado con más detalle en el capítulo 10.

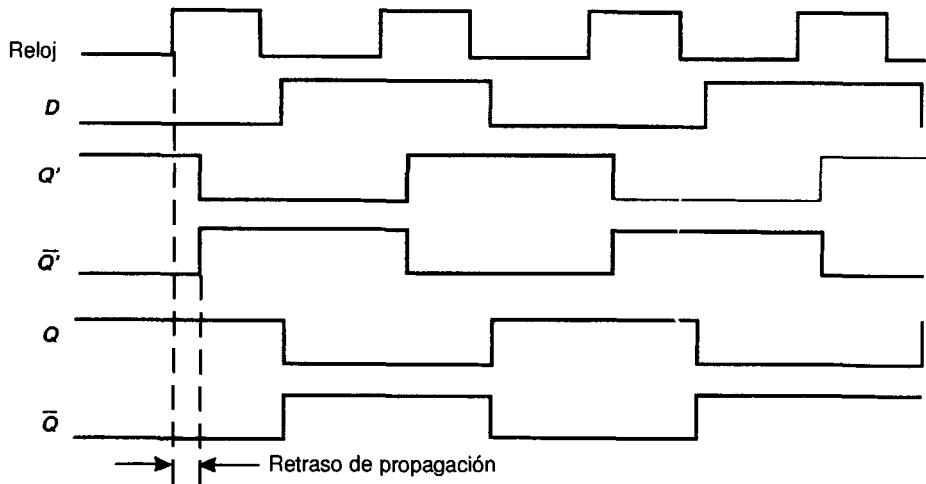


FIGURA 8-2 Conmutación de un flip-flop D maestro-esclavo.

Ejemplo: Dibuje el diagrama lógico de un flip-flop D maestro-esclavo construido con compuertas NOR y conectado de modo tal que commute.

Solución:

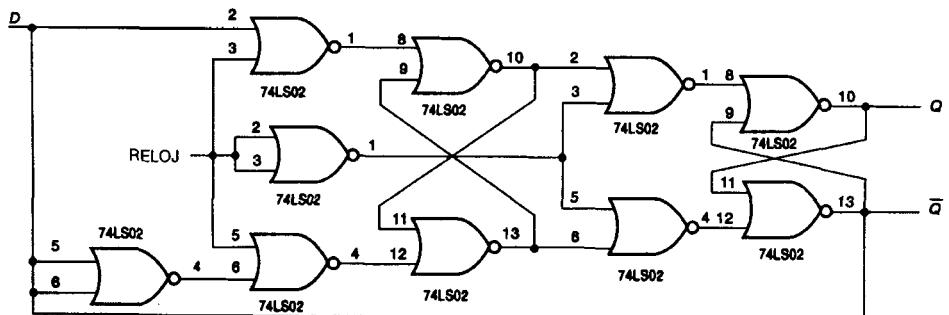
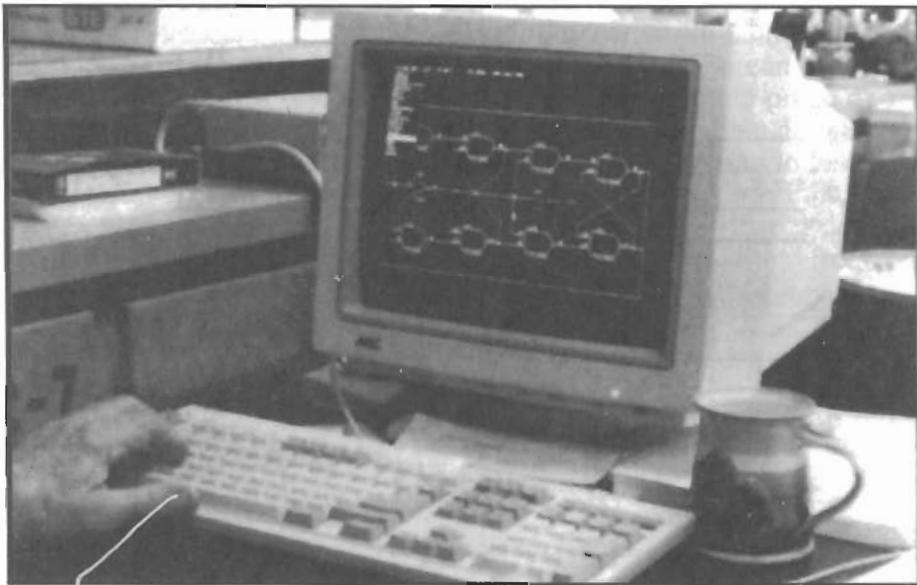


FIGURA 8-3

DISEÑO ELECTRÓNICO ASISTIDO POR COMPUTADORA



La computadora de esta fotografía muestra un flip-flop maestro-esclavo construido con compuertas NAND. La computadora se está convirtiendo con rapidez en la herramienta de diseño

más importante para el ingeniero de diseño y el técnico. En la actualidad, con la computadora, el ingeniero puede emprender un diseño desde el diagrama hasta la tarjeta de circuito impreso.

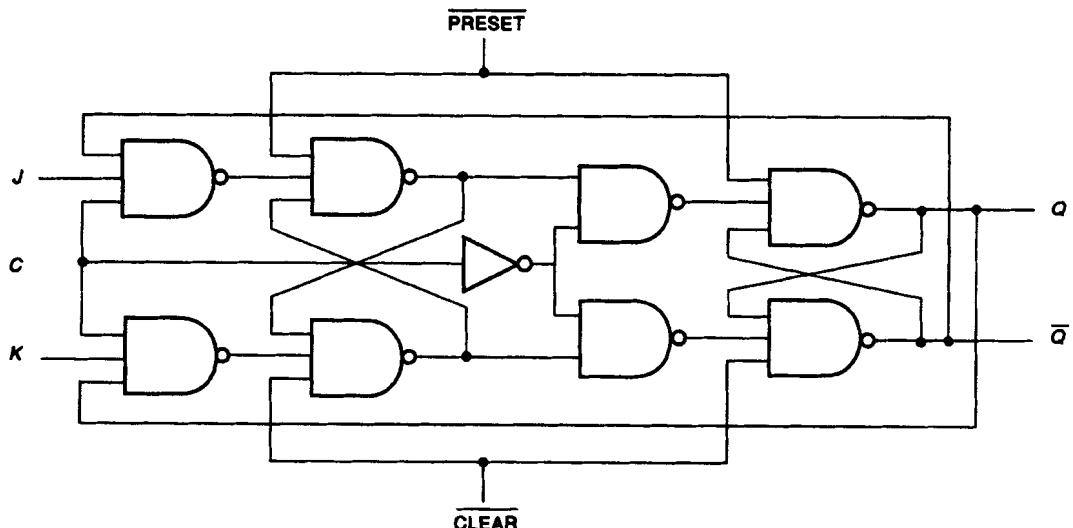
8.2 FLIP-FLOP *JK*



El flip-flop *JK* es una clase especial de flip-flop maestro-esclavo. La figura 8-4 muestra un flip-flop *JK* construido con compuertas NAND, el símbolo lógico utilizado para un flip-flop *JK* disparado por flanco negativo y la tabla de verdad del mismo.

Esta clase de flip-flop puede conectarse o programarse para hacer el trabajo de cualquier tipo de flip-flop. Las salidas *Q* y \bar{Q} están conectadas a las compuertas *K* y *J* respectivamente. Esto permite que el flip-flop comunique cuando las entradas *J* y *K* son 1. Estas entradas se emplean para manipular las salidas *Q*. Existen otras dos entradas, *PRESET* y *CLEAR*, activas en el nivel BAJO que obligan a que las salidas *Q* sean 1 y 0 respectivamente.

Nótese que las entradas *PRESET* y *CLEAR* van a las partes maestro y esclavo del flip-flop JK. La transición de *PRESET* al nivel BAJO obliga a que las salidas *Q* del maestro y del esclavo sean 1, manteniéndolas en 1 hasta que *PRESET* regrese a 1. Lo mismo se aplica a la entrada *CLEAR*, con la excepción de que ésta obliga a que la salida *Q* sea 0. *PRESET* funciona de la misma manera que la entrada *SET*, y *CLEAR* tiene el mismo papel que la entrada *RESET* de un flip-flop *SET - RESET* simple con compuertas NAND con conexión cruzada.



<u><i>PRESET</i></u>	<u><i>CLEAR</i></u>	<u><i>J</i></u>	<u><i>K</i></u>	<u><i>C</i></u>	<u><i>Q</i></u>	<u><i>Q̄</i></u>	
0	1	X	X	X	1	0	
1	0	X	X	X	0	1	
0	0	X	X	X	1	1	Estado no utilizado
1	1	0	1	-	0	1	
1	1	1	0	-	1	0	
1	1	0	0	X	Q	Q̄	Estado sin cambio
1	1	1	1	-	Conmu-	cación	

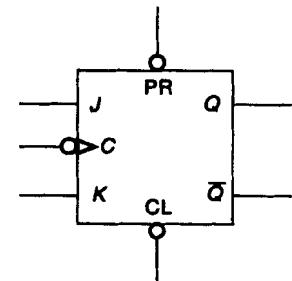


FIGURA 8-4 Flip-flop JK

Lo que debe recordarse sobre las entradas *CLEAR* y *PRESET* es que éstas dominan a las demás entradas del flip-flop JK, como puede observarse en la tabla de verdad. También debe notarse que, al igual que en el flip-flop *SET - RESET* con compuertas NAND con conexión cruzada, el JK tiene un estado no utilizado que se presenta cuando *CLEAR* y *PRESET* son ambos 0.

Si las entradas *J* y *K* son 0, entonces el maestro queda inhabilitado como si el reloj fuese 0, dado que cualquier 0 en la entrada de una compuerta NAND produce un 1 en su salida. Esto coloca a las compuertas NAND con conexión cruzada del maestro en el estado sin cambio, lo que hace que la salida del esclavo no cambie. Por tanto, el flip-flop *JK* está en el estado sin cambio o de memorización cuando las entradas *J* y *K* son 0.

Cuando las entradas *JK* no son las mismas —esto es, *J* es 1 o 0 y *K* tiene el valor opuesto— las salidas *Q* cambiarán al mismo valor en el flanco descendente del reloj.

La otra combinación posible restante para las entradas *J* y *K* es cuando ambas son 1. Cuando esto sucede y el reloj se encuentra en ALTO, las salidas *Q* y \bar{Q} , las cuales están conectadas a las compuertas NAND de entrada, controlan las salidas del maestro. Esto hace que el flip-flop commute o cambie de estado con cada flanco descendente del reloj debido a que la salida *Q* está conectada a la compuerta *K* opuesta, mientras que la \bar{Q} lo está a la compuerta *J* opuesta.

Entre lo que debe recordarse sobre los flip-flops *JK* disparados por flanco negativo se incluye lo siguiente:

- La salida *Q* cambia únicamente durante el flanco descendente del reloj, excepto cuando *CLEAR* o *RESET* van al nivel BAJO.
- *CLEAR* y *RESET* dominan a las demás entradas del flip-flop *JK*.
- Cuando *J* y *K* son ambas 1, el flip-flop cambia de estado durante el flanco descendente del reloj.
- Cuando *J* y *K* no son iguales, la salida sigue a *J* y *K* durante el flanco descendente del reloj.
- Cuando *J* y *K* son ambas 0, las salidas *Q* no cambian.

La figura 8-5 muestra las formas de onda para las salidas *Q* y \bar{Q} de un flip-flop *JK* disparado por flanco negativo para un conjunto dado de formas de onda en las entradas *J*, *K*, *CLEAR* y *RESET*. Nótese que excepto cuando *CLEAR* y *RESET* se vuelven activos, las salidas *Q* y \bar{Q} no cambian de estado salvo durante el flanco descendente de la señal CLK (reloj). El valor de las salidas *Q* y \bar{Q} está determinado por el valor de las entradas *J* y *K* antes de que ocurra el flanco descendente de la entrada CLK al flip-flop. Las salidas siguen la tabla de verdad de la figura 8-4.

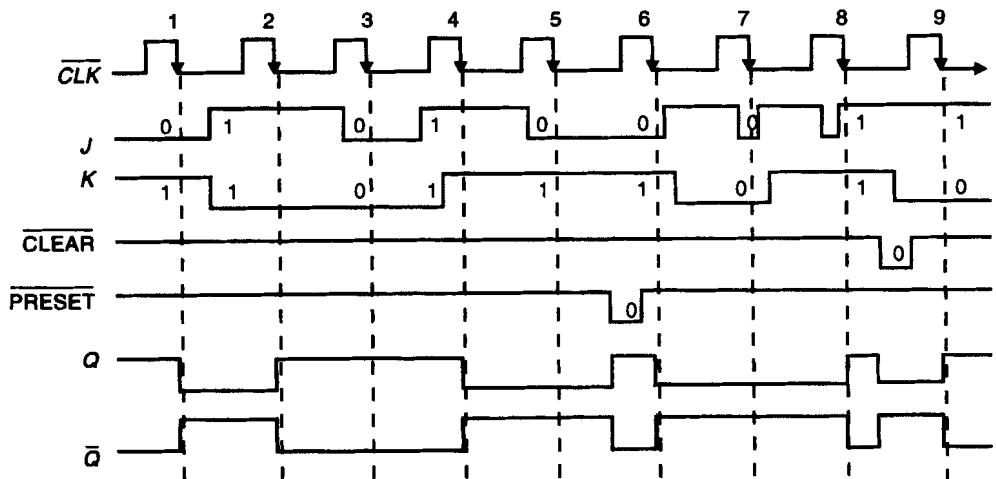


FIGURA 8-5 Formas de onda de salida para un flip-flop JK

Ejemplo: Dibuje el diagrama lógico de un flip-flop JK maestro-esclavo utilizando compuertas NOR.

Solución:

Nota: El estado de conmutación de este flip-flop JK es 0 en las entradas JK, mientras que el estado de memorización es 1 en las entradas JK. Esta situación no es lo estándar para flip-flops JK. Por otra parte, las entradas CLEAR y PRESET son activas en el nivel ALTO.

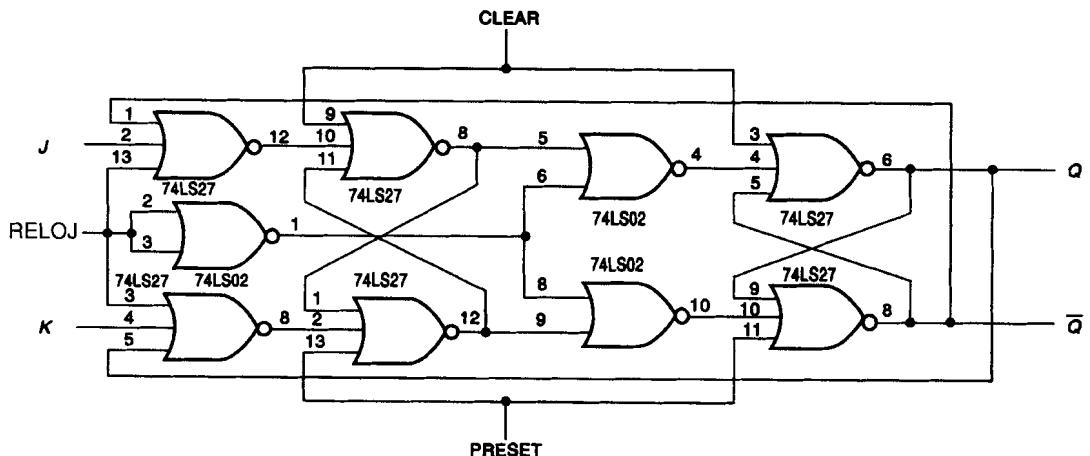


FIGURA 8-6

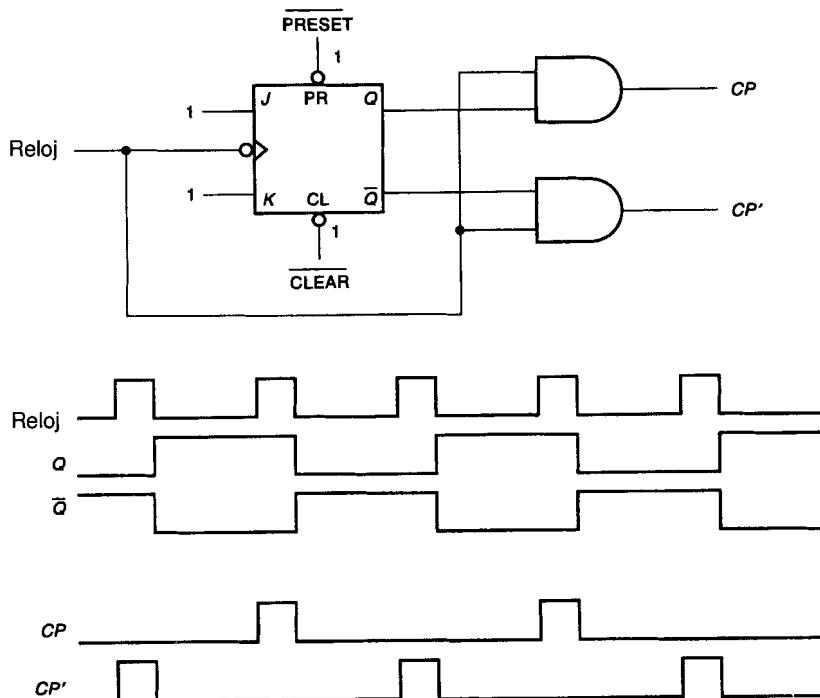
AUTOREVALUACIÓN PARA LAS SECCIONES 8.1 Y 8.2

1. ¿Cómo debe conectarse un flip-flop *D* disparado por flanco para que commute? [1]
2. ¿Cuáles deben ser las entradas *JK* de un flip-flop *JK* para hacer que éste commute? [1,2]
3. ¿Cuál es el estado de las salidas *Q* y \bar{Q} del flip-flop de la figura 8-4 si *CLEAR* es BAJO y *RESET* ALTO?

8.3 RELOJ SIN TRASLAPAMIENTO

3

La figura 8-7 muestra la manera de utilizar un flip-flop *JK* para construir un reloj sin traslapamiento. Nótese que *CP* y *CP'* tienen una frecuencia igual a la mitad de la frecuencia del reloj, y que están desfasadas 180°. Se dice que estas señales no se traslanan debido a que los flancos ascendentes o delanteros y los descendentes o traseros de *CP* y *CP'* nunca se presentan al mismo tiempo.

**FIGURA 8-7** Reloj sin traslapamiento

El flip-flop JK está construido de modo tal que comute durante el flanco descendente del reloj. Con lo anterior se habilita la compuerta AND CP y luego la compuerta AND CP' en el próximo flanco descendente del reloj. Cada vez que la salida Q o \bar{Q} del flip-flop habilita una compuerta AND, el siguiente pulso positivo de reloj pasa por la compuerta. En el flanco descendente de dicho pulso de reloj el flip-flop cambia de estado, inhabilitando una compuerta AND y habilitando la otra. Este proceso puede observarse en el diagrama de formas de onda de la figura 8-7. Este tipo de reloj sin traslapamiento se emplea para generar señales de selección y varias formas de onda para dispositivos digitales.

Ejemplo: Dibuje el diagrama lógico y las formas de onda de un reloj sin traslapamiento así como las formas de onda de CP y CP' utilizando los CI 74LS76 y 74LS02.

Solución:

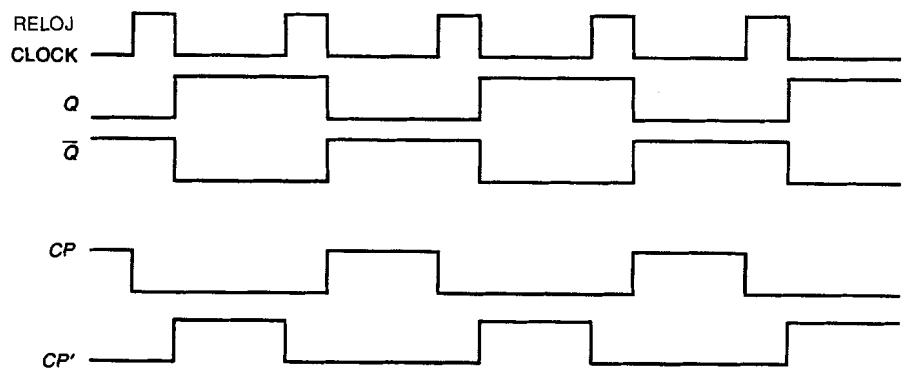
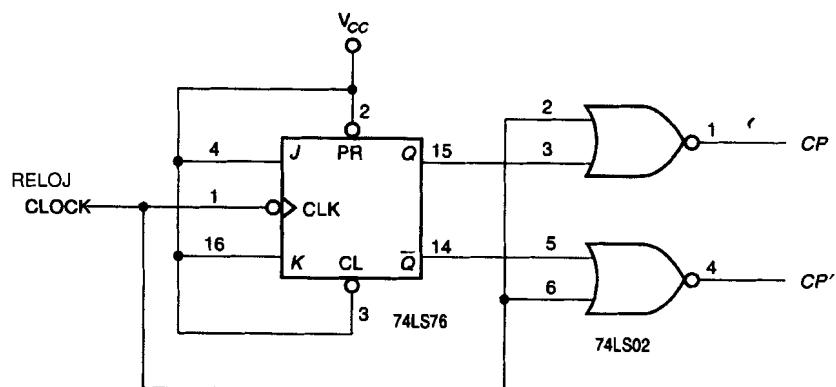


FIGURA 8-8

8.4 CONTADOR DE CORRIEMIENTO

La figura 8-9 presenta un **contador de corrimiento** formado por tres flip-flops *JK*. Las salidas Q y \bar{Q} del flip-flop *A* están conectadas a las entradas *J* y *K* del flip-flop *B* respectivamente; y las salidas Q y \bar{Q} del flip-flop *B* están conectadas de la misma manera a las entradas *J* y *K* del flip-flop *C*.



Dado que todas las entradas de reloj de los tres flip-flops están conectadas entre sí cuando *CP* desciende, el valor de *A*, Q y \bar{Q} pasarán a las salidas Q y \bar{Q} del flip-flop *B*. El valor de *B*, las salidas Q y \bar{Q} antes del flanco descendente de *CP* pasarán a las salidas Q y \bar{Q} del flip-flop *C*.

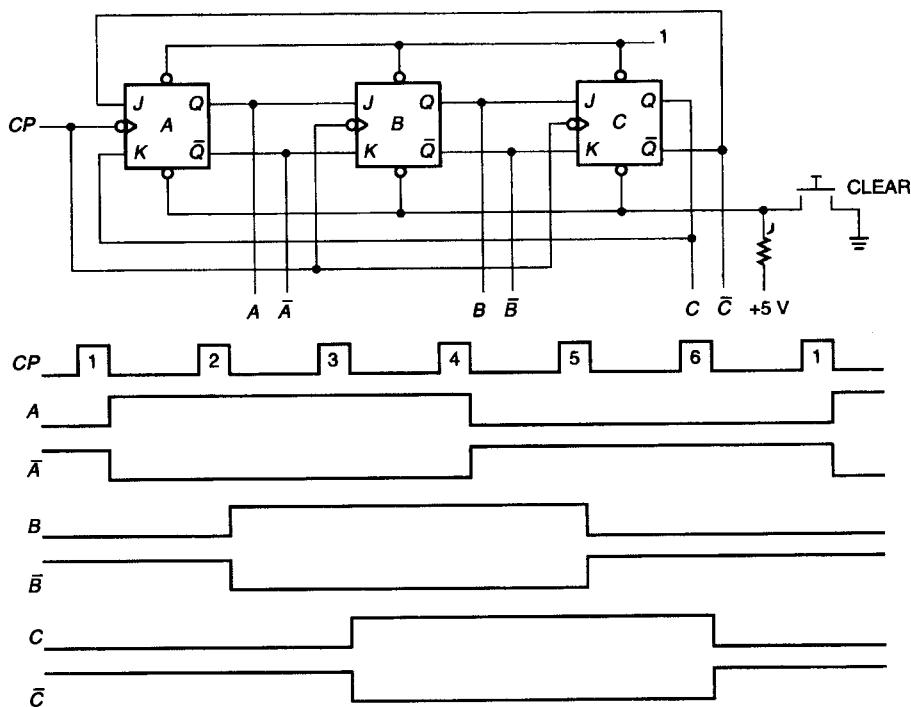


FIGURA 8-9 Contador de corrimiento con tres flip-flops

Las salidas Q y \bar{Q} del flip-flop *C* están conectadas a las entradas *J* y *K* del flip-flop *A* en orden inverso. Q se encuentra conectada a *K* y \bar{Q} lo está a *J*. Esto significa que después que *CP* descienda, las salidas Q y \bar{Q} del flip-flop *A* tendrán el valor opuesto al que tienen las salidas Q y \bar{Q} del flip-flop *C* antes del flanco descendente de *CP*.

Si el contador de corrimiento se borra al llevar todas las entradas *CLEAR* al nivel BAJO, entonces todas las salidas Q y \bar{Q} serán 0 y 1 respectivamente. Este estado se conservará siempre y cuando las entradas *CLEAR* tengan el nivel BAJO. Cuando éstas regresan al nivel ALTO y después del

flanco descendente del siguiente CP , la salida Q del flip-flop A toma el estado opuesto al de la salida Q del flip-flop C , la cual es 0. Por tanto, después del flanco descendente del primer CP , la salida del flip-flop A es 1. Después del siguiente flanco descendente de CP , el 1 en la salida Q del flip-flop A pasa a la salida Q del flip-flop B . Cuando se presenta el tercer flanco descendente de CP , el 1 en la salida del flip-flop B pasa a la salida del flip-flop C .

El cuarto CP hace que la salida Q del flip-flop A vaya a 0 debido a la retroalimentación de las salidas opuestas a las entradas JK del flip-flop A . Después del quinto CP , la salida Q del flip-flop B será 0, y después del sexto CP , todas las salidas Q del contador serán 0.

Si el lector examina las formas de onda de la figura 8-9 para el contador de corrimiento de tres flip-flops, notará que el valor de cada flip-flop es 1 durante tres CP , y luego 0 durante tres CP . Las salidas de los tres flip-flops están desfasadas 120°; esto es, primero A va a 1, después en el siguiente CP , B va a 1 y así sucesivamente.

Con el uso de unas cuantas compuertas sencillas, CP , CP' y las salidas del contador es posible construir cualquier forma de onda necesaria para un dispositivo digital que se repita cada seis CP . La figura 8-10 muestra algunos ejemplos de lo anterior.

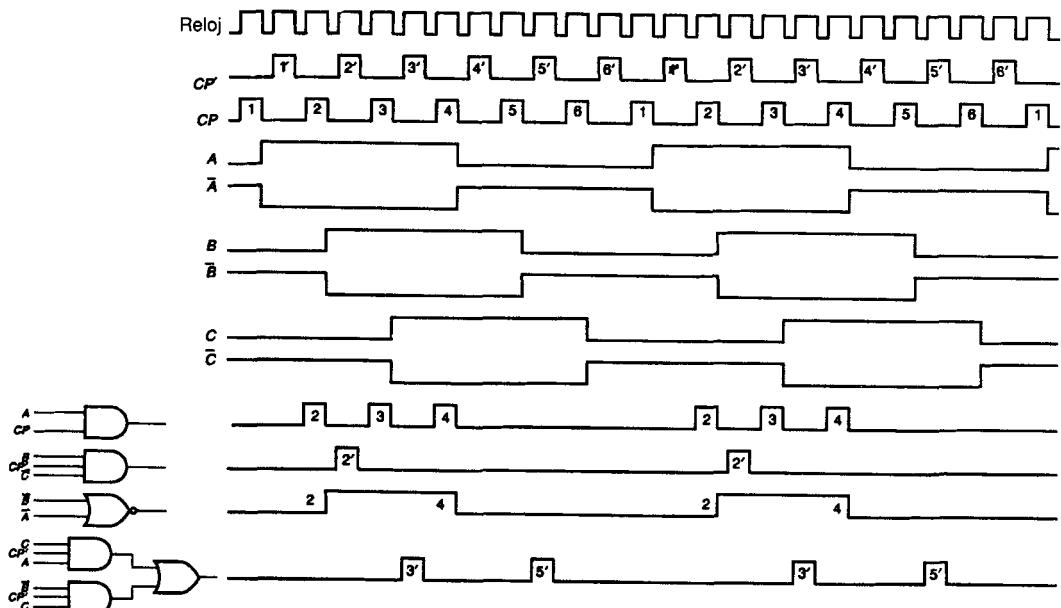


FIGURA 8-10 Formas de onda del reloj sin traslapamiento y del contador de corrimiento de tres flip-flops.

Ejemplo: Diseñe un reloj sin traslapamiento y un contador de corrimiento de dos bits utilizando dos CI 74LS76 y un 74LS08. Indique los números de terminales.

Solución:

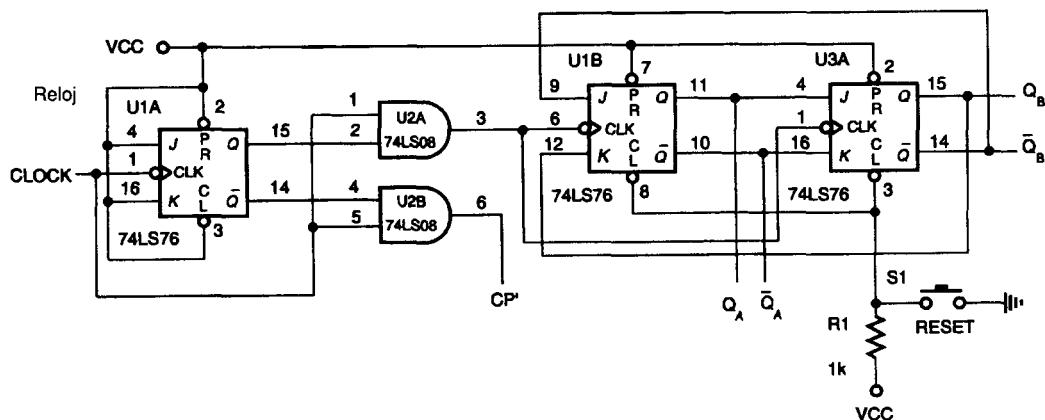


FIGURA 8-11

8.5 CI JK TÍPICOS



La figura 8-12 muestra cuatro flip-flops *JK* de uso muy común, junto con su distribución de terminales. El 74LS73 es un flip-flop *JK* maestro-esclavo disparado por flanco negativo que tiene sólo entradas *CLEAR*. Los 74LS76 y 7476 son flip-flops *JK* maestro-esclavo disparados por flanco negativo completos con entradas *CLEAR* y *RESET*. Esto tiene el costo de dos terminales más en el encapsulado del CI. Si el diseñador desea tener un encapsulado de CI con 14 terminales y retener el *CLOCK* y el *RESET*, entonces puede elegir el 74LS78, el cual tiene ambas entradas pero también una terminal común *CLOCK* y otra *CLEAR* para los dos flip-flops. Un flip-flop *JK* disparado por flanco positivo típico es el 74LS109.

Todos estos flip-flops trabajan de manera adecuada para los ejemplos de este libro así como para otros que no se mencionan en él. El estudiante debe consultar el manual de especificaciones de algún fabricante de CI para tener una idea del número y diversidad de flip-flops *JK* en CI disponibles en la actualidad.

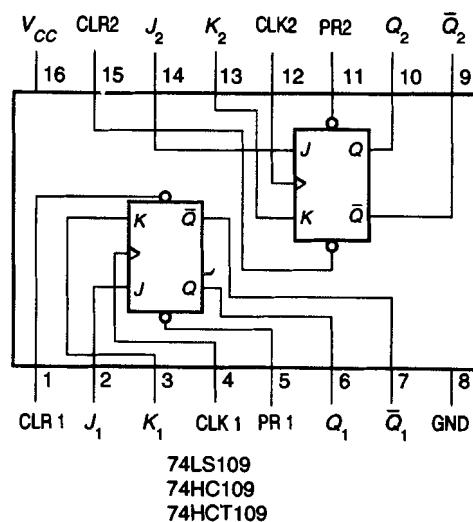
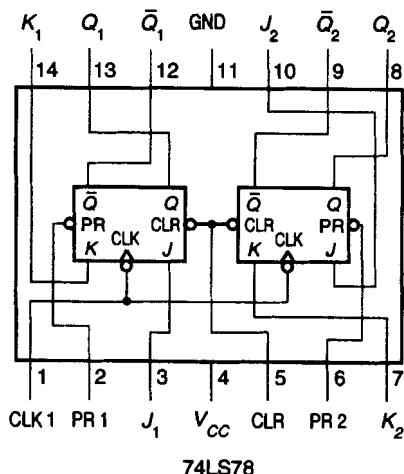
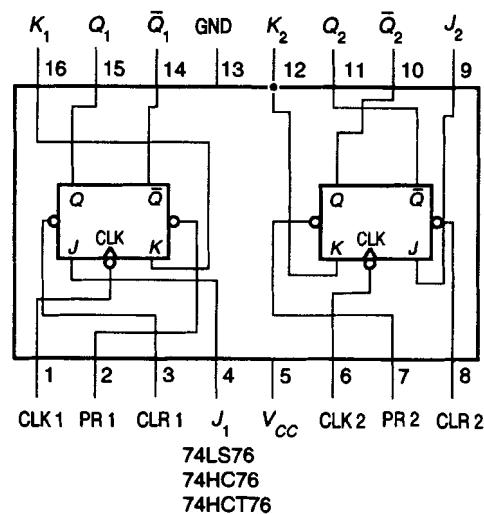
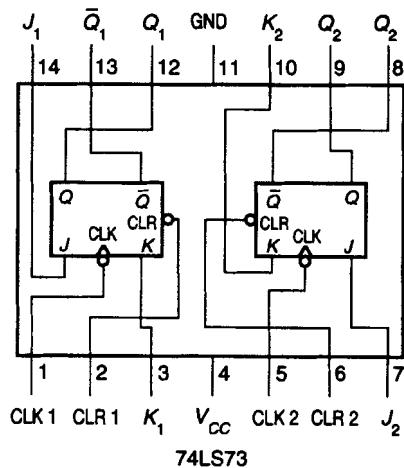


FIGURA 8-12 Flip-flops JK de uso más común

AUTOEVALUACIÓN PARA LAS SECCIONES 8.3, 8.4 Y 8.5

1. Dibuje las formas de onda para el reloj sin traslapamiento y el contador de corrimiento de dos bits del ejemplo de la página 312. [3,4]

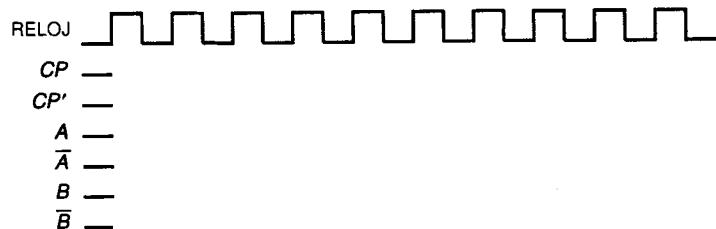


FIGURA 8-13

2. Dibuje la salida de la compuerta mostrada en la figura para las entradas dadas en la pregunta 1. [3,4]

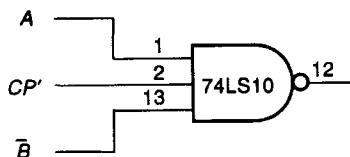


FIGURA 8-14

RESUMEN

- Un flip-flop maestro-esclavo puede conmutar debido a que es disparado por flanco.

Para hacer que un flip-flop disparado por flanco commute, el valor de la salida *Q* debe aplicarse a la entrada del flip-flop como un valor invertido. Lo anterior puede hacerse en el flip-flop *D* maestro-esclavo conectando \bar{Q} a la entrada *D*. Esto tiene el efecto de cambiar el valor lógico de la entrada *D* cada vez que se presente un pulso de reloj en el flip-flop.

- El flip-flop JK es un tipo de flip-flop universal cuya programación o control puede hacerse con los valores lógicos aplicados en las entradas J y K.

Las reglas básicas para el uso del flip-flop JK son las siguientes:

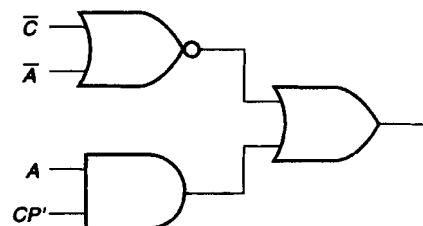
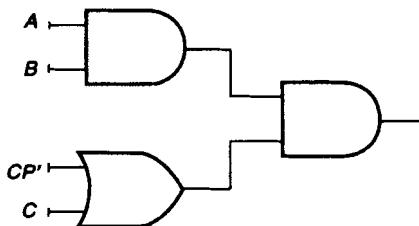
1. Dependiendo del tipo de flip-flop JK, las salidas Q y \bar{Q} cambiarán durante el flanco ascendente o descendente del reloj, excepto cuando $CLEAR$ o $RESET$ están activas.
 2. Las entradas $CLEAR$ y $RESET$ tienen prioridad sobre todas las demás entradas del flip-flop JK.
 3. Cuando las entradas J y K se mantienen en el nivel lógico 1, el flip-flop comuta.
 4. Cuando las entradas J y K no tienen el mismo valor lógico, las salidas Q y \bar{Q} siguen a las entradas JK respectivamente durante el flanco del reloj.
 5. Cuando las entradas J y K tienen el valor lógico 0, el flip-flop no cambiará los valores de Q y \bar{Q} durante el flanco del reloj. Éste es el estado sin cambio o de memorización.
- Cuando un flip-flop se configura para que comute, la salida Q tiene una frecuencia igual a la mitad de la entrada de reloj del flip-flop.
- Esta propiedad de comutación del flip-flop puede emplearse para construir contadores y divisores de frecuencia, que es el tema del capítulo 10.
- El contador de corrimiento y el reloj sin traslapamiento pueden utilizarse para generar formas de onda complicadas, las cuales a menudo se emplean en aplicaciones de microprocesadores y señales de control para circuitos digitales más complejos, tales como los relojes de tiempo real y los contadores de frecuencia.

PREGUNTAS Y PROBLEMAS

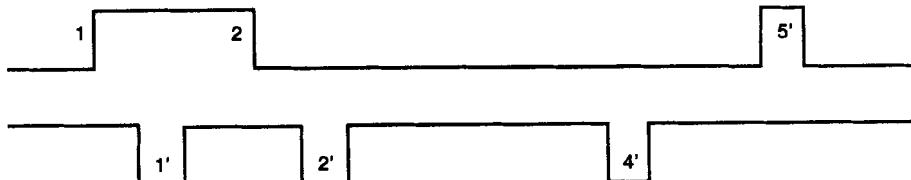
1. Dibuje un diagrama lógico de un reloj con retraso y un contador de corrimiento que repita la secuencia cada 10 pulsos de reloj (CP). Incluya en el diagrama lógico la distribución de terminales del CI y el número de terminal. [4]
2. Utilice los manuales de TTL y CMOS para localizar dos CI que tengan relojes negativos y dos CI con relojes positivos, tanto para TTL como para CMOS. Dibuje el diagrama de terminales de estos circuitos. [5]
3. Dibuje el diagrama lógico de un reloj sin traslapamiento de dos fases utilizando un flip-flop JK y tres compuertas NOR. Asigne un nombre al CI y ponga números de terminales en el diagrama. [3]

344 Flip-flops D y JK maestro-esclavo

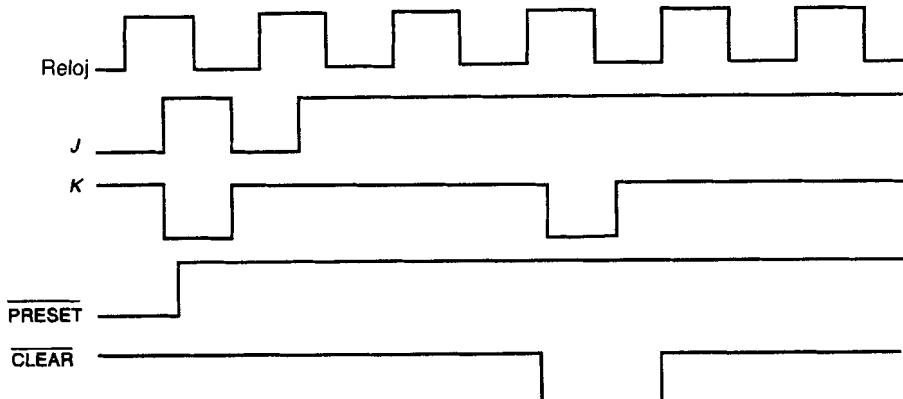
4. Utilice la figura 8-13 para dibujar la forma de onda de las siguientes compuertas. [4]



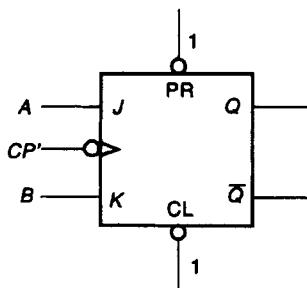
5. Haga uso de la figura 8-13 para dibujar el diagrama lógico de las compuertas que producen las siguientes formas de onda. [4]



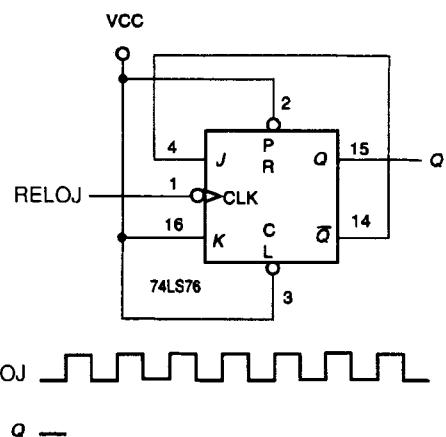
6. Dibuje el diagrama lógico de un flip-flop JK disparado por flanco negativo con entradas CLEAR y RESET activas en BAJO utilizando compuertas NOR. [2]
7. Dibuje el símbolo lógico para un flip-flop JK disparado por flanco negativo con CLEAR y RESET activas en BAJO. [2]
8. Dibuje las formas de onda de salida para la salida Q de un flip-flop JK disparado por flanco negativo con CLEAR y RESET activas en BAJO. Utilice las siguientes formas de onda de entrada. [2]



9. Repita el problema anterior con un flip-flop disparado por flanco positivo con *CLEAR* y *RESET* activas en ALTO. [2]
 10. Si las entradas *J* y *K* eran 0 antes del flanco descendente del reloj, ¿cuál será el valor de la salida *Q* de un flip-flop *JK* disparado por flanco negativo después del flanco descendente del reloj? [2]
 11. Dibuje el símbolo lógico de un flip-flop y aplique los valores correctos en las entradas para hacer que éste commute. [2,5]
 12. Dibuje las formas de onda para el flip-flop mostrado en la figura utilizando como entradas las formas de onda de la figura 8-10. [2,3,4]



13. Haga uso de las formas de onda de la figura 8-10 y de un solo flip-flop JK para dibujar el diagrama lógico de un circuito que produzca un reloj con ciclo de trabajo del 50 % que tenga la misma frecuencia que CP. [1,2,3,4]
 14. ¿Qué valores tendrían que aplicarse a las entradas del flip-flop de la figura 8-4 para que Q y \bar{Q} sean ambas ALTO? [1,2]
 15. ¿Cuál sería el valor de CP en la figura 8-7 si la entrada PRESET del flip-flop JK estuviera en BAJO? [3,4]
 16. ¿Es posible hacer que un flip-flop D 74LS75 commute? ¿Por qué? [5]
 17. Dibuje un diagrama lógico que muestre cómo alambrar un CI 74LS74 para hacer que commute. Muestre los números de terminales. [5]
 18. Utilice un manual de especificaciones de TTL y haga una lista de cinco flip-flops de CI disparados por flanco. [5]
 19. Dibuje la forma de onda para el reloj sin traslapamiento de la figura 8-7 si la entrada PRESET estuviese conectada a BAJO. [3]
 20. Dibuje la salida Q del flip-flop JK de la figura. [2]



P Práctica 8

Contador de corrimiento y reloj con retraso

OBJETIVOS

Al término de esta práctica, el lector deberá ser capaz de:

- utilizar un flip-flop JK para construir un reloj sin traslapamiento.
- utilizar flip-flops JK para construir un contador de corrimiento.
- utilizar compuertas simples para generar diversas formas de onda.

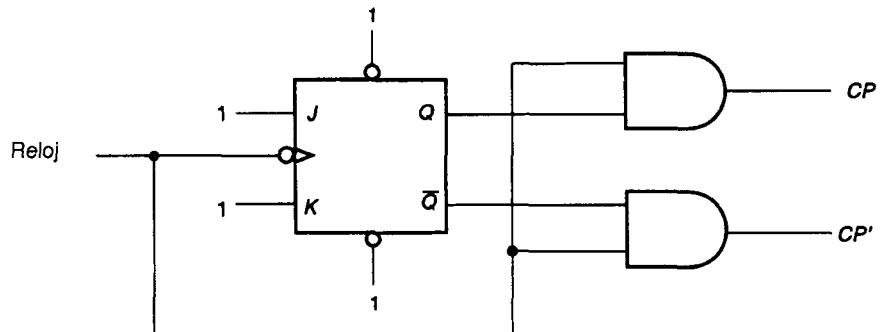
COMPONENTES NECESARIOS

- 2 flip-flops JK 7476
- 1 CI 7408, AND cuádruple
- 1 resistor de $10\text{ k}\Omega$, $\frac{1}{4}$ de watt
- 1 CI 7404, inversor séxtuple
- 1 CI 7432, compuerta OR cuádruple
- 1 CI 7410, compuerta NAND triple de tres entradas
- 1 CI 7427, compuerta NOR triple de tres entradas

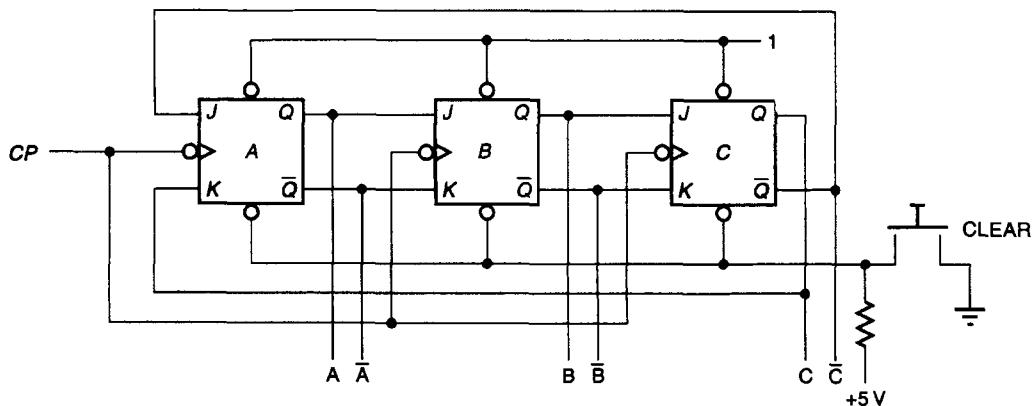
PROCEDIMIENTO

1. Utilice un flip-flop JK y dos compuertas AND para generar un reloj, CP , y un reloj con retraso, CP' .

2. En una hoja de papel cuadriculado, dibuje las formas de onda que esperaría ver para el reloj, Q , \bar{Q} , CP y CP' .



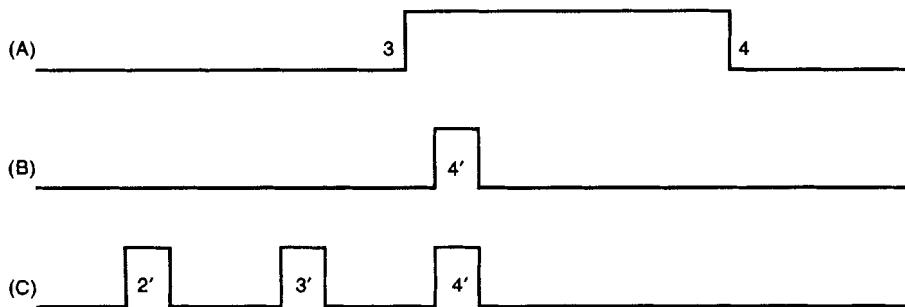
3. Utilice un osciloscopio para observar las formas de onda reales de lo siguiente: el reloj, Q , \bar{Q} , CP y CP' . Haga la gráfica de estas formas de onda.
4. Construya el contador de corrimiento de la figura y conéctele el reloj con retraso del punto 1.



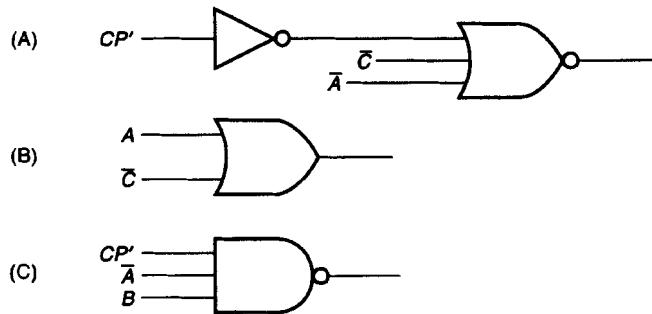
5. Dibuje las formas de onda que esperaría ver para CP , CP' , A , \bar{A} , B , \bar{B} , C y \bar{C} .
6. Utilice un osciloscopio para observar las formas de onda reales CP , CP' , A , \bar{A} , B , \bar{B} , C y \bar{C} . Haga una gráfica de ellas.

348 Flip-flops D y JK maestro-esclavo

7. Conecte las compuertas necesarias para producir las siguientes formas de onda y obsérvelas en el osciloscopio.

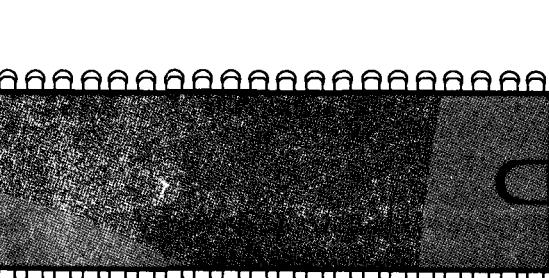


8. Determine las salidas de las siguientes compuertas.



9. Conecte las compuertas del punto 8 y observe las salidas reales.
10. Proponga una forma de onda no cubierta en esta práctica y genérela.
Si el circuito no funciona de manera apropiada, considere lo siguiente:
1. Verifique la conexión de cada CI a la fuente de alimentación.
 2. Verifique que todas las entradas y salidas de cada compuerta tengan los niveles de voltaje apropiados.
 3. Para el reloj sin traslapamiento:
 - a) Asegúrese de haber conectado a +5 V las terminales J , K , $CLEAR$ y $PRESET$. Los flip-flops JK no siempre consideran una entrada sin conectar como un 1 lógico.
 - b) Utilice el osciloscopio para rastrear la señal de reloj hasta la terminal de entrada de reloj del flip-flop y a las entradas de las dos compuertas NAND.

- c) Haga uso de un canal del osciloscopio para ver la entrada de reloj y el otro para ver la salida Q del flip-flop. Esto le indicará si el flip-flop está o no conmutando.
4. Para el contador de corrimiento:
 - a) Vea si ha dejado sin conectar la entrada \overline{PRESET} o \overline{CLEAR} .
 - b) Asegúrese de haber borrado todos los flip-flops para ponerlos en secuencia de manera apropiada.
 - c) Utilice el osciloscopio para rastrear la señal CP hasta la entrada de reloj de cada uno de los flip-flops.



CONTENIDO

- 9.1** CONSTRUCCIÓN DE UN REGISTRO DE CORRIMIENTO CON FLIP-FLOPS JK
- 9.2** DATOS EN PARALELO Y EN SERIE
- 9.3** ENTRADA EN PARALELO, SALIDA EN SERIE
- 9.4** FORMATOS DE TRANSMISIÓN DE DATOS EN SERIE
- 9.5** REGISTROS DE CORRIMIENTO DE CI
- 9.6** ESTÁNDARES PARA DATOS EN SERIE
- 9.7** CÓDIGO ASCII

Registros de corrimiento

Capítulo 9

LISTA DE TÉRMINOS

velocidad en baudios
bits de encuadre
asíncrono
síncrono

UART
RS-232C
conector DB-25
ASCII

OBJETIVOS



Al término de este capítulo el lector debe ser capaz de:

1. Explicar el funcionamiento de un registro de corrimiento.
2. Describir cómo cargar en paralelo un registro de corrimiento y desplazar en serie los datos para darles salida, y cómo cargar el registro en serie para dar salida a los datos en paralelo.
3. Describir los métodos de transmisión en serie de datos digitales más comunes.
4. Describir registros de corrimiento de CI de uso común.
5. Describir el estándar RS-232C.
6. Describir el código ASCII.

9.1 CONSTRUCCIÓN DE UN REGISTRO DE CORRIMIENTO CON FLIP-FLOPS JK



La figura 9-1 muestra un registro de corrimiento con entrada en serie y salida en paralelo de cuatro bits, formado por flip-flops JK. Nótese el inversor entre las entradas J y K del primer flip-flop, el A, lo que significa que estas entradas nunca serán iguales. Cuando en el flip-flop A se presenta el flanco descendente del reloj, las salidas Q y \bar{Q} toman los valores de las entradas J y K. Las salidas Q y \bar{Q} del flip-flop A están conectadas a las entradas JK del flip-flop B, y la conexión de éste con el flip-flop C se hace de la misma manera. Este modo de conexión de los flip-flops puede continuarse hasta obtener el número deseado de bits para el registro de corrimiento.

Dado que las entradas de reloj de todos los flip-flops están conectadas entre sí, éstos cambian de estado al mismo tiempo, con lo que sus salidas Q reflejan la entrada J antes de la aparición del flanco descendente del reloj.

En el flanco descendente del primer pulso de reloj en la figura 9-1, la salida Q del flip-flop A (Q_A) pasa a 1 debido a que la entrada en serie antes del flanco descendente del reloj era 1. La salida Q del flip-flop B (Q_B) sigue

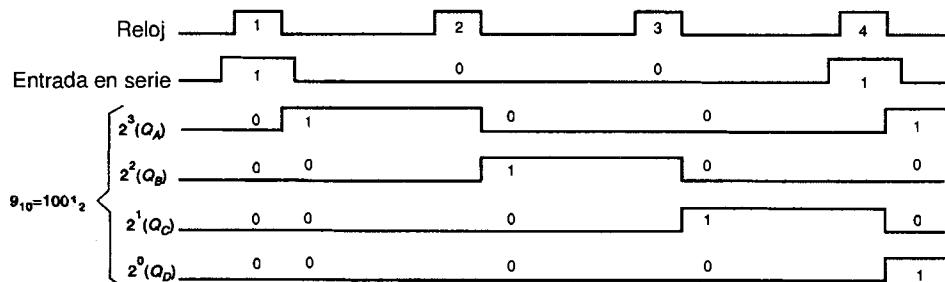
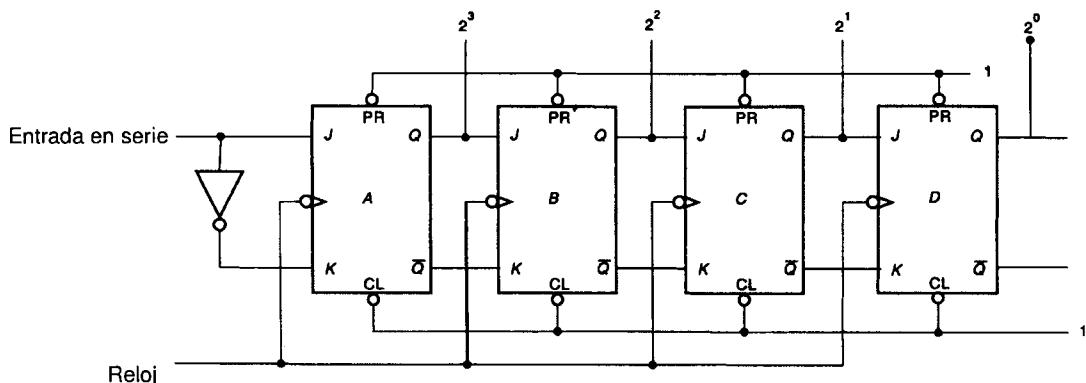


FIGURA 9-1 Registro de corrimiento de cuatro bits

siendo 0 después del flanco descendente del pulso de reloj 1 debido a que Q_A era 0 antes de la aparición de este flanco.

Las salidas de los flip-flops C y D (Q_C y Q_D) también son 0 por la misma razón.

En el flanco descendente del segundo pulso de reloj, Q_A cambia a 0 debido a que la entrada en serie era 0 antes del flanco descendente. Ahora Q_B cambia a 1 ya que Q_A era 1 antes del flanco descendente del segundo pulso de reloj.

Durante el tercer flanco descendente del reloj, el 1 de la salida del flip-flop B será transferido a la salida del flip-flop C , y después del cuarto pulso de reloj, el registro estará lleno. En la figura 9-1, se introdujo en serie al registro de corrimiento el número binario correspondiente al 9, el cual fue convertido a forma paralela después del cuarto pulso de reloj.

Ejemplo: ¿Cuáles serán las formas de onda de las salidas del registro de corrimiento de la figura 9-1 si se introduce en serie el número 5?

Solución:

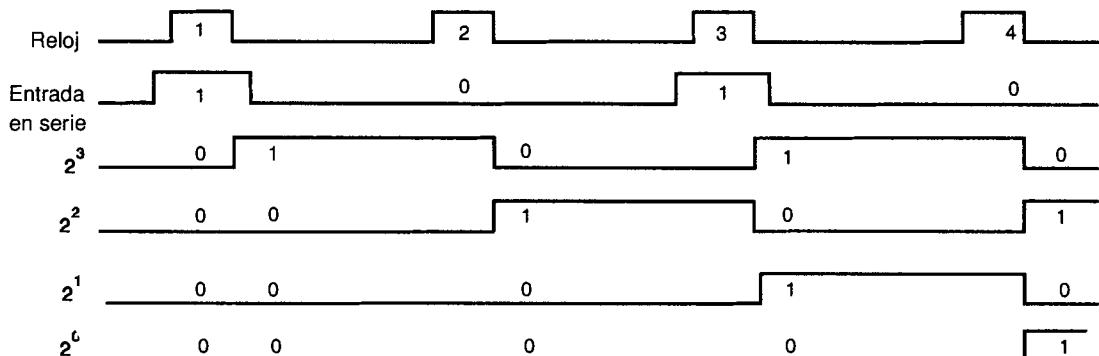


FIGURA 9-2

9.2 DATOS EN PARALELO Y EN SERIE

Los datos en formato serie se introducen un bit a la vez sobre una sola línea o alambre con una frecuencia constante y en fase con un reloj de referencia. Por otra parte, los datos en formato paralelo tienen una línea o alambre para cada bit del número binario o palabra de datos, y no es necesario tener como referencia un reloj para que éstos sean transferidos de un registro a otro.

La frecuencia del reloj de referencia o el número de bits por segundo de la entrada en serie usualmente se conoce como **velocidad de transmisión en baudios** de la transferencia en serie. La velocidad de transmisión en baudios típica para un teletipo es de 110 bits por segundo. Con esta velocidad, el usuario puede enviar diez números binarios de 11 bits en un segundo.

Si se emplea el mismo reloj de referencia en un registro paralelo con una línea por cada bit del número binario de 11 bits, entonces pueden transmitirse 110 números de 11 bits en un segundo.

Como puede observarse, la transmisión de datos en paralelo es mucho más rápida pero requiere una cantidad mayor de líneas o alambres que la transmisión en serie. Cuando un dato digital se transfiere sobre distancias grandes o se coloca en una cinta magnética larga para almacenamiento, se emplean métodos en serie ya que éstos sólo requieren de una linea o alambre para hacer el trabajo.

Las computadoras transfieren datos en números binarios de ocho bits conocidos como bytes. El CPU (unidad central de procesamiento) mueve los datos hacia y desde la memoria en forma paralela. Los alambres o conexiones eléctricas que hacen la transferencia en paralelo se conocen como canal o bus, y una computadora puede tener varios de ellos para el movimiento de datos. En la computadora se emplea el formato en paralelo debido a que éste es mucho más rápido y la distancia de transferencia es pequeña. Sin embargo el formato en serie se utiliza para mover datos hacia y desde la terminal, la cual contiene el teclado y el monitor. Esto se hace debido a que la terminal puede encontrarse a cierta distancia de la computadora, y además no se requiere que la velocidad de transferencia de datos sea grande. Cuando se va de la computadora hacia la terminal, se emplea un registro de corrimiento de paralelo a serie, mientras que para recibir en la computadora los datos enviados por la terminal se hace uso de un registro de corrimiento de serie a paralelo.

9.3 ENTRADA EN PARALELO, SALIDA EN SERIE



La figura 9-3 muestra un registro de corrimiento con entrada en paralelo y salida en serie, así como la forma de onda para cargar el número binario equivalente al 9 y desplazarlo hacia la derecha. El flip-flop *D* tiene un 0 en la entrada *J* y un 1 en la *K*. Esto hará que la salida *Q* del flip-flop *A* vaya a 0 después del flanco descendente de la entrada de reloj. Si el registro de corrimiento recibe cuatro pulsos de reloj, las salidas *Q* de todos los flip-flops serán 0 y permanecerán en 0 hasta que se cargue en forma paralela un nuevo número binario.

Lo anterior se hace colocando un número binario en las entradas paralelas y llevando a 1 el control o entrada de carga en paralelo. Con esto se habilitan las compuertas NAND que controlan las entradas PRESET y

CLEAR de cada flip-flop. Dada la presencia del inversor entre las entradas de las dos compuertas NAND, la salida de una de ellas es 1 mientras que la de la otra es 0. Estas salidas nunca tendrán el mismo valor mientras las compuertas NAND estén habilitadas. Esto hará que la salida del flip-flop sea inicializada o reinicializada dependiendo del valor de la entrada en paralelo a las compuertas NAND que controlan el flip-flop.

Dado que CLEAR y RESET tienen prioridad sobre el resto de las entradas del flip-flop JK, las salidas Q de los flip-flops no cambiarán mientras la entrada de carga en paralelo sea 1, ya que esto habilita las compuertas NAND. Cuando la entrada de carga en paralelo cae a 0, las compuertas NAND quedan inhabilitadas, y sus salidas van a 1 debido a que un 0 en una compuerta NAND produce una salida 1.

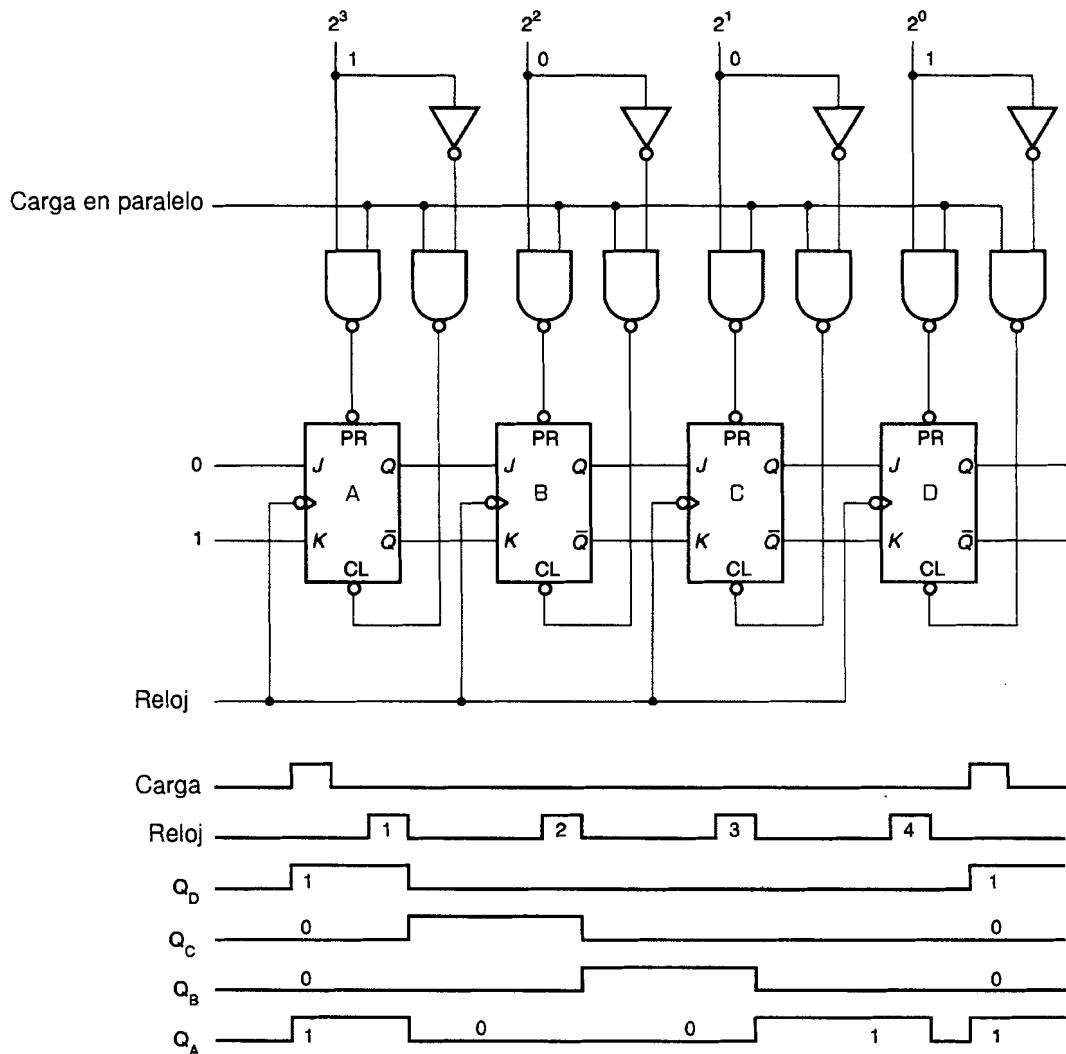


FIGURA 9-3 Registro de corrimiento con entrada en paralelo y salida en serie

El registro de corrimiento queda ahora cargado con el número binario deseado. En el caso de la figura 9-3, el número binario es equivalente a 9. Las entradas PRESET y CLEAR son 1, lo que significa que cuando se presente el flanco negativo del reloj, el registro de corrimiento desplazará cada bit un lugar a la derecha, introduciendo un 0 por la izquierda y dando salida, por la parte derecha, a un 1. Después de cuatro pulsos de reloj, el número habrá sido desplazado a la derecha en su totalidad, y el registro quedará vacío, es decir, con ceros; listo para un número nuevo.

La salida Q del flip-flop D podría conectarse a un registro de corrimiento con entrada en serie y salida en paralelo, conectado al mismo reloj, con lo que el equivalente binario de 9 sería transferido a otro registro de corrimiento en cuatro pulsos de reloj. La idea anterior está representada en la figura 9-4.

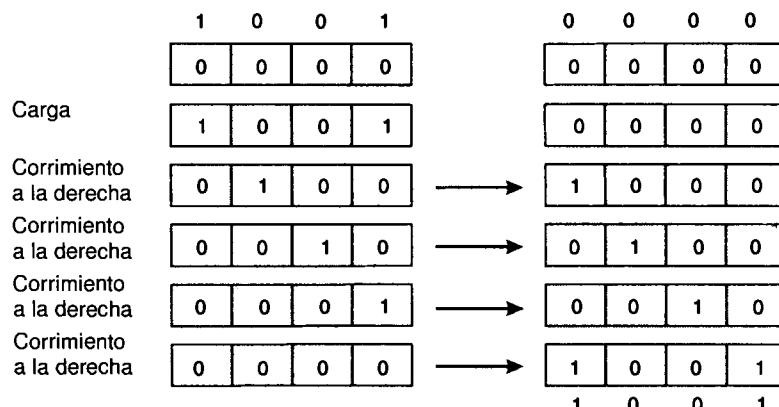


FIGURA 9-4 Transferencia de datos en serie

Ejemplo: ¿Cuáles serían las formas de onda en la figura 9-3 si se carga en paralelo el número binario 1010 (10 en decimal) en un registro de corrimiento?

Solución:

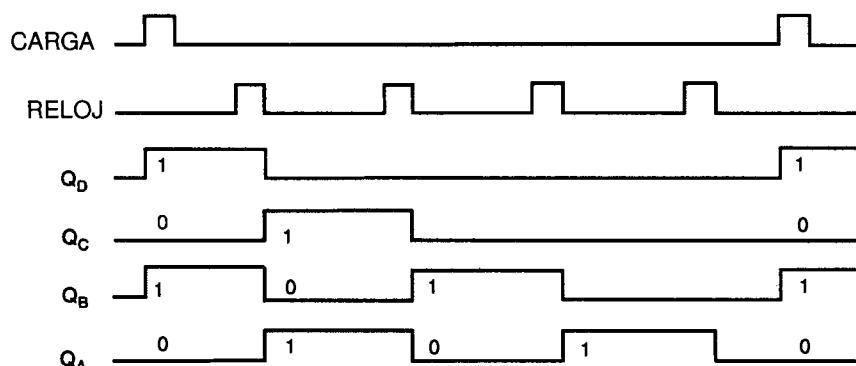


FIGURA 9-5

9.4 FORMATOS DE TRANSMISIÓN DE DATOS EN SERIE



Existen varios formatos estandarizados para la transmisión de datos en serie. Dos de ellos son la interfaz en serie RS232 empleada en las computadoras, y el lazo de corriente de 20 mA utilizado por los teletipos antiguos. La figura 9-6 muestra un formato de palabra típico de estas interfaces en serie. Esta forma de transmisión se conoce como **transferencia en serie asíncrona**.

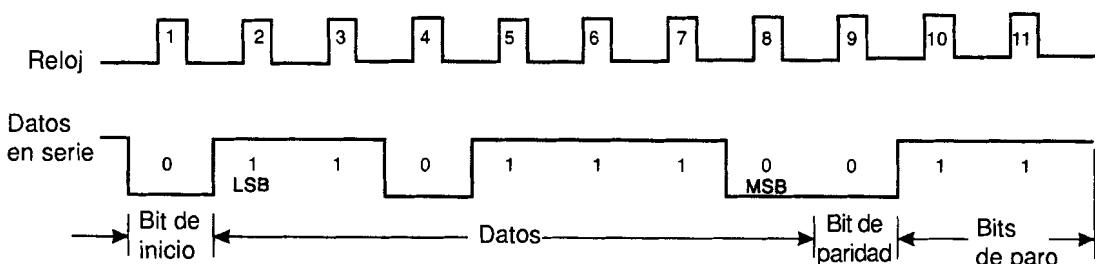


FIGURA 9-6 Formato serie asíncrono

Cada palabra comienza con un bit de inicio que va hacia el nivel BAJO, el cual da principio a la introducción de datos en el registro de corrimiento. Los siguientes siete bits son datos usualmente en código ASCII para las letras del alfabeto. Después de éstos sigue un bit de paridad y dos bits de paro, los cuales son 1. Nótese que se requieren 11 pulsos de reloj para introducir una palabra. Un teletipo típico trabaja a una velocidad de 110 baudios. Esto significa que si se emplea el formato de la figura 9-6, el dispositivo puede enviar o recibir 10 palabras o caracteres por segundo. Esta velocidad es muy lenta comparada con la de las computadoras de la actualidad, las cuales trabajan a velocidades iguales o mayores que 9600 baudios.

Ejemplo: ¿Cuál sería la forma de onda de la figura 9-6 si el número binario transmitido fuese 43 Hex?

Solución:

El equivalente binario de 43 Hex es 1000011. El número binario de la figura 9-6 es 111011, el cual tiene un número impar de unos, con lo que el bit de paridad es 0. Lo anterior significa que se está utilizando un sistema de paridad impar. El número 43 Hex también tiene una paridad impar, de modo que el bit de paridad que se enviará es 0. Si se añade un 0

para el bit de inicio y dos unos para los de paro entonces se obtiene 01100001011, como se muestra en la figura 9-7.

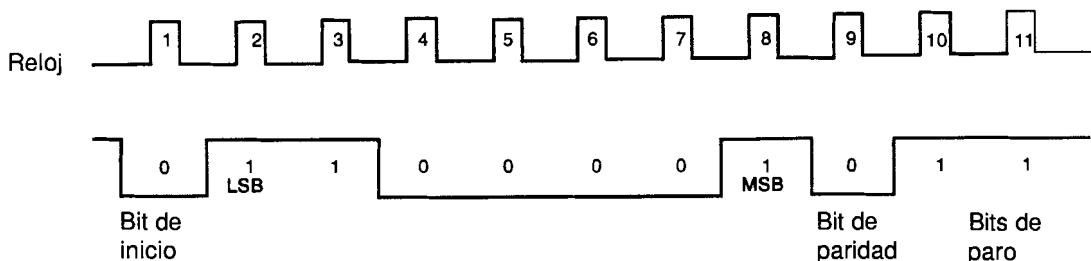


FIGURA 9-7

El bit de inicio y los bits de paro se conocen como **bits de encuadre** y se emplean para poner en funcionamiento y parar el registro de corrimiento en serie que recibe los datos. Este tipo de transferencia de datos en serie recibe el nombre de transferencia de datos en serie **asíncrona** debido a que los datos llegan en pequeños paquetes ordenados, con un intervalo de tiempo cualquiera entre ellos. La transferencia de datos en serie **síncrona** no hace uso de los bits de encuadre, y los datos llegan una palabra tras otra con una velocidad constante. La transferencia de datos en serie síncrona usualmente se hace en bloques de números binarios o palabras. Un buen ejemplo de una transferencia de este tipo es la manera en que muchas unidades de disco almacenan datos. Los datos se guardan en el disco en sectores, los cuales tienen usualmente una longitud de 128, 256 o 512 bytes. Un *byte* es un número binario de ocho bits.

Si se emplean métodos de transmisión en serie asíncrona, entonces el almacenamiento de un byte en un disco requiere un mínimo de 10 bits: uno de inicio, ocho bits de datos y un bit de paro. Si se emplean métodos de transmisión síncronos, entonces el almacenamiento de un byte necesita sólo ocho bits para los datos. Por tanto, el método síncrono permite guardar 20 % más datos en un disco que el método asíncrono. Lo anterior es bueno para almacenamiento en disco, pero los métodos síncronos no son fáciles de utilizar cuando se transfieren datos en serie a distancias grandes. En cualquier método el reloj debe ir con el flujo de datos para controlar el registro de corrimiento en serie que convierte los datos de formato serie a formato paralelo. Dado que, en la transferencia de datos en serie asíncrona, el reloj se pone en funcionamiento con el bit de inicio y se detiene con el bit de paro, el reloj puede obtenerse a partir de un oscilador de cristal muy preciso situado en el receptor de datos, con lo que no es necesario enviar con los datos la señal de reloj.

TELETIPO SERIE



El teletipo de esta fotografía utiliza un lazo de corriente de 20 mA a 60 mA para mantener un relevador cerrado. Cuando el relevador está cerrado, impide que un distribuidor giratorio dé vueltas. Cuando se interrumpe la corriente (un 0 lógico, bit de inicio), el relevador se abre y el distribuidor giratorio da vuelta. Al dar vueltas las escobillas del distribuidor pasan sobre contactos que controlan otros relevadores empleados para hacer que la impresora imprima una letra. Después

de que el rotor del distribuidor ha girado casi una vuelta, regresa la corriente de la línea (bits de paro), y el relevador detiene el giro del distribuidor. Es de esta manera como se hace el corrimiento de una letra. Esta máquina es la razón por la que se utilizaron bits de inicio y paro en la comunicación asíncrona. El teletipo fue la terminal de computadora estándar empleada en todas las computadoras hasta finales de la década de los sesentas.

La figura 9-8 muestra un sistema lógico con entrada en serie diseñado para recibir datos en serie con el formato de la figura 9-6. Éste es un sistema típico que recibirá datos en serie y los retendrá en un conjunto de flip-

flops D para que un microprocesador los coloque en su memoria. En la actualidad, estos circuitos lógicos generalmente no se construyen a partir de compuertas básicas y flip-flops, sino como circuitos LSI en una unidad de circuito integrado. Estos circuitos LSI se conocen como CI **UART** e incluyen un sistema lógico transmisor de paralelo a serie y toda la lógica necesaria para verificar la paridad, los bits de paro y el encuadre de los datos recibidos. La mayoría de los CI LSI UART son programables por el microprocesador al que están conectados. La palabra UART son las siglas en inglés de transmisor receptor universal asíncrono. La figura 9-8 es un ejemplo de la forma en que puede construirse el receptor de un UART típico.

La figura 9-9 muestra las formas de onda para el onceavo pulso del reloj del registro de corrimiento. Este reloj se obtiene decodificando el pulso 3' que proviene de un reloj con retraso y un contador de corrimiento. Lo anterior significa que el reloj que excita al reloj con retraso debe tener una frecuencia 12 veces mayor que la velocidad en baudios de los datos recibidos en serie.

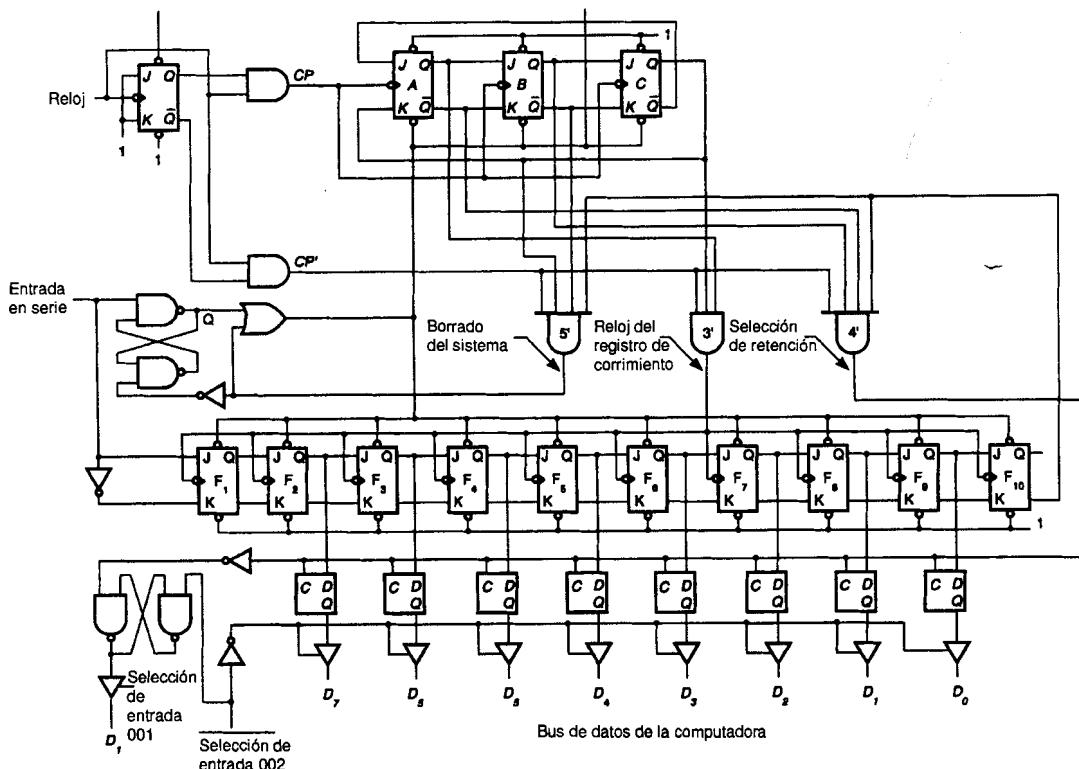


FIGURA 9-8 Receptor serie asíncrono

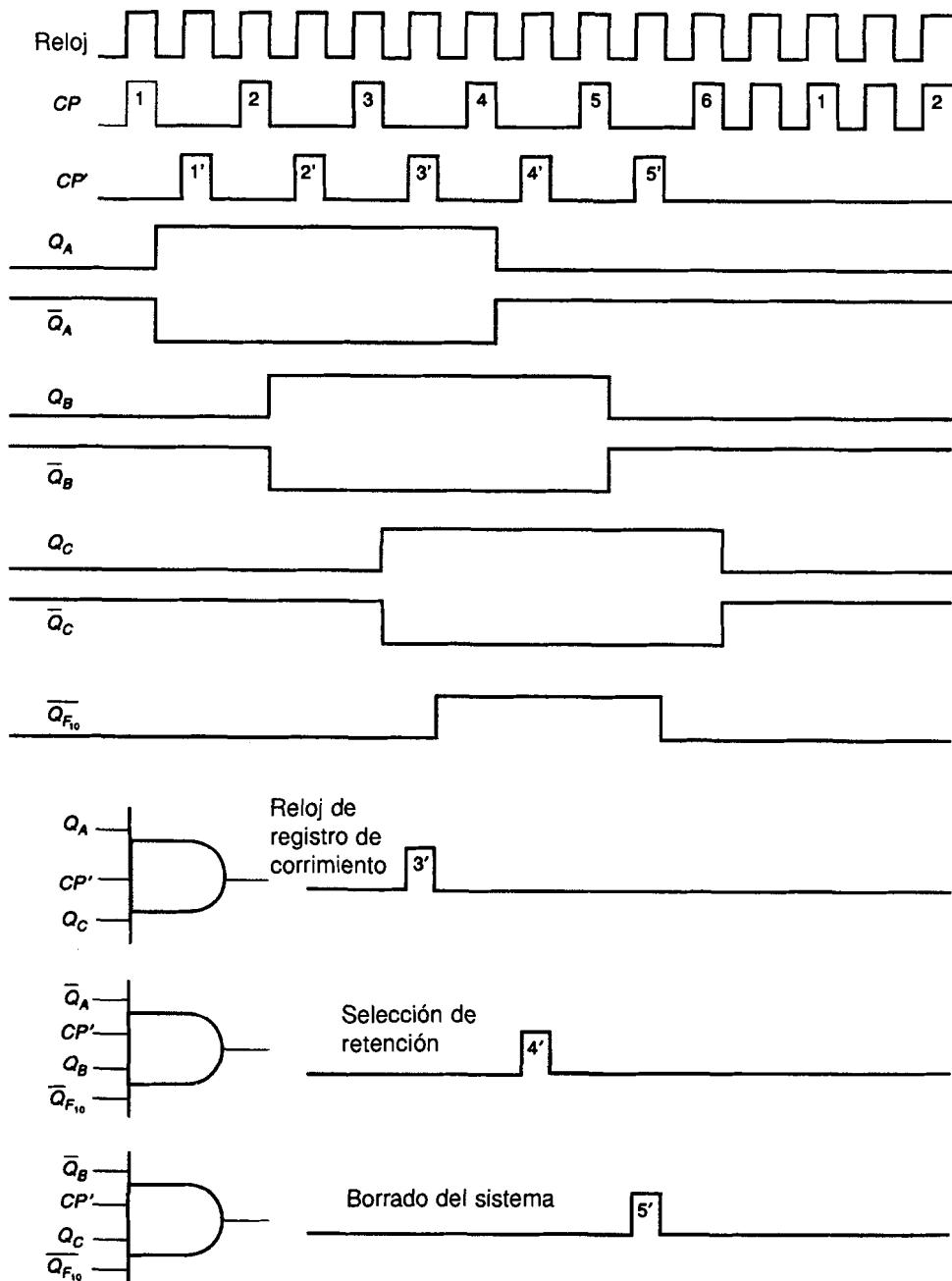


FIGURA 9-9 Último ciclo de reloj del receptor serie asíncrono mostrado en la figura 9-8

Cuando no se están enviando datos a la entrada serie, la salida Q de las compuertas NAND con conexión cruzada es 0. Esto hace que los flip-flops JK del contador de corrimiento sean borrados, y sus salidas Q serán 0 siempre y cuando la Q de las compuertas NAND con conexión cruzada sea 0. Por otra parte, las salidas Q del registro de corrimiento serán 1 debido a que la Q de las compuertas NAND con conexión cruzada está conectada a través de una compuerta OR a las entradas PRESET de los diez flip-flops JK del registro de corrimiento.

Esta condición existirá hasta que la entrada en serie vaya al nivel BAJO. Al hacerlo, las compuertas NAND con conexión cruzada cambian de estado produciendo un 1 en su salida Q . Tres pulsos de reloj CP' después, el registro de corrimiento recibirá un pulso de reloj. Esto hará que F_1 vaya a BAJO y que salga un 1 del registro de corrimiento.

El desplazamiento en el registro continuará por diez pulsos de reloj $3'$, después de los cuales la salida $\bar{Q}_{F_{10}}$ irá a 1, habilitando las compuertas AND $4'$ y $5'$. Cuando el pulso $4'$ va al nivel ALTO, se retiene el valor de los ocho bits de datos en los retenedores D . Cuando el pulso $5'$ va al nivel ALTO, se borra el contador de corrimiento y el registro de corrimiento se preinicializa debido a que las compuertas NAND con conexión cruzada son reinicializadas por el pulso $5'$.

Ahora el receptor está listo para desplazar otra palabra en serie cuando ocurra una transición de ALTO a BAJO en la entrada en serie. Cuando el pulso $4'$ pasa al nivel ALTO, reteniendo los datos en los flip-flops D , también inicializa un flip-flop SET - RESET con NAND en conexión cruzada que la computadora examina para determinar si se ha recibido algún dato. Este receptor en serie puede trabajar con un bit de paro; sin embargo, el empleo de dos bits de paro asegura que la entrada en serie permanezca en 1 durante el último pulso de reloj, incluso si el reloj del contador de corrimiento y la velocidad de los datos no guardan mucha sincronía entre sí.

AUTODEVALUACIÓN PARA LAS SECCIONES 9.1, 9.2, 9.3 Y 9.4

1. ¿Cuáles serían las formas de onda de las salidas del registro de corrimiento de la figura 9-1 si se desplaza en él el número binario 1010? [1]
2. Dibuje un registro de corrimiento con entrada en paralelo y salida en serie que pueda desplazar un número binario de siete bits. Utilice flip-flops JK. [1, 2]
3. Dibuje la forma de onda para el equivalente binario del número 11 Hex utilizando el formato en serie de la figura 9-6. [1, 2, 3]

9.5 REGISTROS DE CORRIMIENTO DE CI

4

La figura 9-10 muestra el diagrama lógico del 7495, que es un registro de corrimiento de cuatro bits. Este registro puede conectarse de modo que el desplazamiento sea a la derecha o a la izquierda, con entrada en paralelo y salida en serie o entrada en serie y salida en paralelo. Cada una de las entradas JK de los cuatro flip-flops está controlada por un conjunto de dos compuertas AND cuyas salidas están conectadas a una compuerta NOR. Las compuertas AND son habilitadas o inhabilitadas por la entrada de control de modo (terminal 6). Cuando el control de modo va hacia el nivel ALTO, las compuertas AND que tienen las entradas en paralelo A, B, C y D son habilitadas y las salidas quedan inhabilitadas. Esto significa que cuando el modo es ALTO, el valor de las entradas JK de los flip-flops está controlado por las entradas en paralelo ABCD, lo que corresponde a una carga en paralelo o lateral.

Cuando el modo de control es BAJO, se inhabilitan las entradas en paralelo y se habilitan las entradas en serie de los flip-flops JK. Nótese que la entrada del flip-flop A está conectada a la entrada en serie (terminal 1), la del flip-flop B a Q_A y así sucesivamente. En esta configuración, cuando el

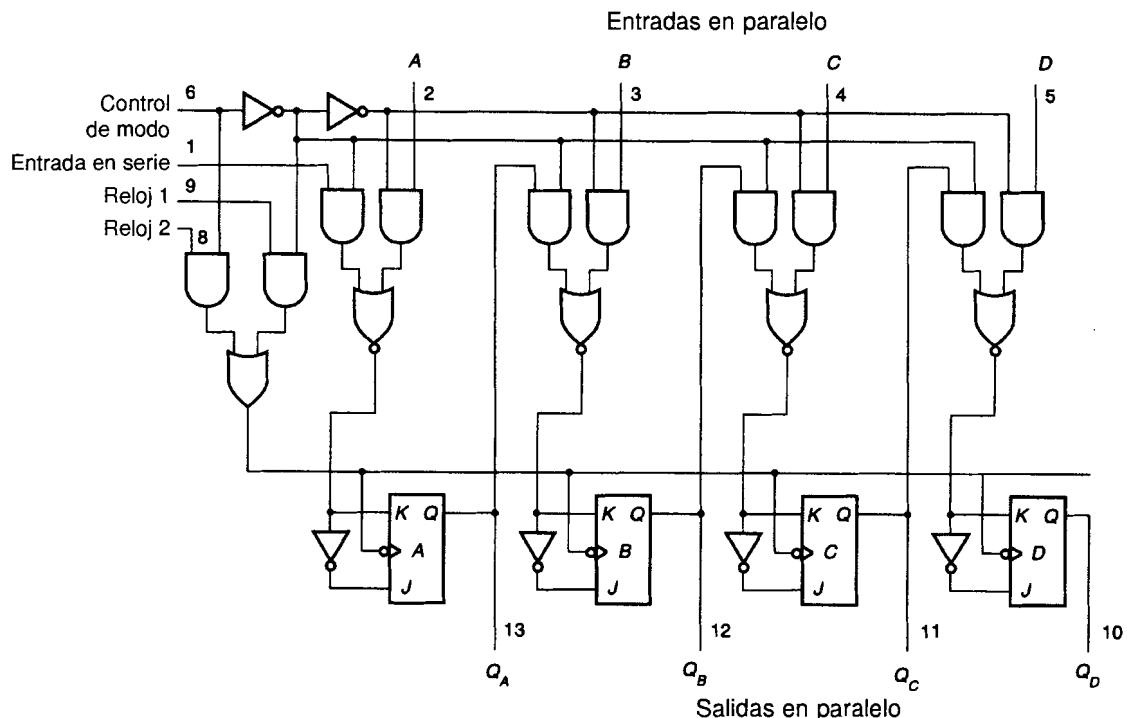


FIGURA 9-10 Diagrama lógico del registro de corrimiento de cuatro bits 7495

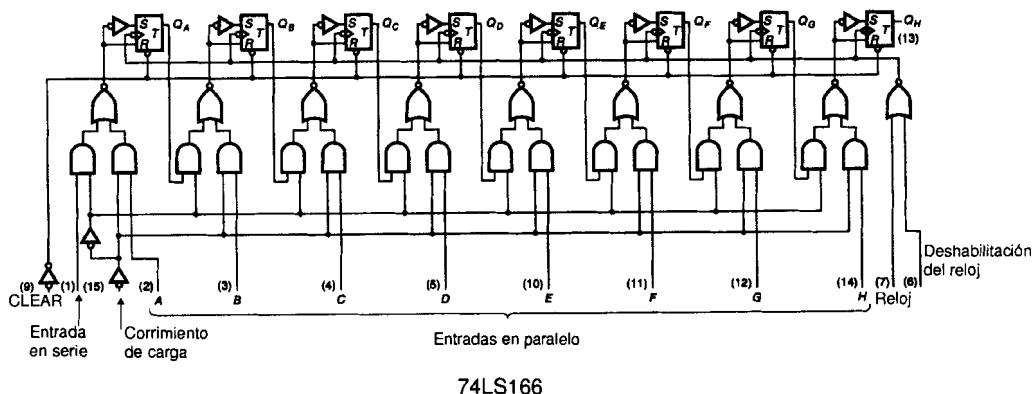
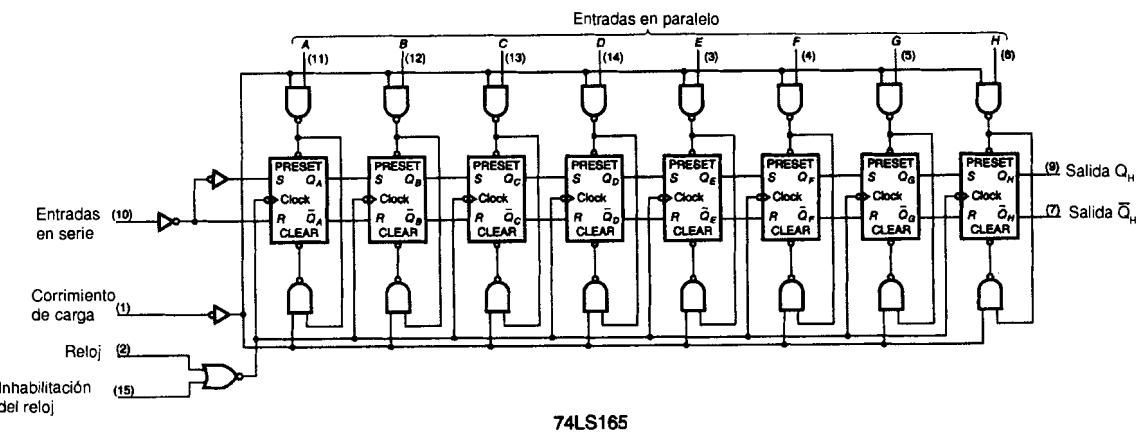
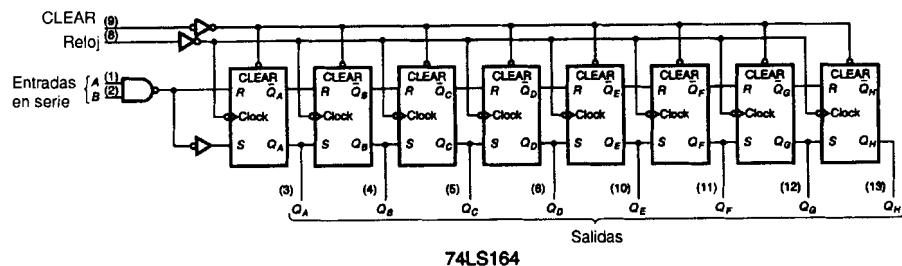


FIGURA 9-11 Registros de corrimiento comunes (continúa en la siguiente página)

reloj 1 va hacia el nivel BAJO, los flip-flops hacen un desplazamiento de una posición hacia la derecha. Cuando el control de modo es ALTO, el registro de corrimiento puede cargarse lateralmente, y cuando es BAJO, el registro de corrimiento hace el desplazamiento hacia la derecha.

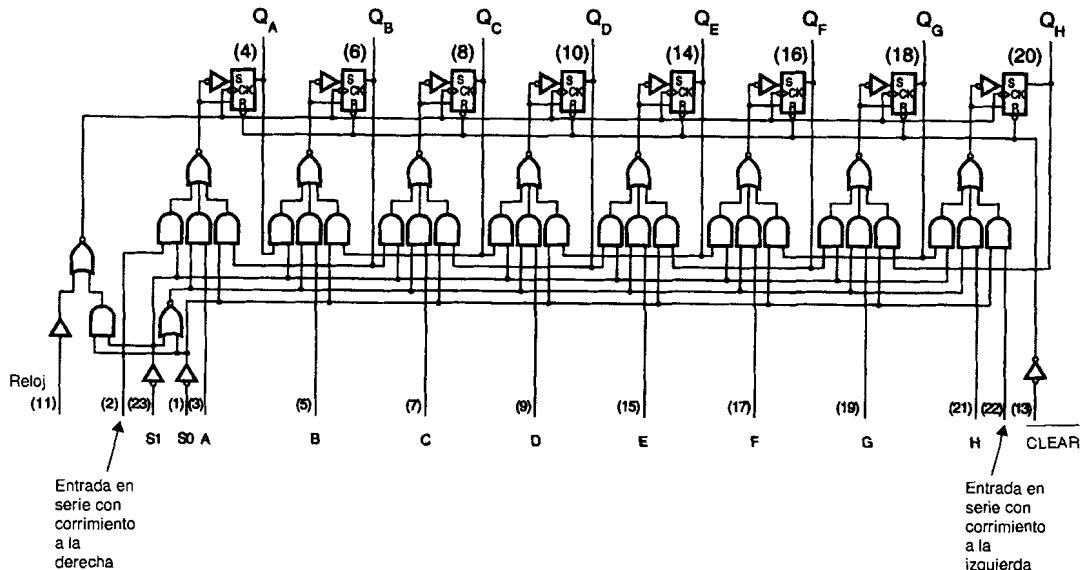


FIGURA 9-11 (continuación)

Para que el 7495 haga el desplazamiento hacia la izquierda, la salida Q_D debe conectarse a la entrada C , Q_C a la entrada B y Q_B a la entrada A . El siguiente paso es poner el control de modo en el nivel ALTO para habilitar las entradas $ABCD$.

El 7495 es un registro de corrimiento que sólo tiene cuatro bits pero con una gran versatilidad. La figura 9-11 muestra cuatro registros de corrimiento de ocho bits que no son tan versátiles pero que tienen la ventaja de desplazar un byte completo en un CI.

El 74LS164 es un registro de corrimiento de ocho bits con entrada en serie y salida en paralelo, con una entrada CLEAR activa en el nivel BAJO. La contraparte de este CI es el 74LS165, que también es un registro de corrimiento de ocho bits con entrada en paralelo y salida en serie. El CI de ocho bits que más se parece al viejo 7495 es el 74LS166. Como puede verse, éste tiene la misma configuración lógica que el 7495, pero le faltan las salidas en paralelo.

El CI 74198 es un registro de corrimiento de ocho bits que puede hacer el desplazamiento a la derecha o a la izquierda, tener entrada en serie y salida en paralelo o entrada en paralelo y salida en serie, y borrar el contenido del registro. Este CI es similar al 7495 con excepción de que no necesita que las salidas sean conectadas a las entradas para hacer el desplazamiento hacia la izquierda. La dirección del desplazamiento y la carga en paralelo están controladas por las entradas S_1 y S_0 . Cuando S_1 y S_0 tienen ambas el nivel ALTO, el registro de corrimiento se cargará con las entradas

en paralelo cuando el reloj vaya del estado BAJO al ALTO. Esto se conoce como carga lateral o paralela del registro de corrimiento. Cuando S_1 es BAJO y S_0 ALTO, el registro de corrimiento desplazará Q_A a Q_B y el resto de las salidas hacia la izquierda cuando el reloj haga una transición de BAJO a ALTO. El registro de corrimiento hará el desplazamiento hacia la derecha cuando S_1 y S_0 sean ambas ALTO; cuando S_1 y S_0 tengan ambas el nivel BAJO, el registro de corrimiento no hará ningún desplazamiento cuando el reloj haga su transición. La entrada CLEAR tiene una prioridad mayor que las demás entradas de control y llevará a 0 el valor de todas las salidas.

Este registro de corrimiento es muy flexible y tiene como característica adicional el ser de ocho bits.

Se recomienda al estudiante que consulte en el manual de especificaciones de un buen fabricante de CI otros registros de corrimiento.

9.6 ESTÁNDARES PARA DATOS EN SERIE



Existen varios estándares publicados por diferentes organizaciones de estándares que definen los niveles lógicos y el protocolo que debe emplearse para la comunicación de datos en serie. Uno de ellos, que es el de mayor uso en el mundo de las computadoras, es el estándar **RS-232C**, publicado por la Electronics Industry Association (EIA). A finales de la década de los sesenta se hizo necesario contar con un estándar para la transferencia de datos en serie utilizada por los módems. El estándar RS-232C fue publicado por primera vez en 1969 y define los niveles de voltaje para el 0 y 1 lógicos, así como muchas otras cosas necesarias para hacer que un equipo de cómputo se comunique con otro. RS son las siglas de Recommended Standard (estándar recomendado), 232 es el número de identificación del estándar, y la letra C significa que éste ha sido revisado tres veces.

El estándar RS-232C no es tan completo como podría serlo en cuanto a la definición de todos los parámetros necesarios para establecer una comunicación en serie apropiada. Por ejemplo, el RS-232C no especifica el empleo de un conector estándar. Esto significa que un equipo puede ser completamente compatible con el RS-232C y tener un conector que no corresponda a ningún otro equipo RS-232C. Esto originó que la EIA diera a conocer nuevos estándares para datos en serie, tales como el RS-422 y el RS-249. El uso de éstos estándares no es tan extendido como el del RS-232C.

Si bien es cierto que el RS-232C no define un conector estándar, existe uno de *facto* utilizado ya por bastante tiempo. Este conector, el cual tienen casi todas las terminales serie y las computadoras, es el **DB-25**.

La figura 9-12 muestra la definición de terminales de este conector estándar de *facto* DB-25. El RS-232C divide el equipo serie en dos tipos: DCE y DTE. El DCE emplea un conector hembra, y el DTE uno macho.

Originalmente DCE era equipo de conexión de datos, como módems, y DTE era equipo de terminación de datos; sin embargo, en la actualidad, la distinción entre los dos no es muy clara y, más bien, se basa exclusivamente en el tipo de conector utilizado con el equipo.

La figura 9-13 muestra los niveles de voltaje empleados para definir el 1 y 0 lógicos. Nótese que el nivel de voltaje para el 1 lógico es menor que el nivel de voltaje para el 0. Esto hace que el estándar RS-232C sea un sistema de lógica negativa. Asimismo, el voltaje correspondiente al 1 es negativo, mientras que el correspondiente al 0 es positivo.

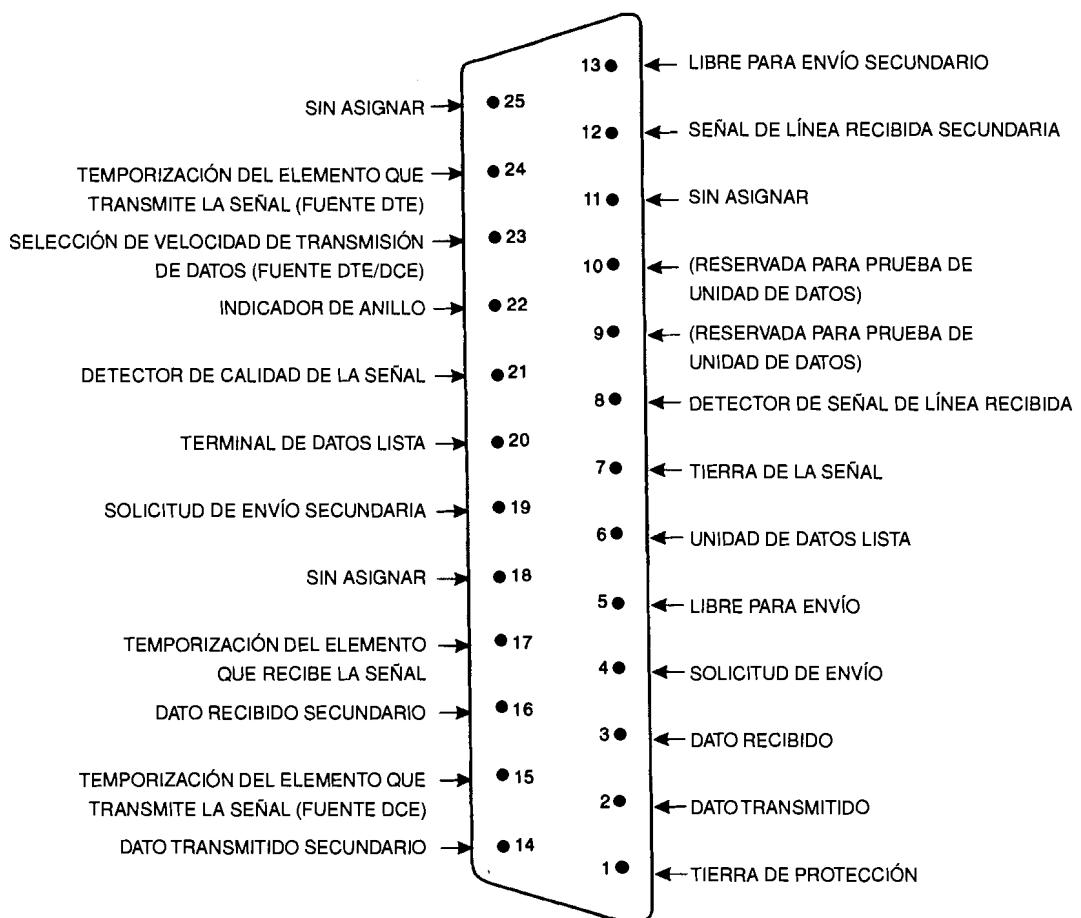


FIGURA 9-12 Conector macho DB-25 EIA RS-232C (DTE)

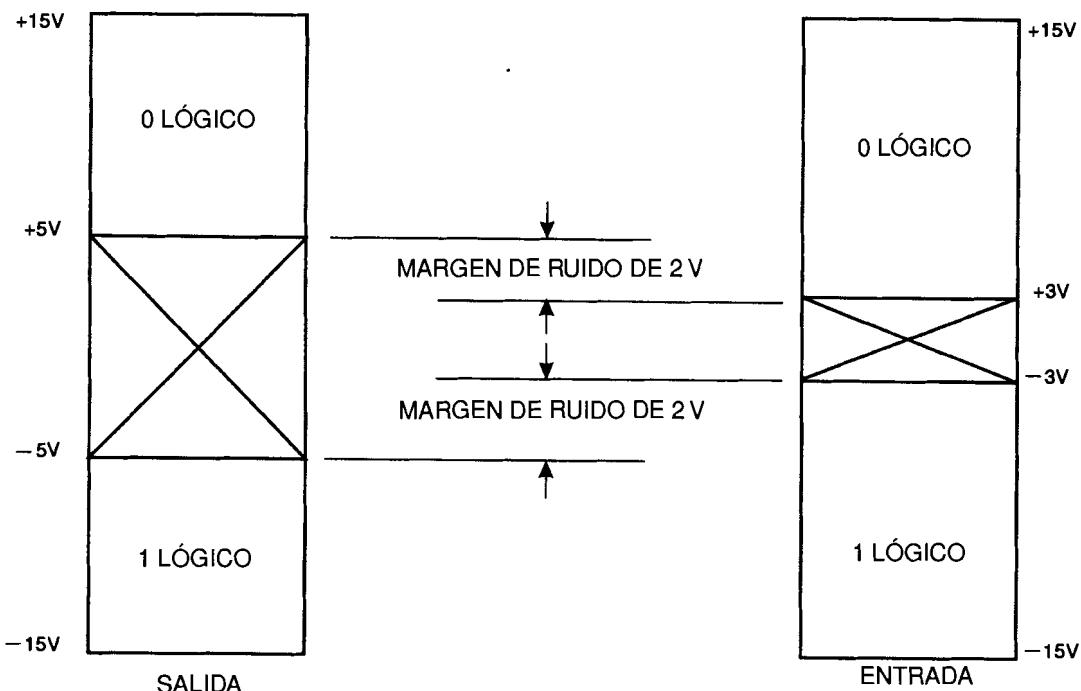
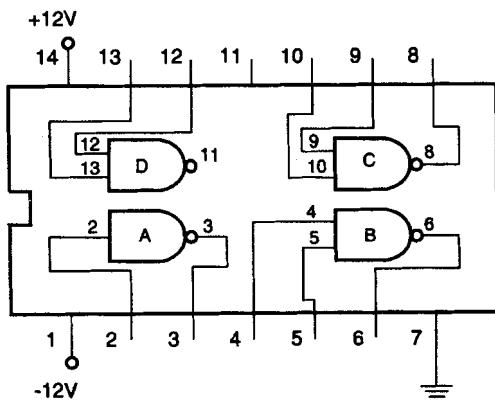


FIGURA 9-13 Voltajes lógicos mínimo y máximo RS-232C

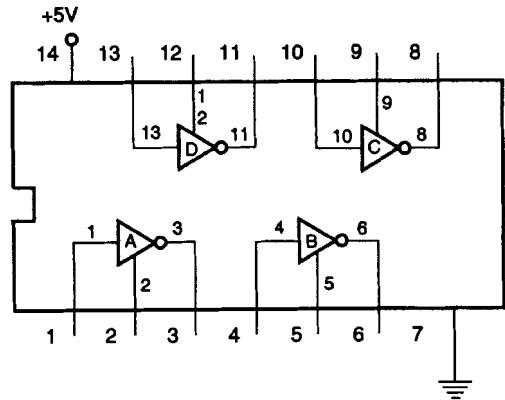
Lo anterior significa que la corriente que circula por el conductor serie es un voltaje de CA. El margen de ruido es de 2 volts, y el intervalo de variación de voltajes para un 1 o 0 válido es de 10 volts. La conversión de este sistema de lógica negativa a un sistema lógico TTL puede hacerse con unos cuantos transistores y resistores, pero a menudo se lleva a cabo con dos circuitos integrados conocidos como excitadores de interfaz RS-232C. La figura 9-14 muestra estos dos circuitos así como la forma en que deben emplearse para hacer la interfaz con la lógica TTL.

Un conector DB-25 tiene 25 terminales, pero la mayor parte del tiempo sólo se emplean ocho de ellas y lo más común es que se utilicen únicamente tres. La terminal 1 es la tierra del equipo y está conectada a la tierra del chasis, la que en ocasiones se emplea como tierra de la señal, algo que no es recomendable. Las terminales 2 y 3 corresponden a las terminales del transmisor y del receptor de datos en serie; cuál es cual depende del tipo de conector, DCE (hembra) o DTE (macho). La terminal 7 es la tierra de la señal y debe conectarse al circuito de tierra del transmisor o receptor en serie. Estas tres terminales (2, 3, 7) son todo lo que se necesita para establecer la comunicación en serie si el equipo emplea un protocolo de software para controlar el flujo de datos en serie. El control por software del flujo de datos se conoce como X-ON y X-OFF. X-ON es una palabra de datos

(13 Hex) que el equipo serie reconoce como el código de control para comenzar el envío de datos en serie. X-OFF es una palabra de datos (11 Hex) que es reconocida como la palabra de control para detener el envío de datos en serie. Las terminales e impresoras emplean con bastante frecuencia este tipo de control de datos en serie.



1488
EXCITADOR CUÁDRUPLE RS-232C



1489
RECEPTOR CUÁDRUPLE RC-232C

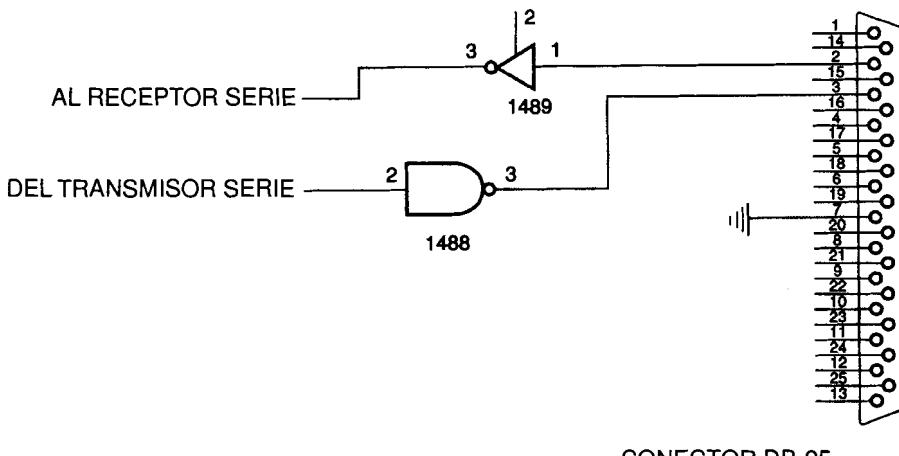


FIGURA 9-14 Excitador y receptor de línea RS-232C

Las terminales 4, 5, 6 y 20 se emplean para controlar por hardware el flujo de datos en serie. Originalmente éstas se empleaban para controlar el flujo de datos de las terminales a los módems o unidades de datos, como se les llamaba antes. A continuación se proporcionan las definiciones exactas de estas cuatro señales de control, si bien en la actualidad éstas se

emplean a menudo de maneras muy diferentes para controlar el flujo de datos en serie.

TERMINAL 4 Solicitud de envío

Esta terminal se emplea para solicitar la transmisión del dispositivo DTE al dispositivo DCE.

TERMINAL 5 Libre para envío

Esta terminal se utiliza para indicar al dispositivo DTE que el dispositivo DCE está listo para recibir datos en serie.

TERMINAL 6 Unidad de datos lista

Esta terminal se usa para indicar al dispositivo DTE que el dispositivo DCE está encendido y conectado al canal de comunicación, usualmente la línea telefónica.

TERMINAL 20 Terminal de datos lista

Utilizada para indicar al dispositivo DCE que el dispositivo DTE está listo para trabajar.

Las señales Solicitud de envío y Libre para envío se emplean para iniciar y detener el flujo de datos en serie, mientras que las señales Unidad de datos lista y Terminal de datos lista indican que la terminal y el módem están encendidos y configurados para la comunicación. A menudo estas señales de control se emplean para fines diferentes a los dados por las definiciones anteriores. Por ejemplo, muchas impresoras utilizan Terminal de datos lista como indicador de Ocupado para detener el flujo de datos en serie de la computadora hacia la impresora. Dadas las muchas formas en que se emplean estas señales, el técnico puede tener ciertos problemas al construir un cable serie para muchos dispositivos serie si no cuenta con el diagrama de alambrado del cable. Un dispositivo que el técnico puede utilizar en la revisión de un dispositivo serie es una caja de conexiones para RS-232C. Este dispositivo se conecta en serie con el cable serie y permite que el técnico haga las conexiones entre los dos dispositivos que se están comunicando a través del cable. También puede hacer uso de un osciloscopio para vigilar la señal en serie conforme ésta se transmite.

9.7 CÓDIGO ASCII



ASCII son las siglas de American Standard Code for Information Interchange. Este código se utiliza para representar letras imprimibles, números, algunos signos de puntuación y códigos de control. Este código de siete bits está respaldado por el American National Standards Institute (ANSI) y se ha convertido en el estándar internacional *de facto* para tales códigos. No es el único código existente para este fin, pero es el más utilizado. Otro

código que también se empleó hace mucho tiempo es el EBCDIC de IBM. Dicho código fue empleado por las computadoras grandes y las terminales de IBM, pero incluso en la actualidad IBM ha comenzado a hacer uso del ASCII.

Bits menos significativos (3, 2, 1, 0)	Bits más significativos (6, 5, 4)							
	000	001	010	011	100	101	110	111
0000	NUL	DLE	SP	0	@	P	'	p
0001	SOH	DC1	!	1	A	Q	a	q
0010	STX	DC2	"	2	B	R	b	r
0011	ETX	DC3	#	3	C	S	c	s
0100	EOT	DC4	\$	4	D	T	d	t
0101	ENQ	NAK	%	5	E	U	e	u
0110	ACK	SYN	&	6	F	V	f	v
0111	BEL	ETB	'	7	G	W	g	w
1000	BS	CAN	(8	H	X	h	x
1001	HT	EM)	9	I	Y	i	y
1010	LF	SUB	•	:	J	Z	j	z
1011	VT	ESC	+	:	K	[k	{
1100	FF	FS	,	<	L	\	l	
1101	CR	GS	-	=	M]	m	}
1110	SO	RS	.	>	N	^	n	~
1111	SI	US	/	?	O	-	o	DEL

Caracteres de control	Caracteres de control
NUL	Nulo
SOH	Inicio de encabezado
STX	Inicio de texto
ETX	Fin de texto
EOT	Fin de transmisión
ENQ	Solicitud
ACK	Confirmación
BEL	Campana
BS	Retroceso
HT	Tabulador horizontal
LF	Avance de línea
VT	Tabulador vertical
FF	Alimentación de hoja
CR	Retorno de carro
SO	Desplazamiento para sacar
SI	Desplazamiento para introducir
DLE	Escape del enlace de datos
DC1	Control de dispositivo 1
DC2	Control de dispositivo 2
DC3	Control de dispositivo 3
DC4	Control de dispositivo 4
NAK	Confirmación negativa
SYN	Inactividad síncrona
ETB	Fin de bloque de transmisión
CAN	Cancelación
EM	Fin de medio
SUB	Sustitución
ESC	Escape
FS	Separador de archivo
GS	Separador de grupo
RS	Separador de registro
US	Separador de unidad
DEL	Borrar

FIGURA 9-15 Código ASCII

El código ASCII está dividido en dos partes: códigos de control y caracteres imprimibles. Estos últimos son letras mayúsculas y minúsculas (A a Z) y algunos signos de puntuación tales como ? < > @ # \$ % ^ & * () _ [] { } + = “ : ; ‘ ~ \ / . Los códigos de control se emplean para controlar la terminal, impresora o cualquier otro dispositivo que envíe datos en serie. Si se envía un 13 Hex a una terminal ASCII, el cursor en la pantalla se moverá al extremo izquierdo de ésta, y si se envía un 0A Hex, el cursor se moverá una línea hacia abajo. Con los códigos de control el operador puede controlar la visualización de caracteres y muchas de las características funcionales de la terminal. La figura 9-15 muestra el código ASCII. El lector puede emplear esta tabla para determinar el número binario de cada letra y código de control.

Ejemplo: ¿Cuál es el código ASCII de la letra C?

Solución:

Primero se busca la letra mayúscula C en la tabla de la figura 9-15. Los bits más significativos del código binario se encuentran en la parte superior de la columna donde se halla la letra C (100). Éstos son los bits 6, 5, 4 del número binario. A continuación se obtienen los cuatro bits menos significativos del código binario del renglón donde se encuentra la letra C (0011). Éstos son los bits 3, 2, 1, 0 del código binario. A continuación se juntan las dos partes del código binario, con lo que se obtiene el código binario de siete bits que corresponde a la letra C (1000011), el cual es 43 Hex o 67 en decimal.

Nótese que con excepción de uno, todos los códigos de control se encuentran en las dos primeras columnas de la tabla ASCII. Lo anterior significa que, salvo por DEL (borrar), todos los códigos de control se encuentran en los primeros 32 números binarios, del 0 al 31. Un teclado ASCII estándar (tal como el que se emplea en la mayoría de las computadoras) puede enviar los primeros 26 códigos presionando al mismo tiempo la tecla de control (Ctrl) y una tecla de letra. El código de control LF (avance de línea) puede enviarse utilizando las teclas Ctrl y J. La tecla ESC (escape) tiene como código 27 en decimal, y está un código más allá de la combinación de teclas Ctrl-Z. La mayoría de las terminales ANSI emplean la tecla ESC para enviar una cadena de caracteres de control para dar formato a la visualización de texto en la terminal. El conocimiento completo del código ASCII es de gran utilidad cuando se establece la comunicación con una terminal ANSI estándar.

AUTOEVALUACIÓN PARA LAS SECCIONES 9.6 Y 9.7

1. ¿Qué significado tienen las letras RS en el estándar RS-232C? [3, 5]
2. ¿Cuál será la forma de onda para el número 41 Hex utilizando el estándar RS-232C? Ningún bit de paridad con dos bits de paro. [3, 5]
3. ¿Cuál será la forma de onda de la letra C mayúscula en ASCII si ésta se envía utilizando el estándar serie RS-232C? Utilice un bit de paridad impar y dos bits de paro. [3, 5, 6]

RESUMEN

- Un registro de corrimiento es un conjunto de flip-flops disparados por flanko cuyas salidas están conectadas a la entrada del siguiente flip-flop, con todas las entradas de reloj conectadas entre sí.

Esto permite desplazar el contenido de un flip-flop al siguiente flip-flop durante la transición de estado del reloj.

- Los datos en serie pueden ser asíncronos o síncronos.

El formato serie asíncrono emplea un conjunto de bits de encuadre para iniciar y detener el flujo de bits en serie, mientras que el formato de datos síncrono debe tener un reloj común y un método de sincronía externa para mantener sincronizados al transmisor y el receptor. El formato de datos en serie síncrono puede enviar más datos que el asíncrono con el mismo número de pulsos de reloj debido a la ausencia de los bits de encuadre.

- El estándar RS-232C para la transmisión de datos en serie es uno de los estándares de transferencia de datos en serie más utilizados en la actualidad.

El estándar es un sistema de lógica negativa que emplea voltajes positivo y negativo para los niveles lógicos.

- El código ASCII es el estándar *de facto* internacional utilizado para codificar letras, números y códigos de control.

El código se emplea para enviar y almacenar texto y datos de toda clase en todo tipo de dispositivos de transmisión de datos y de almacenamiento.

- En la actualidad, la mayoría de los registros de corrimiento se construyen en forma de CI y muchos forman parte de sistemas completos de transmisión de datos en serie en CI.

PREGUNTAS Y PROBLEMAS

1. Dibuje el diagrama lógico de un registro de corrimiento de cinco bits utilizando flip-flops JK. [1]
2. Dibuje un diagrama lógico para un registro de corrimiento de cuatro bits utilizando flip-flops JK CMOS 4027. Indique en el diagrama los números de terminales. [1, 4]
3. Dibuje el diagrama de formas de onda para la figura 9-3 si en las entradas en paralelo se pone el equivalente binario del número 6. [1, 2]
4. ¿Cuál es la finalidad del bit de inicio del formato serie de la figura 9-6? [3]
5. Dibuje un diagrama lógico para un registro de corrimiento de ocho bits utilizando dos CI 7495. [4]
6. Dibuje las formas de onda para el registro de corrimiento de cuatro bits de la figura 9-1 si desplaza en el registro el número binario equivalente al decimal 6. [1]
7. Dibuje las formas de onda del registro de corrimiento de la figura 9-3 si en las entradas en paralelo se pone el equivalente binario del número decimal 7. [1, 2]
8. Utilice el pulso de reloj de la figura 9-6 para dibujar la forma de onda de una palabra asíncrona en serie que no tiene bit de paridad, con un bit de paro, y que tiene como datos el número binario equivalente al número decimal 62. [3]
9. Al tomar a la figura 9-8 como ejemplo, diseñe un receptor serie asíncrono que emplee un reloj con una frecuencia 16 veces mayor que la velocidad en baudios de los datos en serie. [4]
10. Dibuje el diagrama lógico de un registro de corrimiento de cuatro bits 7495 alambrado para hacer el desplazamiento hacia la izquierda. [4]
11. Dibuje el diagrama lógico de un registro de corrimiento de cuatro bits 7495 alambrado para funcionar como registro de corrimiento con entrada en paralelo y salida en serie. [4]
12. ¿Qué método serie para el almacenamiento de datos en un dispositivo magnético es el que permite guardar la mayor cantidad de datos? [3]
13. Escriba el código para las palabras ELECTRÓNICA DIGITAL en código ASCII. [6]
14. Busque el CI 74164 en un manual de especificaciones y escriba una descripción de él. [4]

15. Dibuje el diagrama lógico de un registro de corrimiento de 16 bits utilizando el 74164. Indique el número de las terminales. [4]
16. ¿Cuál es el nivel de voltaje para el 1 lógico en el estándar RS-232C?
17. ¿Cuántos códigos contiene el código ASCII? [6]
18. ¿Cuál es el número hexadecimal ASCII para mover el cursor en una terminal ANSI estándar una línea abajo? [6]
19. El estándar RS-232C, ¿tiene un conector estándar? [5]
20. En el estándar RS-232C, ¿qué significado tienen DCE y DTE? [5]

Práctica 9

Registros de corrimiento

OBJETIVOS

Al término de esta práctica, el lector deberá ser capaz de:

- utilizar el registro de corrimiento 7495.
- utilizar el código ASCII.
- trabajar en equipo para resolver un problema.

COMPONENTES NECESARIOS

Primera parte

- 1 CI 7476, flip-flop *JK*
- 1 CI 7414, disparador de Schmitt inversor séxtuple
- 1 CI 7408, compuerta AND cuádruple

Segunda parte

- 2 CI 7476, flip-flop *JK*
- 1 CI 7420, compuerta NAND doble de cuatro entradas
- 1 CI 7410, compuerta NAND triple de tres entradas

Tercera parte

- 1 CI 74LS164, registro de corrimiento
- 1 CI 7400, compuerta NAND cuádruple
- 1 CI 74LS32, compuerta OR cuádruple
- 1 CI 74LS74, flip-flop *D*

Cuarta parte

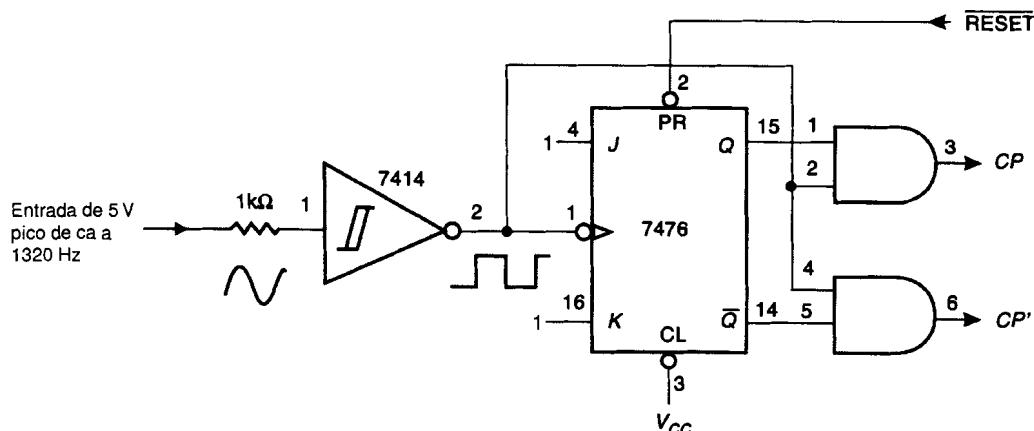
- 2 CI 7475, retenedor *D* transparente cuádruple
- 8 LED rojos
- 8 resistores de 330 W, $\frac{1}{4}$ de watt

PREPARACIÓN

1. El profesor asignará a cada equipo de laboratorio una parte del receptor serie para que la construyan.
2. Cada equipo construirá su parte del receptor serie y la probará para asegurarse de que funciona.
3. Despues de la construcción, cada equipo combinará sus partes del receptor serie para formar un receptor serie completo y conectará la entrada a la salida de una terminal ASCII proporcionada por el profesor.
4. Se enviará un mensaje en serie con formato ASCII. El intervalo de tiempo entre caracteres será aproximadamente de cinco segundos, de modo que usted pueda leerlos en los LED del receptor serie.

Primera parte

- a) Construya el reloj sin traslapamiento de la figura utilizando un flip-flop JK 7476, un CI 7408 (compuerta AND) y un CI 7414.
- b) Conecte en la entrada de reloj la señal del generador de onda senoidal*, la cual es convertida en una onda cuadrada por el disparador de Schmitt inversor 7414.
- c) Fije la frecuencia del generador en 1320 Hz y mida ésta con un osciloscopio. Haga los ajustes necesarios para que la frecuencia sea 1320 Hz, ya que de lo contrario el receptor no trabajará.



* Si se utiliza una terminal equipada con una interfaz RS232C para el dispositivo de salida en serie, asegúrese de emplear un CI de aislamiento tal como el LM1489 para convertir los niveles de voltaje RS232C en niveles de voltaje TTL estándar.

- d) Ponga las entradas y salidas del reloj en una parte desocupada de la tablilla de experimentación para facilitar la conexión de ésta con la siguiente sección del receptor serie.

Si el circuito no funciona, considere los puntos siguientes:

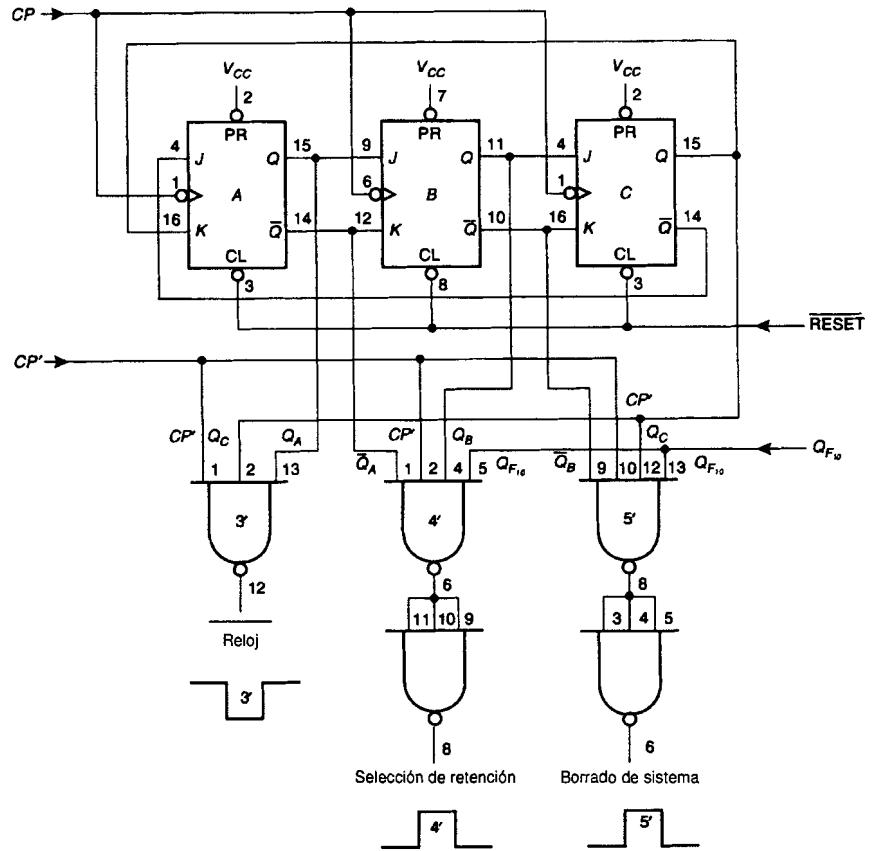
1. Verifique todas las conexiones a la fuente de alimentación.
2. Asegúrese de que no hayan quedado entradas sin conectar en el flip-flop JK.
3. Asegúrese de haber conectado la tierra del generador a la tierra del circuito.
4. Utilice el osciloscopio para hacer el seguimiento de la señal aplicada en la entrada de reloj, desde el generador a todos los demás puntos del circuito.

Segunda parte

- a) Construya el contador de corrimiento de la figura y las salidas 3', 4' y 5'. Utilice dos flip-flops JK 7476, una compuerta NAND 7420 de cuatro entradas y una compuerta NAND 7410 de tres entradas.
- b) Conecte el reloj del sistema de entrenamiento del laboratorio al contador de corrimiento y verifique con un osciloscopio las formas de onda de salida para asegurarse de que sean las correctas.
- c) Coloque las entradas y salidas del contador de corrimiento en una parte desocupada de la tablilla de experimentación, para facilitar la conexión con la siguiente sección del receptor serie.

Si el circuito no funciona apropiadamente, considere los siguientes puntos:

1. Verifique todas las conexiones de la fuente de alimentación a los CI.
2. Conecte un reloj con una frecuencia aproximada de 1 kHz a la entrada CP y reinicialice el contador de corrimiento conectando momentáneamente la entrada RESET al nivel BAJO.
 - a) Asegúrese de que las entradas PRESET de los flip-flops JK estén conectadas al nivel ALTO.
 - b) Utilice el osciloscopio para verificar que las salidas Q sean las correctas. Q_A debe estar desfasada un pulso de reloj con respecto a Q_B , y Q_C debe estar desfasada dos pulsos de reloj con respecto a Q_A . Si usted no observa estas formas de onda, verifique el alambrado del circuito.
 - c) Verifique el alambrado colocando el canal uno del osciloscopio en una terminal y el canal dos en otra terminal que deba estar conectada a la primera. Si las señales no son las mismas, entonces las dos terminales no están conectadas entre sí.



3. Conecte CP' y \overline{Q}_{F10} al nivel ALTO.

- a) Utilice el osciloscopio para determinar que las salidas "reloj", "selección de retención" y "borrado del sistema" funcionen de manera apropiada. Éstas deben encontrarse desfasadas un pulso de reloj.
 - b) Si se lleva \overline{Q}_{F10} al nivel BAJO y CP' al nivel ALTO, debe observarse un cambio al nivel BAJO sólo de las salidas "selección de retención" y "borrado del sistema".
 - c) Si el circuito no funciona de la manera descrita, haga uso del método indicado en 2C para verificar el alambrado.

Tercera parte

Descripción del funcionamiento del circuito

Esta parte del receptor serie contiene el flip-flop $\overline{\text{SET}}$ - $\overline{\text{RESET}}$ de inicio y el registro de corrimiento. Este flip-flop se construye con dos compuertas NAND de conexión cruzada. El registro de corrimiento se construye a partir de un 74LS164, que es un registro de corrimiento con entrada en serie y salida en paralelo de ocho bits, y dos flip-flops D 74LS74 disparados por flanco. Los dos flip-flops adicionales se emplean para guardar el bit de inicio y uno de los dos bits de paro.

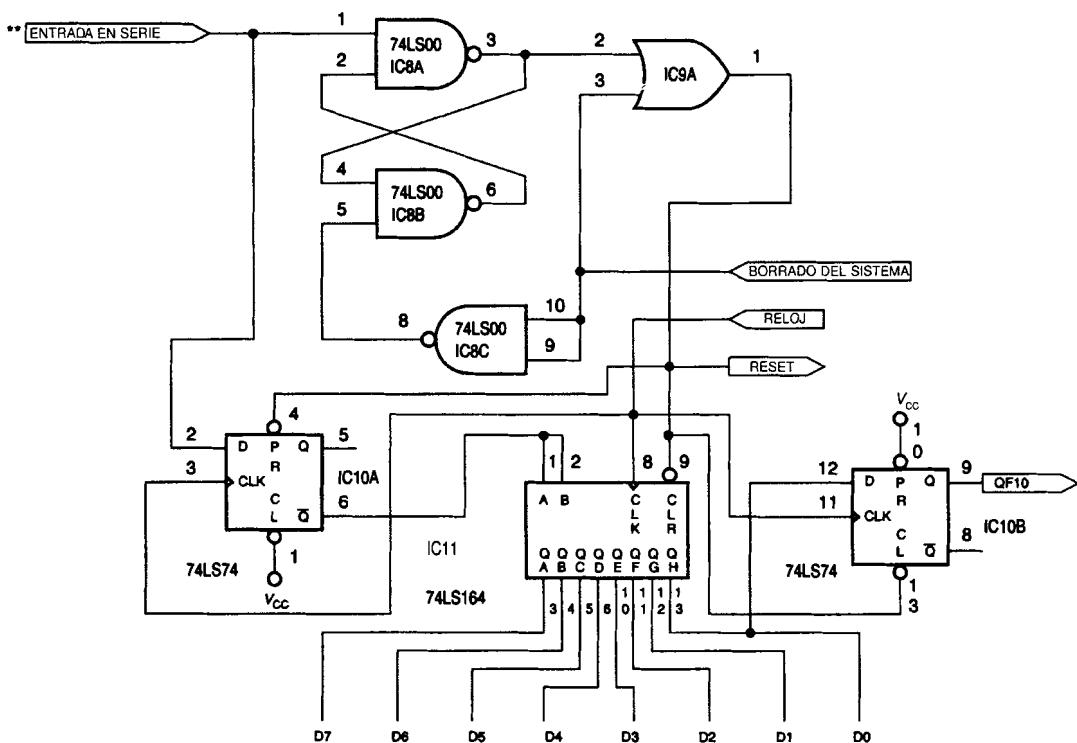
Antes de que la primera transición hacia el nivel BAJO del bit de inicio llegue a la ENTRADA SERIE del flip-flop de inicio (CI 8A y CI 8B), la salida RESET de la compuerta OR (CI 9A) se encarga de mantener el registro de corrimiento (CI 11) y los dos flip-flops D (CI 10A y CI 10B) en el estado de borrado. Cuando el bit de inicio que hace la transición hacia el nivel BAJO llega al flip-flop de inicio (CI 8A y CI 8B), el flip-flop es inicializado (SET) causando con ello que aparezca un 1 lógico en la terminal 1 de la compuerta OR RESET (CI 9A). Este 1 lógico pasa por la compuerta OR debido a que un 1 en cualquiera de las entradas de una compuerta OR produce un 1 en la salida. El 1 lógico en el RESET permite que el contador de corrimiento comience a contar, produciendo el reloj y el corrimiento del resto de los datos en serie. El bit de inicio que hace la transición hacia el nivel BAJO, llega invertido (1 lógico) al 74LS164 (CI 11). Esto se debe a que la entrada del registro de corrimiento está conectada a la salida \overline{Q} del flip-flop D (CI 10A). Con esto el 74LS164 (CI 11) queda borrado y desplazará ceros al último flip-flop D (CI 10B) hasta que el bit de inicio invertido llegue al final del registro de corrimiento, y se haya desplazado un 1 lógico hacia el último flip-flop D (CI 10B). Esto hará que la salida QF_{10} sea un 1 lógico, y que el contador de corrimiento produzca el pulso de SELECCIÓN DE RETENCIÓN y luego el pulso BORRADO DEL SISTEMA. Cuando SELECCIÓN DE RETENCIÓN pasa al nivel ALTO, el contenido del 74LS164 queda retenido en el registro con salida en paralelo, y cuando BORRADO DEL SISTEMA pasa al nivel ALTO, el flip-flop de inicio es reinicializado (RESET). Esto detiene al receptor serie y lo deja listo para el siguiente bit de inicio que haga una transición al nivel BAJO. Debe notarse que un 1 lógico en la entrada BORRADO DEL SISTEMA mantiene el 1 lógico en RESET por todo el periodo del pulso en el nivel ALTO ya que éste es la segunda entrada a la compuerta OR que produce la señal RESET. Esto asegura que el sistema quede reinicializado por completo antes que llegue el siguiente bit de inicio en serie. La salida del registro de corrimiento es el complemento del dato serie. Este dato será complementado de nuevo por la salida del retenedor de la cuarta parte.

Construcción y procedimientos de revisión

- a) Construya el registro de corrimiento del receptor serie con una compuerta NAND cuádruple 7400, una compuerta OR cuádruple 74LS32, un flip-flop *D* doble 74LS74 y un registro de corrimiento 74LS164.
- b) Ponga todas las entradas de control y las salidas que llegan o van a otras partes del receptor en los extremos de la tablilla de experimentación para facilitar las conexiones.
- c) Conecte la entrada de reloj a uno de los botones sin oscilación del sistema de entrenamiento o construya uno con un par de compuertas NAND. Asegúrese de que el botón tenga un nivel lógico 1 excepto cuando sea presionado. Lleve la entrada BORRADO DEL SISTEMA primero al nivel ALTO y luego al nivel BAJO. Esto deberá borrar todos los flip-flops *D* y el registro de corrimiento 74LS164. Puede utilizar un osciloscopio o un voltímetro para verificar los niveles lógicos de las salidas *Q* y D_0 hasta D_7 . El primer flip-flop *D* (CI 10A) debe ser preinicializado con un 1 lógico.
- d) Ponga en la entrada serie un 0 lógico. A continuación presione el botón sin oscilación conectado a la entrada de reloj y vigile las salidas D_0 a D_7 con un osciloscopio o voltímetro. Observe que el 0 invertido (1) sea desplazado a lo largo del registro de corrimiento. Asegúrese de que el último flip-flop *D* (CI 10B) quede en 1.
- e) Conecte esta parte del receptor serie a las demás. Asegúrese de conectar una tierra común a todas las demás partes del receptor.

Si el circuito no funciona de manera apropiada, considere lo siguiente:

1. Verifique todas las conexiones a la fuente de alimentación.
2. Verifique que todas las entradas y salidas tengan los niveles de voltaje apropiados.
3. Use un reloj de 1 Hz o más lento en la entrada de reloj, conecte la entrada serie al nivel ALTO y haga pasar la entrada BORRADO DEL SISTEMA de ALTO a BAJO.
 - a) La terminal 3 de la compuerta NAND 7400 debe estar en el nivel BAJO. Si está en ALTO, existe un problema con el flip-flop SET - RESET con NAND en conexión cruzada o con la entrada de borrado del sistema.
 - b) Utilice el osciloscopio o el voltímetro para verificar que todas las terminales tengan los niveles lógicos esperados. Las salidas D_0 a D_7 deben estar todas en el nivel ALTO.
4. Ponga el canal uno del osciloscopio en la entrada al circuito del reloj lento de 1 Hz. Conecte el canal dos del osciloscopio a la terminal 9 del 74LS74, la cual proporciona la señal Q_{F10} . Lleve momentáneamente la entrada serie al nivel BAJO durante un pulso de reloj del reloj de 1 Hz.

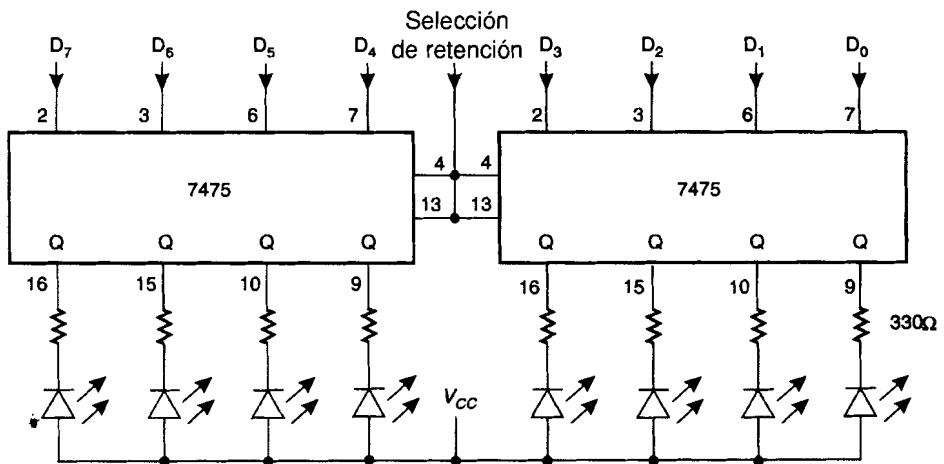


- a) Si los registros de corrimiento están trabajando de manera correcta, la terminal 9 debe ir al nivel ALTO después de diez pulsos de reloj.
 - b) Si la terminal 9 nunca va al nivel ALTO, entonces regrese a D_2 y repita el procedimiento.
 - c) Si D_2 nunca va al nivel BAJO, entonces repita el procedimiento con la terminal 6 del 74LS74.
 - d) Utilice el osciloscopio para hacer el seguimiento de todo el alambrado y encontrar cualquier falla en éste.

^{**} Puede emplearse un generador de señales con niveles TTL en lugar del CI 7414.

Cuarta parte

- Construya el registro paralelo mostrado en la figura. Utilice dos retenedores D 7475 y ocho LED.
- Pruebe el registro para asegurarse que trabaja apropiadamente.
- Ponga las entradas del registro en la tablilla de experimentación siguiendo un orden lógico que facilite la conexión de ésta con la siguiente sección de receptor serie.



Si el circuito no funciona de manera apropiada, considere los puntos siguientes:

- Verifique todas las conexiones a la fuente de alimentación.
- Lleve las entradas D_0 a D_7 y luego la entrada de selección de retención al nivel ALTO. Con esto deberán encenderse todos los LED.
- Lleve las entradas D_0 a D_7 al nivel BAJO con la entrada de retención en el nivel BAJO. Esto no debe cambiar el estado de los LED hasta que el reloj vuelva a tener el nivel ALTO, momento en que deberán apagarse.
- Si los resistores de limitación de corriente son de un valor muy bajo, entonces el CI 7475 no funcionará de manera apropiada debido al alto valor de I_{cc} .

TABLA DE CONVERSIÓN DE CÓDIGO ASCII								
BITS 4 a 6	—	1	2	3	4	5	6	7
BITS 0 a 3	0	NUL	DLE	SP	0	@	P	‘
	1	SOH	DC1	!	1	A	Q	a
	2	STX	DC2	”	2	B	R	b
	3	ETX	DC3	#	3	C	S	c
	4	EOT	DC4	\$	4	D	T	d
	5	ENQ	NAK	%	5	E	U	e
	6	ACK	SYN	&	6	F	V	f
	7	BEL	ETB	’	7	G	W	g
	8	BS	CAN	(8	H	X	h
	9	HT	EM)	9	I	Y	i
	A	LF	SUB	*	:	J	Z	j
	B	VT	ESC	+	:	K	[k
	C	FF	FS	,	<	L	\	l
	D	CR	GS	-	=	M]	m
	E	SO	RS	.	>	N	^	n
	F	SI	US	/	?	O	_	o
DEL								

Quinta parte

Si el circuito completo no trabaja apropiadamente después de haber combinado todas sus partes, considere los puntos siguientes:

1. ¿Están todos los circuitos conectados a una tierra común?
2. Ponga una punta de prueba del osciloscopio en la entrada serie para detectar la palabra de datos que proviene de la terminal.
3. Utilice el otro canal del osciloscopio para rastrear la señal a partir de la entrada serie.

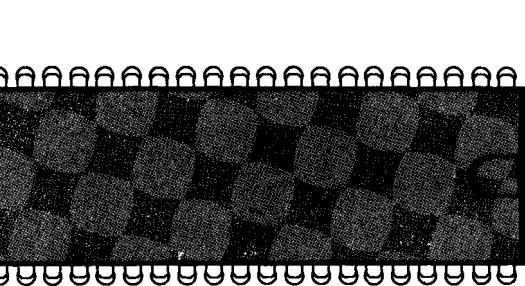
El código ASCII es un estándar empleado por casi todas las computadoras en el mundo para representar letras, números y comandos de control para terminales de entrada/salida. Este código también se emplea para guardar texto en archivos de computadora, para enviar texto a través de líneas telefónicas, así como en otras tareas similares.

Los primeros 32 códigos ASCII son comandos para la terminal de computadora y el resto, con la excepción del 7F Hex, son caracteres imprimibles.

Los números binarios que el profesor enviará a su receptor serie recién construido, estarán en código ASCII. Usted debe escribir el código binario en forma hexadecimal y hacer uso de la tabla de conversión ASCII para convertir el mensaje en letras y números. Haga esto utilizando el dígito hexadecimal más significativo para hallar la columna, y el menos significa-

tivo para determinar el renglón de la tabla. Por ejemplo, el número hexadecimal 4A es el código ASCII de la letra mayúscula J.

Si los caracteres ASCII que se envían al receptor serie provienen de una terminal estándar de computadora con una interfaz RS-232C, mantenga presionada la tecla de control y oprima las letras comenzando con la A. Usted verá que con esto obtiene los primeros 26 códigos de control de la tabla ASCII.



CONTENIDO

- 10.1** CONTADOR DE PROPAGACIÓN
- 10.2** MÉTODO DE DECODIFICACIÓN Y BORRADO PARA CONSTRUIR UN CONTADOR DE PROPAGACIÓN QUE DIVIDA ENTRE N
- 10.3** CONTADOR SÍNCRONO DE DIVISIÓN ENTRE N
- 10.4** CONTADORES PREINICIALIZABLES
- 10.5** CONTADOR ASCENDENTE-DESCENDENTE
- 10.6** CI CONTADORES MSI TÍPICOS
- 10.7** CONTADOR DE DIVISIÓN ENTRE $N \frac{1}{2}$

LISTA DE TÉRMINOS

contador de propagación
contador síncrono

contador preinicializable
contador descendente

OBJETIVOS



Al término de este capítulo el lector debe ser capaz de:

1. Explicar la operación de un contador de propagación.
2. Describir el método de decodificación y borrado para construir un contador que divida entre N .
3. Explicar cómo diseñar un contador síncrono que divida entre N .
4. Explicar el empleo de un contador preinicializable.
5. Describir el contador descendente.
6. Utilizar contadores de CI MSI más comunes.

10.1 CONTADOR DE PROPAGACIÓN



La figura 10-1 muestra un contador de propagación de cuatro bits y la forma de onda que genera. Los flip-flops JK disparados por flanco negativo están configurados para que comutén. La entrada de reloj del flip-flop está conectada a la salida Q del flip-flop previo. Esto significa que la Q del primer flip-flop (A) debe cambiar de estado de ALTO a BAJO para que el siguiente flip-flop (B) comute. Nótese que el flip-flop A cambia de estado en los flancos descendentes del reloj de entrada, que el flip-flop B en los flancos descendentes del flip-flop A, y que el flip-flop C en los flancos descendentes del flip-flop B. Este procedimiento continúa para todos los flip-flops que forman el contador.

Nótese también que la frecuencia de la salida de cada flip-flop es la mitad de la frecuencia de la salida del flip-flop previo. Esto significa que la frecuencia de la salida del flip-flop A es la mitad de la frecuencia del reloj, y que la frecuencia de la salida del flip-flop B es la mitad de la frecuencia de la salida del flip-flop A, o un cuarto de la frecuencia del reloj. Esta división entre dos continúa para cada flip-flop subsecuente del contador.

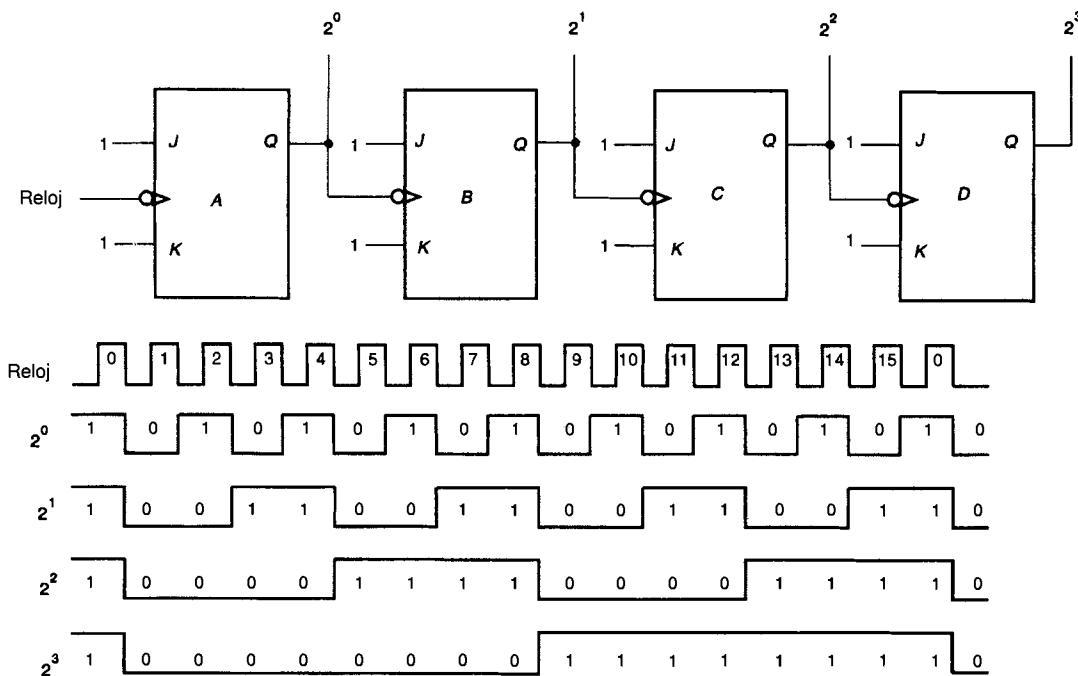
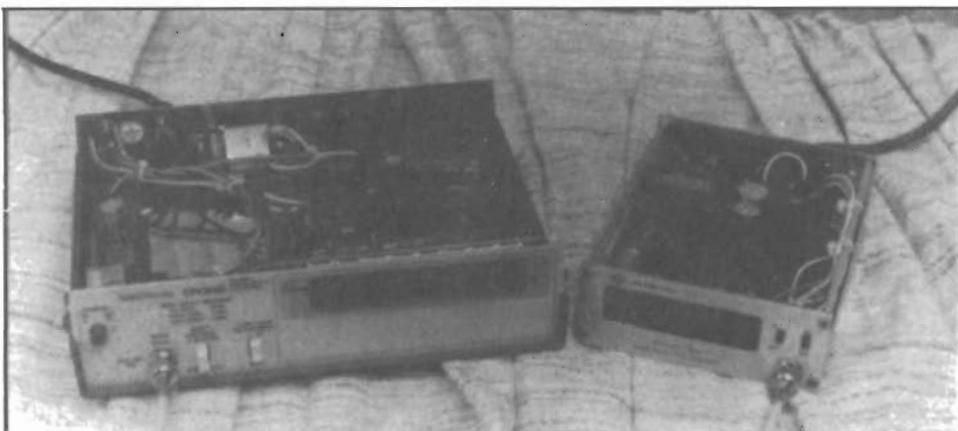


FIGURA 10-1 Contador de propagación de cuatro bits

LO NUEVO Y LO VIEJO



Los dos contadores de frecuencia de la figura son un ejemplo de lo nuevo y lo viejo. El contador de la izquierda es nuevo, con CI TTL y NMOS que representan el estado actual de la tecnolo-

gía. Utiliza visualizadores de LED de siete segmentos. El contador de la derecha es de fines de la década de los sesenta y utiliza CI RTL y tubos de visualización Nixie.

Dado que el contador divide entre dos la frecuencia de la salida de cada flip-flop previo, el valor de las salidas de cada flip-flop después de un determinado número de pulsos de reloj será el número binario que corresponde a dicho pulso de reloj.

Lo anterior significa que el contador de la figura 10-1 contará en binario desde 0000 hasta 1111, y luego volverá a comenzar otra vez con 0000. El número más grande que el contador mostrará es una función del número de flip-flops que forman el contador, dado que cada flip-flop produce un bit en el número binario. Por consiguiente, la fórmula para el mayor número binario que puede ser mostrado para un número dado de bits determinará el mayor número que puede ser mostrado para un contador dado con N flip-flops.

$$\text{Mayor número binario} = 2^N - 1$$

Para el contador de la figura 10-1, el mayor número que puede visualizarse es $2^4 - 1$ o 15. Puesto que la salida D divide la frecuencia de entrada entre 2^4 o 16, este contador se conoce como contador de propagación que divide entre 16. Si se añade un flip-flop más al contador de la figura 10-1, entonces éste será un contador que divide entre 2^5 o que divide entre 32.

En un **contador de propagación** el último flip-flop debe esperar a que la señal de entrada se propague por cada flip-flop precedente antes de que pueda cambiar de estado. Debido a este retraso acumulativo en la propagación, cuanto más grande sea el contador, más lento es. Si cada flip-flop de la figura 10-1 tiene un retraso de propagación de 25 nanosegundos, entonces se necesitarán 4×25 nanosegundos para que el contador cambie de 0111 a 1000. Las salidas no cambian al mismo tiempo, sino una después de otra.

10.2 MÉTODO DE DECODIFICACIÓN Y BORRADO PARA CONSTRUIR UN CONTADOR DE PROPAGACIÓN QUE DIVIDA ENTRE N



El contador que divide entre cinco de la figura 10-2 es un contador de propagación que emplea el método de decodificación y borrado para reinicializar el contador después del quinto pulso de reloj. El número cinco es decodificado por la compuerta NAND, la cual produce una salida en el nivel BAJO cuando el número 5 aparece en la salida del contador. Tal como lo muestran las formas de onda, el número 5 no está presente por mucho tiempo antes que el contador sea reinicializado a 000, lo que causa que la salida en nivel BAJO de la compuerta NAND regrese al nivel ALTO, iniciando la cuenta otra vez desde 000 a partir del siguiente pulso de reloj. Lo anterior permite reinicializar efectivamente el contador cuando la cuenta es 5, pero esto produce una espiga pequeña en la salida A cuando la cuenta es 5. Por otra parte, la salida C es un bit mayor de lo que debería ser.

Dado que las espigas cuentan como un pulso adicional, pueden provocar problemas si la salida que las contiene se emplea como entrada de reloj en otros contadores. Con este método puede construirse un contador que divida entre cualquier número.

Ejemplo: Diseñe un contador de decodificación y borrado que divida entre 10.

Solución:

Un contador que divide entre 10 contará desde 0 hasta 9 y después volverá a contar a partir de 0. Para hacer que el contador se reinicialice en 0 después del 9, el diseñador debe decodificar la cuenta de 10 para borrar todos los flip-flops. Para contar hasta 10 en binario se necesitan cuatro flip-flops. La siguiente tabla contiene los números binarios desde 0000 hasta 1010 (10 en decimal). Sólo un número binario tiene un 1 en el bit más significativo (2^3) y un 1 en el bit 2^1 . Ese número binario es 1010, o 10 en decimal. El uso de una compuerta NAND para decodificar el número 10 producirá el contador que divide entre 10 mostrado en la figura.

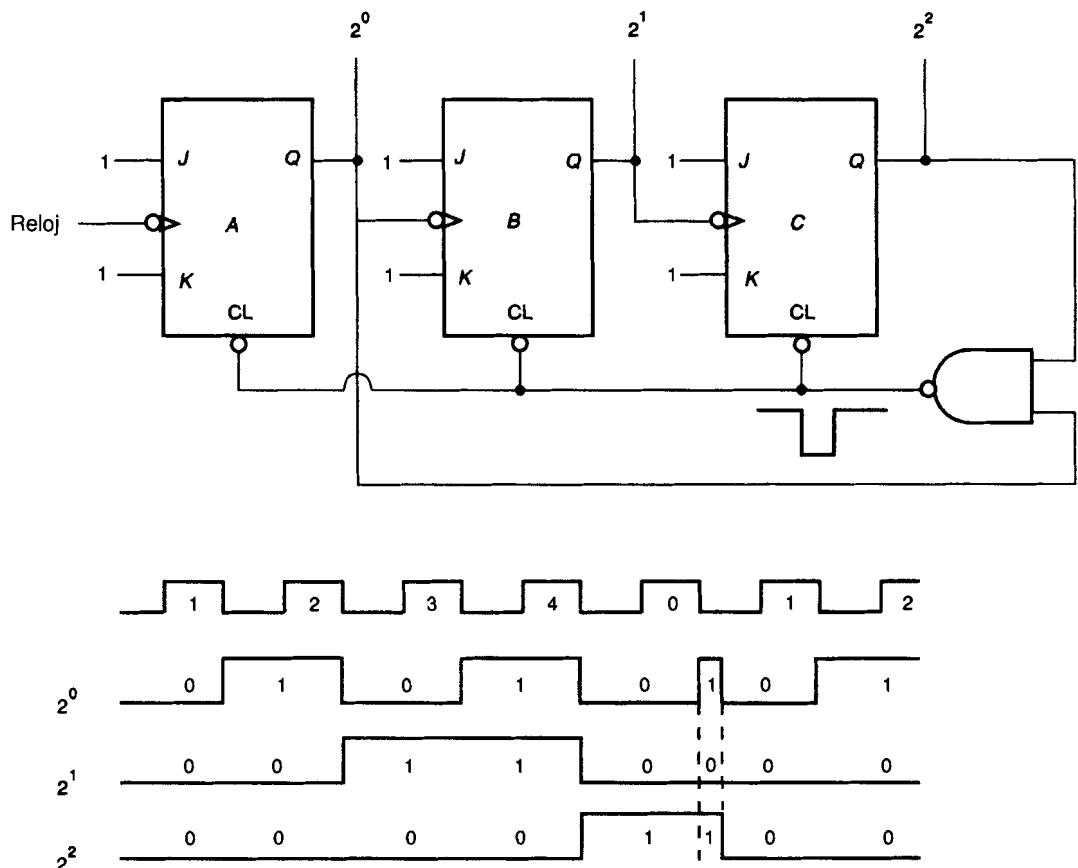


FIGURA 10-2 Contador de decodificación y borrado que divide entre cinco

Decimal	Binario
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001
10	**
	1010

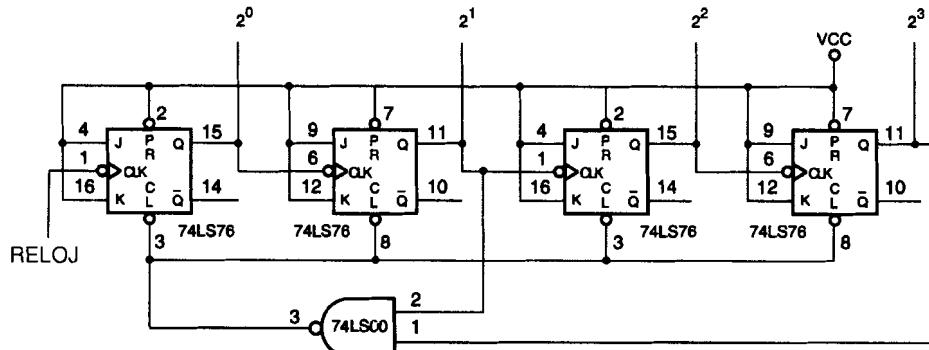


FIGURA 10-3

El contador de propagación que divide entre N tiene muchos de los problemas mencionados anteriormente. Para corregirlos, puede emplearse un contador síncrono. En un **contador síncrono**, todas las entradas de reloj están conectadas entre sí, de modo que cada flip-flop cambia de estado al mismo tiempo. Lo anterior significa que la propagación para todo el contador es la misma que la de un flip-flop, sin importar cuántos flip-flops contenga el contador. Para hacer esto, cada flip-flop debe controlarse con el empleo de la entrada JK , de modo que éste cambie a su estado apropiado cuando aparezca el siguiente pulso de reloj. El contador de la figura 10.4 hace esto permitiendo que el flip-flop cambie o no de estado mediante el empleo de compuertas AND que producen un 1 en la entrada JK sólo cuando existe un 1 en todas las salidas de los flip-flops que lo preceden. Este contador produce las mismas formas de onda que el contador de propagación de la figura 10-1, pero con mayor rapidez.

10.3 CONTADOR SÍNCRONO DE DIVISIÓN ENTRE N



Para diseñar un contador síncrono que divida entre N , lo primero que debe hacerse es definir los valores de las entradas JK antes del pulso de reloj para obtener el cambio deseado en Q después del pulso de reloj. La tabla de verdad de la figura 10-5 muestra lo anterior para un flip-flop JK disparado por flanco negativo. Nótese que en todas las líneas existe una X para uno de los valores de J o K . Esto significa que la entrada J o K pueden tener cualquier valor, 1 o 0. Por ejemplo, considérese el primer renglón de la tabla. Si la salida Q del flip-flop es 0, y lo que se desea es que siga siendo 0 después del flanco descendente del reloj, entonces J debe ser 0, pero K puede ser 1 o 0. Si $J = 0$ y $K = 1$, la salida Q será obligada a ser 0, y si $J = 0$ y $K = 0$, entonces la salida Q no cambiará su estado presente, que es 0.

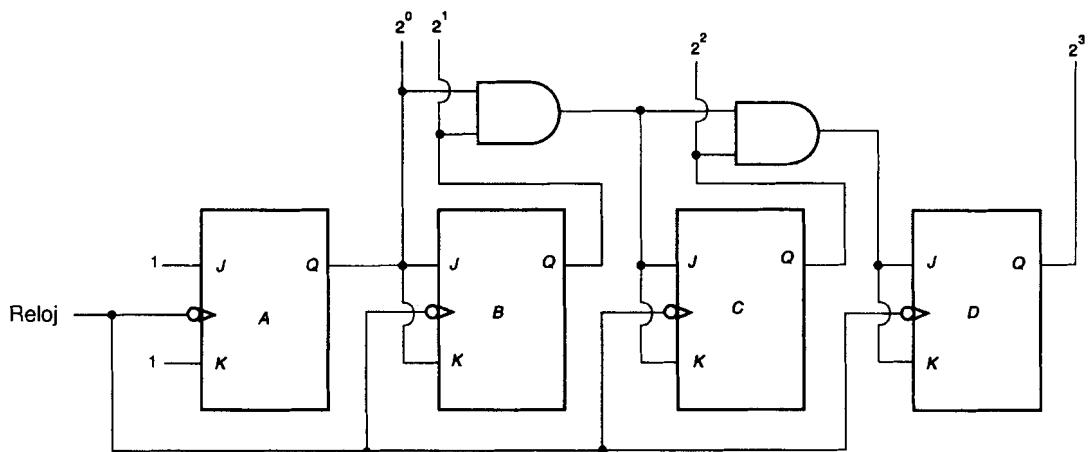


FIGURA 10-4 Contador síncrono

PRESET	CLEAR	J	K	C	Q	\bar{Q}	
0	1	X	X	X	1	0	
1	0	X	X	X	0	1	
0	0	X	X	X	1	1	Estado no utilizado
1	1	0	1	—	0	1	
1	1	1	0	—	1	0	
1	1	0	0	X	Q	\bar{Q}	Estado sin cambio
1	1	1	1	—	Commu-tación		

Antes del reloj		Después del reloj		Antes del reloj	
Q		Q		J	K
0		0		0	X
0		1		1	X
1		0		X	1
1		1		X	0

$X = 1 \circ 0$

FIGURA 10-5 Tabla de verdad para un flip-flop JK disparado por flanco negativo

El segundo paso en el diseño de un contador síncrono que divide entre N es definir la entrada JK de cada flip-flop del contador antes del reloj para obtener la salida deseada Q después del reloj. La figura 10-6 muestra lo anterior para un contador síncrono que divide entre 5. En este caso, la

salida Q deseada es un conteo binario desde 0 hasta 101. La salida para los primeros valores de Q antes del primer pulso de reloj debe ser 000. La salida Q deseada después del flanco que va hacia el nivel BAJO del primer pulso de reloj debe ser 001. Esta salida puede generarse haciendo $J = 0$ y $K = X$ (0 o 1) en los dos flip-flops más significativos, C y B , y con $J = 1$ y $K = X$ (1 o 0) en el flip-flop A . Después del primer pulso de reloj, la salida Q será 001 y se encontrará lista para ser configurada para el segundo pulso de reloj que vaya hacia el nivel BAJO, en el que cambiará a 010.

Q Antes del reloj			Q Después del reloj			C		B		A	
C	B	A	C	B	A	J	K	J	K	J	K
0	0	0	0	0	1	0	X	0	X	1	X
0	0	1	0	1	0	0	X	1	X	X	1
0	1	0	0	1	1	0	X	X	0	1	X
0	1	1	1	0	0	1	X	X	1	X	1
1	0	0	0	0	0	X	1	0	X	0	X

$X = 1 \text{ o } 0$

FIGURA 10-6 Entrada JK para un contador síncrono que divide entre 5

Una vez hecho lo anterior, es necesario obtener expresiones booleanas para cada entrada J y K que permitan expresar la entrada J o K con respecto a las salidas Q antes del pulso de reloj.

Esto puede hacerse expresando cada 1 en las columnas J y K de la tabla de verdad como una compuerta AND cuyas entradas son los valores de Q antes del pulso de reloj, y luego haciendo el OR de cada expresión AND como se muestra en la figura 10-7. El siguiente paso es reducir la expresión booleana de modo que ésta contenga el menor número de términos.

Este método genera una expresión booleana correcta, pero no siempre en la forma más simple para la tabla de verdad ya que supone que todas las demás combinaciones de la tabla son 0. Esto no siempre es el caso, como puede verse si se examina la columna K_A de la tabla de verdad de la figura 10-6. Nótese que dos de las combinaciones de entrada deben ser 1. Todas las demás combinaciones de entrada pueden ser 1 o 0, lo que está indicado por la X . Por consiguiente, K_A podría ser 1 y satisfacer los requerimientos de la tabla de verdad.

La figura 10-8 muestra las expresiones booleanas más sencillas para la tabla de verdad de la figura 10-6. Examine estas expresiones y compruebe que no hay otras más simples.

Todo lo que se necesita para completar el diseño del contador síncrono que divide entre cinco es dibujar el diagrama lógico a partir de las expresiones booleanas, tal como se muestra en la figura 10-9.

$$\begin{aligned}K_A &= A\bar{B}\bar{C} + A\bar{B}\bar{C} \\K_A &= A\bar{C}(\bar{B} + B) \\K_A &= A\bar{C}\end{aligned}$$

$$\begin{array}{lll}J_A = \bar{C} & J_B = A & J_C = AB \\K_A = 1 & K_B = A & K_C = 1\end{array}$$

FIGURA 10-7 Reducción a términos mínimos

FIGURA 10-8 Términos mínimos para el contador síncrono que divide entre cinco

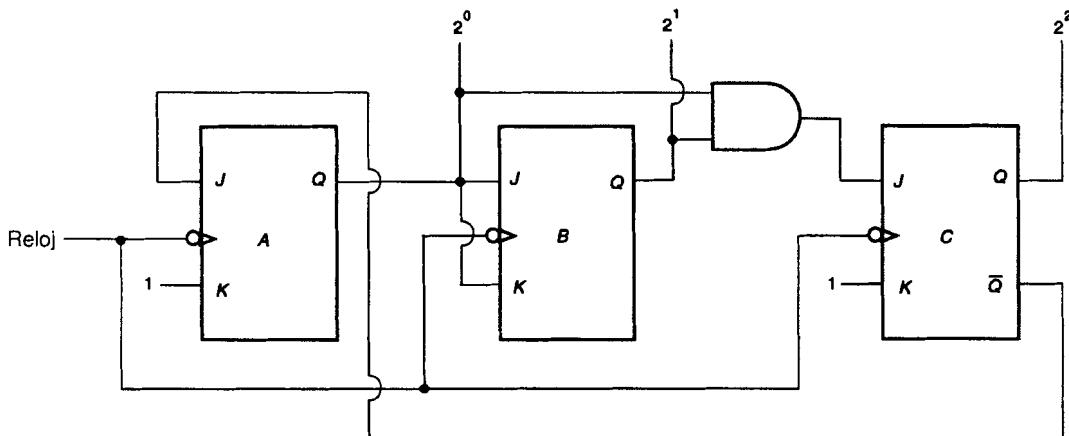


FIGURA 10-9 Contador síncrono que divide entre cinco

Este método de diseño puede emplearse para diseñar una cadena de flip-flops JK que recorra cualquier secuencia de salida que el diseñador desee.

Ejemplo: Diseñe un contador síncrono que divida entre seis utilizando flip-flops JK disparados por flanco negativo.

Solución:

El contador debe contar desde 000 hasta 101 y después comenzar otra vez, para lo cual se requieren tres flip-flops. Para cada uno de los tres flip-flops se definen los estados de las entradas J y K antes del pulso de reloj para obtener el estado deseado después del pulso, tal como se muestra. A continuación se determina la expresión booleana más simple para cada conjunto JK utilizando los estados Q antes del pulso de reloj. Finalmente, se dibuja el diagrama lógico utilizando las expresiones booleanas, como se muestra a continuación.

Antes del reloj	Después del reloj	C		B		A	
		J	K	J	K	J	K
000	001	0	X	0	X	1	X
001	010	0	X	1	X	X	1
010	011	0	X	X	0	1	X
011	100	1	X	X	1	X	1
100	101	X	0	0	X	1	X
101	000	X	1	0	X	X	1

$J_A = 1$
 $K_A = 1$
 $J_B = \bar{C}A$
 $K_B = A$
 $J_C = AB$
 $K_C = A$

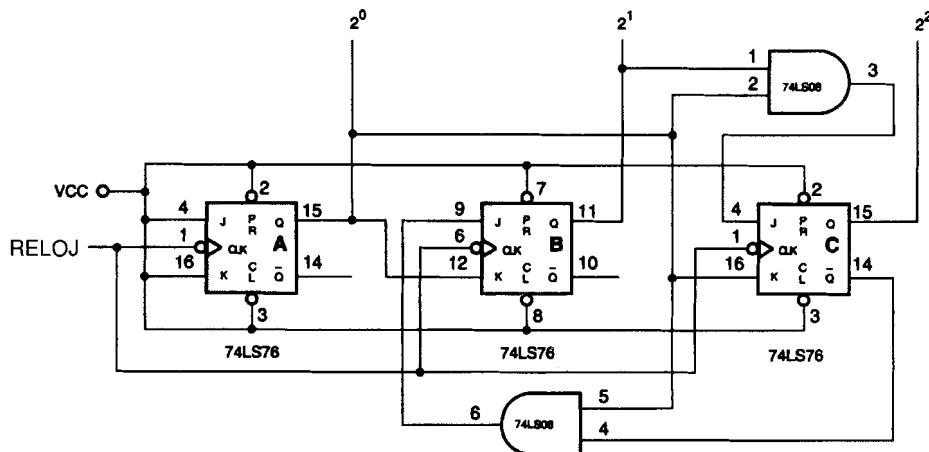


FIGURA 10-10

AUTOEVALUACIÓN PARA LAS SECCIONES 10.1, 10.2 Y 10.3

- Dibuje el diagrama lógico de un contador de propagación que cuente hasta 64 antes de volver a contar desde 0 otra vez. [1]
- Dibuje el diagrama lógico de un contador síncrono que cuente hasta 32 antes de volver a comenzar a contar desde 0. [3]
- Diseñe y dibuje el diagrama lógico de un contador síncrono que cuente hasta 11 y vuelva a iniciar la cuenta desde 0. [3]
- Utilice el método de decodificación y borrado para construir un contador que divida entre tres. [2]

10.4 CONTADORES PREINICIALIZABLES



El **contador preinicializable** de la figura 10-11 utiliza un conjunto de compuertas NAND para proporcionar una señal CLEAR o PRESET para cada flip-flop del contador de propagación. Un 1 en la entrada CONTROL DE PREINICIALIZACIÓN habilitará las compuertas NAND, permitiendo el paso del dato que está en ENTRADA DE PREINICIALIZACIÓN, dejando con ello inicializadas las salidas del contador con los valores de ENTRADA DE PREINICIALIZACIÓN.

Mientras la entrada CONTROL DE PREINICIALIZACIÓN esté en el nivel ALTO, el contador retendrá el valor de ENTRADA DE PREINICIALIZACIÓN debido a que las entradas CLEAR o PRESET de un flip-flop JK tienen una prioridad mayor que la entrada de reloj del flip-flop; pero cuando CONTROL DE PREINICIALIZACIÓN desciende al nivel BAJO, CLEAR y PRESET pasan al nivel ALTO, permitiendo que el contador comience a contar a partir del valor de PREINICIALIZACIÓN cuando aparezca el siguiente flanco descendente del pulso de reloj.

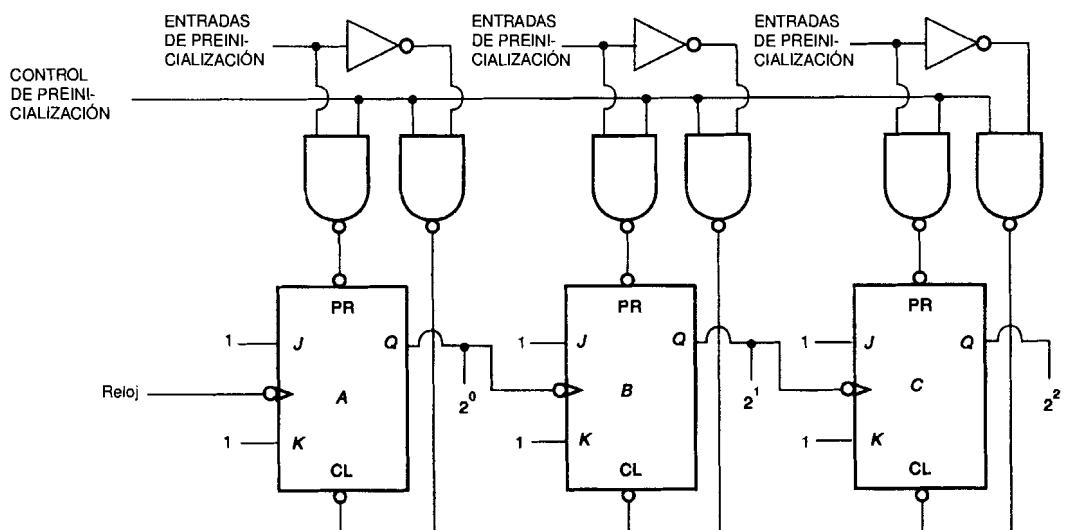


FIGURA 10-11 Contador preinicializable de tres bits

La habilidad de este contador para ser preinicializado con un valor predeterminado antes de comenzar el conteo permite que sea utilizado como un contador programable que divide entre N , como se muestra en la figura 10-12. Nótese que la rutina de decodificación del 0 y la de preinicialización producen una espiga breve, al igual que el método de decodificación y borrado utilizado por el contador que divide entre N . En este caso la ventaja

es que puede controlarse el divisor con el número binario colocado en ENTRADA DE PREINICIALIZACIÓN. El contador de la figura 10-2 está preinicializado con el equivalente binario del cinco, y comienza a contar hasta el equivalente binario del siete, para luego ser reinicializado a cinco en el próximo flanco descendente del reloj. Por tanto, éste es un contador que divide entre 3.

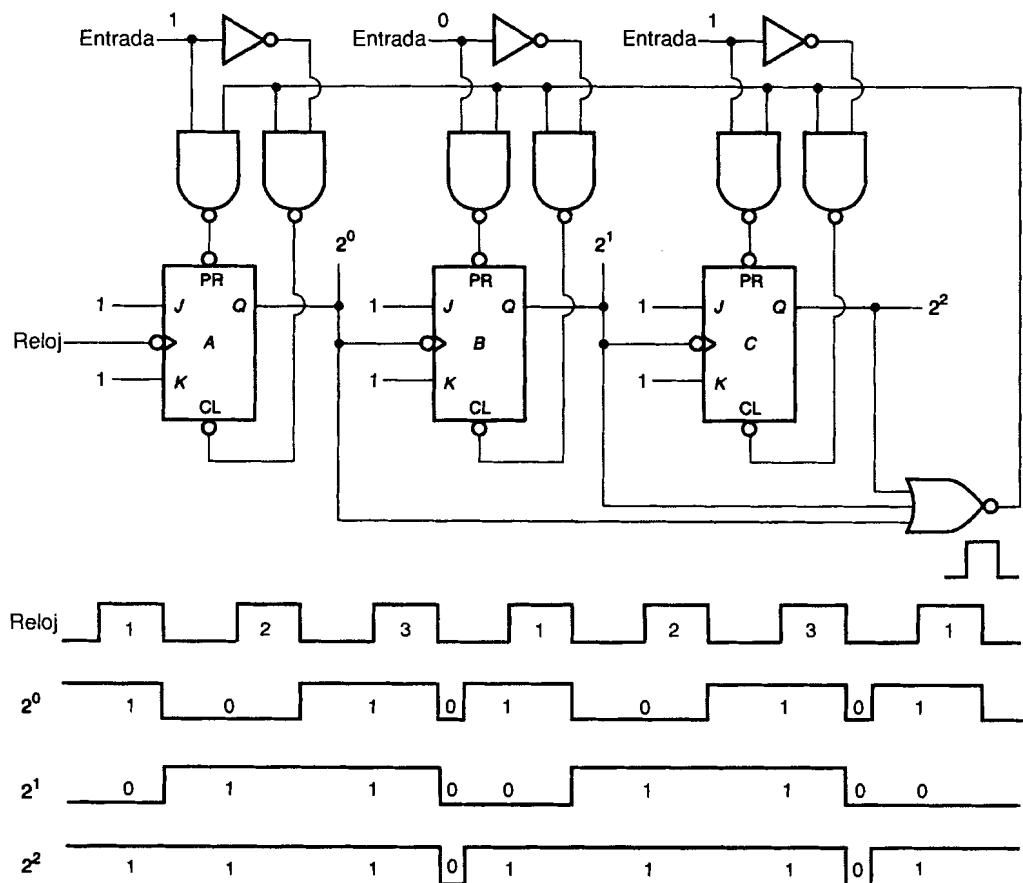
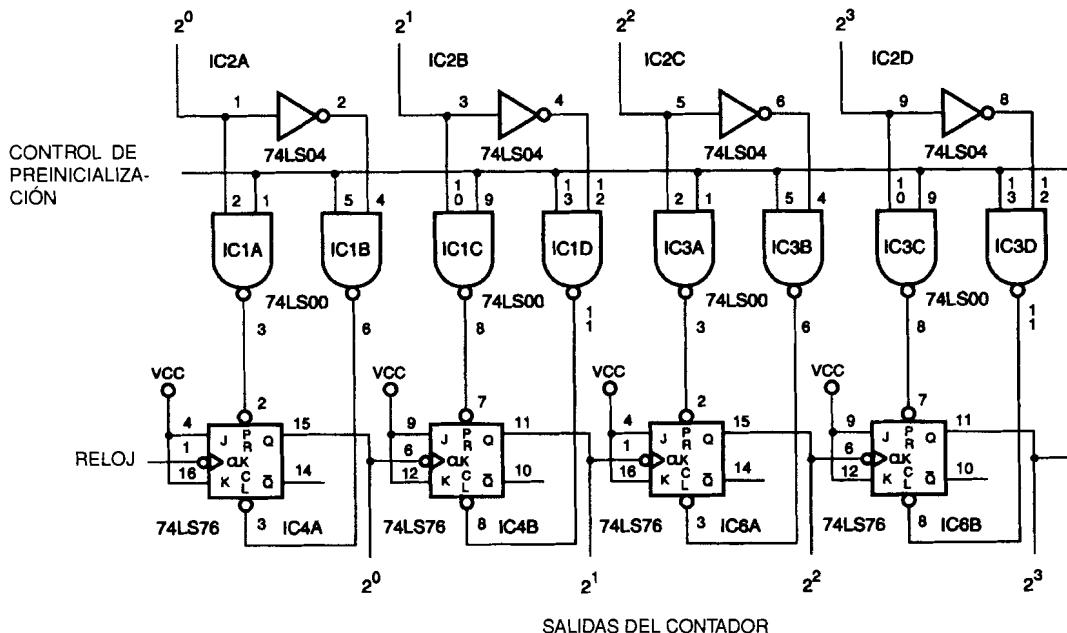


FIGURA 10-12 Contador preinicializable puesto para dividir entre tres

Ejemplo: Diseñe un contador preinicializable de 4 bits como el de la figura 10-11, utilizando dos CI 74LS00, dos CI 74LS76 y un CI 74LS04.

Solución:

ENTRADAS DE PREINICIALIZACIÓN

**FIGURA 10-13** Contador preinicializable de cuatro bits**10.5 CONTADOR ASCENDENTE/DESCENDENTE**

Si se construye un contador de propagación empleando la salida \bar{Q} de cada flip-flop como el reloj del siguiente flip-flop, entonces el contador contará en forma descendente a partir de su valor máximo hasta 0, para luego comenzar la cuenta otra vez. La figura 10-14 muestra un **contador descendente** que divide entre 8. La figura 10-15 presenta un contador descendente síncrono. Nótese que la lógica de control que controla los flip-flops se obtiene de las salidas \bar{Q} de éstos, lo que hace que el contador cuente de manera descendente.

Se puede construir un contador ascendente-descendente añadiendo lógica de control obtenida de las salidas \bar{Q} del contador, como se muestra en la figura 10-15, así como una entrada de control para determinar cuál lógica es la que será habilitada. Tal como se indica en la figura 10-16, lo anterior proporciona un contador que cuenta de manera ascendente o descendente, dependiendo del nivel de la entrada ascendente/descendente. Este tipo de contador podría utilizarse para contar el número de personas

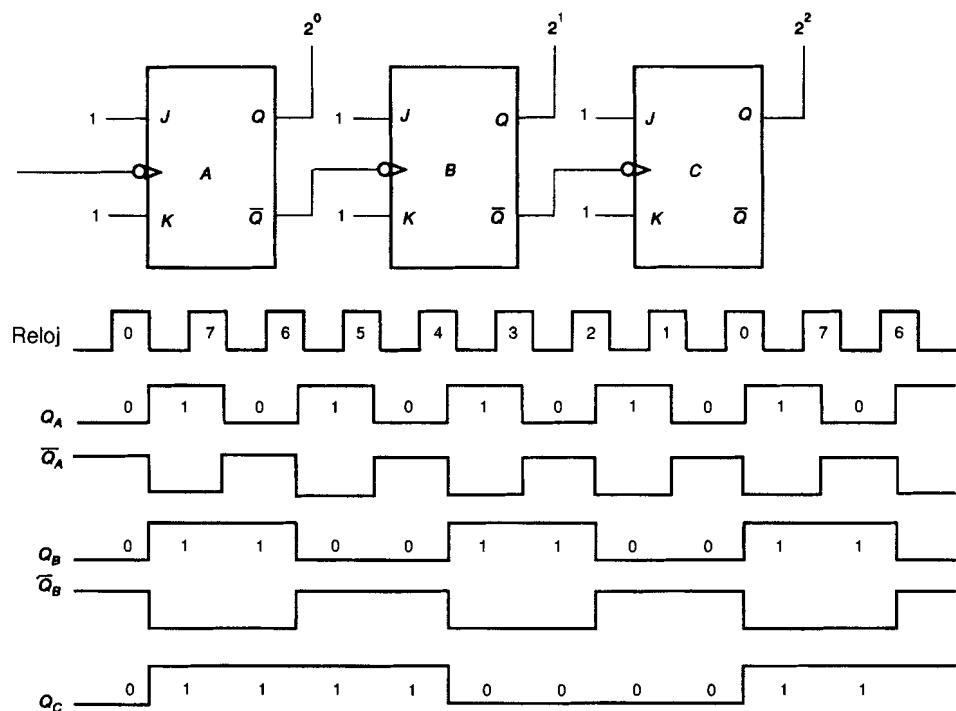


FIGURA 10-14 Contador descendente de propagación

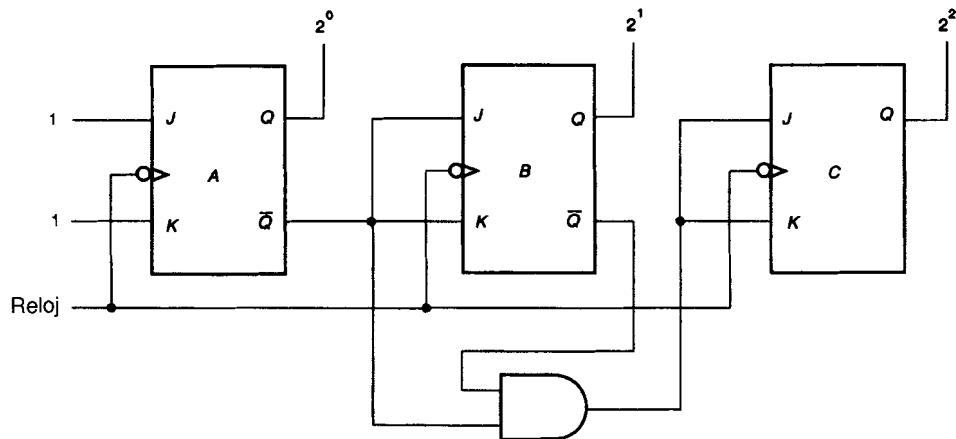


FIGURA 10-15 Contador descendente síncrono

que hay en una habitación. Cuando el sensor de la puerta detecta el ingreso de una persona a la habitación, el contador cuenta un pulso de manera ascendente. Cuando el sensor detecta una persona que abandona la habitación, entonces el contador cuenta un pulso de manera descendente.

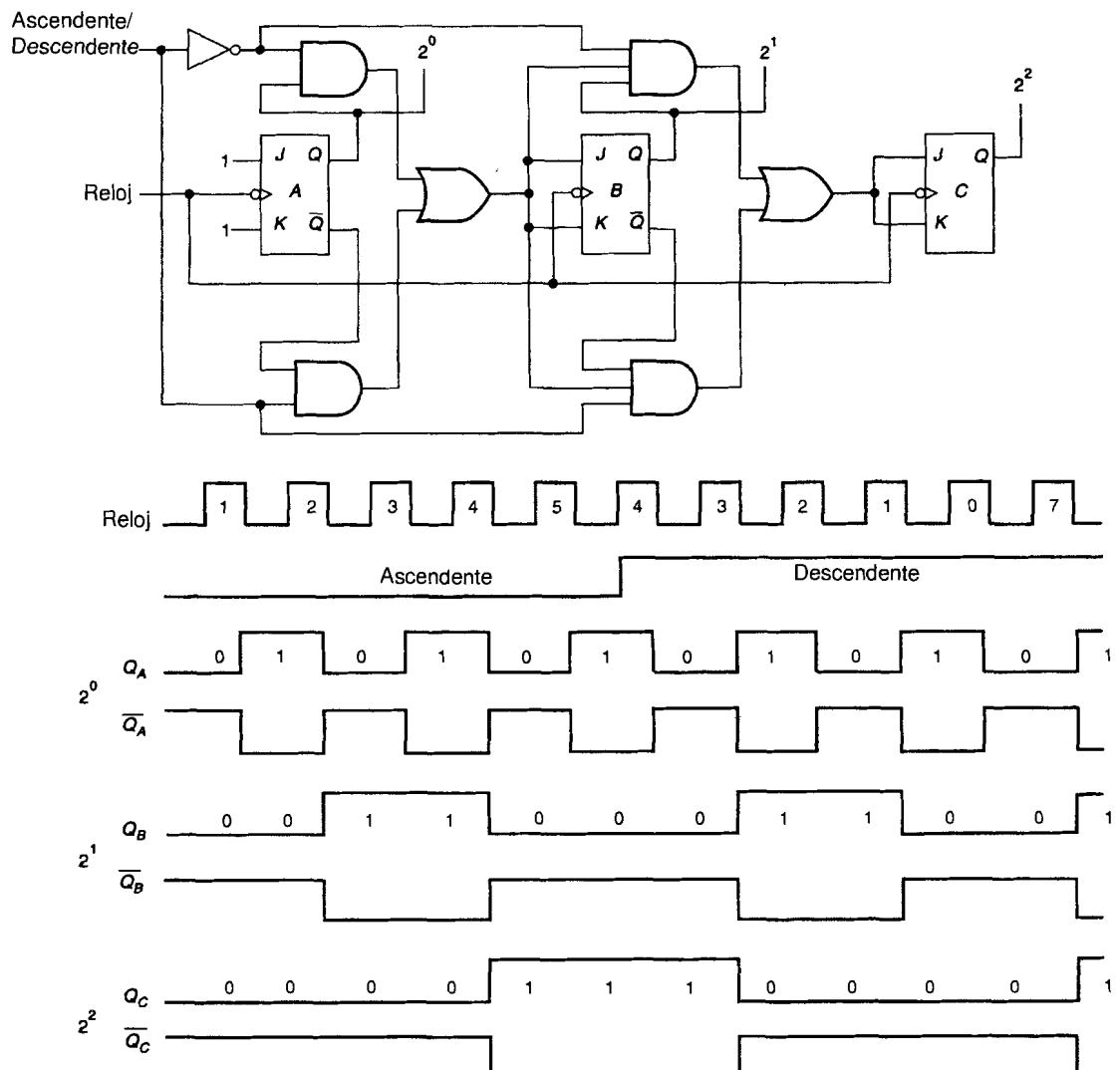


FIGURA 10-16 Contador síncrono ascendente/descendente

AUTOEVALUACIÓN PARA LAS SECCIONES 10.4 Y 10.5

1. Utilice tres CI 74LS00, tres CI 74LS76 y un CI 74LS04 para diseñar un contador preinicializable de seis bits.
2. Diseñe un contador preinicializable ascendente-descendente de tres bits utilizando compuertas AND, OR, inversores y flip-flops JK.

10.6 CI CONTADORES MSI TÍPICOS



La figura 10-17 presenta el diagrama lógico de tres contadores TTL de integración a mediana escala. El 7490 es una combinación de un contador que divide entre 2 y de otro que divide entre 5 que puede configurarse como un contador que divide entre 10 conectando la salida del contador que divide entre 2 a la entrada del contador que divide entre 5. Nótese que la sección que divide entre 5 del 7490 es en parte de propagación y en parte síncrona.

El 7492 es un contador que divide entre 2 y entre 6. Con él puede construirse un contador que divide entre 12 conectando entre sí ambos contadores. Asimismo, la sección que divide entre 6 es en parte de propagación y en parte síncrona.

El 7493 es un contador de propagación que divide entre 2 y entre 8, el cual puede configurarse para producir un contador que divide entre 16.

Dos contadores ascendentes-descendentes de uso muy común son el 74LS190 y el 74LS191. El 74LS190 es un contador de BCD, mientras que el 74LS191 es un contador binario. Los dos contadores son síncronos y hacen uso de flip-flops JK maestro-esclavo. Si se emplea conexión de reloj en paralelo, los contadores pueden conectarse en cascada usando la salida del reloj de propagación como entrada de habilitación del siguiente contador. El reloj de propagación producirá un nivel BAJO cuando el contador llegue a 0000, lo que permitirá que el siguiente contador cuente una vez. La salida MÁX/MÍN producirá un nivel ALTO durante una cuenta cuando el contador llegue a 0000.

El 74HC4020 es un contador de propagación de 14 bits en un encapsulado de 16 terminales. Dada la cantidad de terminales, no todos los bits del contador están disponibles.

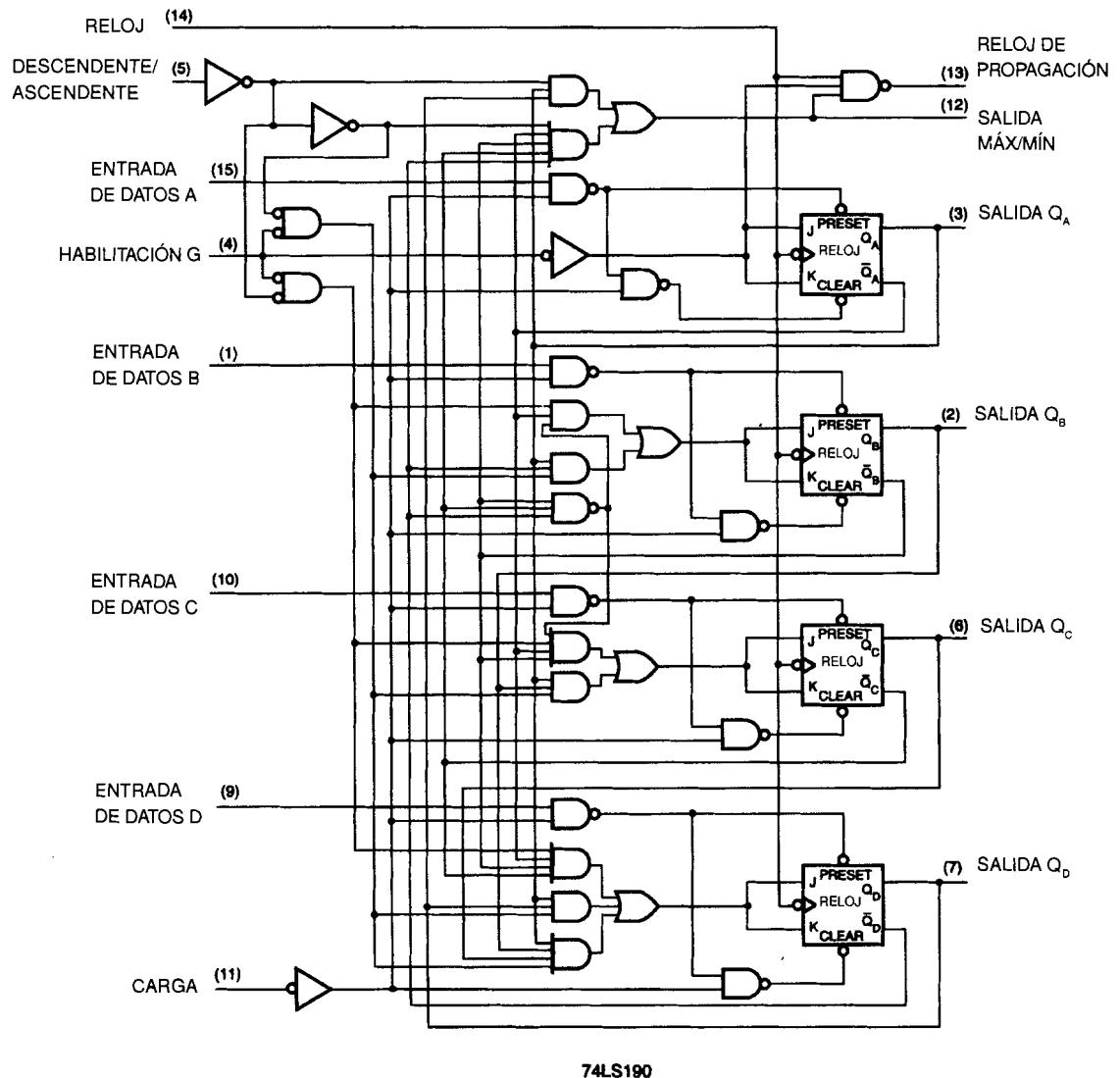
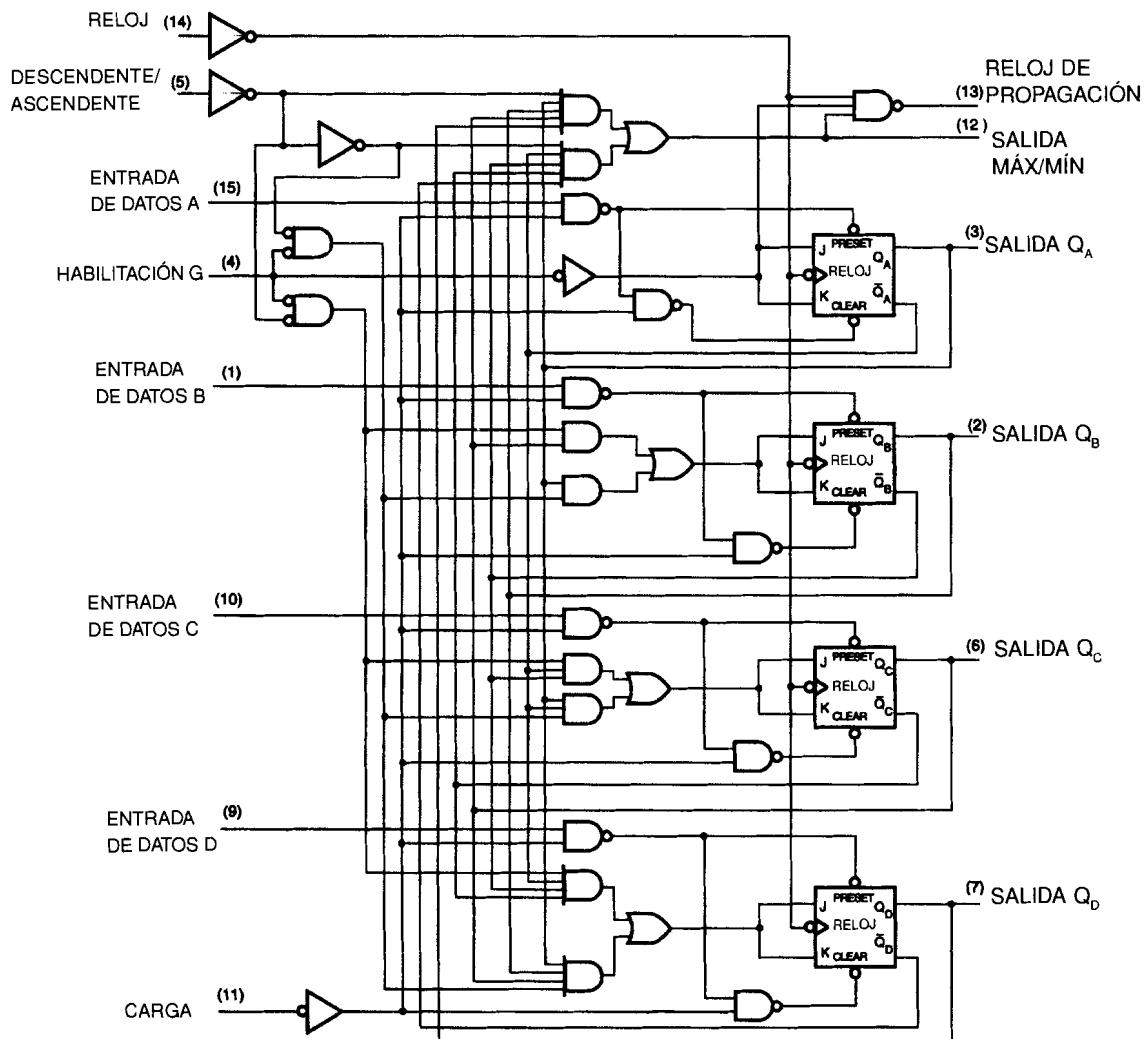


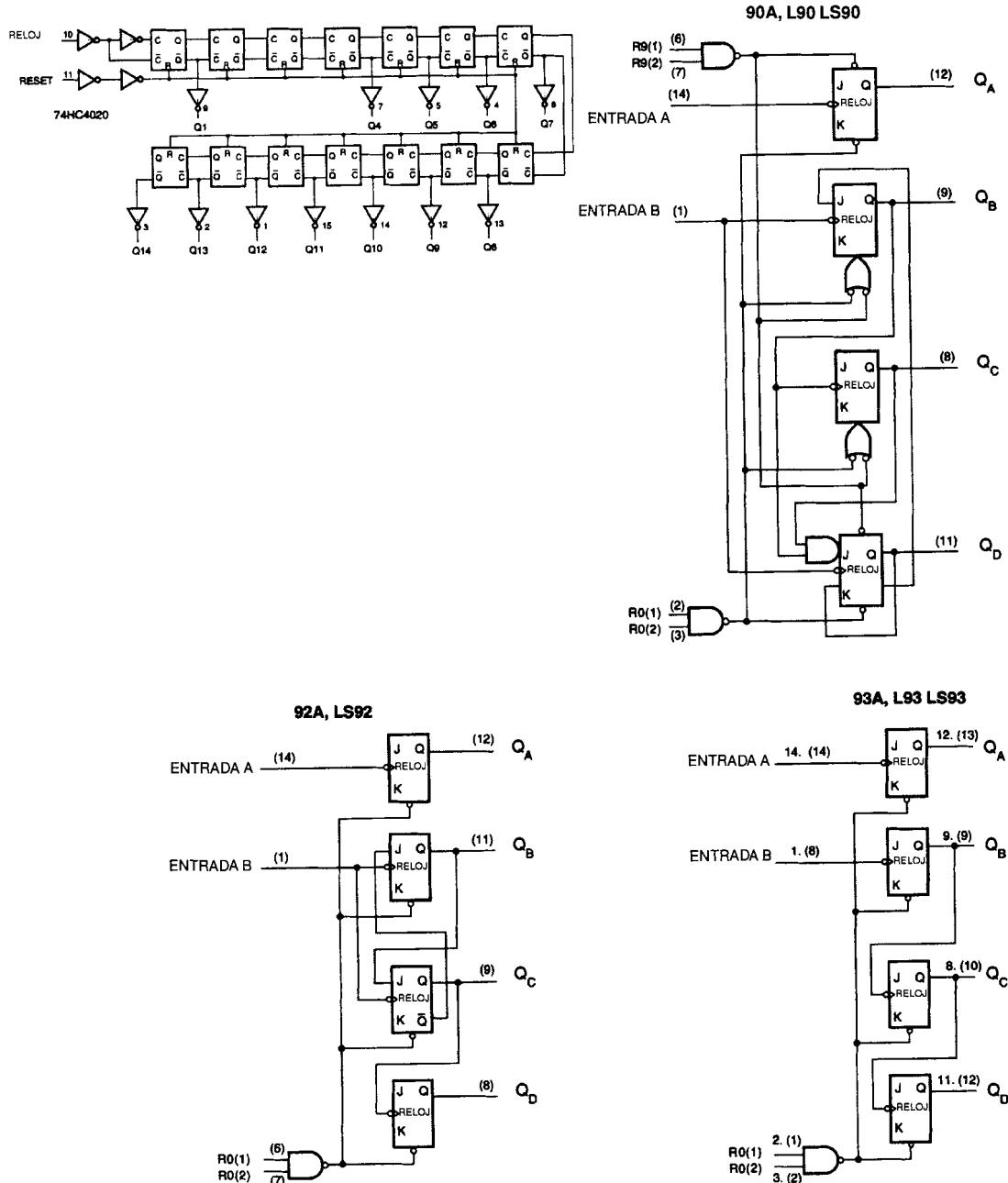
FIGURA 10-17 Contadores TTL de integración a mediana escala



74LS191

Terminal(16) = V_{cc} Terminal(8) = GND

FIGURA 10-17 (*continuación*)



Las entradas J y K mostradas sin conexión son únicamente para referencia y funcionalmente tienen un nivel alto.

Nota: Los números entre paréntesis corresponden sólo al L93

FIGURA 10-17 (continuación)

Ejemplo: Diseñe un contador de BCD que divida entre 6 utilizando un 74LS190 y un CI 74LS92.

Solución:

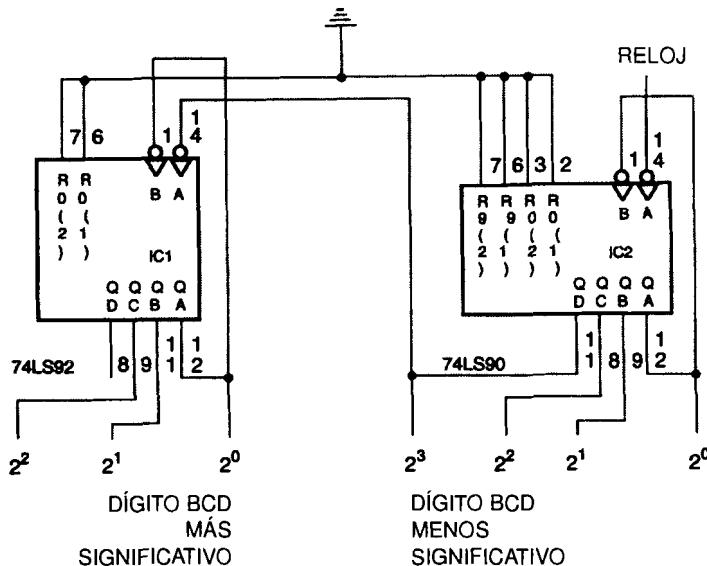


FIGURA 10-18 Contador que divide entre seis

La sección del 74LS92 que divide entre 6 no cuenta desde 0 hasta 5, sino que cuenta con la secuencia 0, 1, 2, 4, 5, 6; de modo que el bit más significativo Q_D tenga un ciclo de trabajo del 50 %. Puede construirse un contador que divida entre 6 y que cuente desde 0 hasta 5 (0, 1, 2, 3, 4, 5) conectando la salida Q_A del contador que divide entre 2 a la entrada B del contador que divide entre 6. Esto hará que las salidas Q_A , Q_B y Q_C cuenten desde 0 hasta 5 siguiendo la secuencia normal de conteo (0, 1, 2, 3, 4, 5, 0, 1, 2, etc.).

La figura 10-19 muestra el empleo de estos contadores en la construcción de un reloj digital. El CI 7447 es un excitador/decodificador de decimal codificado en binario a siete segmentos, empleado para presentar la hora en los LEDs de ánodo común. El estudio de los LEDs y de estos CI se hará en un capítulo posterior de este libro.

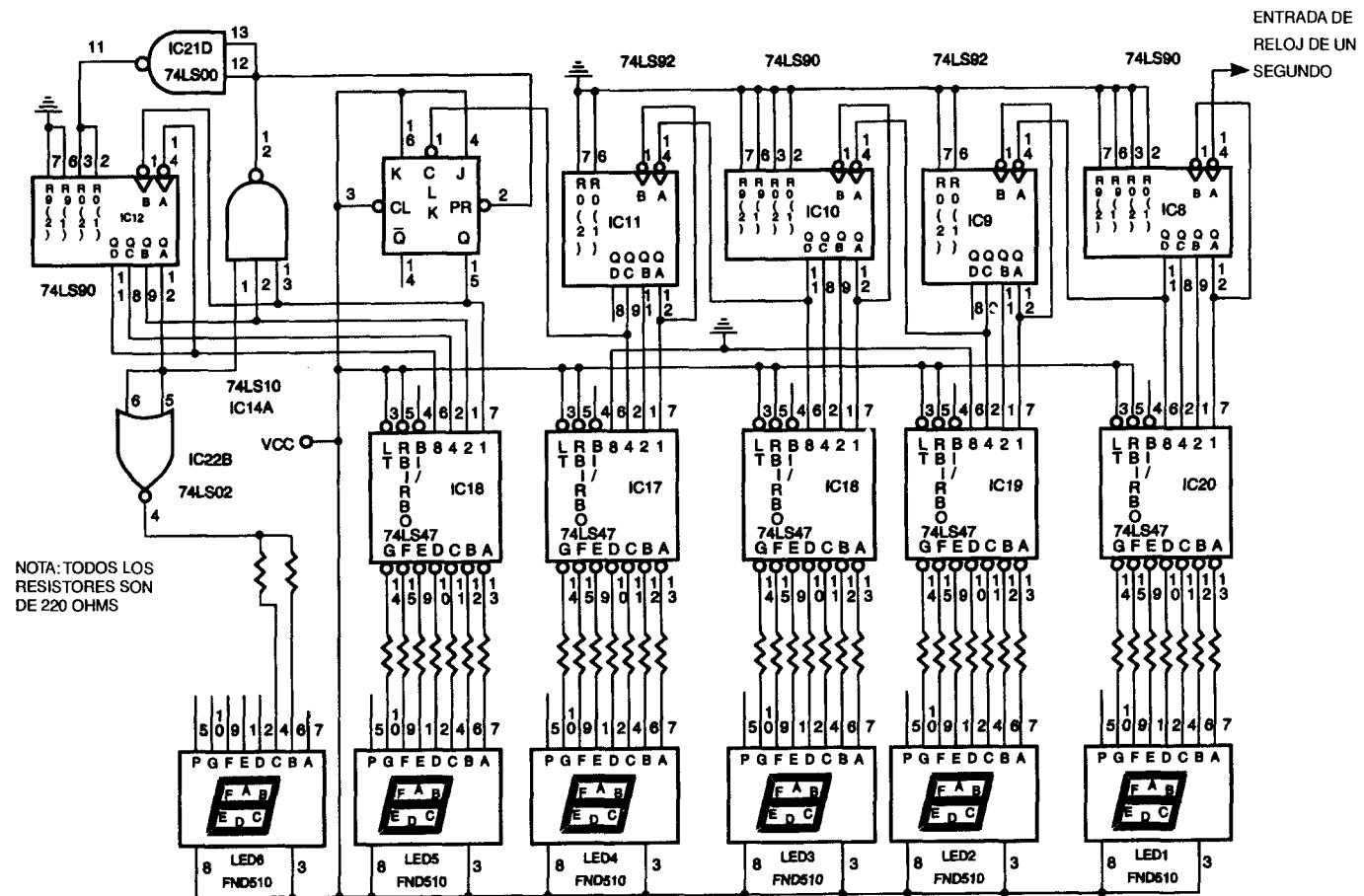


FIGURA 10-19a Circuito de visualización del reloj

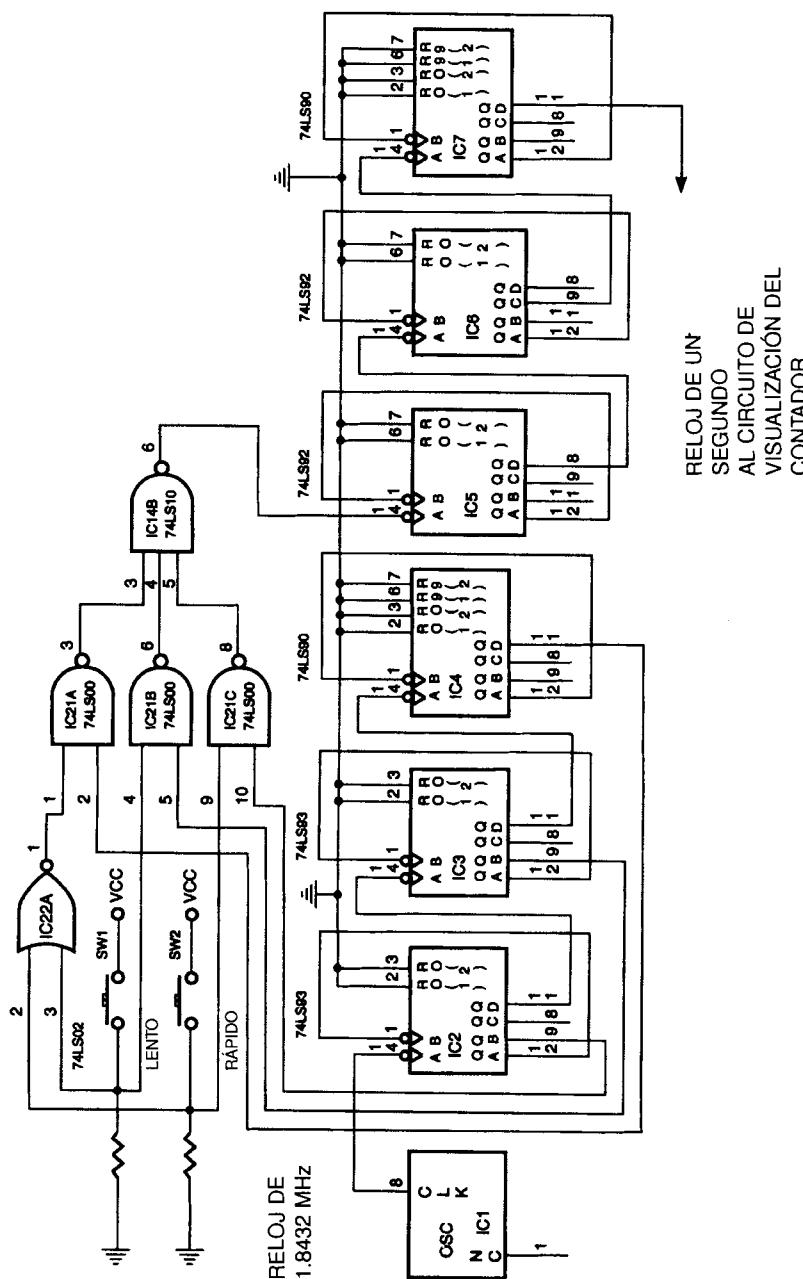
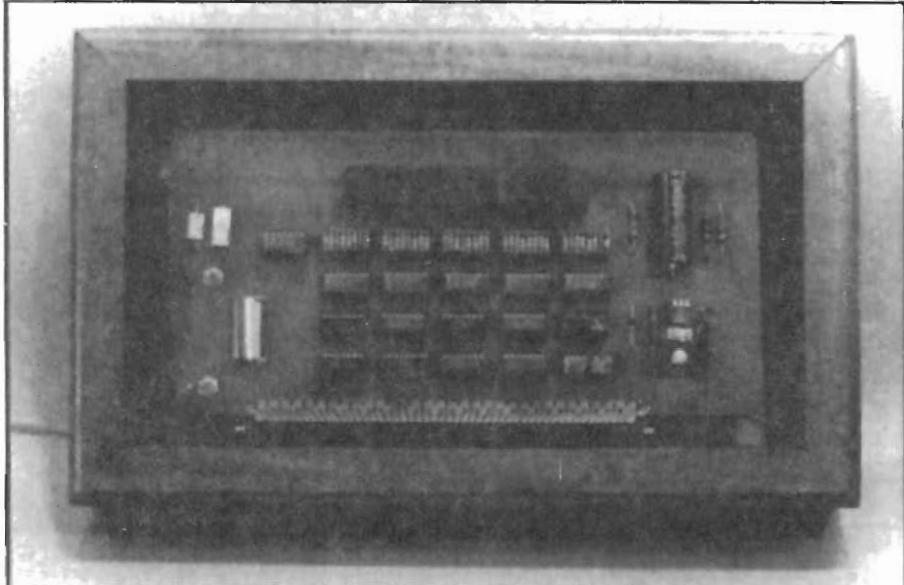


FIGURA 10-19b Reloj de un segundo

RELOJ DE UN
SEGUNDO
AL CIRCUITO DE
VISUALIZACIÓN DEL
CONTADOR

RELOJ DIGITAL



Esta fotografía muestra el reloj de la figura 10-19 construido sobre una vieja tarjeta S-100 de conexiones por arrollamiento. La tarjeta fue montada sobre un conector lateral y colocada en un marco de madera. El transfor-

mador se encuentra detrás del conector lateral. El marco está abierto por ambos lados, de modo que puedan verse las conexiones por arrollamiento de la parte trasera.

10.7 CONTADOR DE DIVISIÓN ENTRE $N \frac{1}{2}$

Todos los contadores presentados hasta el momento dividen la señal entrante entre un número entero. Existe una manera ingeniosa de hacer uso del método de decodificación y borrado para producir un divisor de $N - \frac{1}{2}$, y que consiste en utilizar un flip-flop y una compuerta XOR para cambiar el flanco en que el contador cambia de estado. La figura 10-20 muestra la forma en que funciona lo anterior.

Cuando el contador alcanza la cuenta deseada, el decodificador borrará el contador y hará que el flip-flop de control de flanco (CI 1B) commute. Esto hace que la señal de reloj sea invertida en un ciclo del contador pero no en el siguiente. Con esto el contador perderá $\frac{1}{2}$ ciclo de reloj en la cuenta cero, haciéndola $\frac{1}{2}$ ciclo de reloj más corta. Este medio ciclo faltante puede observarse en las formas de onda de la figura 10-20, en la cuenta cero.

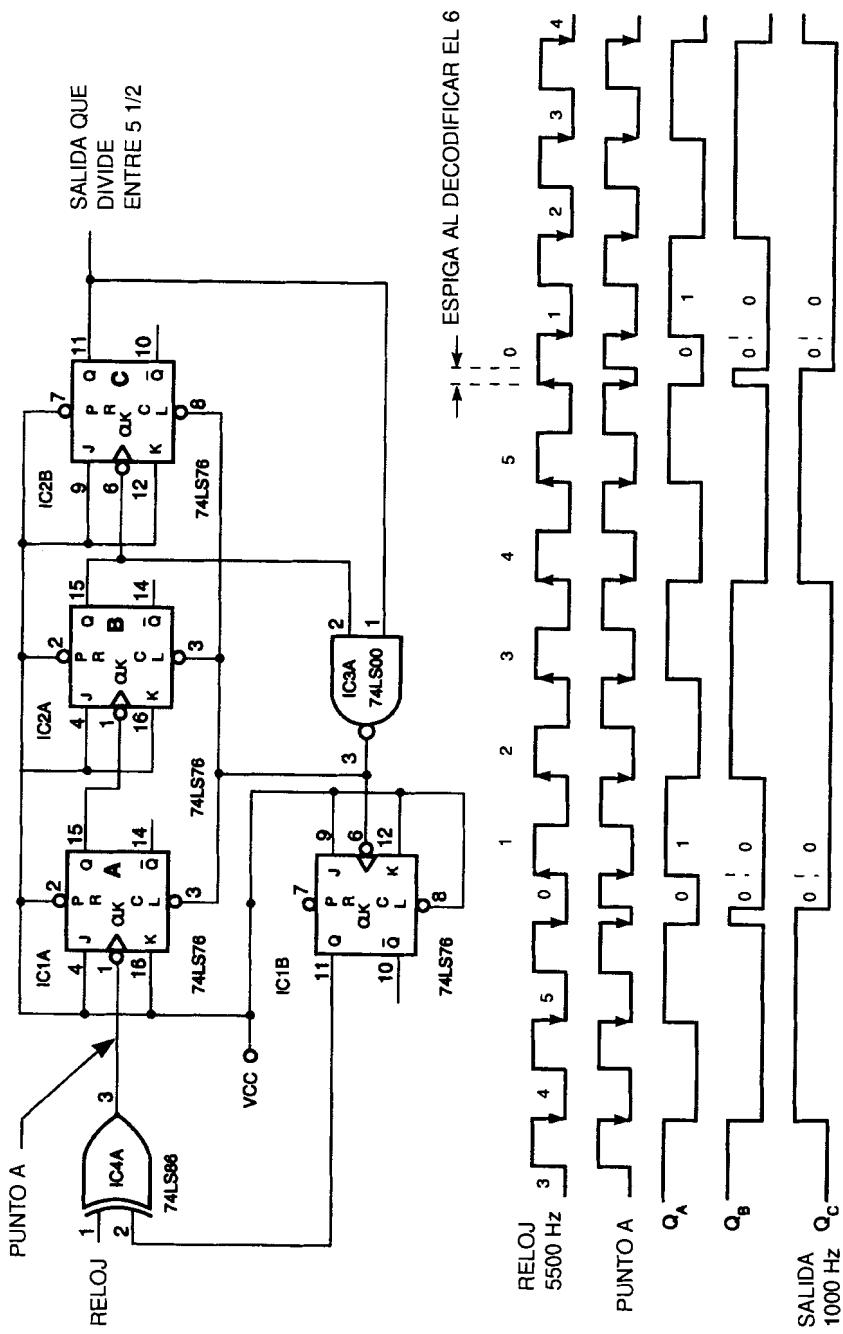


FIGURA 10-20 Decodificación y borrado para división entre 5 1/2

Nótese la espiga en la decodificación del 6 que borra al contador y hace commutar al flip-flop de inversión (CI 1B). Si la espiga de decodificación es un problema, entonces es posible construir un contador síncrono con los mismos métodos.

RESUMEN

- En un contador de propagación la entrada de reloj de los flip-flops se conecta a la salida Q del flip-flop anterior.

El contador de propagación puede construirse con flip-flops JK o con flip-flops D disparados por flanco. Para hacer que el contador cuente de manera descendente, la entrada de reloj de los flip-flops se toma de la salida \bar{Q} del flip-flop anterior. Dada la propagación de un flip-flop a otro, el tiempo que requiere el contador para cambiar al siguiente valor de la cuenta es la suma de los retrasos de propagación de todos los flip-flops del contador. Esto significa que la salida del contador no es estable durante el tiempo que la cuenta se propaga por la cadena de flip-flops.

- El contador síncrono emplea lógica de control para hacer que el flip-flop JK cambie al estado correcto en el próximo pulso de reloj.

Esto permite que todos los flip-flops sean activados al mismo tiempo y por el mismo reloj. El contador síncrono es tan rápido como el retraso de propagación de un flip-flop y no tiene ningún estado inestable durante el cambio de una cuenta a la siguiente. También pueden construirse contadores síncronos descendentes si se emplean las salidas Q para excitar la lógica de control de las entradas JK .

- Los contadores que dividen entre N pueden construirse con el método de decodificación y borrado o con el método síncrono.

El método de decodificación y borrado a menudo producirá una pequeña espiga en las formas de onda del contador durante la decodificación de la cuenta que borra al contador. En algunos circuitos lo anterior puede ser un problema, sobre todo en aquellos que utilizan la cuenta para generar el reloj de otros flip-flops. El contador síncrono que divide entre N hace uso de lógica de control para configurar las entradas JK de los flip-flops de modo que vayan al estado correcto en el siguiente pulso de reloj. Con esto se evita la aparición de la espiga de decodificación. El contador síncrono que divide entre N puede configurarse para que cuente a través de cualquier conjunto de valores y en cualquier orden. Lo anterior significa que éste puede utilizarse como secuenciador de dispositivos en un circuito digital.

- El contador preinicializable puede cargarse con un valor determinado a partir del cual puede contar de manera ascendente o descendente.

Los contadores preinicializables pueden emplearse para construir un contador programable que divida entre N .

PREGUNTAS Y PROBLEMAS

1. Dibuje el diagrama lógico de un contador de propagación de cinco bits utilizando flip-flops JK disparados por flanco negativo. [1]
2. Dibuje el diagrama lógico de un contador de propagación que divida entre nueve utilizando el método de decodificación y borrado. Utilice flip-flops JK disparados por flanco negativo. [2]
3. Diseñe un contador síncrono que cuente en el orden siguiente: 000, 100, 001. Emplee flip-flops JK disparados por flanco negativo. [3]
4. Consulte los manuales de fabricantes y haga una lista de flip-flops TTL y CMOS disparados por flanco negativo. [6]
5. Repita el problema anterior para flip-flops disparados por flanco positivo. [6]
6. Dibuje el diagrama lógico de un contador síncrono que cuente desde 0 hasta 12. Utilice CI 7476 e indique los números de terminales. [3]
7. Repita el problema 3 utilizando flip-flops disparados por flanco positivo. [3]
8. Dibuje el diagrama lógico de un contador que divida entre seis. Utilice el método de decodificación y borrado y un CI 7490. [2, 6]
9. Dibuje las formas de onda del contador del problema anterior. [2, 6]
10. Dibuje el diagrama lógico de un contador de propagación descendente que cuente de 15 a 0 y vuelva a comenzar en 15. Haga uso de CI 7476 y señale los números de terminales. [1, 2]
11. Dibuje las formas de onda del contador descendente del problema anterior. [1, 2]
12. Dibuje el diagrama lógico de un contador preinicializable que cuente desde 3 hasta 10 y vuelva a comenzar en 3. Utilice CI 7476 e indique los números de terminales. [4, 2]
13. Dibuje las formas de onda del contador del problema anterior. [4, 2]
14. Dibuje el diagrama lógico de un contador síncrono ascendente-descendente que cuente desde 0 hasta 15 y de 15 a 0. Utilice CI 7476, 7432, 7408 y 7404. Indique los números de terminales. [3, 5, 6]

15. Dibuje las formas de onda del contador ascendente-descendente del problema anterior con el siguiente conteo: 0, 1, 2, 3, 4, 5, 4, 3, 2, 3, 4. [3, 5, 6]
16. Diseñe un contador de propagación que divida entre 15 y $\frac{1}{2}$. [6]
17. Diseñe un contador síncrono que divida entre 7 y $\frac{1}{2}$.
18. Utilice CI 74LS93 y 74LS90 para dividir un reloj de 1.8432 MHz en una frecuencia de 60 Hz. [6]
19. Mencione dos problemas que tenga un contador de propagación de decodificación y borrado.
20. Dibuje las formas de onda para el contador de la pregunta 17.

Práctica 10

Contadores

OBJETIVOS

Al término de esta práctica, el lector deberá ser capaz de:

- diseñar un contador síncrono que divida entre N
- utilizar CI TTL contadores típicos

COMPONENTES NECESARIOS

- 1 CI 7476, flip-flop doble JK
- 1 CI AND cuádruple

PREPARACIÓN

Primera parte

Utilice los flip-flops JK disparados por flanco negativo para diseñar y construir un contador síncrono que divida entre 10. Encuentre los valores que faltan en las siguientes tablas.

- Defina la función del flip-flop que va a emplear.

ANTES DEL RELOJ	DESPUÉS DEL RELOJ		ANTES DEL RELOJ	
Q	Q	\rightarrow	J	K
0	0	\rightarrow		
0	1	\rightarrow		
1	0	\rightarrow		
1	1	\rightarrow		

- b) Defina las entradas *JK* de cada flip-flop del contador para la cuenta requerida.

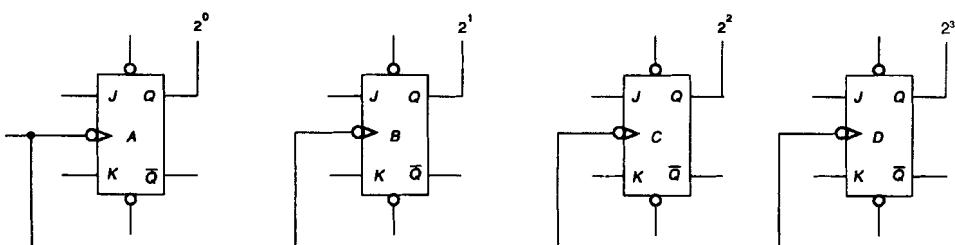
ANTES DEL RELOJ				DESPUÉS DEL RELOJ				ESTADO JK ANTES DEL RELOJ							
D	C	B	A	D	C	B	A	J _D	K _D	J _C	K _C	J _B	K _B	J _A	K _A
0	0	0	0	0	0	0	1								
0	0	0	1	0	0	1	0								
0	0	1	0	0	0	1	1								
0	0	1	1	0	1	0	0								
0	1	0	0	0	1	0	1								
0	1	0	1	0	1	1	0								
0	1	1	0	0	1	1	1								
0	1	1	1	1	0	0	0								
1	0	0	0	1	0	0	1								
1	0	0	1	0	0	0	0								

- c) Escriba la expresión booleana para cada entrada *J* y *K* del contador.

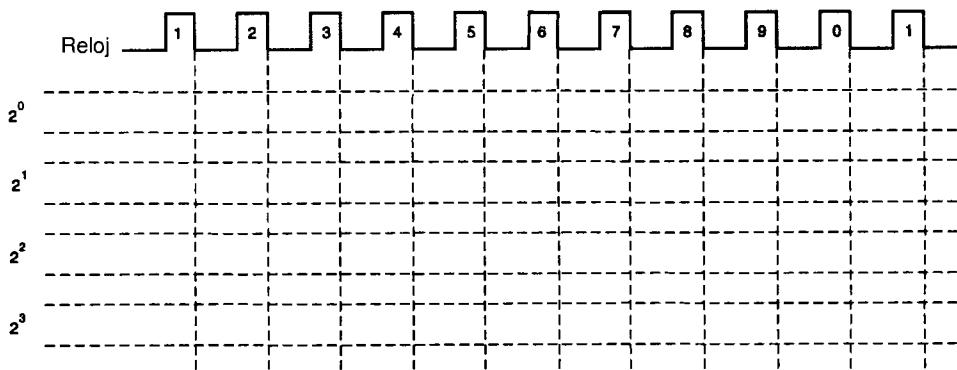
$$J_A = \quad J_B = \quad J_C = \quad J_D =$$

$$K_A = \quad K_B = \quad K_C = \quad K_D =$$

- d) Convierta las expresiones booleanas para las entradas *JK* en un diagrama lógico.



- e) Construya el circuito diseñado y utilícelo para dibujar las formas de onda siguientes. Pida al profesor que verifique el funcionamiento del circuito.



Segunda parte

Utilice un contador de BCD 7490 para construir los contadores siguientes. Pida al profesor que verifique el funcionamiento de cada uno de ellos.

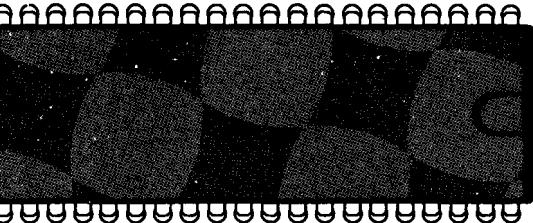
- Un contador que divida entre 5.
- Un contador que divida entre 2.
- Un contador que divida entre 10.

Tercera parte

Haga uso de un 7493 para construir un contador que divida entre 10 empleando el método de decodificación y borrado.

Si el contador no trabaja de manera apropiada, considere los puntos siguientes:

- Verifique todas las conexiones a la fuente de alimentación.
- Busque cualquier entrada sin conectar del flip-flop JK.
- Utilice el osciloscopio para hacer el seguimiento de la entrada de reloj hasta el último flip-flop. Éstas deben concordar con la forma de onda esperada para un contador de BCD.
- Si las formas de onda no concuerdan con la forma de onda esperada para un contador de BCD, entonces el alambrado tiene fallas o el diseño es incorrecto.



CONTENIDO

- 11.1 ENTRADA CON DISPARADOR DE SCHMITT**
- 11.2 USO DE UN DISPARADOR DE SCHMITT PARA CONVERTIR UNA ONDA IRREGULAR EN CUADRADA**
- 11.3 RELOJ CON DISPARADOR DE SCHMITT**
- 11.4 USO COMO RELOJ DEL TEMPORIZADOR 555**
- 11.5 OSCILADORES DE CRISTAL**

Disparadores de Schmitt y relojes

Capítulo 11

LISTA DE TÉRMINOS

disparador de Schmitt
histéresis

multivibrador astable
comparador de voltaje

OBJETIVOS



Al término de este capítulo el lector debe ser capaz de:

1. Explicar el funcionamiento de un disparador de Schmitt
2. Utilizar un disparador de Schmitt para obtener una onda cuadrada a partir de una onda senoidal.
3. Utilizar el disparador de Schmitt en la construcción de un reloj.
4. Describir la forma en que funciona el temporizador 555 y cómo emplearlo como reloj
5. Utilizar un CI CMOS 4001 para construir un oscilador de cristal.

11.1 DISPARADOR DE SCHMITT

1

La figura 11-1 muestra la gráfica del voltaje de entrada contra el voltaje de salida de un **disparador de Schmitt** TTL típico. A medida que aumenta el voltaje de entrada, la salida permanece en el nivel BAJO o valor 0 hasta que el voltaje de entrada tenga un valor aproximado de 0.8 V. En este umbral superior, la salida salta al valor lógico 1. Cuando el voltaje de entrada cae, la salida no regresa al valor lógico 0 sino hasta que el voltaje de entrada tenga un valor menor que el umbral inferior, que es aproximadamente de 0.8 V. La diferencia entre los umbrales superior e inferior recibe el nombre de **histéresis** del disparador de Schmitt y, para un disparador de Schmitt TTL, es alrededor de 1 V. El símbolo para un disparador de Schmitt es la gráfica de la figura 11-1, tal como se muestra en la compuerta no inversora que aparece en la parte derecha de la figura.

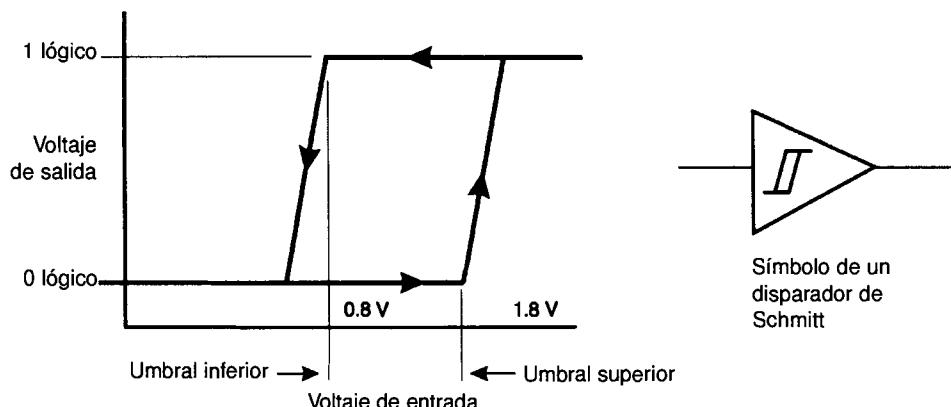


FIGURA 11-1 Gráfica de voltaje de salida contra voltaje de entrada de un disparador de Schmitt

11.2 USO DE UN DISPARADOR DE SCHMITT PARA CONVERTIR UNA ONDA IRREGULAR EN CUADRADA

2

El hecho de que el disparador de Schmitt tenga histéresis es la razón por la que puede utilizarse para obtener una onda cuadrada a partir de otra onda, como la senoidal. Conforme aumenta el voltaje de entrada y sobrepasa el umbral superior, el voltaje de salida cambia de estado. El estado no cambiará de nuevo hasta que el voltaje de entrada tenga un valor menor que el umbral inferior. Lo anterior se ilustra en la figura 11-2, en la cual se utiliza un disparador de Schmitt inversor.

Nótese que el voltaje de entrada sólo desciende hasta -0.7 V con respecto a tierra. Esto se debe a que la parte inferior de la onda senoidal ha sido recortada por los diodos de recorte de la entrada del CI 7414. Para proteger el diodo de recorte, se emplea un resistor limitador de corriente para introducir la onda senoidal.

La habilidad del disparador de Schmitt para producir una onda cuadrada a partir de una senoidal puede emplearse para obtener señales de reloj de 60 Hz y 120 Hz muy precisas a partir de la red de energía eléctrica de CA.

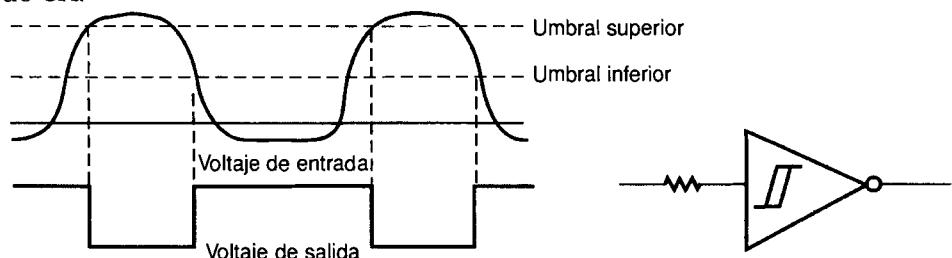


FIGURA 11-2 Uso de un disparador de Schmitt para obtener una onda cuadrada a partir de una senoidal

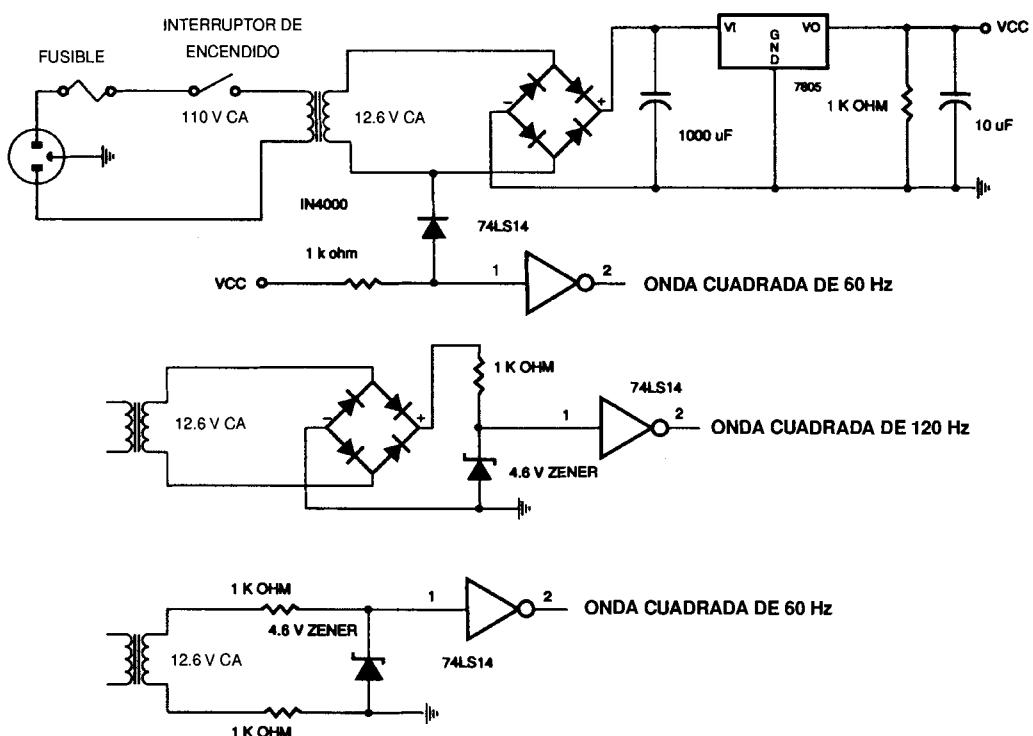


FIGURA 11-3

Las compañías generadoras de energía eléctrica deben mantener con gran precisión la frecuencia de 60 Hz de la red. Esta frecuencia puede emplearse con facilidad en aplicaciones digitales. La figura 11-3 muestra tres métodos para convertir una onda senoidal de CA en una onda cuadrada digital con niveles TTL.

11.3 RELOJ CON DISPARADOR DE SCHMITT

3

Un **reloj** es un oscilador o, como se conoce en ocasiones, un **multivibrador astable** y se utiliza en un circuito digital. La figura 11-4 muestra un reloj sencillo construido a partir de un disparador de Schmitt 7414. Cuando el punto A (que es la salida del inversor) tiene un nivel ALTO o 1 lógico, el capacitor se cargará a través del resistor de $1\text{ k}\Omega$ y la entrada TTL como se muestra en la figura 11-5A. Cuando el voltaje del capacitor alcanza el umbral superior del disparador de Schmitt, la salida del inversor cae a un voltaje 0, o nivel lógico 0. Esto hace que el capacitor se descargue a través del resistor de $1\text{ k}\Omega$, como se muestra en la figura 11-5B. Cuando el voltaje en el capacitor desciende hasta el umbral inferior, la salida del inversor cambia de nuevo a 1 lógico, completando con esto un ciclo de reloj, como se muestra en la figura 11-5. Nótese que el capacitor se carga con una rapidez mucho mayor que con la que se descarga. Lo anterior se debe que la carga de éste se hace a través del resistor de $1\text{ k}\Omega$ y la entrada TTL del inversor, pero sólo puede descargarse a través del resistor de $1\text{ k}\Omega$, proceso que es más lento.

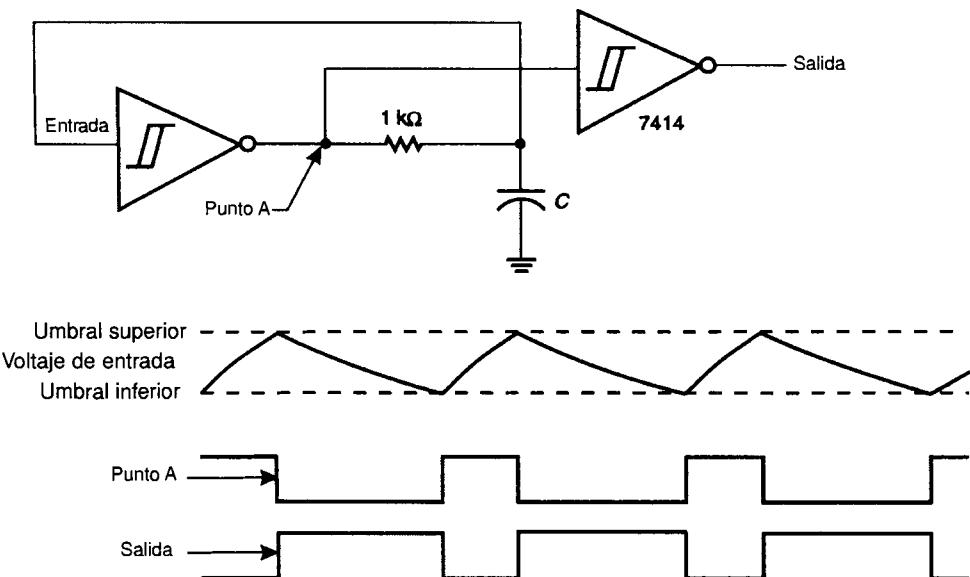


FIGURA 11-4 Reloj con un disparador de Schmitt

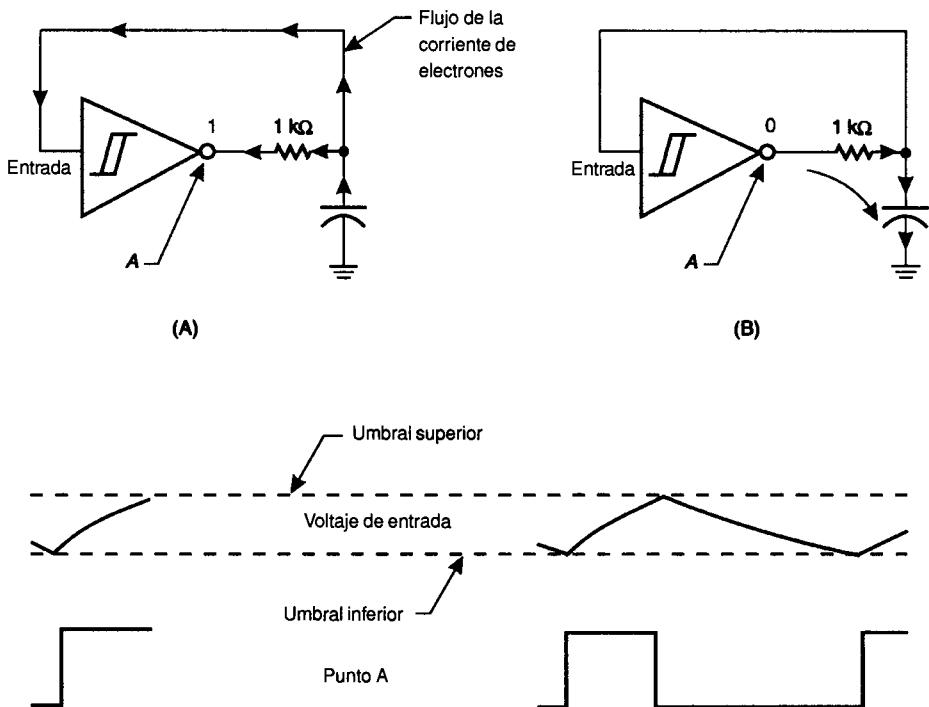


FIGURA 11-5 Un ciclo del reloj con disparador de Schmitt inversor.

La frecuencia del reloj depende de la constante de tiempo RC de carga y descarga. Dado que la entrada del inversor TTL es una carga de suministro que ayuda a cargar al capacitor, el resistor no puede ser mucho mayor que $1\text{ k}\Omega$ ya que de lo contrario el voltaje de descarga nunca será menor que el umbral inferior del disparador de Schmitt. Por consiguiente, es necesario mantener el resistor R con un valor próximo a $1\text{ k}\Omega$, pero el valor de C puede cambiarse, con lo que cambiará la constante de tiempo RC para la carga y descarga. La fórmula para la frecuencia del reloj, como una función del valor del capacitor y suponiendo que R es $1\text{ k}\Omega$, es

$$F \approx \frac{6.69 \times 10^{-4}}{C}$$

El segundo inversor se emplea como compuerta de aislamiento de corriente para excitar otros circuitos, sin afectar el funcionamiento del circuito de reloj.

El oscilador con disparador de Schmitt de la figura 11-4 puede construirse con un disparador de Schmitt inversor CMOS 74C14. Al emplear un inversor CMOS, la impedancia de entrada es muy grande (alrededor de 10 M ohm), lo que significa que la entrada no actúa como carga de suminis-

tro, como sucede con el inversor TTL. Lo anterior significa que el resistor que se emplea en el circuito RC puede tener casi cualquier valor. Un disparador de Schmitt CMOS típico tiene una histéresis cercana a 2 voltos cuando el voltaje de la fuente de alimentación es de 5 V. El voltaje de histéresis se vuelve más grande a medida que el voltaje de alimentación aumenta. La fórmula para la frecuencia aproximada del oscilador con disparador de Schmitt CMOS es la siguiente.

$$F \approx \frac{5.88 \times 10^{-4}}{RC}$$

Ejemplo: Calcule el valor del capacitor para un oscilador de 2 kHz construido a partir de un circuito con disparador de Schmitt similar al de la figura 11-4.

Solución:

El cálculo puede hacerse con la fórmula dada en el texto.

$$F \approx \frac{6.79 \times 10^{-4}}{C}$$

$$2 \text{ kHz} \approx \frac{6.79 \times 10^{-4}}{C}$$

$$C \approx \frac{6.79 \times 10^{-4}}{2 \text{ k}}$$

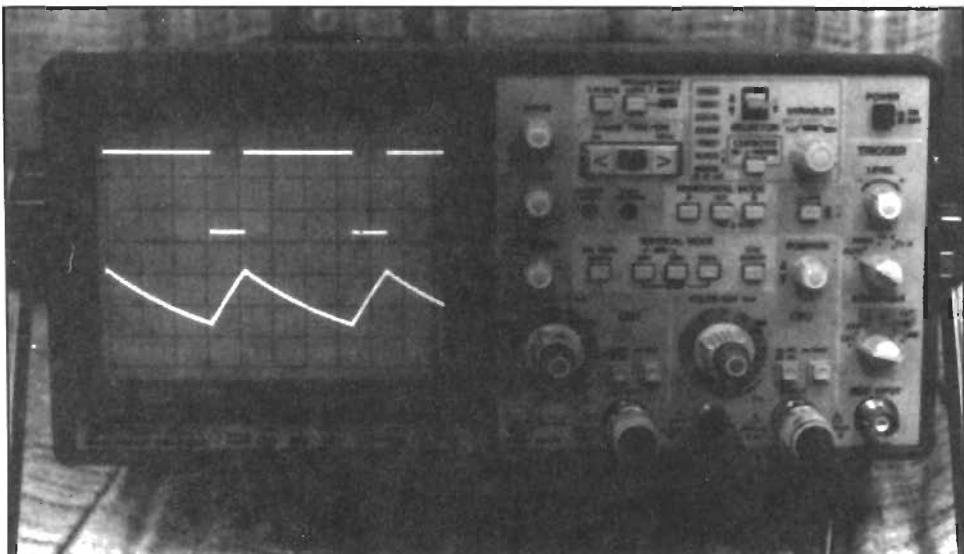
$$C \approx .33 \text{ uF}$$

El resistor debe ser de 1 k ohm, y la frecuencia final será aproximadamente de 2 kHz debido a las diferencias en las impedancias de entrada del disparador de Schmitt inversor.

AUTOEVALUACIÓN PARA LAS SECCIONES 11.1, 11.2 Y 11.3

1. ¿Cuál será la frecuencia aproximada del oscilador con disparador de Schmitt de la figura 11-4 si el capacitor tiene un valor de .15 microfarad? [3]

Reloj construido con un disparador de Schmitt inversor



El osciloscopio muestra la forma de onda de la salida en la traza superior de un oscilador con disparador de Schmitt, tal como el de la figura 11-4. La traza inferior muestra el aumento

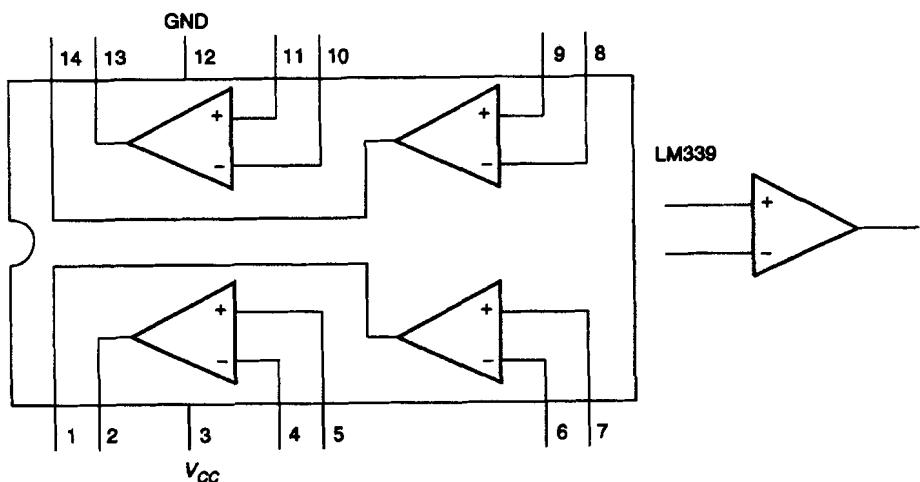
y la disminución del voltaje en el capacitor entre los umbrales inferior y superior del disparador de Schmitt inversor.

2. Dibuje las formas de onda de la entrada y la salida de un disparador de Schmitt inversor utilizado para obtener una onda cuadrada a partir de una senoidal. [2]
3. ¿Cuál es la histéresis típica de un disparador TTL? [1]

11.4 USO COMO RELOJ DEL TEMPORIZADOR 555



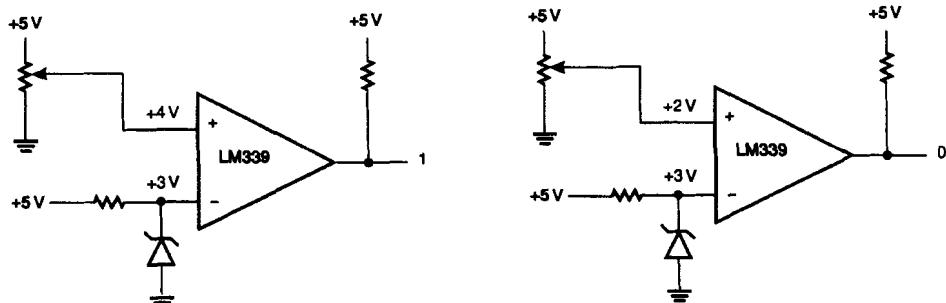
El temporizador 555 es un CI temporizador de propósito general que puede emplearse en muchas aplicaciones. Para comprender su funcionamiento, primero es necesario entender la operación de un **comparador de voltaje** formado por un CI amplificador operacional. La figura 11-6 muestra un CI comparador de voltaje LM339. En este CI existen cuatro comparadores, cada uno con dos entradas, una marcada con + y la otra marcada con -. Cada comparador también tiene una salida de colector abierto que no es común en la mayoría de los amplificadores operacionales, lo que se debe a

**FIGURA 11-6** Comparador de voltaje LM339

que este tipo de amplificador operacional está diseñado para ser utilizado como comparador de voltaje en un circuito digital en el que la salida será únicamente tierra o V_{cc} .

El voltaje de alimentación para el CI puede variar entre 3 V y 15 V, y las entradas tienen una impedancia muy grande. Esto significa que puede emplearse con circuitos CMOS y que las entradas no tendrán efecto sobre el circuito al que se encuentran conectadas.

Si se conecta una referencia de voltaje en la entrada negativa, como se muestra en la figura 11-7A, y el voltaje en la entrada positiva se vuelve mayor que el de la entrada negativa, entonces la salida irá al estado de alta impedancia, produciendo un 1 lógico debido al resistor externo de acoplamiento a positivo. Si ahora el voltaje de la entrada positiva se vuelve menor que el de la entrada negativa, la salida va a tierra produciendo un 0 lógico, como se muestra en la figura 11-7B. Para abreviar, si la entrada positiva es mayor que la entrada negativa, entonces la salida tiene el estado de alta impedancia. Si la entrada positiva es menor que la entrada negativa, la salida es cero o tierra.

**FIGURA 11-7** Funcionamiento del comparador de voltaje LM339

El 555 utiliza dos comparadores de este tipo para inicializar y reinicializar un flip-flop. La figura 11-8 presenta un CI 555 configurado para construir con él un reloj. El voltaje de referencia para los comparadores está dado por un divisor de voltaje formado por tres resistores de $5\text{ k}\Omega$, de aquí el nombre del CI, 555. Este divisor de voltaje aplica $1/3$ del voltaje de alimentación a la entrada positiva del comparador inferior, y $2/3$ del voltaje de alimentación a la entrada negativa del comparador superior. La entrada negativa del comparador inferior recibe el nombre de disparador, mientras que la entrada positiva del comparador superior es el umbral.

Si el umbral y el disparador se conectan entre sí, entonces pueden emplearse para inicializar y reinicializar el flip-flop contenido en el 555 al aplicarles un voltaje mayor que $2/3 V_{cc}$ o menor que $1/3 V_{cc}$.

Cuando el disparador y el umbral tienen un voltaje mayor que $2/3 V_{cc}$, el comparador superior está encendido o en 1 lógico debido a que la entrada positiva es mayor que la entrada negativa, la que siempre es igual a $2/3 V_{cc}$. El comparador de la parte inferior tiene el nivel lógico 0, ya que la entrada positiva está puesta a $1/3 V_{cc}$ por los divisores de voltaje formados por los tres resistores de $5\text{ k}\Omega$, y la entrada negativa tiene un voltaje mayor que éste. Esto hace que el estado del flip-flop sea 1, con lo que la salida del CI va al nivel BAJO debido a la compuerta inversora de aislamiento.

Para voltajes de umbral y disparo menores que $2/3 V_{cc}$ pero mayores que $1/3 V_{cc}$, el comparador superior va a 0 y el comparador inferior permanece en 0. La situación anterior representa el estado sin cambio del flip-flop interno. Por consiguiente, éste permanece en 1 lógico. Cuando el voltaje en las entradas cae por debajo de $1/3 V_{cc}$, el comparador inferior se activa o va al nivel lógico 1. Esto hace que el flip-flop sea reinicializado. Por tanto, el flip-flop interno del 555 puede inicializarse o reinicializarse aplicando a las dos entradas, umbral y disparo, un voltaje superior a $2/3 V_{cc}$ o inferior a $1/3 V_{cc}$.

La salida del flip-flop interno está también conectada a la base del transistor de descarga que hay dentro del CI. Cuando la salida Q tiene el nivel lógico 1, esto activa al transistor, conectando la terminal de descarga a tierra. Cuando la salida Q es 0, el transistor está apagado y la terminal de descarga tiene un estado de alta impedancia, es decir, no está conectada a nada.

El 555 oscila o se convierte en un reloj si se conecta, como se muestra en la figura 11-8, un circuito con resistores y capacitor entre las terminales de umbral, disparo y descarga. Cuando el flip-flop es reinicializado al estado 0, la terminal de descarga se encuentra en el estado de alta impedancia, lo que permite que el capacitor se cargue a través de R_A y R_B . Cuando el voltaje en el capacitor alcanza un valor un poco mayor que $2/3 V_{cc}$, el flip-flop cambia de estado a un 1 lógico. Lo anterior hace que el transistor de descarga se active, con lo que el capacitor comienza a descargarse a través de

R_B y el transistor de descarga, hasta que el voltaje alcance un valor un poco menor que $1/3 V_{CC}$. En ese momento, el flip-flop es reinicializado y todo el ciclo comienza otra vez. La figura 11-8 también muestra la forma de onda para el reloj 555. Recuérdese que la salida del 555 es el complemento de la salida Q del flip-flop.

La fórmula para la frecuencia de la salida puede obtenerse mediante el empleo de la fórmula para el voltaje de carga de un capacitor como función de la constante de tiempo RC y del tiempo de carga.

$$V_C = V_S \left(1 - e^{\frac{-T}{RC}} \right)$$

donde V_C = voltaje a través del capacitor

V_S = voltaje de alimentación

T = tiempo de carga

RC = resistencia \times capacitor, constante de tiempo RC

Primero, es necesario resolver la ecuación para el tiempo de carga:

$$\begin{aligned} V_C &= V_S \left(1 - e^{\frac{-T}{RC}} \right) \\ \frac{V_C}{V_S} &= 1 - e^{\frac{-T}{RC}} \\ \frac{V_C}{V_S} - 1 &= -e^{\frac{-T}{RC}} \\ -\frac{V_C}{V_S} + 1 &= e^{\frac{-T}{RC}} \\ \ln\left(\frac{-V_C}{V_S} + 1\right) &= \frac{-T}{RC} \\ -T &= (RC) \ln\left(\frac{-V_C}{V_S} + 1\right) \\ T &= -(RC) \ln\left(\frac{-V_C}{V_S} + 1\right) \end{aligned}$$

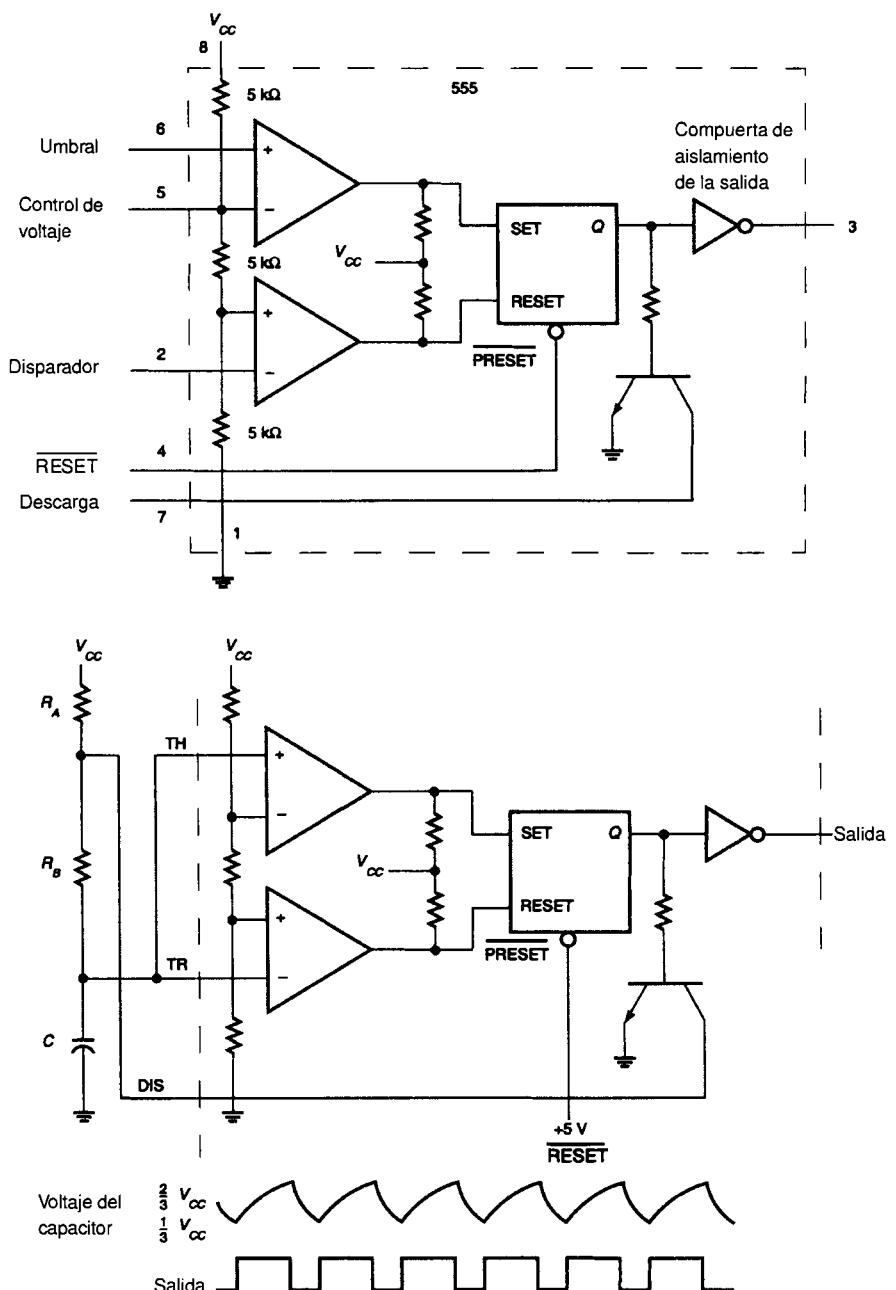


FIGURA 11-8 Temporizador 555 configurado como reloj

430 Disparadores de Schmitt y relojes

El tiempo necesario para cambiar de $\frac{1}{3}V_s$ a $\frac{2}{3}V_s$ es igual a:

$$\begin{aligned} T &= \left[-(RC) \ln\left(\frac{-2/3V_s}{V_s} + 1\right) \right] - \left[-(RC) \ln\left(\frac{-1/3V_s}{V_s} + 1\right) \right] \\ T &= -RC \left[\ln\left(-\frac{2}{3} + 1\right) - \ln\left(-\frac{1}{3} + 1\right) \right] \\ T &= -RC \left[\ln\left(\frac{1}{3}\right) - \ln\left(\frac{2}{3}\right) \right] \\ T &= -RC \left[-1.10 - (-0.41) \right] \\ T &= 0.69(RC) \end{aligned}$$

Ahora se tiene una ecuación que proporciona el tiempo que toma cargar y descargar el capacitor en el tercio medio del voltaje de alimentación como una función de la constante de tiempo RC .

Un ciclo está formado por un tiempo de carga y otro de descarga. La constante de tiempo RC para la carga es $C(R_B + R_A)$ debido a que el capacitor se carga a través de R_A y R_B ; pero la constante de tiempo RC para la descarga es CR_B debido a que el capacitor se descarga sólo a través de R_B . Por consiguiente, el tiempo de carga será mayor que el de descarga dada la diferencia en las constantes de tiempo RC . Con este conocimiento a la mano, puede obtenerse una fórmula para la duración total de un ciclo de reloj.

$$T_c = 0.69(R_B + R_A)C$$

y

$$T_{dc} = 0.69CR_B$$

donde T_c = tiempo para cargar el tercio medio de V_{cc}

T_{dc} = tiempo para descargar el tercio medio de V_{cc}

Por tanto, el tiempo de un ciclo (P) es

$$\begin{aligned} P &= T_c + T_{dc} \\ P &= 0.69(R_B + R_A)C + 0.69CR_B \\ P &= 0.69CR_B + 0.69CR_A + 0.69CR_B \\ P &= 0.69C(R_B + R_A + R_B) \\ P &= 0.69C(2R_B + R_A) \end{aligned}$$

La frecuencia del reloj es igual al recíproco del periodo P .

$$F = \frac{1}{P}$$

En consecuencia:

$$F = \frac{1}{0.69C(2R_B + R_A)}$$

$$F = \frac{1.44}{C(2R_B + R_A)}$$

La expresión anterior es la fórmula para la frecuencia del reloj de la figura 11-8 construido con el temporizador 555.

El 555 producirá una salida con una frecuencia muy estable desde períodos muy grandes hasta alrededor de 0.5 MHz. El circuito funciona con voltajes de alimentación de entre 5 V y 18 V, y consume entre 3 mA y 10 mA de corriente cuando no hay carga alguna conectada a él. Una buena característica del 555 es su capacidad en corriente, ya que el dispositivo puede consumir o proporcionar hasta 200 mA, lo que significa que puede excitar cargas muy grandes.

Ejemplo: ¿Cuál debe ser el valor del resistor para construir un oscilador con un 555 utilizando el circuito de la figura 11-8? La frecuencia deseada es de 1 kHz y el capacitor es de 0.1 uF. El resistor A es igual al resistor B.

Solución:

Despeje R de la fórmula de la frecuencia.

$$F = \frac{1.44}{C(2R + R)}$$

$$F = \frac{1.44}{C(3R)}$$

$$3R = \frac{1.44}{C F}$$

$$R = \frac{1.44}{3 C F}$$

$$R = \frac{1.44}{(3)(0.1 \times 10^{-6})(1 \times 10^3)}$$

$$R = 4.8 \text{ k ohms}$$

Ejemplo: Utilice un temporizador 555 para producir un retraso de activación de cinco segundos. Use la salida del 555 para energizar un relevador.

Solución:

Emplee el circuito de la figura 11-8 pero desconecte la terminal *DIS* del circuito de temporización *RC*. Esto impedirá que el 555 oscile. Cuando se quita la energía eléctrica, el capacitor se descarga a través de la resistencia del resistor en el circuito de temporización *RC*. Al aplicar energía eléctrica, el capacitor comienza a cargarse, pero el relevador no será energizado debido a que la salida del 555 tiene el nivel ALTO. Cuando el voltaje en el capacitor alcanza $2/3$ del voltaje de alimentación, la salida va al nivel BAJO, energizando el relevador. Este es un circuito común empleado para retardar el arranque de motores grandes hasta que el sistema de potencia entre completamente en operación.

Para calcular el valor del capacitor se escoge un valor para la resistencia en el circuito *RC*, tal como 100 k ohms, y luego se calcula el valor del capacitor para el tiempo deseado.

$$T = -(RC) \ln\left[\frac{-V_C}{V_S} + 1\right]$$

$$T = -(RC) \ln\left[\frac{2/3 V_S}{V_S} + 1\right]$$

$$T = 1.1(RC)$$

$$C = \frac{T}{1.1R}$$

$$C = \frac{5}{1.1 \times 100 \text{ k ohms}}$$

$$C = 46 \mu F$$

11.5 OSCILADORES DE CRISTAL



Cuando se necesitan relojes muy estables y precisos, entonces se emplea un cristal de cuarzo para generar la frecuencia. La figura 11-9 muestra un oscilador de cristal construido con una compuerta NOR CMOS 4001. Este circuito funciona bien hasta los límites impuestos por los retrasos de pro-

pagación de la compuerta NOR CMOS. La frecuencia de oscilación está determinada por la frecuencia con la que vibra el cristal de cuarzo.

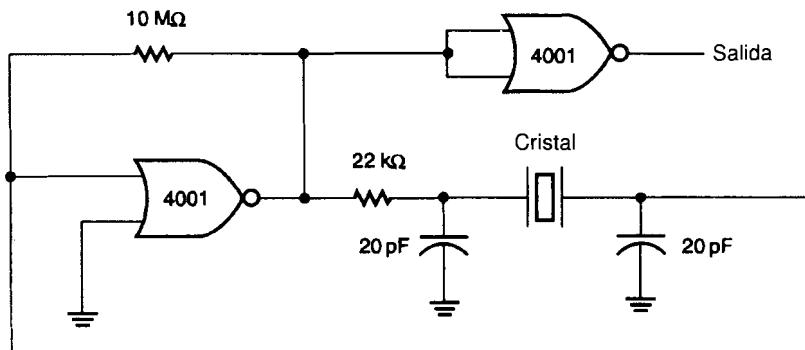


FIGURA 11-9 Oscilador CMOS de cristal.

Si se coloca un resistor de $10 \text{ M}\Omega$ entre la salida y la entrada de la compuerta NOR, la entrada queda polarizada con un voltaje igual a $\frac{1}{2} V_{DD}$. Esto hace básicamente que la compuerta se convierta en un amplificador de alta ganancia. Si se coloca un cristal y una red PI de capacitores entre la salida y la entrada, entonces puede hacerse que el amplificador oscile a la frecuencia del cristal. La compuerta de aislamiento se emplea para evitar que el circuito que se conecta al reloj afecte la operación del mismo.

En la actualidad el oscilador de cristal que más se utiliza en la mayoría de los circuitos digitales es un circuito híbrido que viene en un encapsulado de metal. Dentro del encapsulado se encuentra toda la circuitería necesaria para producir la frecuencia deseada así como una compuerta de aislamiento capaz de consumir o proporcionar entre 20 y 30 mA de corriente. Este tipo de osciladores se utiliza en las microcomputadoras y muchos otros dispositivos controlados por computadora.

AUTODEVALUACIÓN PARA LA SECCIÓN 11.5

1. Si R_A y R_B son de $1 \text{ k}\Omega$, ¿cuál será el valor del capacitor necesario para producir una frecuencia de 1500 Hz en el circuito de reloj construido con el 555 de la figura 11-8?
2. ¿Cuál será el umbral superior del temporizador 555 si se coloca un resistor de $5 \text{ k}\Omega$ entre la terminal de control de voltaje y V_{CC} ?

RESUMEN

- Un disparador de Schmitt tiene histéresis, lo cual lo hace útil en la limpieza de entradas digitales de baja calidad y produce ondas cuadradas nítidas a partir de formas de onda que aumentan con lentitud, tales como el voltaje a través de un capacitor a medida que éste se carga.

La histéresis también hace que el disparador de Schmitt sea un buen elemento para emplearlo en la construcción de un oscilador de relajación sencillo. La impedancia de entrada del disparador de Schmitt TTL estándar puede ser un problema en el diseño de un reloj u oscilador sencillo. El disparador de Schmitt CMOS tiene una impedancia de entrada muy alta que elimina este problema. El problema con el disparador de Schmitt CMOS es la baja capacidad de corriente de salida y la velocidad límite de un dispositivo CMOS.

- El temporizador 555 es un circuito muy versátil. Puede emplearse para producir relojes que van desde períodos muy rápidos a muy largos.

La salida puede consumir o proporcionar hasta 200 mA, lo que hace que el dispositivo sea capaz de excitar un relevador pequeño o una lámpara si fuera necesario. La frecuencia de la salida del 555 puede calcularse con exactitud y es muy estable. Este CI tiene muchos usos, además de la construcción de osciladores.

- Los osciladores de cristal son el tipo de reloj más común empleado en dispositivos digitales.

La estabilidad y exactitud del cristal de cuarzo es muy buena y con él se obtienen relojes extremadamente estables. En la actualidad, la mayoría de las computadoras así como otros dispositivos digitales utilizan un módulo de cristal que contiene al cristal y todas las partes necesarias para construir internamente el oscilador. Estos módulos usualmente pueden manejar hasta 20 mA o más de corriente y están disponibles en una amplia variedad de frecuencias.

PREGUNTAS Y PROBLEMAS

1. En el manual de especificaciones encuentre los umbrales superior e inferior de un 74C14 cuando V_{DD} es 10 V. [1]

2. Encuentre la frecuencia de operación del temporizador 555 cuando éste se alambre como se muestra en la figura 11-8. Utilice los siguientes valores para los componentes. [4]

	R_B	R_A	C
a)	1 kΩ	1 kΩ	0.01 μF
b)	3 kΩ	1 kΩ	0.1 μF
c)	1 kΩ	5 kΩ	10 μF

3. Dibuje las formas de onda del circuito de la figura 11-10. [1]

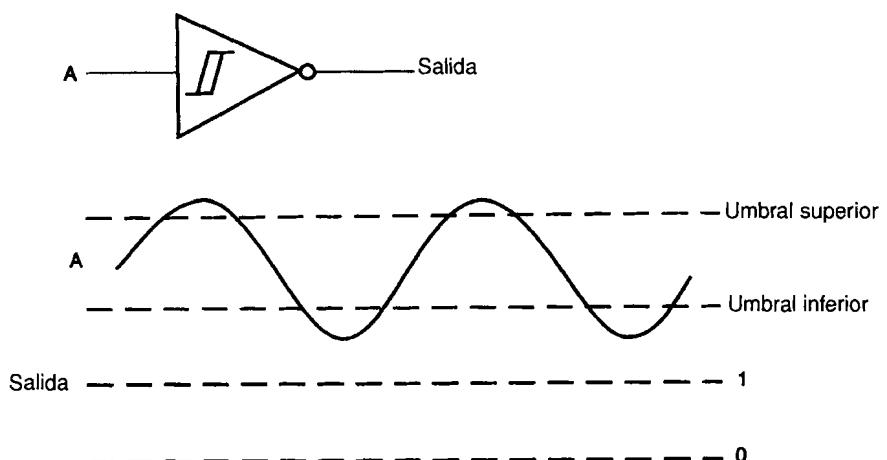


FIGURA 11-10

4. ¿Cuánto tiempo necesitará el capacitor de la figura 11-11 para cargarse hasta $1/4V_s$, $1/2V_s$ y $3/4V_s$ a partir del momento en que el interruptor se cierra? El voltaje inicial a través del capacitor es cero. [4]

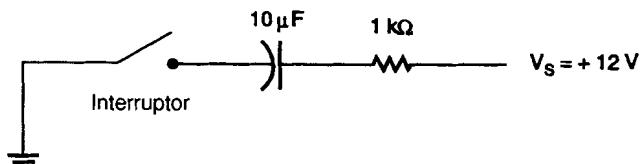


FIGURA 11-11

5. Al usar el método con el que se dedujo la fórmula para la frecuencia del reloj con el temporizador 555, deduzca la fórmula para el reloj CMOS Schmitt de la figura 11-12. Recuerde que la entrada CMOS tiene una impedancia muy grande. [3, 4]

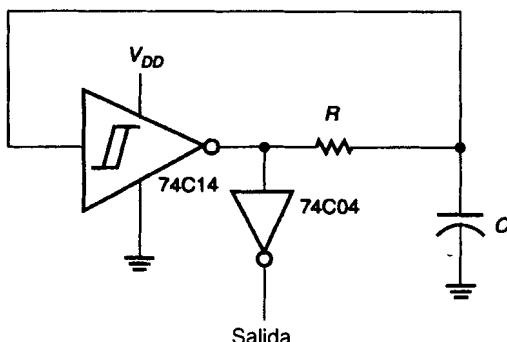


FIGURA 11-12

6. Dibuje el diagrama lógico de un reloj con disparador de Schmitt, similar al mostrado en la figura 11-4, que oscile a una frecuencia de 5 kHz. Haga uso de un CI 7414 e indique los números de terminales y los valores de los componentes. [3, 4]
7. ¿Por qué el tiempo de descarga del capacitor de la figura 11-4 es mayor que el tiempo de carga? [3]
8. ¿Cuál es el valor de la salida de un comparador de voltaje LM339 si la entrada positiva es mayor que el voltaje de la entrada negativa? [4]
9. Dibuje el diagrama lógico de un reloj que produzca una onda cuadrada TTL de 2 kHz con un ciclo de trabajo del 50 %. Utilice un temporizador 555 y un CI 7476 e indique los números de terminales. [4]
10. Dibuje las formas de onda del reloj del problema 9. Muestre el voltaje en el capacitor del temporizador 555, la salida del 555 y la salida del flip-flop JK. [4]
11. Deduzca la fórmula para la frecuencia del reloj con temporizador 555 de la figura 11-8 si se coloca un resistor de $5\text{ k}\Omega$ entre la terminal de control de voltaje y tierra. [4]
12. Repita el problema anterior pero coloque ahora el resistor entre la terminal de control de voltaje y V_{cc} . [4]
13. Dibuje el diagrama lógico de un circuito disparador de Schmitt empleado para obtener a partir de una onda senoidal de ca de 5 V pico-pico una onda cuadrada de cd de 10 V de ALTO a BAJO. Utilice un 7414 y un 7407. [2]

14. Dibuje las formas de onda del circuito del problema 13. [2]
15. Deduzca la fórmula para la frecuencia del reloj de la figura 11-4 si se emplea un CI 74C14 y V_{DD} es 5 V. [3]
16. ¿Cuál será el umbral inferior de un temporizador 555 con un resistor de 10 k Ω conectado entre la terminal de control de voltaje y tierra? [4]
17. ¿Por qué el resistor del reloj con disparador de Schmitt TTL no debe ser mayor que 1 k Ω ? [1, 2, 3]
18. ¿Cuál es el periodo de un reloj de 1500 Hz? [3, 4]
19. ¿Cuáles son los voltajes aproximados de umbral inferior y superior para un disparador de Schmitt 7414? [1, 2]
20. Dibuje el símbolo de un disparador de Schmitt. [1]

Práctica 11

Disparadores de Schmitt y relojes

OBJETIVOS

Al término de esta práctica, el lector deberá ser capaz de:

- explicar el funcionamiento de un disparador de Schmitt y medir los umbrales inferior y superior.
- explicar el funcionamiento de un oscilador construido con un disparador de Schmitt inversor.
- explicar el funcionamiento de un temporizador 555 empleado como oscilador.

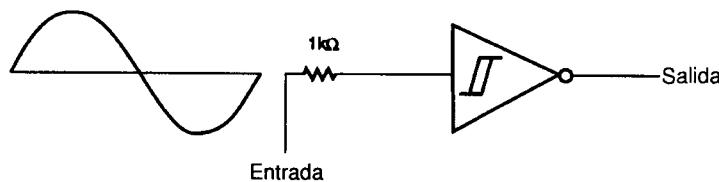
COMPONENTES NECESARIOS

- 1 CI disparador de Schmitt inversor 7414 séxtuple
- 2 resistores de $1 \text{ k}\Omega$, $\frac{1}{4} \Omega$
- 2 capacitores (valor a ser calculado)
- 1 CI temporizador 555
- 1 capacitor de $0.01 \mu\text{F}$
- 2 capacitores de 20 pF
- 2 cristales de frecuencias diferentes menores que 1 MHz
- 1 resistor de $10 \text{ M}\Omega$, $\frac{1}{4} \Omega$
- 1 resistor de $22 \text{ k}\Omega$, $\frac{1}{4} \Omega$
- 1 CI compuerta NOR cuádruple CMOS 4001

PREPARACIÓN

Primera parte

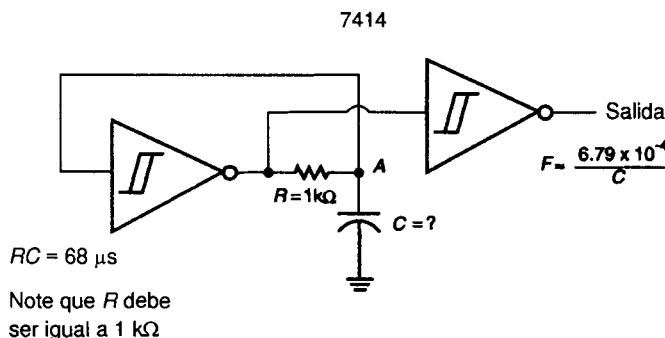
- a) Construya el circuito de la figura y aplique a su entrada una onda de ca con una amplitud pico entre 4 V y 5 V, con una frecuencia aproximada de 1 kHz.



- b) Utilice el osciloscopio para medir los umbrales inferior y superior. Dibuje las formas de onda de la entrada y la salida en papel cuadriculado.

Segunda parte

- a) Construya el oscilador mostrado en la siguiente figura.

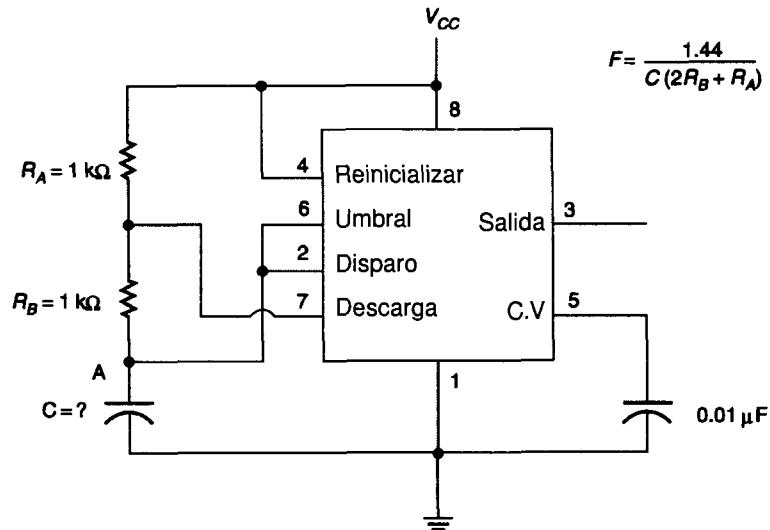


- b) Calcule la frecuencia esperada del oscilador.
- c) Visualice en el osciloscopio la forma de onda de la salida y mida la frecuencia.
- d) Visualice en el osciloscopio la forma de onda en el punto A. Dibuje las dos formas de onda en papel cuadriculado.

440 Disparadores de Schmitt y relojes

Tercera parte

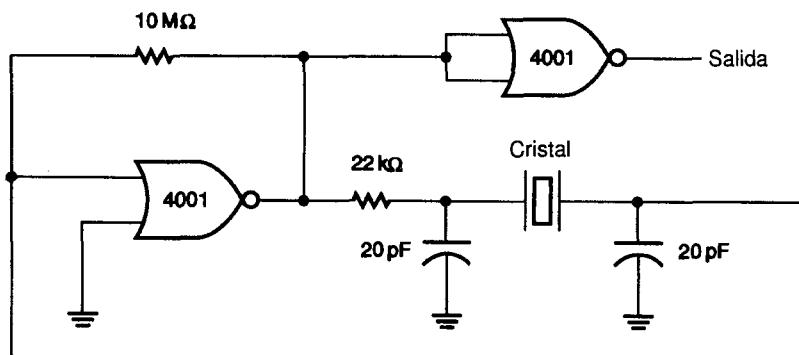
- a) Construya el multivibrador astable mostrado en la siguiente figura.



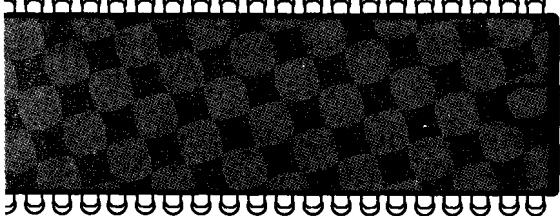
- b) Calcule el valor de C necesario para producir una frecuencia de 9.6 kHz.
c) Visualice en el osciloscopio la salida y el punto A y mida la frecuencia.
Dibuje las formas de onda en papel cuadriculado.

Cuarta parte

- a) Construya el oscilador de cristal de la figura utilizando para ello el cristal que le proporcionen.



- b) Mida en el osciloscopio la frecuencia de la salida del oscilador. ¿Concuerda ésta con la frecuencia del cristal?
- c) Cambie el cristal por otro con una frecuencia diferente y mida de nuevo la frecuencia de la salida. ¿La frecuencia de la salida concuerda con la del cristal?



CONTENIDO

- 12.1** INTERRUPTOR MONOESTABLE SIN OSCILACIONES
- 12.2** ALARGADOR DE PULSOS
- 12.3** MONOESTABLE REDISPARABLE
- 12.4** MONOESTABLE NO REDISPARABLE
- 12.5** EL 555 COMO MONOESTABLE
- 12.6** EL 74121 Y EL 74LS122
- 12.7** SEPARADOR DE DATOS

Monoestables

Capítulo 12

LISTA DE TÉRMINOS

monoestable redisparable
alargador de pulsos

monoestable noredisparable
separador de datos

OBJETIVOS



Al término de este capítulo el lector debe ser capaz de:

1. Describir cómo hacer uso de una red RC para evitar las oscilaciones en un interruptor.
2. Describir cómo construir un alargador de pulsos.
3. Describir cómo acondicionar la entrada del alargador de pulsos para construir un monoestable noredisparable.
4. Utilizar el temporizador 555 como un monoestable.
5. Hacer uso de los monoestables 74121 y 74122.
6. Construir un separador de datos a partir de monoestables.

12.1 INTERRUPTOR MONOESTABLE SIN OSCILACIONES

1

El circuito de la figura 12-1 utiliza una constante de tiempo RC y un disparador de Schmitt para evitar las oscilaciones en un interruptor momentáneo o botón. Cuando se oprime el botón, el capacitor se descarga con gran rapidez. Cuando se suelta el botón, la oscilación de los contactos metálicos abre y cierra el circuito de una manera aleatoria. El interruptor abierto permite que el capacitor comience a cargarse a través del resistor conectado a V_{CC} . El tiempo necesario para que el voltaje alcance el umbral superior del disparador de Schmitt depende de la constante de tiempo RC . Por tanto, el interruptor debe permanecer abierto durante cierto tiempo antes de que la salida cambie de estado.

El circuito anterior es un **monoestable redispersable**, ya que cada vez que el interruptor se cierra, el capacitor se descarga y el ciclo de activación comienza otra vez. La entrada puede oscilar, pero la salida no cambiará hasta que el interruptor haya permanecido abierto un periodo de tiempo determinado por la constante de tiempo RC .

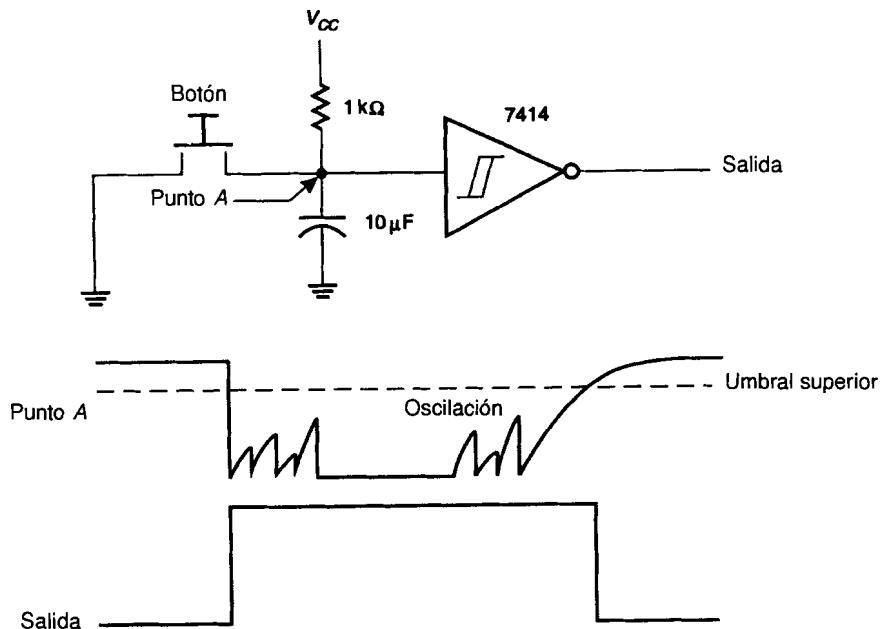


FIGURA 12-1 Interruptor sin oscilación

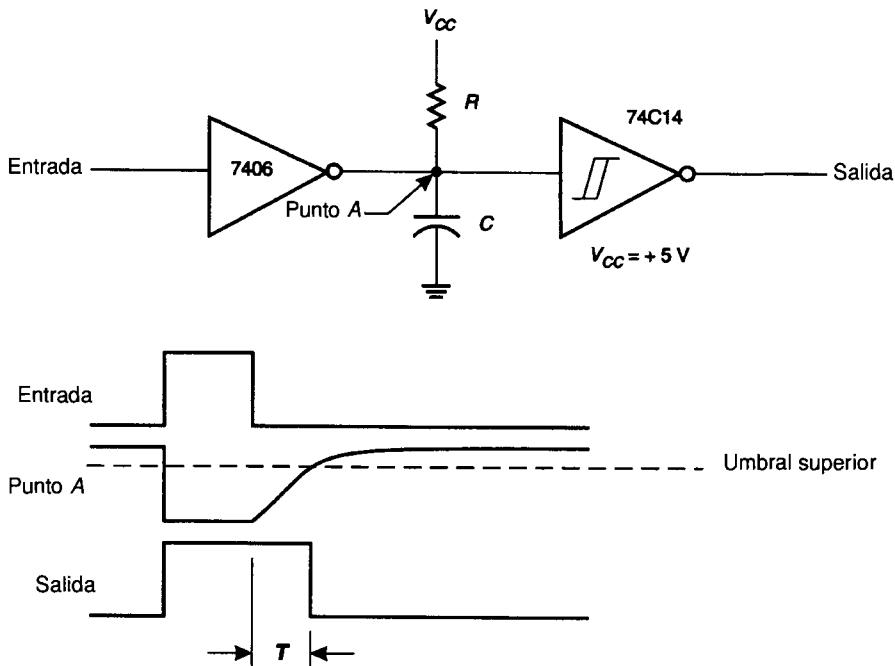


FIGURA 12-2 Alargador de pulsos

12.2 ALARGADOR DE PULSOS



Si se añade una compuerta de colector abierto, tal como un 7406, a la entrada del interruptor sin oscilaciones de la figura 12-1 y se cambia el 7414 por un 74C14, entonces lo que se obtiene es un **alargador de pulsos**, como se muestra en la figura 12-2. La salida del 7406 mantiene la entrada del 74C14 en el nivel BAJO siempre y cuando la entrada al 7406 tenga un nivel ALTO. Cuando la entrada regresa al nivel BAJO, el capacitor comienza a cargarse a través del resistor. Cuando el voltaje del capacitor alcanza el umbral superior del disparador de Schmitt 74C14, la salida cambia a BAJO. Lo anterior alarga el pulso positivo por la cantidad de tiempo que requiere el capacitor para cargarse hasta el umbral superior del disparador de Schmitt 74C14.

Si se emplea un disparador de Schmitt CMOS entonces puede ignorarse la impedancia de entrada debido a que la entrada de un CMOS tiene una impedancia muy grande; en consecuencia, lo único que puede afectar el tiempo de carga es el resistor y el capacitor empleados. Con un poco de

álgebra, puede obtenerse una fórmula para el tiempo que este circuito alargará el pulso de entrada.

$$T = -(RC) \ln\left(\frac{-V_C}{V_S} + 1\right)$$

donde V_C = voltaje del capacitor

V_S = voltaje de alimentación

T = tiempo de carga

RC = resistencia \times capacitancia, esto es, constante de tiempo RC

Si se hace uso de los datos especificados para el CMOS 74C14, se tiene que el voltaje de umbral superior es 3.6 V para un V_{DD} de 5 V. Si se sustituye este valor en la ecuación, entonces puede obtenerse una fórmula simplificada para el tiempo de alargamiento del circuito de la figura 12-2.

$$T = -(RC) \ln\left(\frac{-3.6 \text{ V}}{5 \text{ V}} + 1\right)$$

$$T = 1.27(RC)$$

Esta fórmula no toma en cuenta los retrasos de propagación de las dos compuertas utilizadas; sin embargo, esto no es importante a menos que el tiempo total de duración de los pulsos sea muy pequeño.

Ejemplo: ¿Cuáles deben ser los valores del resistor y del capacitor necesarios para alargar un pulso 1.5 ms en el circuito de la figura 12-2?

Solución:

$$T = 1.27(RC)$$

Para ello se elige un capacitor de valor razonable, como por ejemplo: .1 uF, y luego se despeja R .

$$1.5 \text{ msec} = 1.27(R).1 \text{ uF}$$

$$\frac{1.5 \text{ msec}}{1.27 \times .1 \text{ uF}} = R$$

$$R = 11.8 \text{ k ohms}$$

12.3 MONOESTABLE REDISPONDE

3

En el circuito anteriormente descrito, no es posible desactivar la salida temporalmente o cambiarla de estado hasta que la entrada regrese al nivel BAJO. Lo anterior puede modificarse acondicionando la entrada del 7406 con un circuito disparado por flanco formado por un capacitor, un resistor y un diodo, tal como se muestra en la figura 12-3.

Cuando la entrada va al nivel ALTO, no hay caída de voltaje en el capacitor C_1 , y todo el voltaje aparece a través del resistor R_A . Esto hace que la salida del 7406 vaya al nivel BAJO. Una vez que el capacitor se haya cargado a un voltaje suficientemente grande, la entrada del 7406 pasará al nivel BAJO, lo que hará que la salida del 7406 vaya al estado de alta impedancia.

Lo anterior significa que en el flanco positivo de la entrada, la salida del 7406 generará un pulso negativo de muy corta duración. Este pulso negativo descarga el capacitor C_2 e inicia el ciclo de activación del disparador de Schmitt 74C14.

La constante de tiempo RC para la entrada acondicionada del 7406 debe ser muy pequeña, de modo que la salida del 7406 sea un pulso negativo de muy corta duración. Si la duración de este pulso es muy pequeña comparada con el tiempo del 74C14, entonces puede ignorarse en los cálculos del periodo activo para todo el circuito. Por consiguiente, la fórmula para el periodo activo del monoestable es la misma que la del alargador de pulsos.

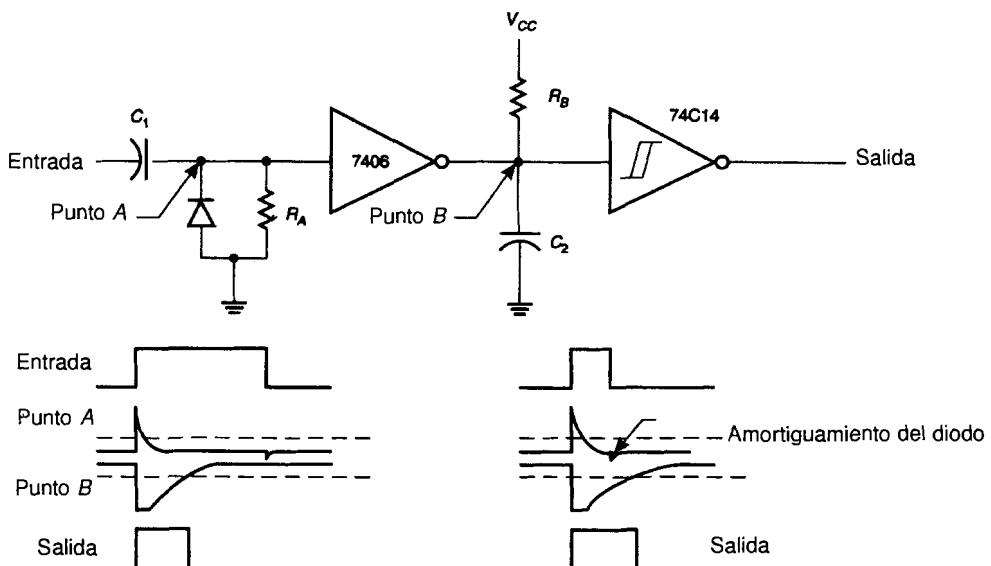
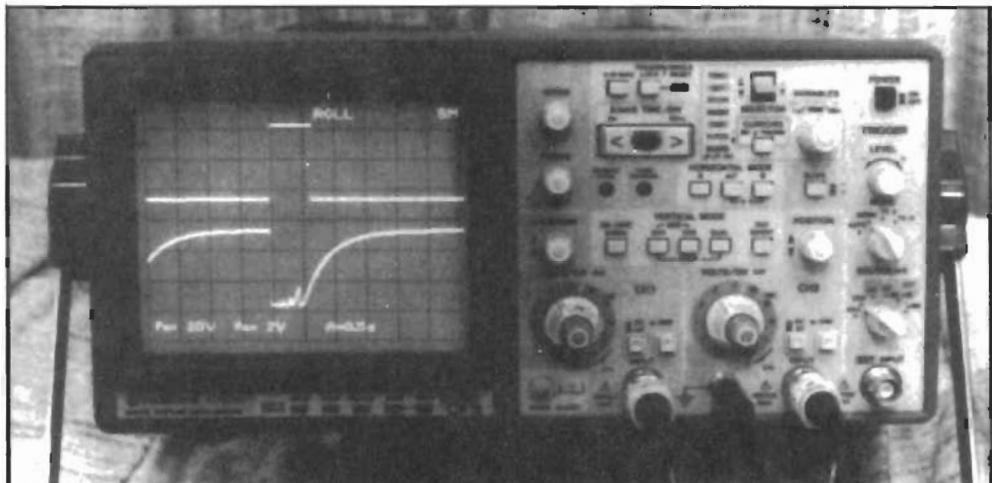


FIGURA 12-3 Monoestable disparado por flanco

Eliminación de la oscilación en un interruptor con un circuito de temporización RC



La oscilación en un interruptor aparece en la traza inferior de este osciloskopio de almacenamiento. La traza superior es la salida sin oscilación del

circuito de eliminación de oscilaciones formado por una constante de tiempo RC y un disparador de Schmitt.

La ventaja de este circuito es que el ancho del pulso de salida es independiente del ancho del pulso de entrada. Si la entrada vuelve a ser disparada por un flanco positivo antes que el 74C14 se desactive, el capacitor C_2 se descarga y el ciclo de temporización comienza otra vez. Lo anterior se muestra en la forma de onda de la figura 12-4.

Nótese que si el monoestable se vuelve a disparar con suficiente rapidez, el capacitor C_2 nunca alcanzará el voltaje de umbral superior del 74C14 y la salida permanecerá en el nivel ALTO. Esto es lo que se entiende cuando se dice que el monoestable es redispersable.

El diodo que está en paralelo con R_A impide que el capacitor que se descarga lleve el voltaje de entrada al 7406 a un valor menor que el voltaje de polarización en directo del diodo, el cual es de 0.7 V. La función de este diodo es la misma que la de los diodos de recorte que hay dentro del 7406. El diodo puede omitirse en aquellos casos donde el valor del capacitor y la corriente de descarga sean pequeños.

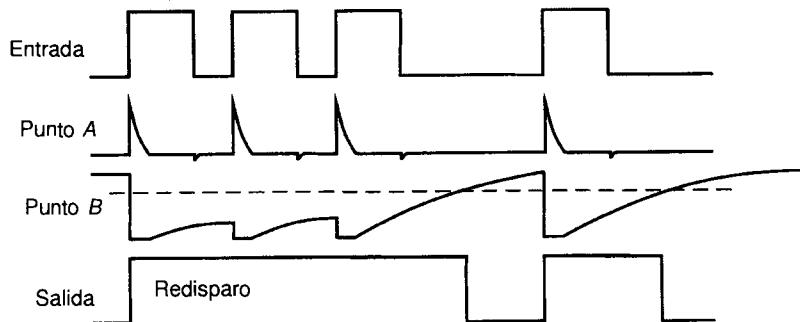


FIGURA 12-4 Disparo del monoestable de la figura 12-3

12.4 MONOESTABLE NO REDISPARABLE

Si no se desea que el monoestable sea redisparable, entonces puede emplearse una compuerta OR para inhabilitar la entrada durante el periodo de activación del monoestable. Esto se muestra en la figura 12-5.

Nótese que la compuerta OR es un circuito 74ALS32, ya que la salida del disparador de Schmitt inversor CMOS sólo puede proporcionar 0.36 mA. La entrada del 74ALS32 requiere 0.1 mA. Con esto no se impone una carga excesiva a la salida del disparador de Schmitt inversor y se deja suficiente capacidad de corriente para conectar la salida del monoestable a otra compuerta del circuito.

Este problema de interfaz puede eliminarse mediante el empleo de un CI TTL 7414 estándar, el cual tiene mayor capacidad de corriente de salida, pero en este caso es necesario tomar en cuenta la impedancia de su entrada en la fórmula del tiempo de activación RC utilizada en el cálculo del periodo activo del monoestable.

AUTOREVALUACIÓN PARA LAS SECCIONES 12.1, 12.2, 12.3 Y 12.4

1. ¿Cuál debe ser el valor del capacitor necesario para alargar un pulso un milisegundo en el circuito de la figura 12-2? El resistor es de $10\text{ k}\Omega$.
2. ¿Qué es un monoestable redisparable?

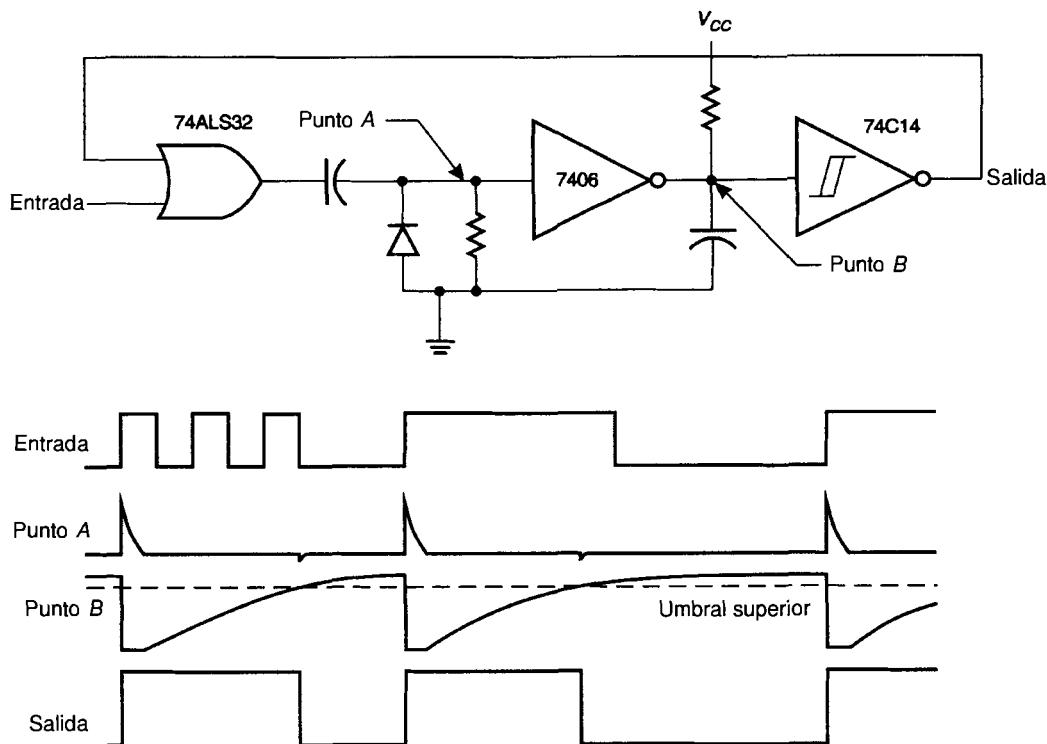


FIGURA 12-5 Monoestable no redispersable

12.5 EL 555 COMO MONOESTABLE



Si se emplean algunas de las técnicas estudiadas hasta el momento, el 555 puede convertirse en un monoestable estable. El periodo activo puede ser largo o corto. La figura 12-6 muestra un 555 configurado como monoestable. Nótese el acondicionamiento de la entrada realizado por RC y el diodo para producir un disparo por flanco. Este circuito es un monoestable no redispersable cuyo periodo activo depende de la constante de tiempo RC de R_A y C_A .

Cuando ocurre una transición de disparo hacia el nivel BAJO, el flip-flop es reinicializado y la terminal de descarga va al estado de alta impedancia, permitiendo que el capacitor C_A comience a cargarse. Cuando el voltaje a través de éste alcanza un valor igual a $2/3 V_{CC}$, el flip-flop será inicializado provocando con ello que el transistor de descarga se active descargando el

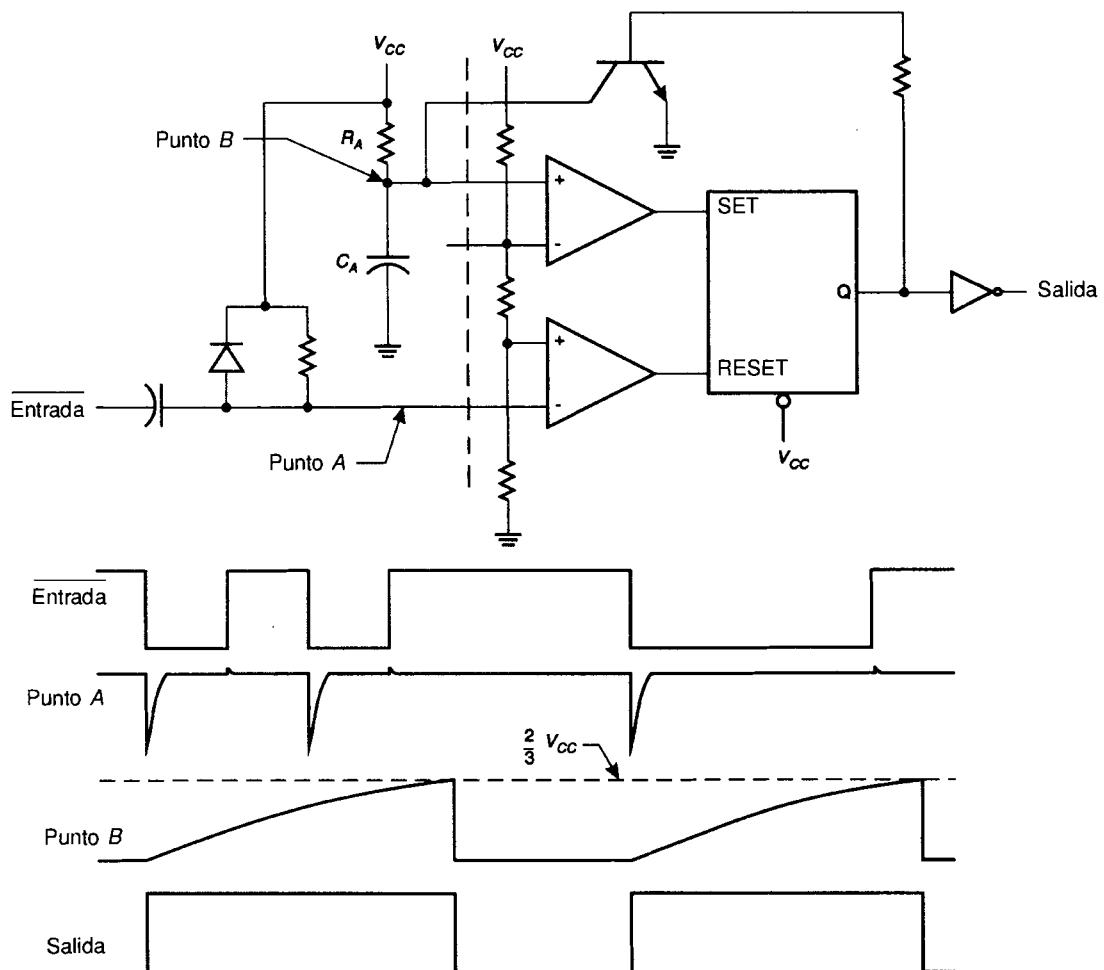


FIGURA 12-6 Temporizador 555 como monoestable

capacitor C_A , con lo que finaliza el ciclo de activación hasta que vuelve a aparecer en la entrada otro flanco negativo.

La duración del pulso es el tiempo necesario para que el voltaje a través de C_A cambie a $2/3 V_{CC}$. De los cálculos previos, se sabe la ecuación para el tiempo de carga de una red RC , y con un poco de álgebra puede obtenerse una expresión para el periodo activo del monoestable de la figura 12-6 construido con un 555.

$$T = -(RC) \ln\left(\frac{-V_C}{V_S} + 1\right)$$

$$T = -(RC) \ln\left(\frac{-2/3 V_C}{V_S} + 1\right)$$

$$T = -(RC) \ln\left(\frac{1}{3}\right)$$

$$T = 1.1(RC)$$

Ejemplo: Diseñe con un 555 un monoestable con un periodo activo de 5 s utilizando para ello el circuito de la figura 12-6.

Solución:

El primer paso es calcular el resistor y el capacitor de la sección RC de temporización del circuito.

$$T = 1.1(RC)$$

Se escoge un capacitor apropiado, por ejemplo, 10 μF .

$$5 \text{ seg} = 1.1(R) 10 \mu F$$

$$\frac{5 \text{ seg}}{1.1 \times 10 \mu F} = R$$

$$R = 455 \text{ k ohm}$$

Los valores del capacitor y del resistor de disparo por flanco no son críticos, siempre y cuando produzcan un pulso negativo para disparar el monoestable. Un capacitor de 0.1 μF y un resistor de 10 $k\Omega$ harán el trabajo.

12.6 EL 74121 Y EL 74LS122

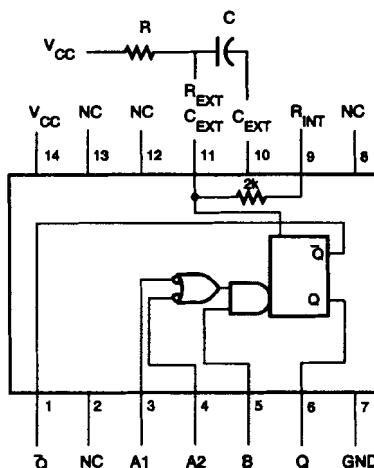


El 74121 es un monoestable noredisponible que tiene tres entradas para los circuitos de temporización. El 74LS122 es un monoestable redispersible con una entrada de borrado activa en el nivel BAJO. La figura 12-7 muestra las terminales de salida y las tablas de verdad de estos circuitos. El ancho del pulso puede controlarse mediante un resistor y capacitor externos, o por un capacitor externo y el resistor interno. Estos circuitos son muy útiles en muchas aplicaciones. El 74123 es un monoestable doble redispersible con entrada de borrado.

121 Monoestables

Tabla de verdad

Entradas			Salidas	
A1	A2	B	Q	\bar{Q}
L	X	H	L	H
X	L	H	L	H
X	X	L	L	H
H	H	X	L	H
H	X	H	↑	↑
↓	H	H	↑	↑
↓	↑	H	↑	↑
L	X	↑	↑	↑
X	L	↑	↑	↑

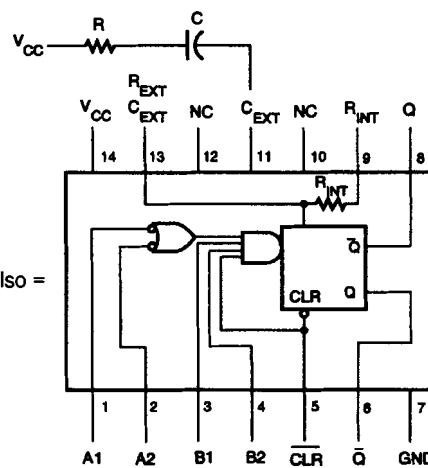
Ancho del pulso = $0.7(RC)$ 

54121 (J,W); 74121 (N)

122 Monoestables redispersables con borrado

Tabla de verdad

Entradas					Salidas	
Borrado	A1	A2	B1	B2	Q	\bar{Q}
L	X	X	X	X	L	H
X	H	H	X	X	L	H
X	X	X	L	X	L	H
X	X	X	X	L	L	H
X	L	X	H	H	L	H
H	L	X	H	H	↑	↑
H	L	X	↑	↑	↑	↑
H	X	L	H	H	L	H
H	X	L	↑	↑	↑	↑
H	H	Y	H	H	↑	↑
H	Y	Y	H	H	↑	↑
H	Y	H	H	H	↑	↑
↑	L	X	H	H	↑	↑
↑	X	L	H	H	↑	↑

Ancho del pulso = $0.45(RC)$ 

54LS122 (J,W); 74LS122 (N)

Notas: \sqcap = un pulso de nivel alto, \sqcup = un pulso de nivel bajoPara utilizar el resistor de temporización interno del 54121/74121, conecte R_{INT} a V_{CC} Puede conectarse un capacitor de temporización externo entre C_{EXT} y R_{EXT}/C_{EXT} (positivo)Para anchos de pulso repetibles exactos, conecte un resistor externo entre R_{EXT}/C_{EXT} y V_{CC} con R_{INT} a circuito abiertoPara obtener anchos de pulso variables, conecte una resistencia externa variable entre R_{INT} o R_{EXT}/C_{EXT} y V_{CC} .**FIGURA 12-7** Tablas de verdad de monoestables

AUTOEVALUACIÓN PARA LAS SECCIONES 12.5 Y 12.6

1. Utilice un temporizador 555 para diseñar un monoestable similar al de la figura 12-6, con un periodo activo igual a un segundo.
2. Utilice un monoestable 74122 para diseñar un monoestable redispersable que se dispare con el flanco ascendente de la entrada y que tenga un periodo activo de 10 ms.

12.7 SEPARADOR DE DATOS

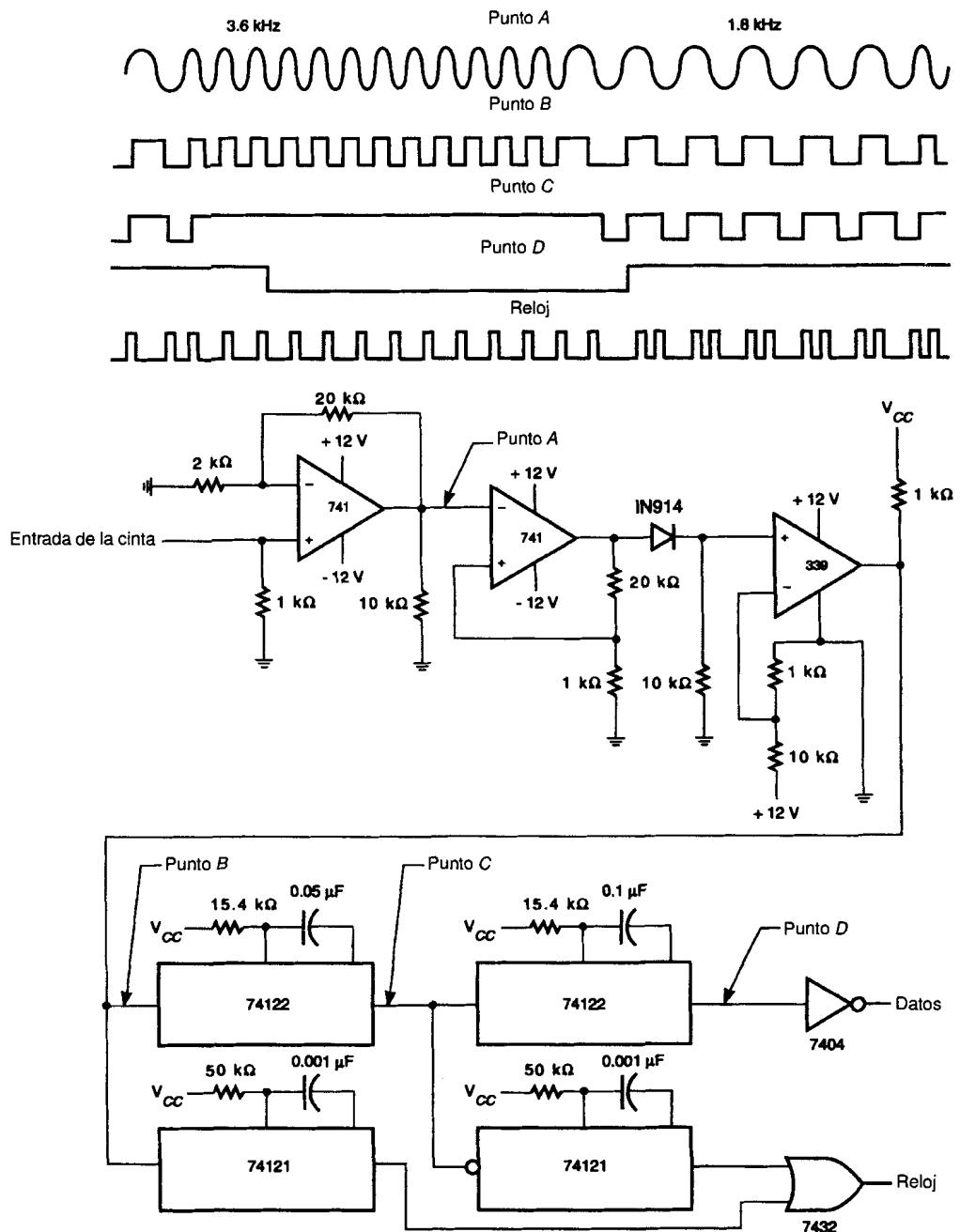


Un **separador de datos** es un circuito digital que separa los datos del reloj del sistema en datos almacenados en serie. Estos datos pueden estar almacenados con varios métodos diferentes en cinta magnética o en un disco magnético.

El separador de datos de la figura 12-8 está diseñado para separar el reloj de los datos para la entrada de una UART. Este tipo de transmisión de datos en serie fue estudiado en el capítulo sobre registros de corrimiento. El separador de datos de la figura 12-8 está diseñado para trabajar con el receptor asíncrono que aparece en el capítulo sobre registros de corrimiento. El separador de datos produce un reloj con una frecuencia 12 veces mayor que la velocidad en baudios de los datos. Esta es la frecuencia de reloj que necesita el receptor para introducir los datos en serie y transferirlos al registro paralelo.

Para comprender el funcionamiento de este separador de datos, primero es necesario examinar los datos que provienen de la cinta. En ésta los datos se guardan utilizando dos frecuencias distintas de onda senoidal. Un 1 lógico está indicado por una frecuencia de 3.6 kHz, mientras que un 0 lógico lo está por una frecuencia de 1.8 kHz, la mitad de la que corresponde a un 1 lógico. La velocidad en baudios o número de bits por unidad de tiempo, es igual a un doceavo de la frecuencia que corresponde al 1, esto es, 3.6 kHz dividido entre 12, lo que es igual a 300 bits por segundo, la cual es una velocidad en baudios de uso común para datos en serie guardados en unidades de cinta.

El primer amplificador operacional 741 se emplea para amplificar la señal de entrada que proviene de la salida de la unidad de cinta. El segundo 741 es un detector de cruce por cero que genera una onda cuadrada que cambia de estado cuando la onda senoidal pasa por cero. Este detector tiene una histéresis un poco mayor que 1 V para eliminar cualquier problema de ruido en el punto de transición. El diodo se utiliza para evitar que la señal de entrada al amplificador operacional 339 llegue a tener un voltaje menor que el de tierra. El amplificador operacional 339 convierte la onda

**FIGURA 12-8** Separador de datos

cuadrada de +12 V en una onda cuadrada TTL estándar de 0 V a +5 V como se muestra en el punto *B* de la figura 12-8.

Después de recuperar la señal y convertirla en una entrada con niveles TTL, ésta se envía a un monoestable redispersable 74122, con ancho de pulso igual a 1.25 veces el periodo de la frecuencia que corresponde al 1. Esto significa que el monoestable 74122 será redispersado cuando las frecuencias sean de 3.6 kHz, lo que corresponde a un 1, con lo que la salida no se desactivará y regresará al nivel 0. Cuando la frecuencia de entrada al monoestable 74122 sea de 1.8 kHz, lo que representa un 0, la salida se desactivará, produciendo una onda cuadrada cuya frecuencia es la del 0 o 1.8 kHz. Esto se muestra en el punto *C* del diagrama de tiempos de la figura 12-8.

La salida del primer 74122 se envía a la entrada del segundo 74122. El ancho del pulso de este monoestable es 1.25 veces un ciclo de la frecuencia que corresponde al 0, o 1.8 kHz. Cuando el primer monoestable se encuentra en el nivel ALTO debido a que está siendo redispersado, el segundo monoestable se desactivará e irá al nivel BAJO por el lapso en que haya un 1 en la señal de entrada del primer monoestable. Cuando la frecuencia de la señal que llega cambia a 1.8 kHz, el primer monoestable la pasa al segundo. Esto hace que el segundo monoestable sea redispersado y que la salida vaya al nivel ALTO durante el tiempo en que el primer monoestable recibe un 0. Esto se muestra en el punto *D* de la figura 12-8. Nótese que el segundo monoestable produce un 0 cuando la entrada al primer monoestable es la frecuencia que representa un 1, y 1 cuando la frecuencia de entrada al primer monoestable es la que representa un 0. La situación anterior se corrige colocando un inversor en la salida del segundo monoestable.

La señal de reloj se recupera con dos monoestables 74121 no redispersables que tienen un ancho de pulso pequeño. Para producir la señal de reloj, que tiene una frecuencia 12 veces mayor que la velocidad en baudios, se hace el OR de las salidas de estos monoestables. Uno de los monoestables 74121 utiliza el flanco positivo de la señal TTL entrante, y produce el reloj apropiado cuando la frecuencia entrante es de 3.6 kHz, que es la frecuencia que representa un 1; pero sólo producirá la mitad de esta frecuencia cuando la de la señal que llega sea la que representa un 0. En este momento, el segundo 74121 proporciona el pulso de reloj faltante debido a que utiliza el flanco negativo de la salida del primer monoestable, el cual sólo ocurre cuando la frecuencia que corresponde a un 0 está presente. Lo anterior se muestra en la figura 12-8. Nótese que el ciclo de trabajo de la onda del reloj no es par, pero a pesar de lo anterior, controlará muy bien al receptor asíncrono.

Este método para grabar los datos recibidos y el reloj en una cinta al mismo tiempo elimina el problema de variaciones en las velocidades en baudios debidas a cambios en la velocidad mecánica de la unidad de cinta. También permite hacer uso de un dispositivo que originalmente fue diseña-

do para guardar señales analógicas de voz para almacenar en él datos digitales.

RESUMEN

- El alargador de pulsos es un circuito que prolonga un pulso.

Un buen método para alargar pulsos es combinar el disparador de Schmitt con un circuito temporizador *RC*. Si se emplea un disparador de Schmitt CMOS, los cálculos de tiempo son bastante simples y exactos. Este alargador de pulsos se emplea a menudo para controlar las direcciones multiplexadas de una RAM dinámica y para prolongar pulsos para dispositivos que requieren pulsos de mayor duración.

- Un monoestable es un dispositivo que cuando es disparado produce un pulso con una duración predeterminada.

La duración del pulso puede establecerse con exactitud. Un monoestable redispersable reiniciará el periodo activo cada vez que sea disparado. Un monoestable no redispersable se desactivará después del disparo y no reiniciará el periodo activo durante el tiempo que dure el pulso de salida si vuelve a ser disparado en este lapso.

- El temporizador 555 puede configurarse para construir con él un monoestable exacto que puede tener períodos activos muy grandes.

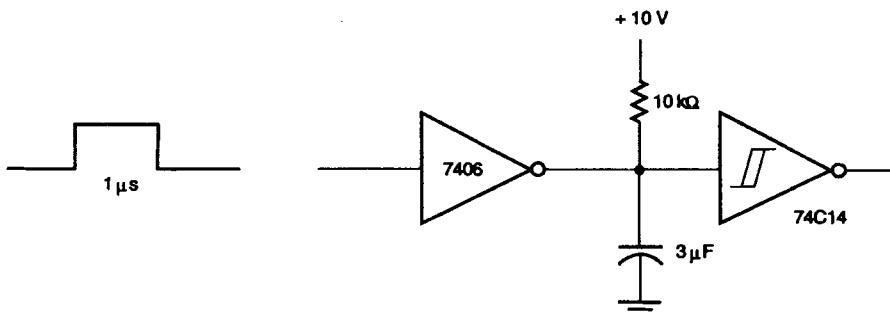
Este CI a menudo se emplea como monoestable debido a las características que tiene en cuanto a la capacidad de corriente en su salida. El 555 puede utilizarse para excitar la fuente luminosa del visualizador de un radio cuando éste se enciende o sintoniza, para apagarlo después de cierto tiempo. El 555 puede proporcionar suficiente corriente para excitar la lámpara pequeña para esta aplicación.

- En la mayoría de las aplicaciones digitales de los monoestables, se hace uso de versiones en CI.

Se emplean CI tales como el 74LS121, el 74LS122 y el 74LS123 en lugar de construir un monostable con varios CI.

PREGUNTAS Y PROBLEMAS

1. ¿Cuál es el ancho total del pulso del circuito de la siguiente figura? [2]



2. ¿Cuál es el valor del capacitor necesario para producir un pulso de $1 \mu\text{s}$ utilizando un 74121 si el resistor empleado es de $10 \text{ k}\Omega$? [5]
3. ¿A qué frecuencia el circuito de la figura 12-3 dejará de desactivarse y tendrá un 1 constante en su salida? ($R = 1 \text{ k}\Omega$ y $C = 0.01 \mu\text{F}$) [1, 3]
4. Complete la forma de onda del monoestable del problema anterior para la forma de onda de entrada dada. [1, 3]



5. Dibuje el diagrama lógico de un alargador de pulsos que aumente 5 microsegundos la duración del pulso que le llega. Utilice un CI 74C14, un capacitor y un resistor, y un CI 7406. [2]
6. Dibuje la forma de onda para la señal de entrada, el voltaje en el capacitor y la forma de onda de la salida del circuito del problema 5. [2]
7. Dibuje el diagrama lógico de un monoestable disparado por flanco con un periodo activo de pulso de 15 milisegundos. Emplee un CI 74C14, un CI 7406 y dos capacitores y resistores. [2, 3]
8. Utilice el circuito monoestable no redispersable de la figura 12-5 para dibujar el diagrama lógico de un monoestable con un ancho de pulso de 30 microsegundos. [3]
9. Dibuje el diagrama lógico de un monoestable utilizando un 555 con un periodo activo de 30 segundos. [3]

10. Haga uso de un 74121 para construir un monoestable con un periodo activo de 2 microsegundos. Indique los números de terminales. [5]
11. ¿A qué frecuencia de entrada un monoestable redisparable construido con un 74122 dejará de producir un pulso en su salida si el capacitor empleado es de 0.1 microfarad y el resistor es de $1\text{ k}\Omega$? [5]
12. Diseñe un monoestable redisparable que deje de producir un pulso en su salida cuando la frecuencia de entrada sea 1.5 kHz. [2, 3, 5]
13. Haga una lista de monoestables CMOS y dibuje su distribución de terminales. [5]
14. Si el capacitor y el resistor del circuito monoestable de la figura 12-2 son de 0.5 microfarads y $3.3\text{ k}\Omega$ respectivamente, ¿cuál es el periodo activo del circuito? [1, 2]
15. Utilice un 74122 para diseñar un monoestable que deje de producir el pulso de su salida cuando la frecuencia de entrada sea mayor que 2 kHz. [5]
16. Diseñe un alargador de pulsos que aumente 20 ms la duración del pulso de entrada. [2]
17. ¿Cuánto tiempo tardará un capacitor de $0.1\text{ }\mu\text{F}$ en cargarse a 5 volts a través de un resistor de $100\text{ k}\Omega$ si se aplica un voltaje de 20 V al circuito RC ? [1, 2]
18. ¿Qué se entiende con el término monoestable noredisparable? [3]
19. ¿Cuál será el valor necesario de un resistor para producir un pulso de 4 ms si se utiliza un monoestable 74121 y un capacitor de $0.001\text{ }\mu\text{F}$? [5]
20. Diseñe un monoestable con un temporizador 555 similar al de la figura 12-6 con un periodo activo de 3 s. [4]

Práctica 12

Monoestables

OBJETIVOS

Al término de esta práctica, el lector deberá ser capaz de:

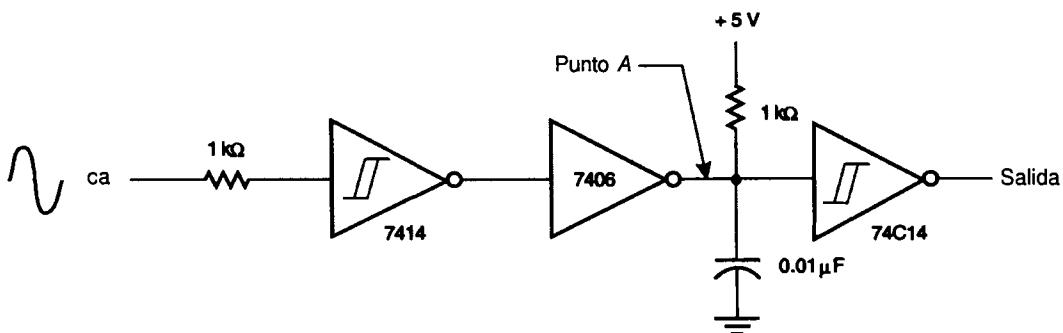
- construir un monoestable a partir de un 74C14 y un circuito RC.
- utilizar un 74121 para acortar un pulso positivo.
- utilizar el osciloscopio para observar las formas de onda de los circuitos de esta práctica.

COMPONENTES NECESARIOS

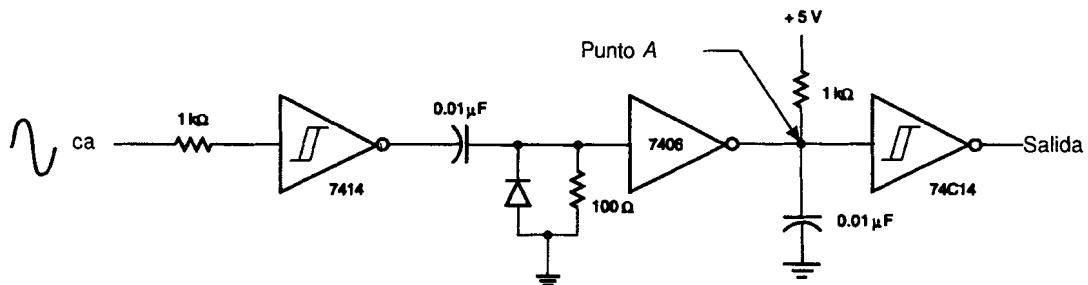
- 1 CI TTL 7414 disparador de Schmitt inversor séxtuple
- 1 CI CMOS 74C14 disparador de Schmitt inversor séxtuple
- 1 CI 7406 inversor séxtuple con salida de colector abierto
- 2 resistores de $1\text{ k}\Omega$, $\frac{1}{4}\Omega$
- 1 capacitor de $0.01\text{ }\mu\text{F}$
- 1 diodo 1N914 o equivalente

PREPARACIÓN

1. Construya el circuito mostrado en la figura y utilice un generador de señales de ca para producir una señal de entrada de 20 kHz.



2. Utilice la figura del inciso 1 para dibujar las formas de onda esperadas y la forma de onda observada en el osciloscopio para la salida y el punto A. Utilice papel cuadriculado.
3. Construya el monoestable disparado por flanco añadiendo el diodo, el capacitor y el resistor, tal como se muestra en la figura.



4. Utilice la figura anterior para dibujar las formas de onda esperadas y la forma de onda observada en el osciloscopio para la salida y el punto A. Haga uso de papel cuadriculado.
5. Dibuje el diagrama lógico de un circuito que tome una señal de ca de 10 kHz con ciclo de trabajo del 50 %, y produzca una onda de 10 kHz que esté en el nivel ALTO un 25 % del tiempo, y en el nivel BAJO un 75 %. Para construir el circuito emplee un 74121 y un 7414.

CONTENIDO

- 13.1 REDES RESISTIVAS PARA CONVERSIÓN DIGITAL A ANALÓGICO**
- 13.2 CONVERTIDOR DIGITAL TTL A ANALÓGICO**
- 13.3 CONVERSIÓN ANALÓGICO A DIGITAL UTILIZANDO COMPARADORES DE VOLTAJE**
- 13.4 CONVERTIDOR ANALÓGICO A DIGITAL DE CUENTA ASCENDENTE Y COMPARACIÓN**
- 13.5 CONVERTIDOR ANALÓGICO A DIGITAL DE APROXIMACIONES SUCESIVAS**
- 13.6 EL CIRCUITO INTEGRADO CONVERTIDOR DIGITAL A ANALÓGICO DAC0830**

Conversiones digital a analógico y analógico a digital



LISTA DE TÉRMINOS

digital a analógico
red de escalera binaria
red escalera 2R

analógico a digital
convertidor de centelleo
aproximación sucesiva

OBJETIVOS



Al término de este capítulo el lector debe ser capaz de:

1. Utilizar redes resistivas para conversión digital a analógico.
2. Explicar el funcionamiento de un convertidor digital TTL a analógico.
3. Utilizar comparadores de voltaje para producir un convertidor analógico a digital
4. Describir el método de cuenta ascendente y comparación para hacer la conversión analógico a digital.
5. Describir el método de aproximaciones sucesivas para hacer la conversión analógico a digital.

13.1 REDES RESISTIVAS PARA CONVERSIÓN DIGITAL A ANALÓGICO

1

A continuación se examinan dos redes resistivas que hacen el trabajo de convertir un número binario en un voltaje analógico proporcional a éste. La primera de ellas es la red de escalera binaria. La figura 13-1 muestra la red de escalera construida con un interruptor para cada bit binario, en lugar de salidas TTL. Esto ayudará a simplificar la explicación.

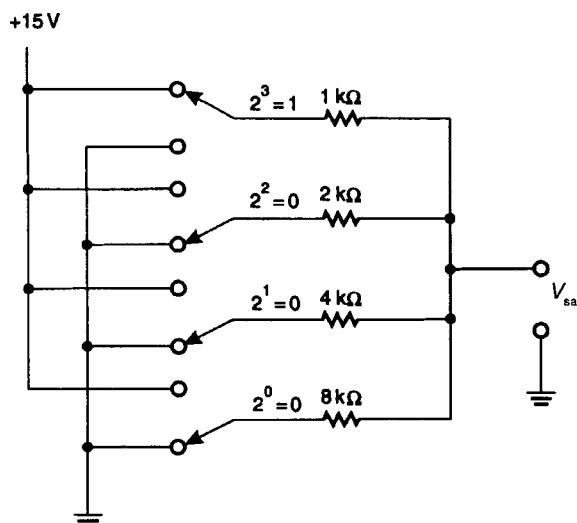


FIGURA 13-1 Convertidor D/A de escalera binaria

El número binario dado por las posiciones de los interruptores es 1000, o 8 en decimal. El número más grande que puede expresarse con los cuatro interruptores es 1111, o 15_{10} . En este caso, un 1 es +15 V, y 0 es tierra. Por consiguiente, si se pone con los interruptores el número binario 1111, o 15_{10} , entonces la salida de la red de escalera binaria queda conectada al voltaje de alimentación de +15 V a través de todos los resistores en paralelo, tal como se muestra en la figura 13-2. Esto produce un voltaje de salida de 15 V. Si todos los interruptores se encuentran en la posición que corresponde al 0, entonces la salida es 0 V, o tierra, como se indica en la figura 13-3.

A continuación se analiza la configuración de interruptores de la figura 13-1. El circuito equivalente aparece en la figura 13-4. Si se reduce el circuito a dos resistores en serie equivalentes, el voltaje de salida será igual al voltaje a través de R_B . Si se emplea la fórmula para el divisor de voltaje, el voltaje de salida que corresponde al número binario 1000, 8_{10} , es 8 V.

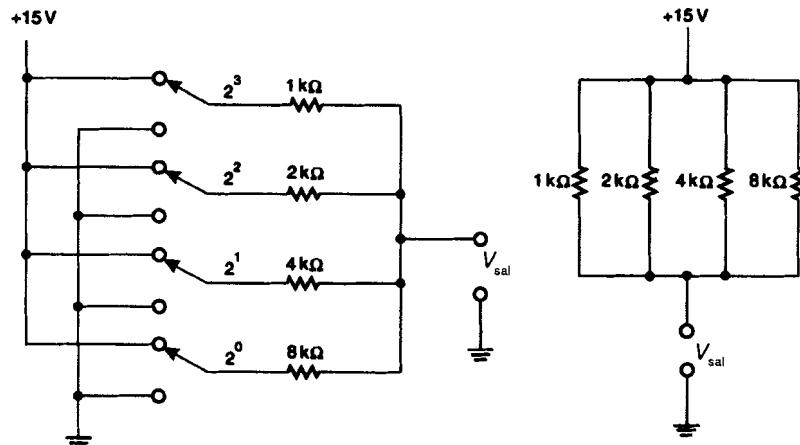


FIGURA 13-2 Red de escalera binaria con unos en todas las entradas

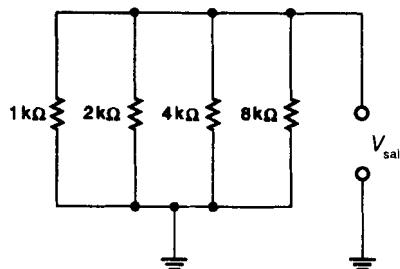


FIGURA 13-3 Red de escalera binaria con ceros en todas las entradas

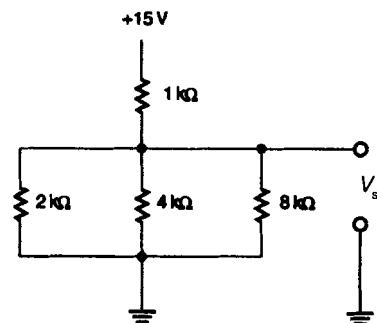


FIGURA 13-4 Circuito equivalente para la red de escalera binaria cuando la entrada es 1000

$$R_B = \frac{1}{\frac{1}{2 \text{ k}\Omega} + \frac{1}{4 \text{ k}\Omega} + \frac{1}{8 \text{ k}\Omega}} = 1.1429 \text{ k}\Omega$$

$$V_{sal} = V_S \left(\frac{R_B}{R_A + R_B} \right)$$

$$V_{sal} = 15 \text{ V} \left(\frac{1.1429 \text{ k}\Omega}{1 \text{ k}\Omega + 1.1429 \text{ k}\Omega} \right)$$

$$V_{sal} = 8 \text{ V}$$

El voltaje de salida para los demás números binarios de entrada posibles puede calcularse de manera similar. El lector encontrará que los incrementos de voltaje son de 1 V para esta red de **escalera binaria**. El número binario que equivale a 10 produce un voltaje de 10 V, mientras que el número binario que equivale a 7 produce un voltaje de 7 V. En otras palabras, el voltaje de alimentación se divide en incrementos iguales al voltaje de alimentación dividido entre el número binario más grande que puede introducirse en la red resistiva. Por consiguiente, el incremento de voltaje para una red de escalera binaria se obtiene con la fórmula

$$\text{Incremento de voltaje en la escalera binaria} = \frac{V_s}{2^N - 1}$$

donde V_s = voltaje de alimentación

N = número de bits en el número binario de entrada

Si N es el número de bits del número binario de entrada a la red de escalera binaria, entonces $2^N - 1$ es el mayor número que puede expresarse con esos bits. Puesto que la fórmula anterior permite calcular la magnitud de cada incremento, el voltaje de salida final debe ser igual al número binario de entrada a la red de escalera binaria multiplicado por el incremento en el voltaje. La siguiente fórmula se emplea para el voltaje de salida del circuito mostrado en la figura 13-1.

$$\text{Red de escalera binaria: } V_{\text{sal}} = \text{número de entrada binario} \times \frac{V_s}{2^N - 1}$$

Los valores de los resistores de la red de escalera binaria se reducen a la mitad por cada incremento en la potencia binaria, esto es, el resistor que corresponde a 2^0 es de 8 kΩ, para 2^1 el resistor es de 4 kΩ, para 2^2 es de 2 kΩ, y para 2^3 es de 1 kΩ. Si se añade un quinto bit, entonces el valor del resistor asociado con éste será la mitad del que corresponde a 2^3 , esto es, de 500 Ω. El lector puede observar que cuanto mayor sea el número binario, menor debe ser el resistor. Por otro lado, no es fácil conseguir resistores con valores exactos que se ajusten a este patrón.

Los dos problemas anteriores pueden eliminarse empleando otro tipo de red resistiva para producir un voltaje de salida proporcional a la entrada binaria, y ésta es la red de escalera 2R de la figura 13-5. Si se utiliza el mismo método empleado en la figura 13-4, entonces puede obtenerse el voltaje de salida para un número binario introducido en la red 2R de la figura 13-5. Esto se muestra en la figura 13-6.

La **red de escalera 2R** es similar a la binaria, con la excepción de que los incrementos de voltaje son iguales al voltaje de alimentación dividido entre el número total de combinaciones del número binario de entrada. El número total de combinaciones en un número binario de N bits es 2^N . Por consiguiente, la fórmula para el voltaje de salida de la red 2R es igual al número

binario presente en la entrada multiplicado por el voltaje de alimentación dividido entre 2^N .

$$\text{Red } 2R: V_{sal} = \text{número binario} \left(\frac{V_s}{2^N} \right)$$

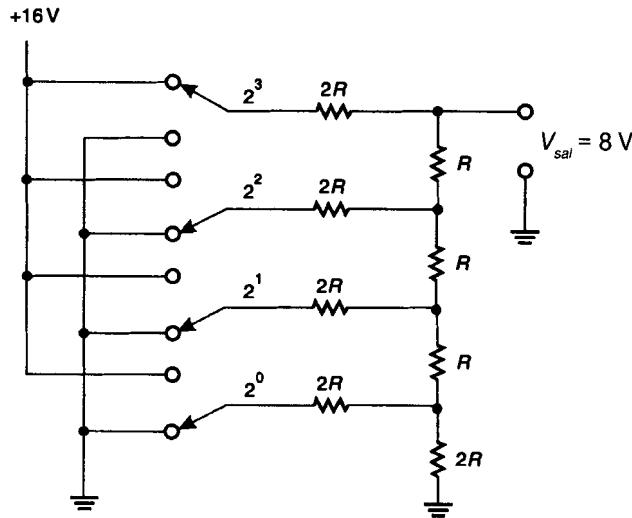


FIGURA 13-5 Convertidor D/A $2R$

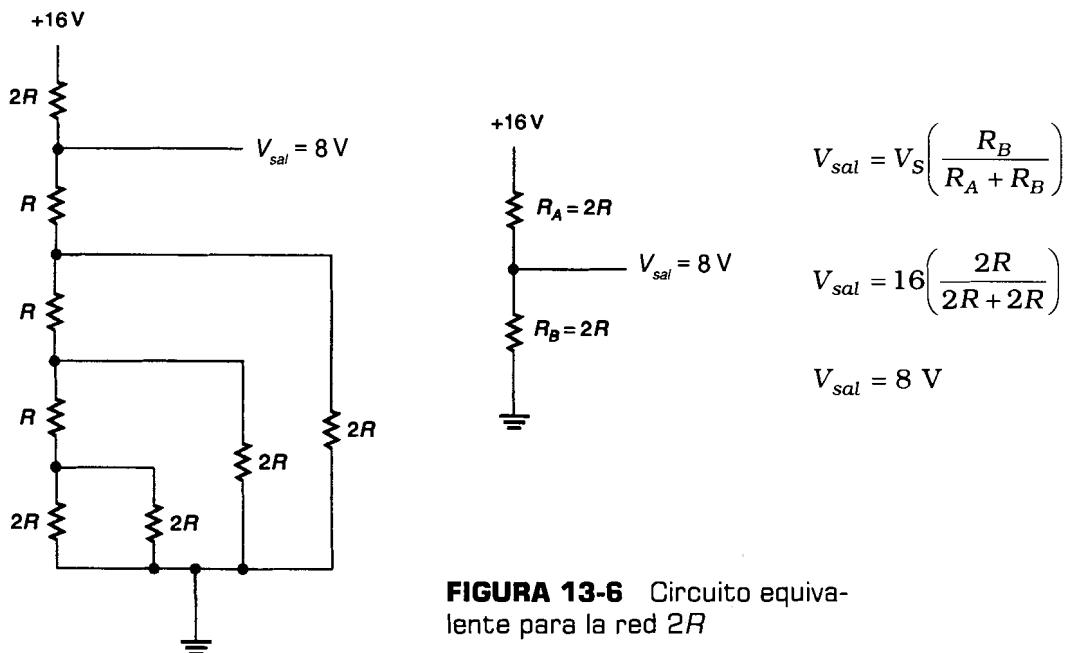


FIGURA 13-6 Circuito equivalente para la red $2R$

Ambas redes proporcionan voltajes de salida muy exactos, siempre y cuando la impedancia de carga de salida sea muy grande comparada con la impedancia de la red. Si la resistencia de carga disminuye, esto trae como consecuencia una disminución en la linealidad de la salida. Para minimizar este problema, usualmente se emplea un circuito de aislamiento de alta impedancia, tal como un amplificador operacional, para excitar la carga analógica.

Ejemplo: ¿Cuál será el incremento de voltaje ΔV de una red $2R$ de ocho bits con un voltaje de alimentación de 25.6 volts? ¿Cuál será el voltaje de salida si se coloca en la entrada digital el número binario 78?

Solución:

Primero, se determina el incremento de voltaje ΔV ,

$$\Delta V = \frac{V_s}{2^N}$$

$$\Delta V = \frac{25.6}{2^8}$$

$$\Delta V = 0.1 \text{ Volts}$$

A continuación, se emplea este ΔV para obtener el voltaje de salida.

$$V_{sal} = \text{Número binario} \times \frac{V_s}{2^8}$$

$$V_{sal} = 78 \times 0.1$$

$$V_{sal} = 7.8 \text{ Volts}$$

Ejemplo: ¿Qué valor tiene el incremento de voltaje ΔV de una red de escalera binaria de cinco bits con un voltaje de alimentación de 15.5 volts?

Solución:

$$\Delta V = \frac{V_s}{2^N - 1}$$

$$\Delta V = \frac{15.5 \text{ V}}{2^5 - 1}$$

$$\Delta V = \frac{15.5 \text{ V}}{31}$$

$$\Delta V = 0.5 \text{ Volts}$$

13.2 CONVERTIDOR DIGITAL TTL A ANALÓGICO



El número binario en las dos redes anteriores no era una entrada con niveles TTL. Para hacer que la red funcione, el voltaje que corresponde al 1 debe ser el de alimentación, mientras que el asociado con el 0 debe ser 0 V o tierra. El voltaje de salida TTL proporciona un voltaje correspondiente al 0 bueno, o en el peor de los casos, 0.4 V, pero lo común es que el voltaje que corresponde al 1 sea alrededor de 3.5 V. Mediante el empleo de una salida de colector abierto, tal como la que tiene el inversor 7406 o el 7407, y un resistor de acoplamiento a positivo conectado a V_s , es posible convertir los niveles de voltaje TTL al voltaje requerido por la red D/A. El valor del voltaje de salida del 7406 no es exactamente tierra ni V_s , pero está muy próximo a ellos. Esto se muestra en la figura 13-7.

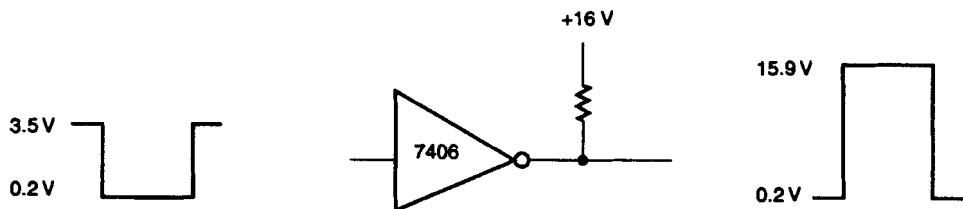
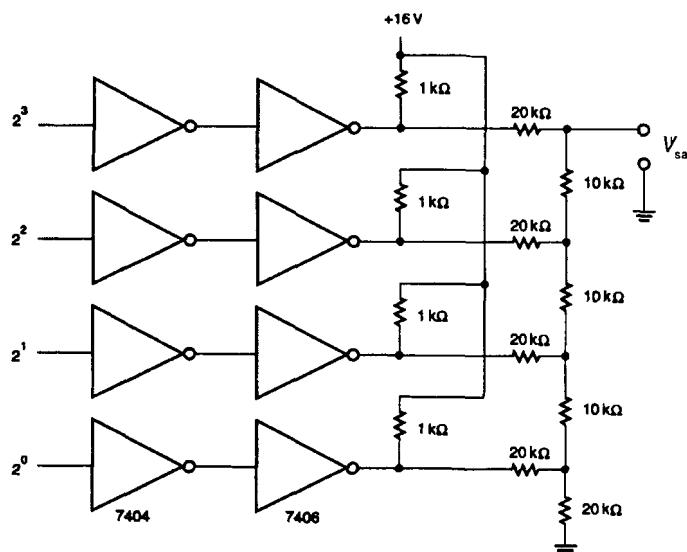


FIGURA 13-7 Conversión de niveles de voltaje TTL a niveles D/A

La figura 13-8 muestra este tipo de compuerta de aislamiento, empleada para construir un convertidor D TTL/A, en el que el voltaje máximo de salida es 15 V. Cuando la salida del 7406 va al nivel BAJO, el valor de ésta se encontrará 0.1 V o 0.2 V por encima de tierra en el mejor de los casos, introduciendo con ello cierto error en el convertidor D/A; y cuando la salida del 7406 vaya al estado de alta impedancia, el resistor de 1 k Ω acoplará al de 20 k Ω a +16 V. Al hacer esto, las resistencias de ambos resistores, 1 k Ω y 20 k Ω , se suman. Esto significa que el resistor $2R$ es un poco más grande (5 % en este caso) cuando se encuentra a +16 V, y que realmente no queda conectado a tierra cuando el nivel sea BAJO.

**FIGURA 13-8** Convertidor D/A 2R TTL

Estos errores pueden eliminarse con otros métodos; pero para muchas aplicaciones de los convertidores D/A, estos errores son tolerables. La figura 13-9 muestra un convertidor D/A empleado para controlar la velocidad de un motor de cd pequeño, tal como el que podría emplearse en un brazo robótico. Nótese el empleo de un amplificador operacional en el circuito de aislamiento para el convertidor D/A.

AUTODEVALUACIÓN PARA LAS SECCIONES 13.1 Y 13.2

1. ¿Cuáles son las principales desventajas en el uso de la red de escalera binaria? [1]
2. ¿Cuál será el incremento de voltaje ΔV para un convertidor digital a analógico de siete bits que hace uso de una red de escalera 2R y que emplea un voltaje de alimentación de 24 V? [1]
3. ¿Cuáles son los dos principales defectos que originan errores en el circuito digital a analógico de la figura 13-8? [1, 2]

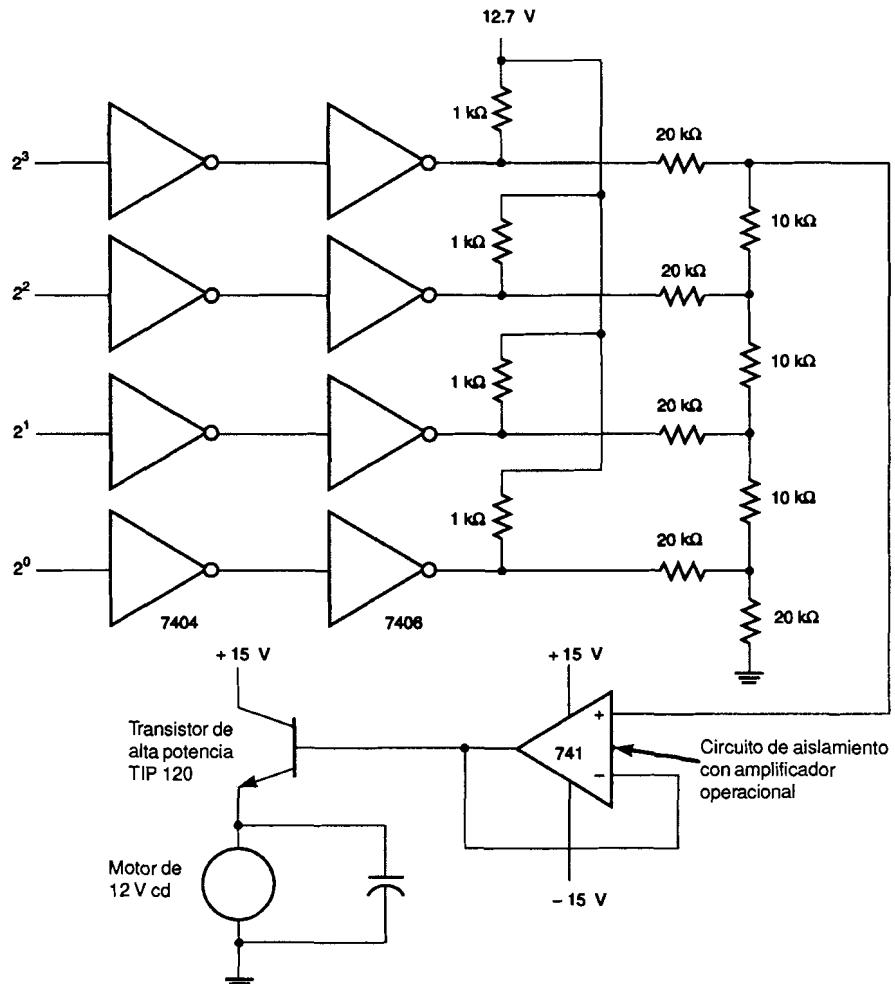


FIGURA 13-9 Convertidor D/A 2R TTL utilizado para controlar un motor pequeño

13.3 CONVERSIÓN ANALÓGICO A DIGITAL UTILIZANDO COMPARADORES DE VOLTAJE

3

El comparador de voltaje, estudiado en el capítulo sobre relojes, puede emplearse para construir un convertidor analógico a digital muy rápido. Un **convertidor analógico a digital** produce un número binario que es directamente proporcional a un voltaje analógico de entrada.

La figura 13-10 muestra un convertidor A/D de tres bits construido con siete comparadores de voltaje LM339. La entrada negativa de cada comparador está conectada a una red resistiva divisoria de voltaje, la cual divide el voltaje de alimentación de 8 V en incrementos de 1 V. Cada comparador de voltaje tiene un voltaje de referencia que es 1 V mayor que el del comparador previo. Todas las entradas positivas de los comparadores están conectadas entre sí de modo que el voltaje de entrada aumentará al mismo tiempo en todos los comparadores.

Si el voltaje de entrada aumenta a 2.5 V, la salida de los dos primeros comparadores será +5 V o 1 lógico, debido a que la entrada positiva será mayor que la negativa; pero las salidas del resto de los comparadores estarán en tierra o 0 lógico. La salida del LM339 es una salida de colector abierto; por tanto, con el empleo de un resistor para acoplar a +5 V, la salida tendrá los niveles normales de TTL, aun cuando la entrada pueda aumentar hasta 8 V. Cuando el voltaje aumente hasta 3.5 V, la salida del tercer comparador cambiará a 1 lógico. Si el voltaje analógico aumenta a más 7 V, la salida de todos los comparadores será 1 lógico. Los comparadores irán al 0 lógico cuando el voltaje de entrada sea menor que los voltajes de referencia establecidos por el divisor de voltaje.

Las compuertas lógicas que aparecen en la figura 13-10 decodifican la salida de todos los comparadores para formar un número binario de tres bits. Cuando las salidas de todos los comparadores están en 0 lógico, las salidas de las compuertas NAND correspondientes son 1, dado que cualquier 0 en las entradas de una compuerta NAND produce un 1. Si el voltaje de entrada analógico aumenta hasta 1.5 V, la salida del primer comparador cambia a 1 lógico, el cual se aplica a la compuerta NAND de dos entradas. La otra entrada de esta compuerta NAND se toma del inversor al cual está conectado la salida del segundo comparador. La salida de éste sigue siendo 0 debido a que el voltaje analógico todavía es 1.5 V y no es lo suficientemente alto para cambiar el estado del segundo comparador. Este 0 se invierte aplicándose entonces un 1 a la entrada de la compuerta NAND del primer comparador. Hasta este punto, la primera compuerta NAND tiene dos unos en sus entradas y 0 en su salida, la cual se aplica a la compuerta NAND que corresponde a 2^0 .

Lo anterior produce un 1 lógico o el número binario 1 en la salida de la compuerta NAND 2^0 . Un número binario 1 en la salida significa que el voltaje de entrada analógico se encuentra entre 1 V y 2 V.

Cuando el voltaje de entrada aumenta hasta 2.5 V, la salida del segundo comparador también es un 1 lógico. Esto produce un 0 en la salida del inversor que inhabilita la primera compuerta NAND, quitando con esto el 1 de la salida de la compuerta NAND 2^0 . El 1 lógico en la salida del segundo comparador habilita la segunda compuerta NAND, produciendo un 0 en la salida de ésta, lo que a su vez produce un 1 lógico, o el número binario 10, en la salida de la compuerta NAND 2^1 . Lo anterior significa que la entrada

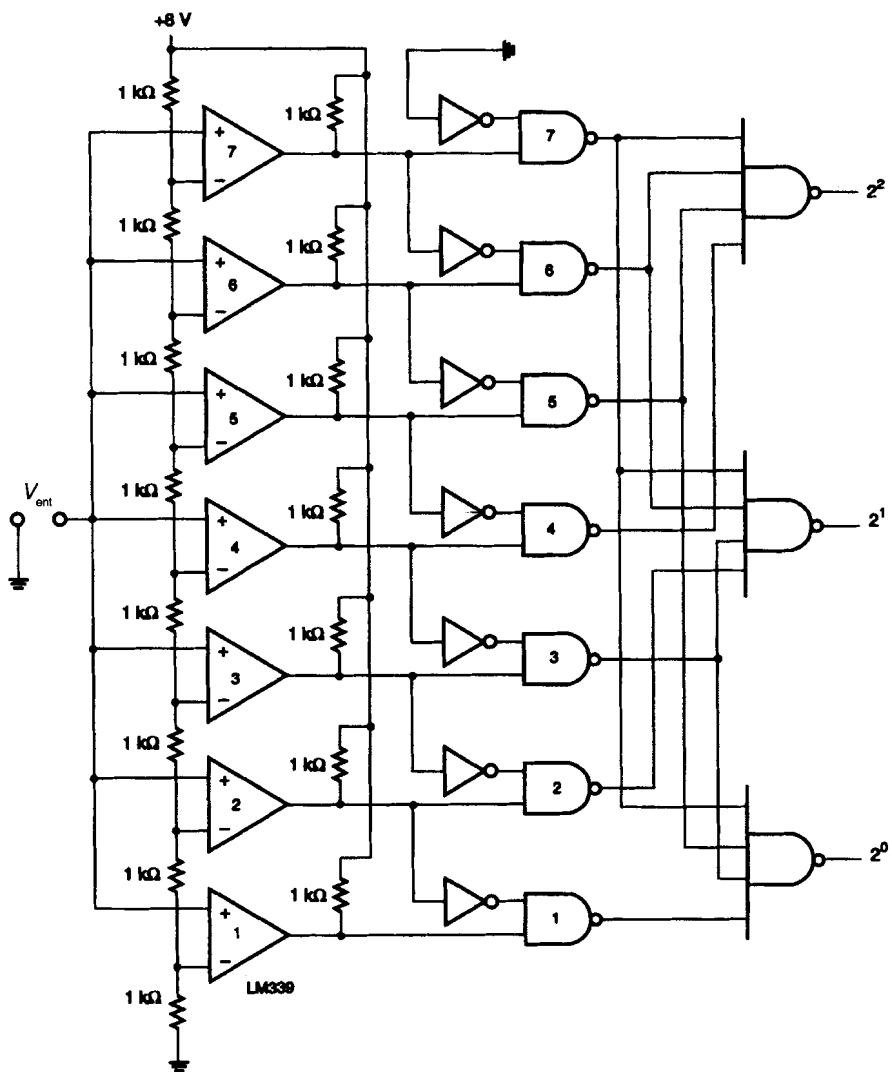


FIGURA 13-10 Convertidor A/D con comparadores de voltaje

analógica se encuentra entre 2 V y 3 V. Puede observarse que a medida que el voltaje aumenta, la salida binaria del convertidor A/D cambia para reflejar el valor de la entrada analógica.

Para aumentar la precisión del comparador de la figura 13-10, es necesario añadir más comparadores y compuertas NAND. Éste es el inconveniente principal de este tipo de convertidor A/D; pero su funcionamiento es muy rápido. Lo único que reduce la velocidad es el tiempo de propagación del comparador y de las compuertas NAND, que es del orden de 50 ns a 75 ns. Dada su velocidad, este tipo de convertidor A/D también se conoce como **convertidor de centelleo**.

13.4 CONVERTIDOR ANALÓGICO A DIGITAL DE CUENTA ASCENDENTE Y COMPARACIÓN



Este tipo de convertidor A/D utiliza un comparador de voltaje y un convertidor D/A. La figura 13-11 muestra un convertidor A/D de cuenta ascendente y comparación, que utiliza un comparador de voltaje LM339 y una red resistiva $2R$.

Las entradas del convertidor D/A son generadas por un contador binario 7493, el cual puede contar desde 0000 hasta 1111 en binario, o de 0 a 15 en decimal. La salida del convertidor D/A se conecta en la entrada negativa del comparador de voltaje, mientras que el voltaje analógico que se desea medir se conecta en la entrada positiva.

La salida del comparador de voltaje LM339 se emplea para habilitar o inhabilitar la compuerta NAND que suministra la señal de reloj al contador 7493. Si esta compuerta NAND es inhabilitada, el contador no recibirá pulsos del reloj y dejará de contar.

Cuando se oprime el botón REINICIALIZAR, se borra el contador, y todas sus salidas pasan a 0 lógico. Esto pone un 0, o el voltaje de tierra, en la

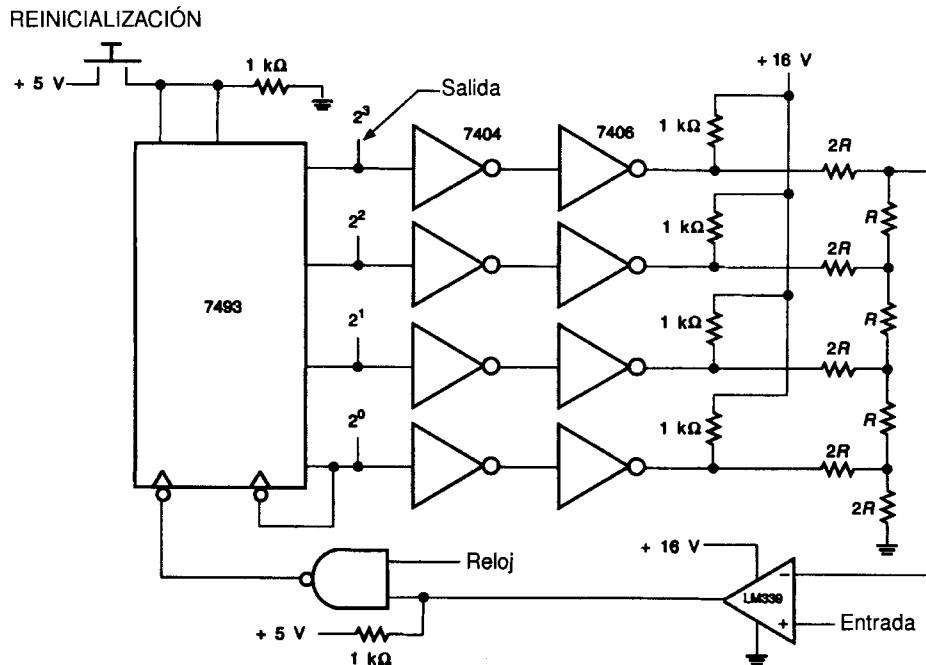


FIGURA 13-11 Convertidor A/D de cuenta ascendente y comparación

entrada negativa del comparador de voltaje. Suponga que el voltaje analógico de entrada al comparador es de 7.5 V. Esto significa que la entrada positiva es mayor que la entrada negativa del comparador de voltaje, con lo que su salida es un 1 lógico. El 1 lógico en la entrada de la compuerta NAND proveniente del comparador, habilita esta compuerta, con lo que la señal de reloj pasa al contador 7493. A medida que el contador cuenta, la cuenta se vuelve más grande, al igual que el voltaje de salida analógico de la red resistiva $2R$.

Cuando el voltaje de la entrada negativa del comparador de voltaje sobrepasa el voltaje de entrada analógico de la entrada positiva del comparador, la salida de éste pasa el nivel BAJO. Esto inhabilita la compuerta NAND y para el reloj y el contador 7493. El contador detenido conservará ahora el número binario que produjo un voltaje que es un incremento del convertidor D/A mayor que el voltaje de entrada analógico.

El convertidor A/D permanecerá en este punto hasta que se oprima el botón REINICIALIZAR o hasta que el voltaje analógico de entrada aumente, momento en que el contador simplemente volverá a contar hasta alcanzar el nuevo voltaje. Si el voltaje de entrada analógico disminuye después de que el contador se haya detenido, éste no cambiará y tendrá que ser reinicializado para que vuelva a contar hasta dicho voltaje menor. La figura 13-12 muestra la forma de onda para la salida analógica del convertidor D/A a medida que cambia el voltaje analógico de entrada.

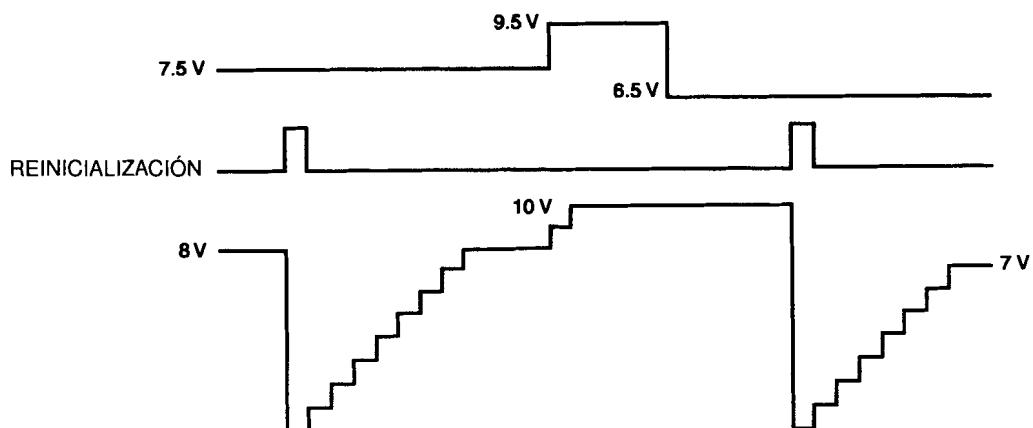


FIGURA 13-12 Formas de onda del convertidor D/A

476 Conversiones digital a analógico y analógico a digital

Para incrementar la precisión del convertidor A/D de cuenta ascendente y comparación, se aumenta el tamaño del contador y del convertidor D/A. En el caso del convertidor A/D de la figura 13-11, si se añade otro 7493 al convertidor, los +16 V serán divididos en 256 incrementos, comparados con los 16 que se tienen con un solo contador 7493. La principal desventaja de este tipo de convertidor A/D es su velocidad debido al tiempo que requiere para contar y comparar.

Ejemplo: Dibuje el diagrama de un convertidor analógico a digital como el de la figura 13-11 que tenga una resolución de ocho bits.

Solución:

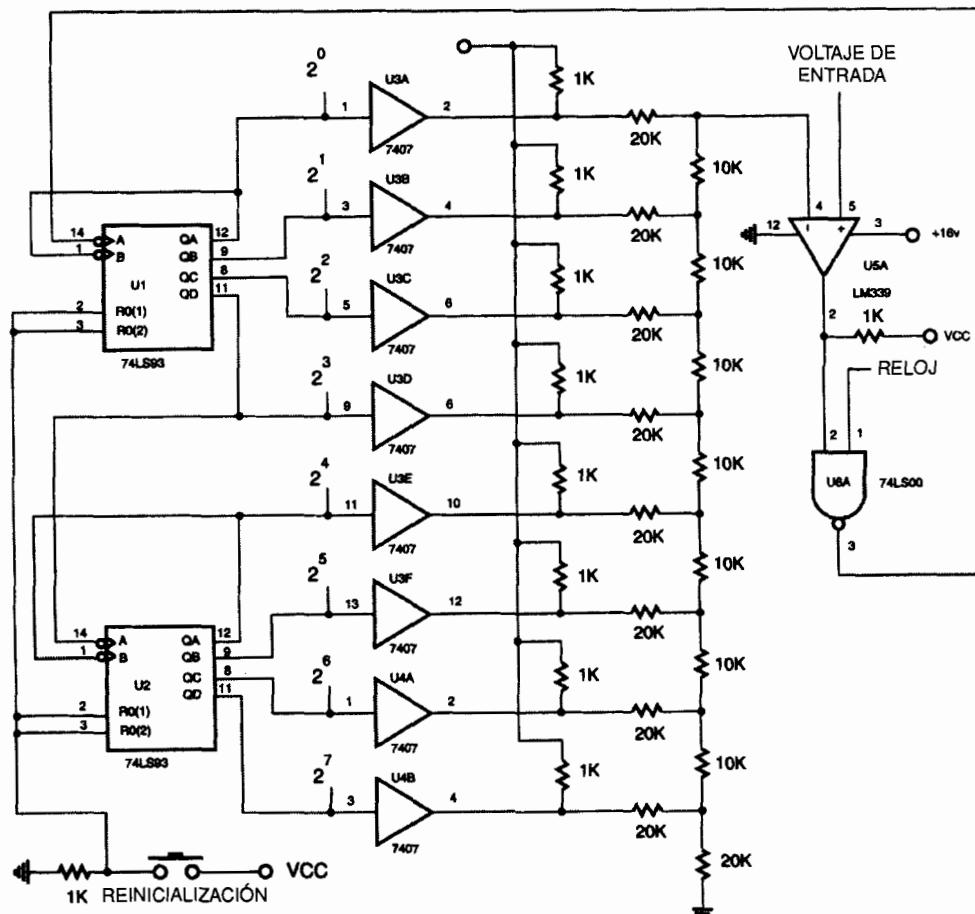


FIGURA 13-13

13.5 CONVERTIDOR ANALÓGICO A DIGITAL DE APROXIMACIONES SUCESIVAS

5

Este tipo de convertidor A/D también emplea un convertidor D/A y un comparador de voltaje; pero utiliza una técnica diferente para determinar el número binario que requiere el convertidor D/A.

Para estudiar esta técnica, se utilizará el convertidor D/A y el comparador de voltaje de la figura 13-14. Para determinar el número binario correcto con el **método de aproximaciones sucesivas**, primero se pone en 1 lógico el bit más significativo del convertidor D/A. A continuación se compara la salida del convertidor D/A con el voltaje de entrada analógico a medir y se observa si ésta es mayor o menor. Si el voltaje generado por el convertidor D/A es menor, entonces se deja el bit más significativo en 1 lógico. Si es mayor este bit se pone en el nivel BAJO, es decir en 0 lógico. En el ejemplo de la figura 13-14, el LED está apagado, lo que indica que el número binario 1000 es muy pequeño. Por consiguiente, se deja el 1 en la posición más significativa y se pone en la siguiente posición un 1 lógico. Ahora se tiene el

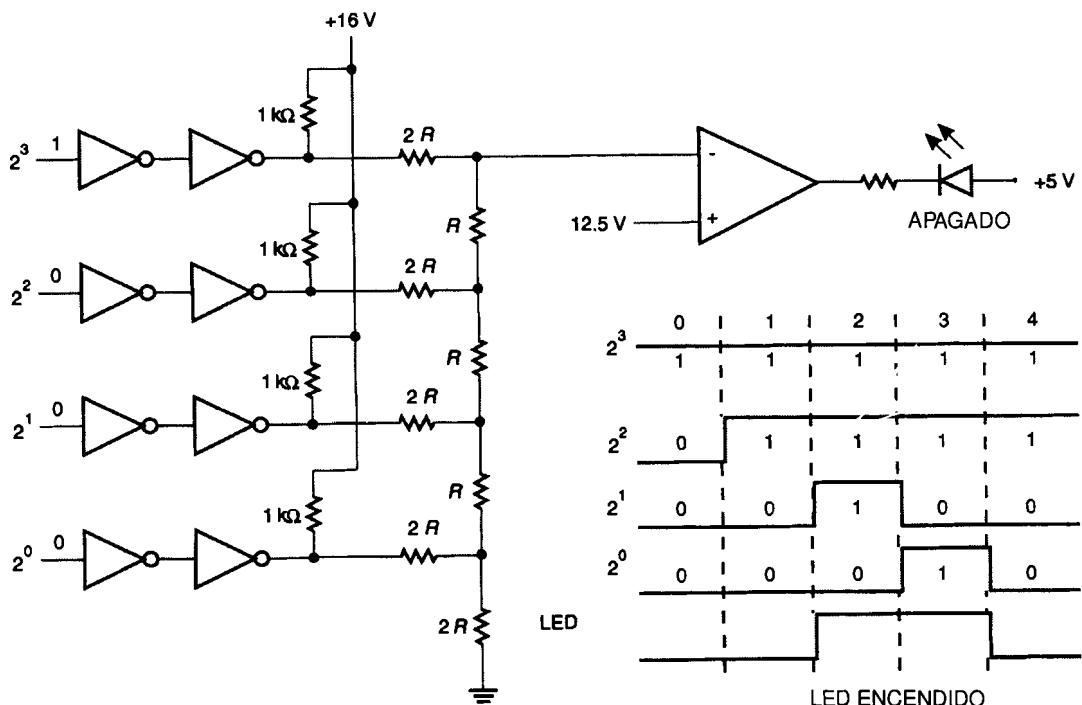


FIGURA 13-14 Método de aproximaciones sucesivas para la conversión A/D

número binario 1100, o 12_{10} , en la entrada del convertidor D/A. El LED sigue apagado debido a que el voltaje analógico que se desea medir es mayor que 12 V; por tanto, este segundo bit también se deja en 1 lógico. A continuación se pone el tercer bit en el nivel ALTO, con lo que se tiene el número binario 1110, o 14_{10} , en la entrada del convertidor D/A. Ahora el voltaje de salida del convertidor D/A es mayor que los 12.5 V del voltaje analógico de entrada y el LED enciende. En este caso se quita el 1 que corresponde al tercer bit y se pone un 1 en el último bit que es el menos significativo. Al hacer esto, la entrada al convertidor D/A es el número binario 1101. Ahora el voltaje de salida es 13 V, que sigue siendo mayor que el voltaje de entrada analógico y el LED permanece encendido. Por tanto, se quita el 1 y se pone un 0. Esto genera el número binario final 1110, o 12_{10} , que es un incremento del convertidor D/A menor que voltaje analógico de entrada que se está midiendo.

El método de aproximaciones sucesivas antes descrito requiere sólo cuatro ciclos para determinar el número binario correcto para un voltaje de entrada analógico dado, y el tiempo necesario para determinar si un número grande o pequeño es el mismo. Por tanto, el método de aproximaciones sucesivas es más rápido que el de cuenta ascendente, pero no tan rápido como el método del comparador de voltaje.

La figura 13-15 muestra un convertidor A/D de aproximaciones sucesivas que hace uso de un generador de reloj sin traslapamiento CP y CP' , un registro de corrimiento y registros de almacenamiento. Cuando se oprime el botón de REINICIALIZACIÓN, el generador de reloj y el flip-flop A son preinicializados a 1, mientras que los demás flip-flops son reinicializados a 0. El convertidor A/D permanecerá en esta configuración hasta que se deje de oprimir el botón de REINICIALIZACIÓN, lo cual pone en funcionamiento el generador de reloj y el flip-flop. Una vez que el reloj comienza a funcionar, Q_A es preinicializado a 1, lo cual pone un 1 en el bit 2^3 o más significativo del convertidor D/A. El contenido del comparador se envía a una compuerta AND, la cual está controlada por el reloj CP del generador de reloj sin traslapamiento. Cuando éste va al nivel ALTO, el contenido del comparador pasa por la compuerta AND y llega a la compuerta NAND del flip-flop de almacenamiento A_s . Si la salida del comparador es 1, el flip-flop es inicializado; si es 0, el flip-flop no es inicializado. A continuación llega el pulso de reloj CP' el cual produce un desplazamiento de una posición en el registro de corrimiento formado por los flip-flops A , B , C y D . Esto hace que Q_B sea 1 y el ciclo se repite. Una vez que el 1 que fue generado en Q_A por el pulso de REINICIALIZACIÓN haya salido del registro de corrimiento formado por los flip-flops A , B , C y D , en las salidas 2^0 a 2^3 estará presente el número binario correcto.

Nótese que sólo se necesitaron cuatro pulsos del reloj CP' para obtener el número binario correcto. La figura 13-16 muestra las formas de onda para el convertidor A/D de la figura 13-15.

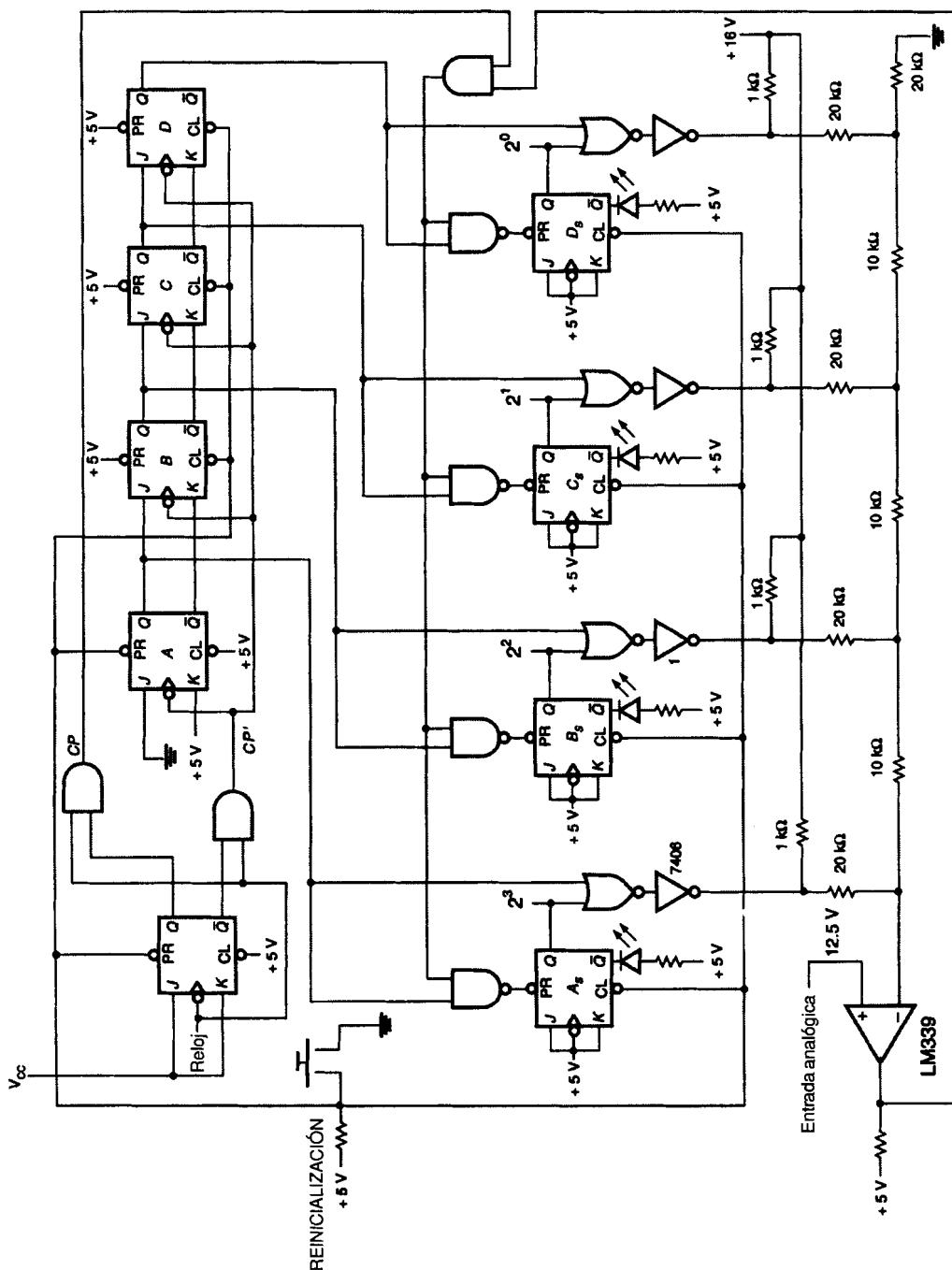


FIGURA 13-15 Convertidor A/D de aproximaciones sucesivas

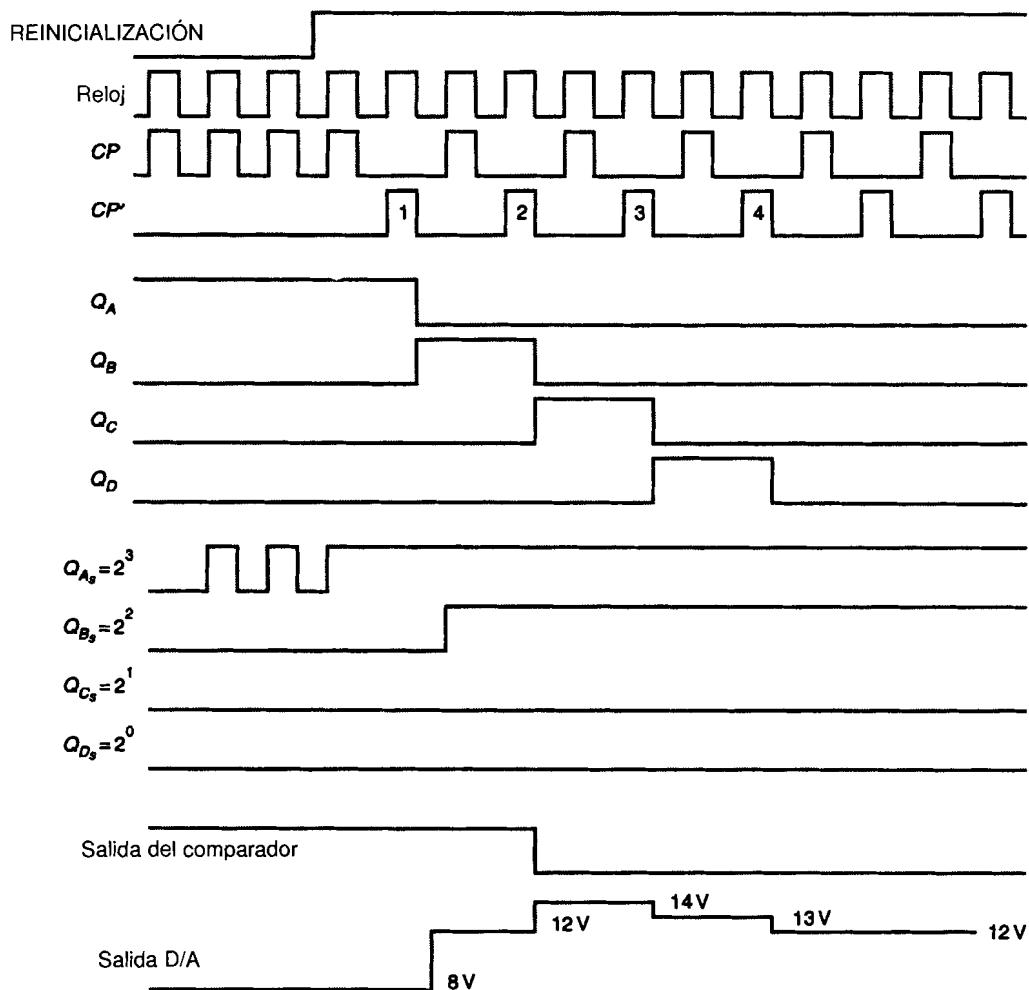
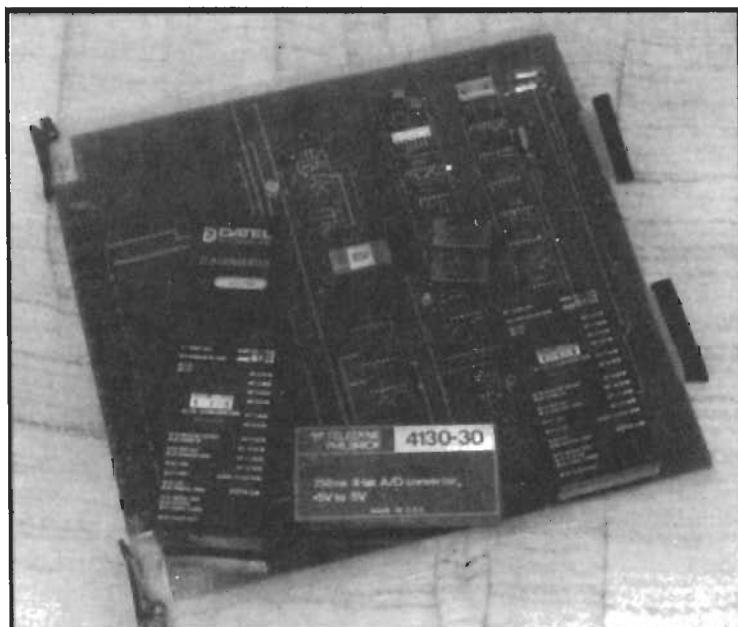


FIGURA 13-16 Formas de onda para el convertidor A/D de aproximaciones sucesivas de la figura 13-14

AUTOREVALUACIÓN PARA LAS SECCIONES 13.3, 13.4 Y 13.5

1. ¿Cuál es el método de conversión analógico a digital más rápido para todos los valores de los voltajes que se van a convertir?
2. Dibuje las formas de onda para la salida D/A de la figura 13-16 si el voltaje de entrada analógico del contador de aproximaciones sucesivas es de 7.5 V.

CONVERTIDORES ANALÓGICO A DIGITAL



La fotografía muestra varios tipos de convertidores analógico a digital. Los módulos más grandes son muy anti-

guos, mientras que los más pequeños son recientes. Todos ellos emplean métodos similares para hacer la conversión.

3. Diseñe un convertidor de cuenta ascendente similar al que se muestra en la figura 13-11. Utilice un CI 7407, un CI 74LS93, un CI 74LS08 y un CI LM339. Indique los números de terminales.

13.6 EL CIRCUITO INTEGRADO CONVERTIDOR DIGITAL A ANALÓGICO DAC0830

En la actualidad la mayoría de los convertidores digital a analógico se fabrican para utilizarse con microprocesadores e incluyen la lógica necesaria para retener datos provenientes del bus de datos. El convertidor D/A DAC0830 de National Semiconductor es un ejemplo representativo de un CI fabricado para ser empleado con un microprocesador. Si bien este CI está diseñado para usarse con microprocesadores, su estructura interna y la forma en que trabaja son las mismas que las de los convertidores D/A estudiados hasta el momento.

La figura 13-17a presenta la circuitería interna del DAC0830 y las conexiones a un amplificador operacional pequeño que sirve para aislar y amplificar el voltaje de salida. El voltaje de salida es generado por la red de escalera $2R$ que está dentro del CI. Estos resistores son resistores de película delgada de silicio-cromo (SiCr o Si-cromo) y su conexión a las entradas digitales se realiza con interruptores de corriente SPDT (de un polo de dos tiros o bidireccionales) construidos con tecnología CMOS.

El control de estos interruptores SDPT se hace con las salidas Q de un conjunto de ocho retenedores D transparentes que están conectados en cascada. Este método en el que se emplean dos conjuntos de retenedores para guardar dos valores para las conversiones D/A se conoce como retención doble. Esto permite que la computadora cargue el primer conjunto de retenedores D en cualquier momento. El número puede entonces transferirse al siguiente conjunto de retenedores, en un momento determinado por alguna otra señal de control, cuando la conversión sea necesaria. Generalmente el cambio en el voltaje de salida ocurre cuando lo indica un reloj externo, el cual controla la rapidez de cambio de la señal, como sería el caso de la reproducción de voz.

La figura 13-17a muestra que la referencia de voltaje en la terminal 11 proviene de la caída de voltaje a través de un diodo Zener, el cual proporciona un voltaje de referencia de 2.5 V. El cambio en el voltaje de salida para un cambio en la entrada binaria será igual a 2.5 V dividido entre 256. Éste es el mismo que el de las escaleras $2R$ estudiadas en este capítulo. El voltaje de salida está aislado por un amplificador operacional 741 que amplifica el voltaje por un factor de 2, como puede observarse en la figura 13-17a.

Este CI es una pastilla CMOS, y puede tener un VCC máximo hasta de 17 V; pero todas las entradas son compatibles con TTL, aun cuando VCC sea mayor que 5 V. Se recomienda que el voltaje de referencia aplicado sea menor que 5 V y que VCC sea al menos 9 volts mayor que el voltaje de referencia. Con esto se garantiza el funcionamiento correcto de los interruptores CMOS para la red de escalera $2R$.

La figura 13-17b muestra una manera diferente de utilizar una red de escalera $2R$ para producir un voltaje de salida. Este método requiere el uso de un amplificador operacional para convertir el flujo de corriente en un voltaje proporcional a ésta. El voltaje de referencia está conectado a la salida normal de la escalera $2R$, y los polos del interruptor lo están a las entradas + y - del amplificador operacional. La salida del amplificador operacional cuenta con un lazo de retroalimentación a través de un resistor interno de valor $2R$, denominado RFB. Este método produce un voltaje negativo y requiere un voltaje de alimentación negativo para el amplificador operacional.

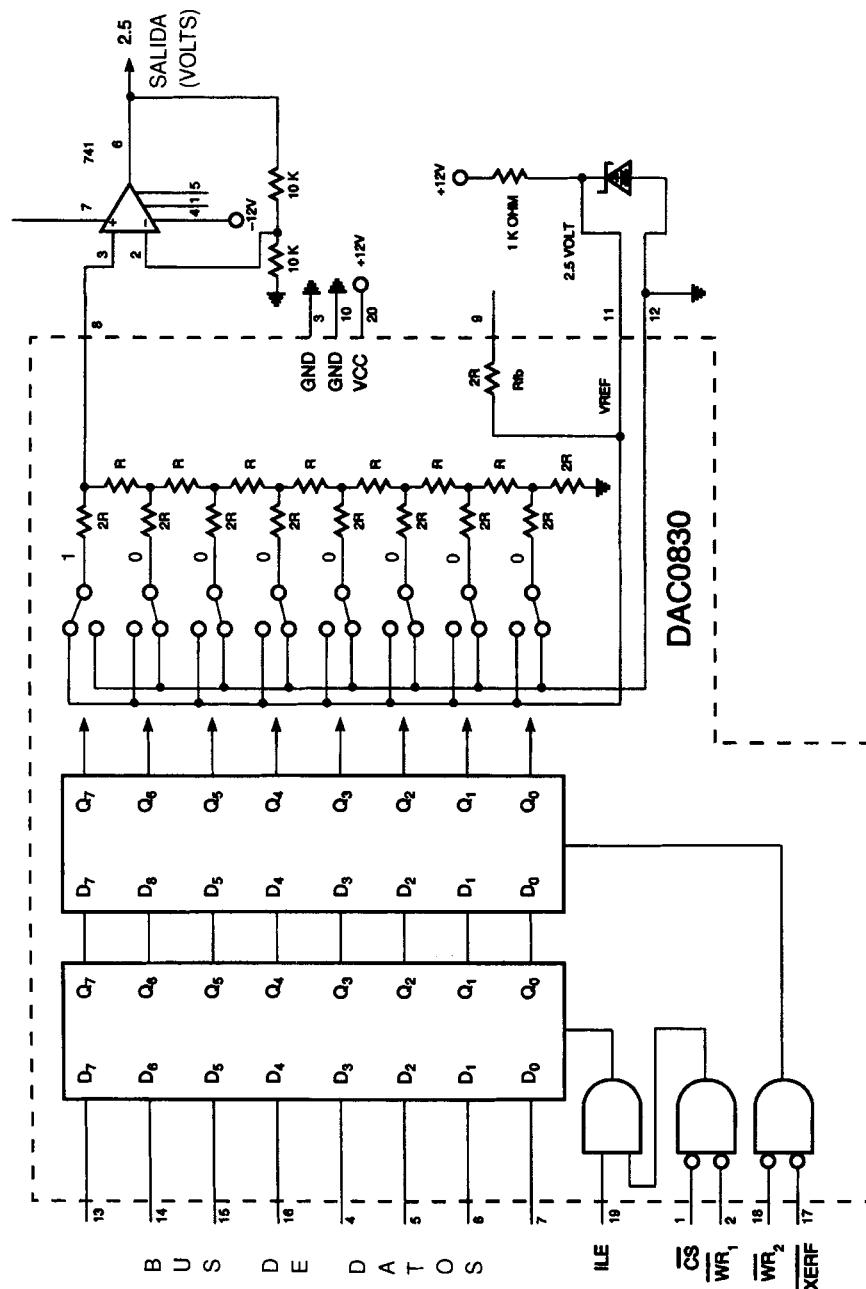


FIGURA 13-17a

484 Conversiones digital a analógico y analógico a digital

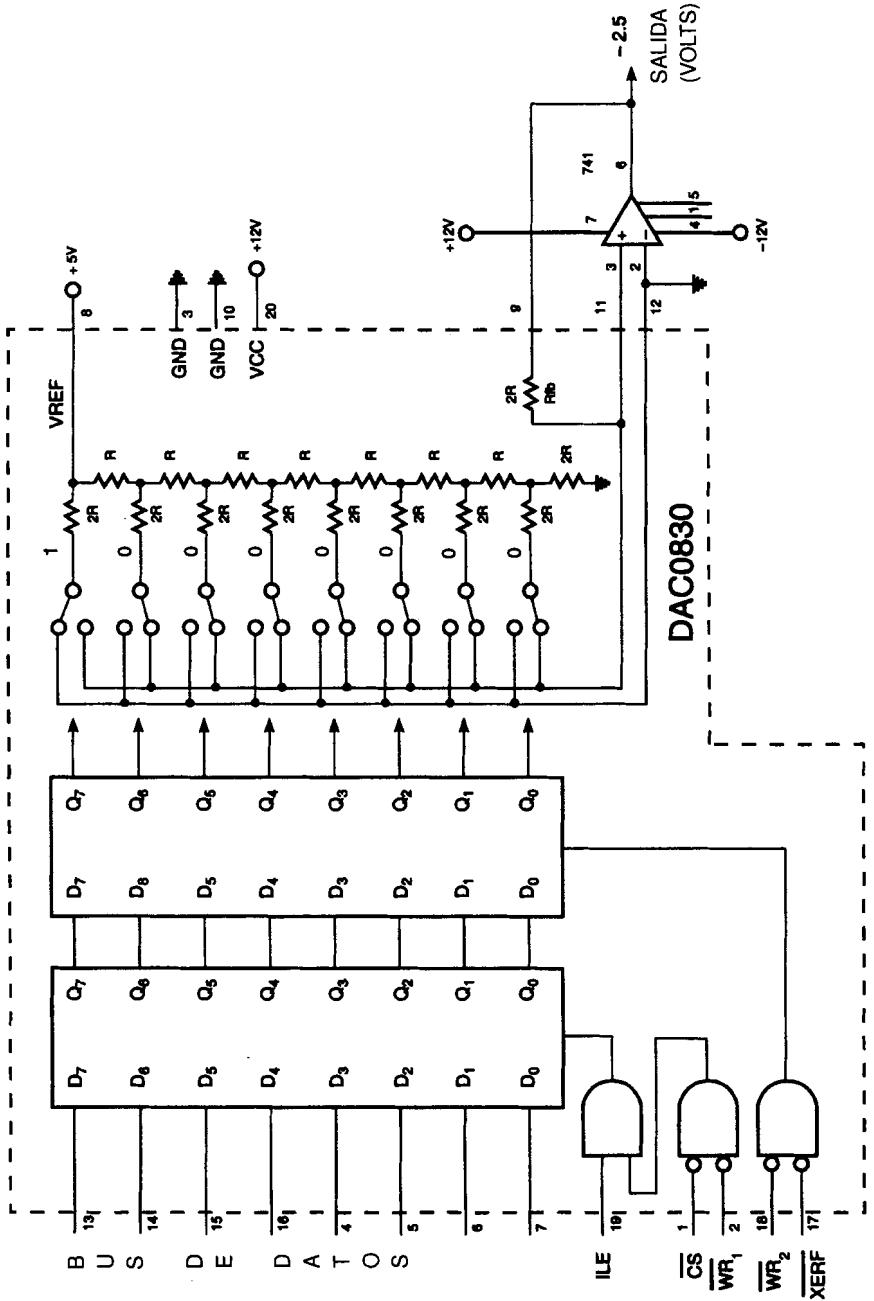


FIGURA 13-17b

RESUMEN

- Existen básicamente dos redes resistivas empleadas para la conversión digital a analógico (la red de escalera binaria y la de escalera $2R$).

La escalera binaria puede emplearse en convertidores D/A pequeños y simples. Dado que la escalera binaria emplea resistores con valores precisos que son múltiplos entre sí, resulta poco práctica para construir escaleras binarias muy grandes o precisas. La escalera $2R$ requiere sólo dos valores de resistores y puede ser tan grande como se necesite.

- La conversión de niveles de voltajes TTL a los voltajes que requiere la red resistiva puede hacerse razonablemente bien mediante el empleo de una salida de colector abierto y un resistor de acoplamiento.

Este método introduce cierto error en el voltaje final de salida debido a la resistencia adicional del resistor de acoplamiento y al hecho de que con el colector abierto la salida no queda conectada exactamente a tierra.

- La conversión analógico a digital puede hacerse con tres métodos diferentes (conversión de centelleo, por cuenta ascendente y comparación y aproximaciones sucesivas).

La conversión de centelleo es con mucho la más rápida de las tres y se emplea con frecuencia en dispositivos tales como los de captura de cuadros, los cuales capturan las imágenes de TV en una computadora. El método de cuenta ascendente y comparación es fácil de diseñar pero es el que requiere más tiempo para hacer la conversión. El método de aproximaciones sucesivas es más rápido que el de cuenta ascendente y comparación, pero su realización requiere de mucha más circuitería.

- En la actualidad, los dos métodos principales de conversión A/D que se emplean en los CI son el de centelleo y el de aproximaciones sucesivas.

Muchos de los convertidores D/A y A/D están diseñados para emplearse con computadoras y cuentan con lógica de interfaz adicional que permite conectarlos al bus de una computadora.

PREGUNTAS Y PROBLEMAS

1. Dibuje el diagrama lógico de un convertidor TTL $2R$ D/A con 256 incrementos y una salida máxima de 10 V. [1, 2]
2. Si se pone en las entradas TTL del convertidor D/A de la figura 13-8 el número binario 0110, ¿cuál es el valor del voltaje de salida? [1, 2]

3. ¿Cuál sería el incremento de voltaje del convertidor D/A de la figura 13-8 si el voltaje de alimentación de la red 2R se cambia a 5V, 10 V y 32 V? [1, 2]
4. ¿Cuál es el número binario a la salida del convertidor A/D de la figura 13-10 si la entrada analógica es de 6.3 V? [3]
5. Dibuje la forma de onda de la salida analógica del convertidor A/D de aproximaciones sucesivas de la figura 13-14 si se aplica a la entrada un voltaje de 5.5 V. [5]
6. ¿Por qué se emplea en la figura 13-8 un inversor 7406 de colector abierto? [1, 2]
7. ¿Cuál es la finalidad del circuito de aislamiento con amplificador operacional de la figura 13-9? [2]
8. Dibuje el diagrama lógico de un convertidor A/D similar al de la figura 13-10, pero con una salida de cuatro bits. [3]
9. Dibuje la forma de onda para el convertidor A/D de la figura 13-11 si primero reinicializa el convertidor y luego el voltaje de entrada varía de la siguiente manera. [4]
0 V a 3.3 V a 6.4 V a 5.2 V a 7.3 V
10. Repita el problema anterior con el convertidor A/D de la figura 13-15. [5]
11. En la figura 13-1 calcule el valor del resistor si se añade el bit 2^4 . [1]
12. Determine el voltaje de alimentación del circuito de la figura 13-5 si el voltaje de salida cambia 3 V para un cambio en el número binario equivalente a 2. [1]
13. Repita el problema anterior para el circuito de la figura 13-2. [1]
14. Dibuje el diagrama lógico de un convertidor A/D de cuenta ascendente que tenga una salida de ocho bits. Utilice dos 7493, dos 7407, un 7400, un LM339 y resistores para la escalera 2R. Indique los números de terminales y use un voltaje de alimentación para la escalera 2R de 12 V. [4]
15. Dibuje las formas de onda de la salida analógica del convertidor A/D del problema 14 para un voltaje de entrada de 1.2 V. [4]
16. Indique dos problemas que plantea el uso de una escalera binaria. [1]
17. Diseñe un convertidor A/D de cuenta ascendente y comparación de seis bits utilizando una escalera binaria. Indique los números de terminales de los CI empleados. [3, 4]
18. ¿Cuál es el incremento de voltaje V para una escalera 2R de ocho bits que tiene un voltaje de alimentación de 15 V? [1]

19. ¿Cuál es el incremento de voltaje V para una escalera binaria de ocho bits que tiene un voltaje de alimentación de 15 V? [1]
20. ¿Cuál será el voltaje de salida para la escalera 2R de la pregunta 18 si se coloca en las entradas el número binario 10111000? [1]

Práctica 13

Digital a analógico y analógico a digital

OBJETIVOS

Al término de esta práctica, el lector deberá ser capaz de:

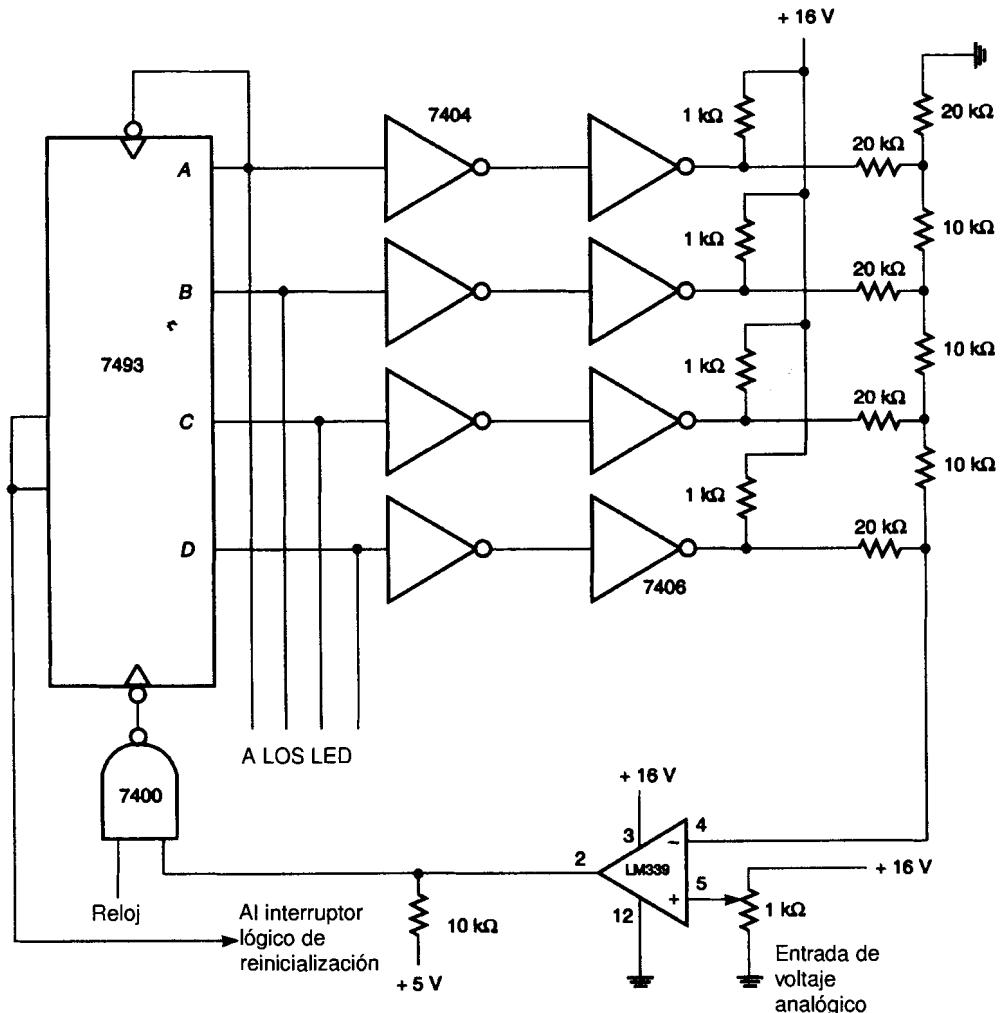
- construir un convertidor D/A.
- utilizar un comparador de voltaje LM339 para construir un convertidor A/D.
- utilizar el osciloscopio para observar la forma de onda de escalera.

COMPONENTES NECESARIOS

- 1 CI 7493 contador de propagación de cuatro bits
- 1 CI 7404 inversor séxtuple
- 1 CI 7406 inversor séxtuple con salida de colector abierto
- 1 CI 7400 compuerta NAND cuádruple
- 1 LM339 amplificador operacional comparador cuádruple
- 4 resistores de $1\text{ k}\Omega$, $\frac{1}{4}\text{ W}$
- 1 potenciómetro de 1 kW o mayor
- 4 resistores de $10\text{ k}\Omega$, $\frac{1}{4}\text{ W}$
- 5 resistores de $20\text{ k}\Omega$, $\frac{1}{4}\text{ W}$
- 4 LED rojos
- 4 resistores de $330\text{ }\Omega$, $\frac{1}{4}\text{ W}$

PREPARACIÓN

1. Construya el convertidor A/D mostrado en la figura en el siguiente orden.
 - a) Alambre el contador 7493 y haga que funcione.
 - b) Alambre el convertidor D/A usando el 7404 y el 7406 y vea el patrón de escalera en el osciloscopio.



- c) Alambre el amplificador operacional comparador y la compuerta NAND 7400.
2. Fije la frecuencia del reloj en 1 Hz, ponga 5.5 V en la entrada analógica y reinicialice el contador. ¿En qué número binario se detiene el contador y por qué?
3. Aumente el voltaje a 10.5 V. Ahora, ¿cuál es el número binario?
4. Disminuya el voltaje a 6.5 V. Ahora ¿cuál es el número binario y por qué?

490 Digital a analógico y analógico a digital

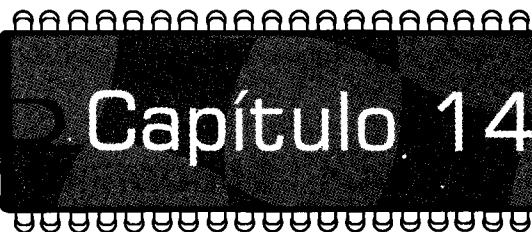
Si el circuito no funciona de manera adecuada, considere los siguientes puntos:

1. Verifique las conexiones a la fuente de alimentación de todos los componentes del circuito.
2. Desconecte la terminal 2 del LM339 de la entrada a la compuerta NAND. Esto permitirá que el contador cuente desde 0 hasta 15.
3. Ponga uno de los canales del osciloscopio en la terminal 4 del LM339. Ésta es la salida del convertidor D/A y en ella debe verse la forma de onda de escalera, desde aproximadamente 0.2 V hasta 15 V. Si la forma de onda no exhibe incrementos iguales de 1 V, verifique que en la red de resistores no haya errores de alambrado.
4. Si la forma de onda de escalera es la correcta, ponga la punta del osciloscopio en la salida del comparador LM339. El ciclo de trabajo de la forma de onda de salida debe variar si se cambia el voltaje de entrada de la terminal 5 del LM339. Si no es posible hacer esto, entonces algo anda mal en la sección de comparación del circuito.

CONTENIDO

- 14.1 DECODIFICADORES**
- 14.2 DEMULTIPLEXORES**
- 14.3 MULTIPLEXORES**
- 14.4 USO DE UN MULTIPLEXOR PARA REPRODUCIR UNA TABLA DE VERDAD DESEADA**
- 14.5 CI MULTIPLEXORES Y DEMULTIPLEXORES**
- 14.6 MULTIPLEXOR DE OCHO TRAZAS PARA OSCILOSCOPIO**
- 14.7 DIODO EMISOR DE LUZ**
- 14.8 VISUALIZADOR DE SIETE SEGMENTOS**
- 14.9 VISUALIZADOR DE CRISTAL LÍQUIDO**

Decodificadores, multiplexores, demultiplexores y visualizadores



LISTA DE TÉRMINOS

decodificador completo
decodificador parcial
demultiplexor
multiplexor

LED
visualizador de siete segmentos
visualizador de cristal líquido

OBJETIVOS



Al término de este capítulo el lector debe ser capaz de:

1. Explicar el funcionamiento y uso de los decodificadores.
2. Explicar el funcionamiento y uso de los demultiplexores.
3. Explicar el funcionamiento y uso de los multiplexores.
4. Utilizar un multiplexor para reproducir una tabla de verdad deseada.
5. Utilizar CI típicos multiplexores y demultiplexores.
6. Utilizar multiplexores en una aplicación típica de un osciloscopio de ocho trazas.
7. Explicar el funcionamiento de los LED.
8. Explicar el funcionamiento de los LED de siete segmentos y sus decodificadores.
9. Explicar el funcionamiento de los LCD y cómo excitarlos.

14.1 DECODIFICADORES



La figura 14-1 muestra un decodificador completo de dos bits que habilitará una y sólo una de las cuatro compuertas AND para cada uno de los números binarios posibles en las entradas 2^0 y 2^1 del decodificador. La figura 14-2 presenta la tabla de verdad para el decodificador completo de dos bits de la figura 14-1.

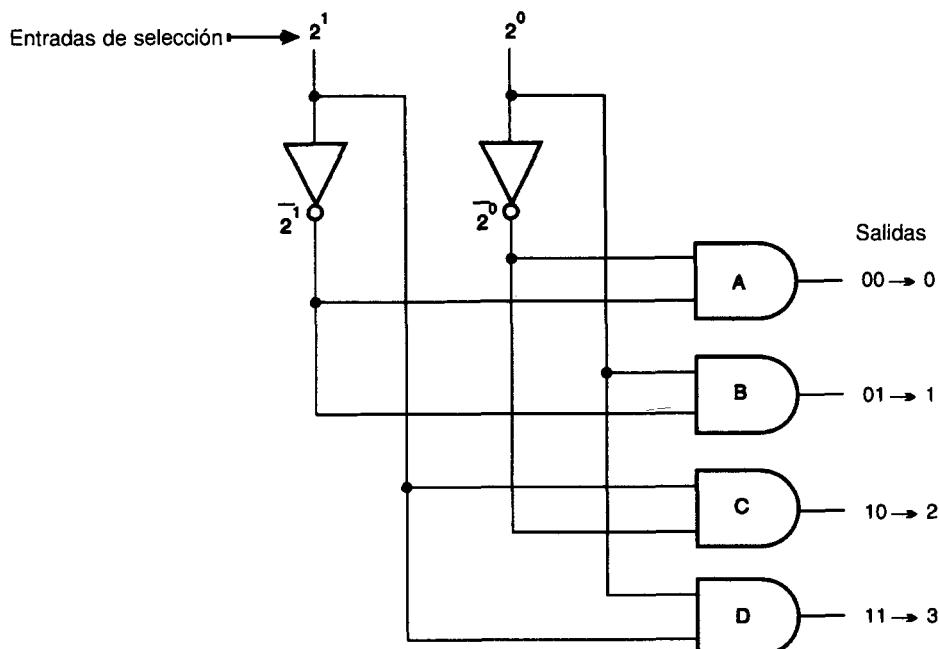


FIGURA 14-1 Decodificador completo de dos bits

2^1	2^0	$\bar{2}^1$	$\bar{2}^0$	A	B	C	D
0	0	1	1	1	0	0	0
0	1	1	0	0	1	0	0
1	0	0	1	0	0	1	0
1	1	0	0	0	0	0	1

FIGURA 14-2 Tabla de verdad para un decodificador completo de dos bits

Los dos inversores del decodificador de la figura 14-1 generan las entradas 2^0 y 2^1 las que, junto con las entradas 2^0 y 2^1 , son enviadas a las compuertas AND en el orden apropiado para habilitar una de las compuertas cuando se presente el número de entrada binario correspondiente. Este circuito recibe el nombre de **decodificador completo** debido a que tiene una línea de salida activa para cada número binario de entrada posible al decodificador.

Si se aumenta el número de bits del número binario de entrada al decodificador en uno, esto es, a tres bits, el número de salidas será 2^3 u 8 para un decodificador completo, como se muestra en la figura 14-3. Nótese que a medida que aumenta el número de bits de la entrada, también crece el número de entradas de las compuertas AND empleadas por el decodificador. Si el número binario es muy grande, entonces el decodificador completo también se vuelve muy grande. Para un decodificador completo de 8 bits se requieren 256 compuertas AND, cada una con ocho entradas.

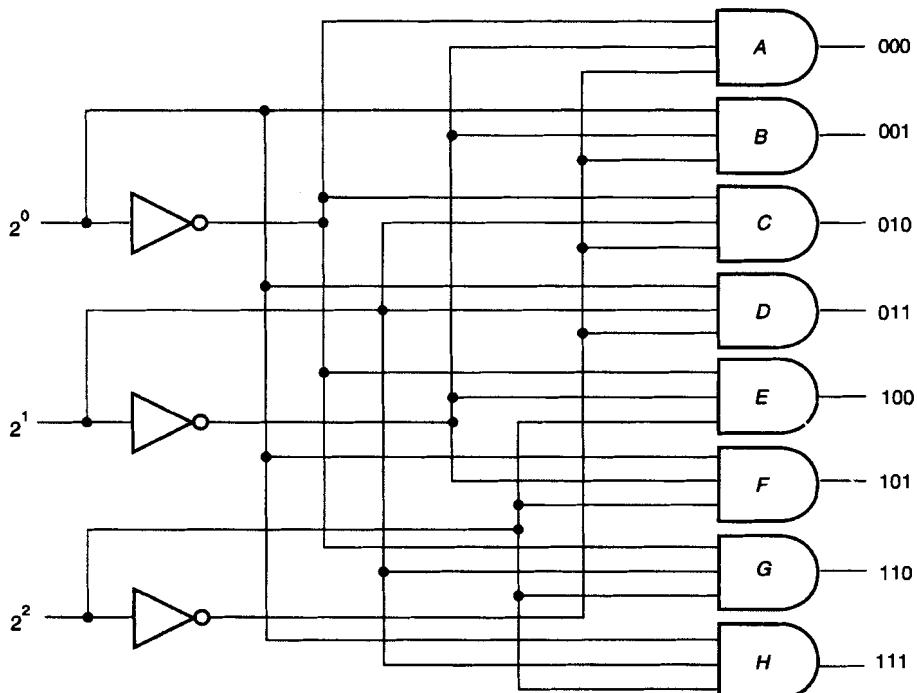


FIGURA 14-3 Decodificador completo de tres bits

En la mayoría de los casos no es necesario decodificar todos los bits de un número binario grande. Por tanto, la verdad es que el decodificador completo no es necesario. El decodificador de direcciones de un sistema típico de puertos de salida de una computadora Z80, tal vez necesite salidas diferentes para las direcciones binarias de ocho bits 0, 1, 2 y 3. No se necesitan todas las demás salidas posibles. Por consiguiente, el decodificador se construirá como se muestra en la figura 14-4.

Mediante el empleo de una compuerta NOR alambrada formada por inversores de colector abierto, al poner un 1 en cualquiera de los bits superiores de la dirección (bits A_2 a A_7), la salida de la compuerta NOR alambrada irá al nivel BAJO, provocando que las cuatro compuertas AND queden inhabilitadas. Los únicos números que pueden habilitar una de las compuertas AND son 0, 1, 2 y 3 debido a que no tienen un 1 en los bits A_2 a A_7 . Este circuito se conoce como **decodificador parcial** y se emplea con mucha frecuencia en computadoras.

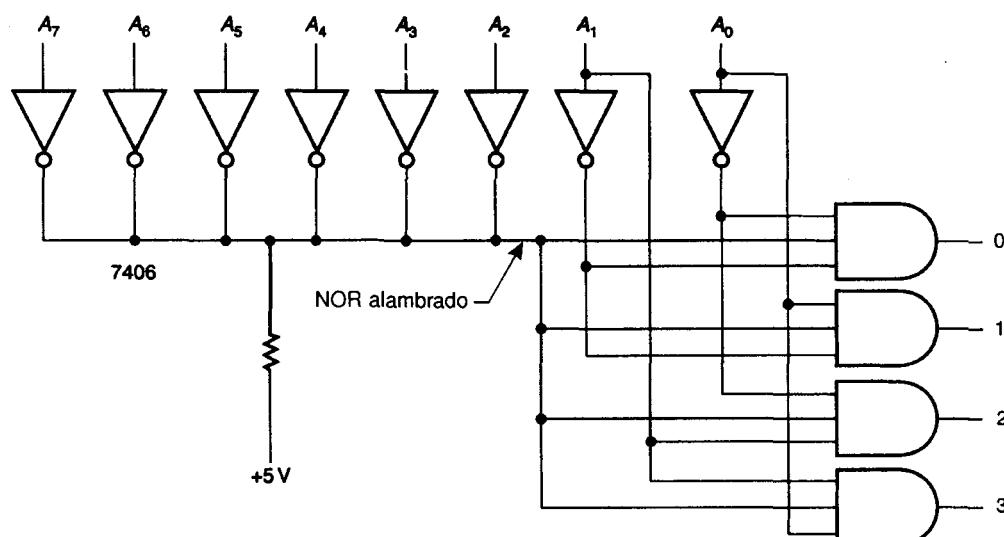


FIGURA 14-4 Decodificador parcial de ocho bits

14.2 DEMULTIPLEXORES



Un **demultiplexor** es un interruptor digital que permite hacer la conexión de una entrada con una de las muchas líneas de salida posibles. La línea de salida a la que se desea que quede conectada la entrada, está determinada por el número binario a la entrada del demultiplexor. La figura 14-5 muestra un demultiplexor de 1 a 4. Su estructura es muy similar a la del decodificador; de hecho, los dos circuitos son casi los mismos. La única diferencia estriba en el uso de la línea de habilitación del decodificador. Un

demultiplexor utiliza la línea de habilitación como entrada de datos. Nótese que los datos aparecen en la salida seleccionada cuando el número binario correspondiente está presente en las entradas de selección.

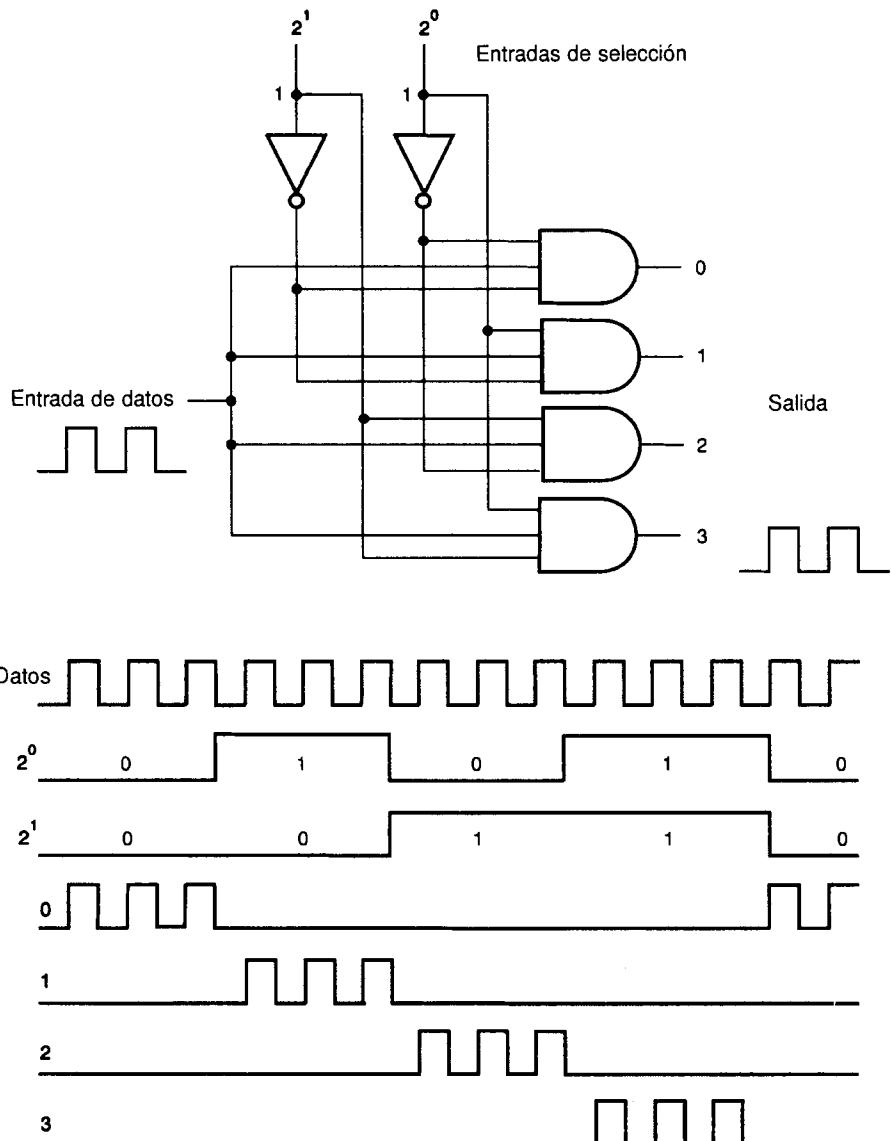


FIGURA 14-5 Demultiplexor de 1 a 4

14.3 MULTIPLEXORES

3

El **multiplexor** es lo opuesto del demultiplexor. Este dispositivo selecciona un canal como entrada y lo conecta a una salida de señal. La figura 14-6 muestra un multiplexor completo de 4 a 1. Las salidas de las compuertas AND se conectan a una compuerta OR para producir una salida común. La compuerta AND que controlará la salida, es seleccionada por el número binario presente en las entradas de selección.

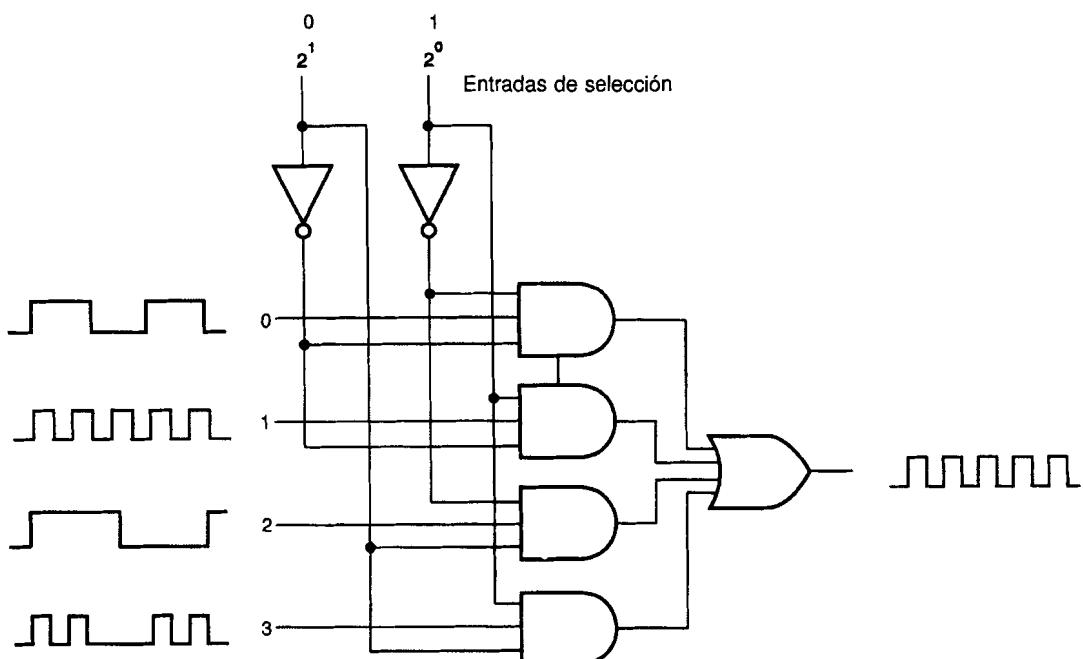


FIGURA 14-6 Multiplexor de 4 a 1

14.4 USO DE UN MULTIPLEXOR PARA REPRODUCIR UNA TABLA DE VERDAD DESEADA

4

Para construir un circuito digital que satisfaga la tabla de verdad mostrada en la figura 14-7, se hace uso de un multiplexor de 4 a 1, como se ilustra en la figura 14-7. Las entradas de selección corresponden a las variables de entrada de la tabla de verdad, y los canales de entrada se ponen los niveles BAJO o ALTO de acuerdo con la salida deseada para una combinación dada de las entradas A y B. Al ir cambiando las entradas de selección A y B siguiendo la secuencia de la tabla de verdad, la salida del multiplexor irá al nivel BAJO o ALTO de acuerdo con los valores que se encuentren en los canales de entrada, reproduciendo de esta manera la tabla de verdad.

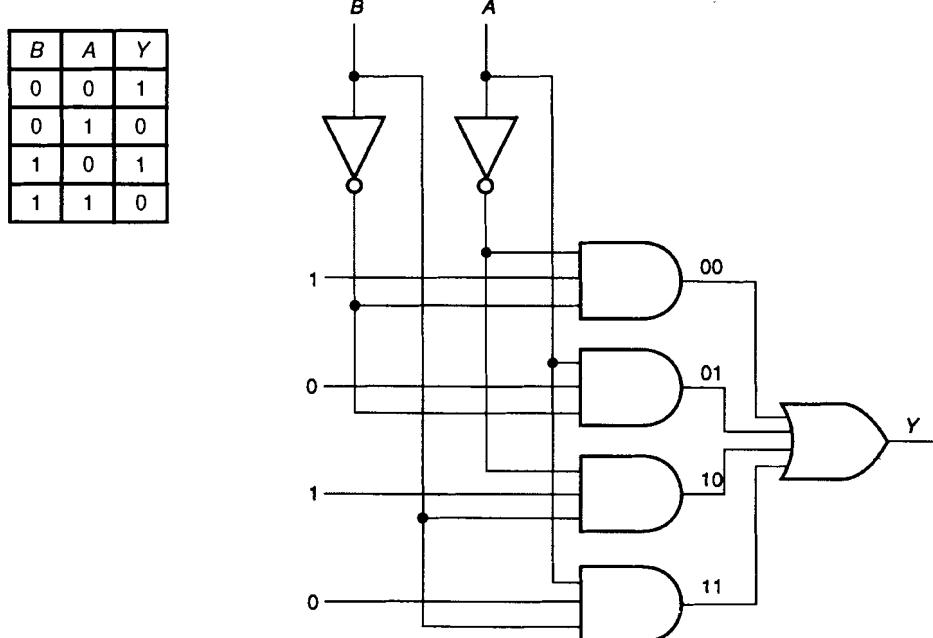


FIGURA 14-7 Uso de un multiplexor para reproducir una tabla de verdad

A primera vista parecería que este método, en el que se hace uso de un multiplexor para reproducir una tabla de verdad, requiere un multiplexor que tenga al menos un número de entradas de selección igual al número de entradas en la tabla de verdad. Con un poco de ingenio, es posible hacer que el multiplexor con dos entradas de selección funcione como un multiplexor con tres entradas de selección. Considérese la tabla de verdad de la figura 14-8(A). Esta ilustra el método convencional para escribir una tabla de verdad, comenzando con 000 y contando en binario hasta 111, que es el número binario más grande que puede expresarse con tres bits. Con este procedimiento se obtienen todas las combinaciones posibles para las tres entradas dadas, A , B y C .

Nótese que los dos bits más significativos de la tabla de verdad, C y B , cambian de valor cada tercera línea. Por consiguiente, las líneas de la tabla de verdad pueden agruparse en cuatro grupos de dos líneas cada uno, en los que C y B son iguales. En el primer grupo, C y B valen 0 y A primero es 0 y luego 1; pero la salida para las líneas 1 y 2 vale 0. Si C y B se usan como las entradas de selección de un multiplexor de 4 a 1 y se pone un 0 en el canal 0 del multiplexor, la salida es 0 cuando las entradas C y B son 0, sin importar el valor que tenga A . Esto se muestra en la figura 14-8(B). Las líneas 3 y 4 de la tabla de verdad son similares; pero en este caso, la salida

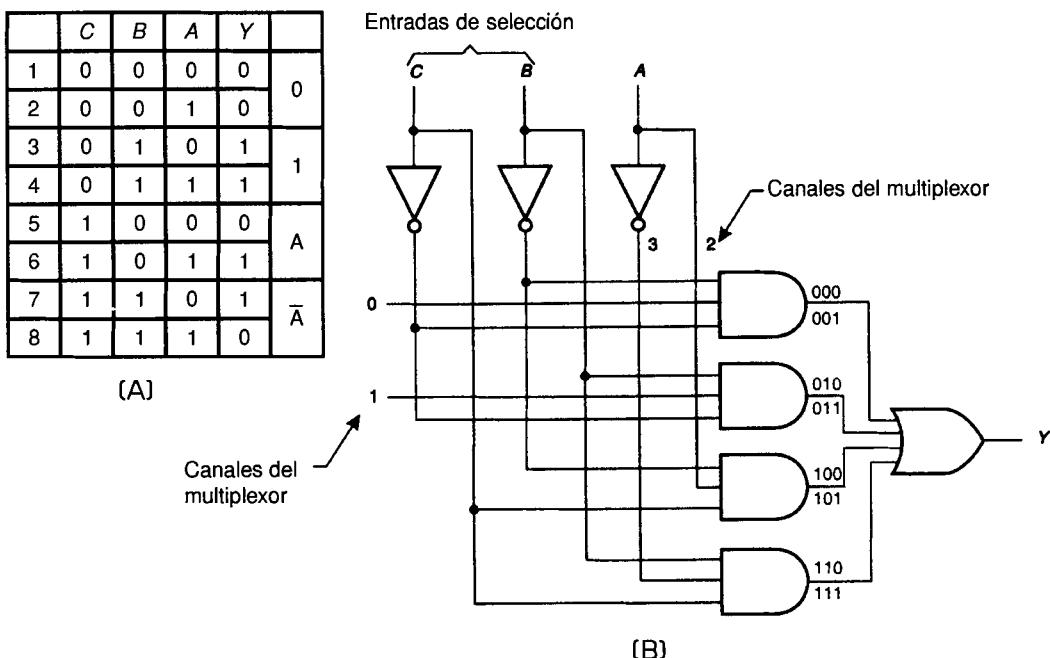


FIGURA 14-8 Uso de un multiplexor de 4 a 1 para reproducir una tabla de verdad de tres bits

Y es 1 en ambos casos. Por tanto, se pone el canal 1 en el nivel ALTO, o 1, lo que produce un 1 en la salida del multiplexor sin importar el valor que tenga A. Las dos líneas siguientes de la tabla de verdad (líneas 5 y 6) no tienen el mismo valor para la salida. Cuando A es 1, la salida Y es 1; y cuando A es 0, la salida Y es 0. Por tanto, simplemente se conecta la entrada A a la entrada del canal 2. Esto hará que la salida siga a la entrada A cuando C y B sean 1 y 0 respectivamente, satisfaciendo de esta manera la tabla de verdad. Las dos últimas líneas (líneas 7 y 8) tampoco tienen la misma salida. Cuando A es 0, Y es 1; y cuando la entrada A es 1, la salida Y es 0, esto es, la salida tiene el valor opuesto de A. Por tanto, se emplea \bar{A} como entrada al tercer canal del multiplexor, lo que completa el circuito para la tabla de verdad. Esta manera de emplear un multiplexor para producir un patrón de pulsos es bastante útil para la secuenciación del funcionamiento de una máquina digital.

Ejemplo: Construya un circuito que implante la siguiente tabla de verdad utilizando compuertas NAND dobles 74LS22 de cuatro entradas con salidas de colector abierto y un inversor séxtuple 74LS04.

	2^3	2^2	2^1	2^0	Y
U2A	0	0	0	0	1
U2B	0	0	1	0	0
U3A	0	1	0	0	0
U3B	0	1	1	0	1
U4A	1	0	0	0	0
U4B	1	0	1	0	1
U5A	1	1	0	0	0
U5B	1	1	1	0	0

	2^3	2^2	2^1	2^0	Y
0	0	0	1	1	
0	0	1	1	0	
0	1	0	1	1	
0	1	1	1	0	
1	0	0	1	1	
1	0	1	1	1	
1	1	0	1	0	
1	1	1	1	0	

FIGURA 14-9

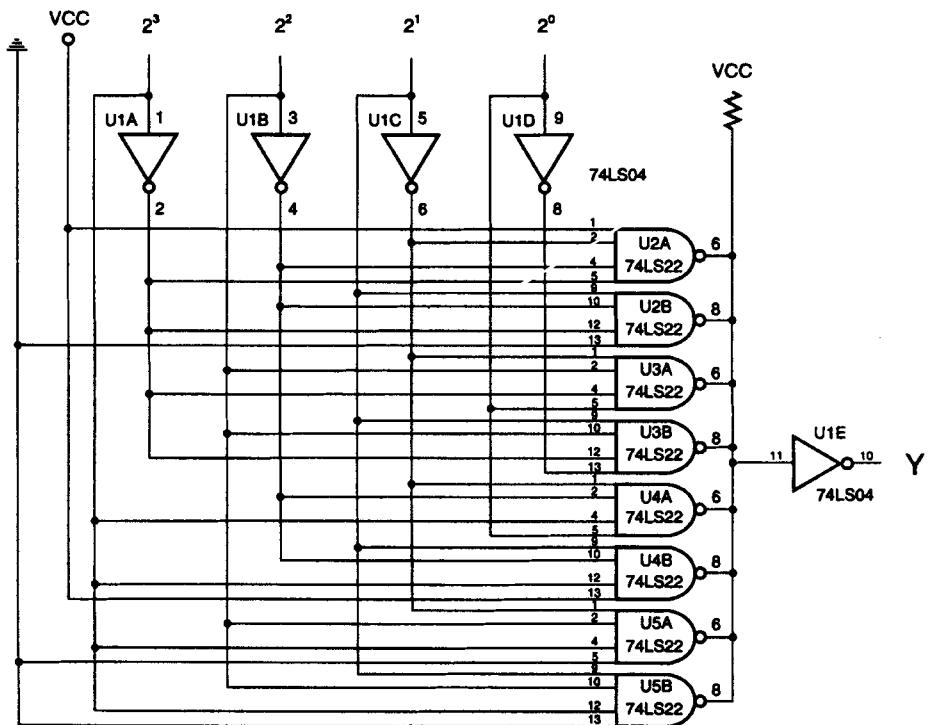
Solución:

FIGURA 14-10

14.5 CI MULTIPLEXORES Y DEMULTIPLEXORES



Existen muchos tipos diferentes de multiplexores y demultiplexores en forma de CI. La figura 14-11 muestra el diagrama lógico de tres demultiplexores/decodificadores TTL. Nótese que el 74138 tiene tres entradas de habilitación que pueden emplearse como entradas de datos o líneas de habilitación. El 74154 es un decodificador completo de cuatro bits con

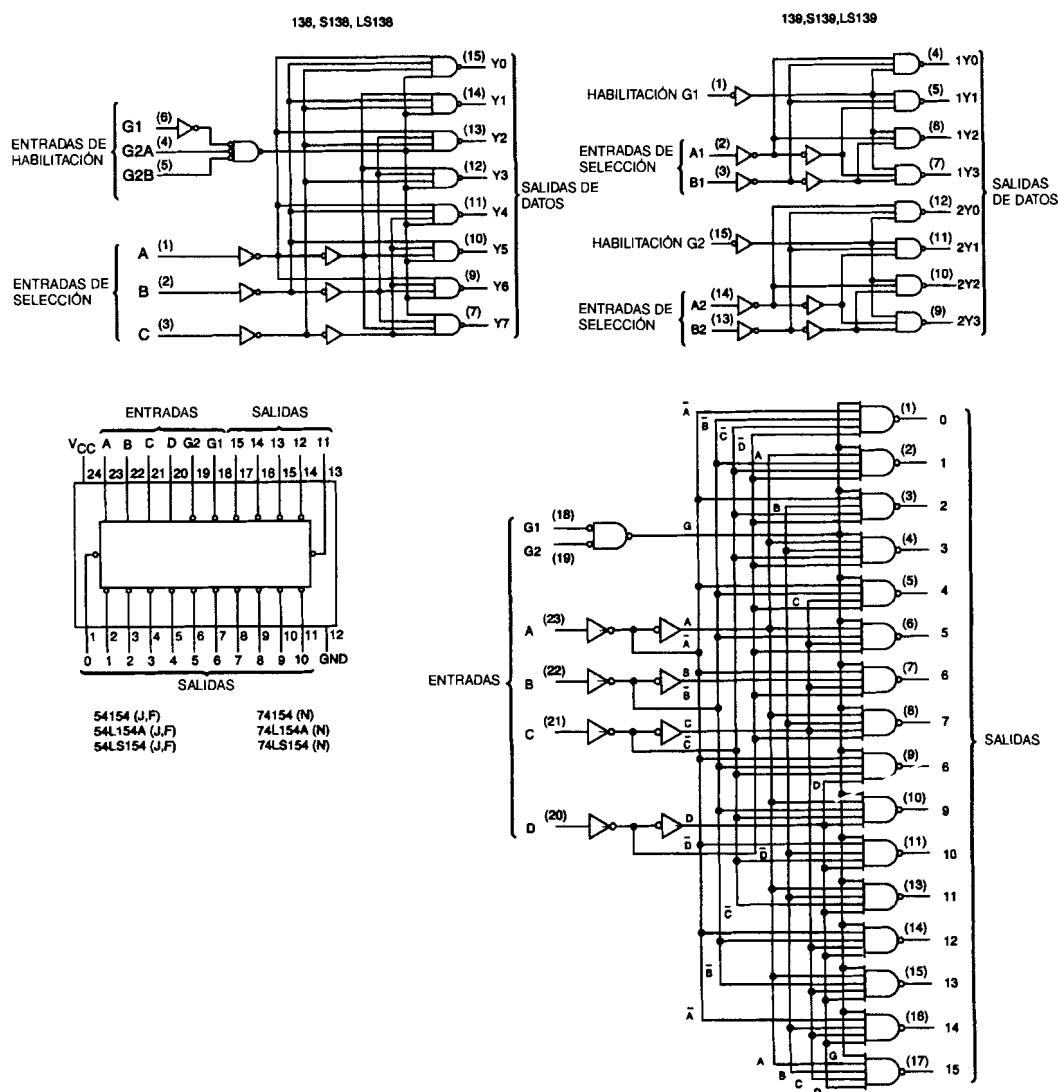


FIGURA 14-11 Decodificadores y demultiplexores

16 líneas de salida y dos líneas de habilitación. Nótese que los tres CI tienen salidas activas en el nivel BAJO. La figura 14-12 muestra los CI multiplexores 74150 y 74151.

En la familia CMOS existen varios multiplexores y demultiplexores analógicos, tales como los CI 4051, 4052 y 4053. Un multiplexor analógico puede permitir el paso de una señal analógica del canal de entrada a la salida. Estos tipos de CI pueden emplearse para multiplexar las entradas de un osciloscopio de varias trazas o líneas telefónicas analógicas.

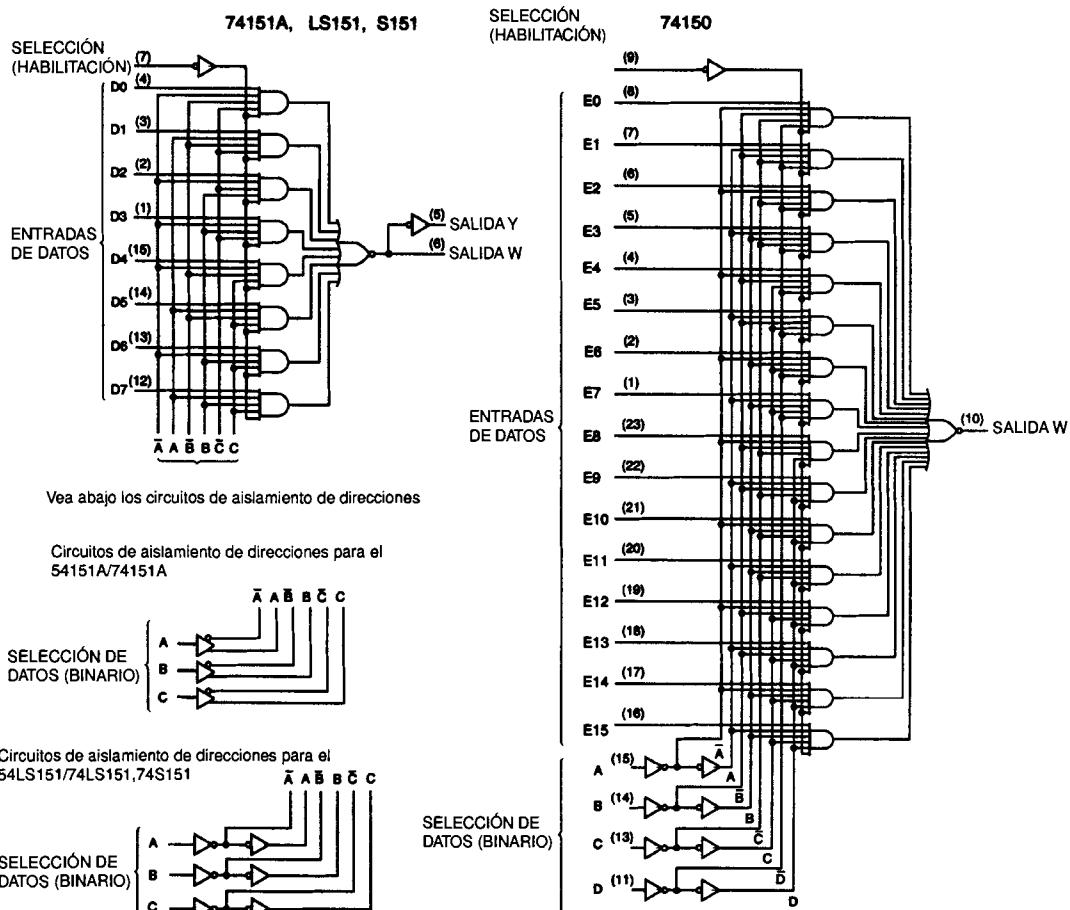


FIGURA 14-12 Multiplexores

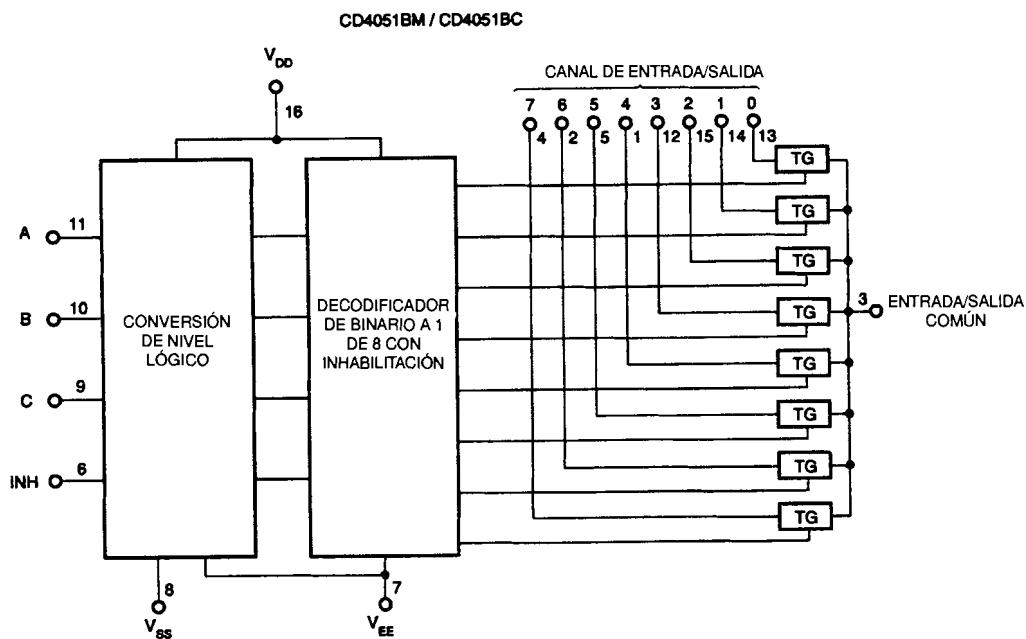


FIGURA 14-12 (continuación)

El CI CMOS 4051 mostrado en la figura multiplexa ocho entradas analógicas en una salida analógica. El voltaje analógico pico-pico está dado por el voltaje positivo V_{DD} y el voltaje negativo V_{EE} . Los voltajes más comúnmente empleados para este CI son un V_{DD} de +5 V, V_{SS} de 0 volts y un V_{EE} de -5 V. Esto permitirá controlar un voltaje analógico de 10 V pico-pico con una señal digital CMOS de 0 a 5 V. La resistencia de encendido para el canal seleccionado tiene un valor típico de 120 ohms y la corriente de fuga de apagado tiene un valor típico de 0.001 nanoamperes. Este CI se emplea a menudo para seleccionar la entrada analógica de un convertidor A/D.

14.6 MULTIPLEXOR DE OCHO TRAZAS PARA OSCILOSCOPIO



La figura 14-13 muestra un circuito multiplexor de ocho trazas para osciloscopio. Este circuito resulta muy útil cuando se trabaja con circuitos digitales en los que es necesario observar varias señales al mismo tiempo así como la relación que existe entre ellas.

El contador 7493 se emplea como contador binario que divide entre ocho. Sus salidas se envían a las entradas de selección de un multiplexor de 8 a 1 (el 74151A) y a los tres bits superiores de un convertidor D/A de cuatro

bits. El bit menos significativo del convertidor D/A se conecta a la línea de salida del multiplexor. A medida que el 7493 cuenta, el voltaje analógico de la salida del convertidor D/A aumenta dos incrementos. Esto se debe a que el bit menos significativo del contador está conectado a la entrada 2^1 del convertidor D/A.

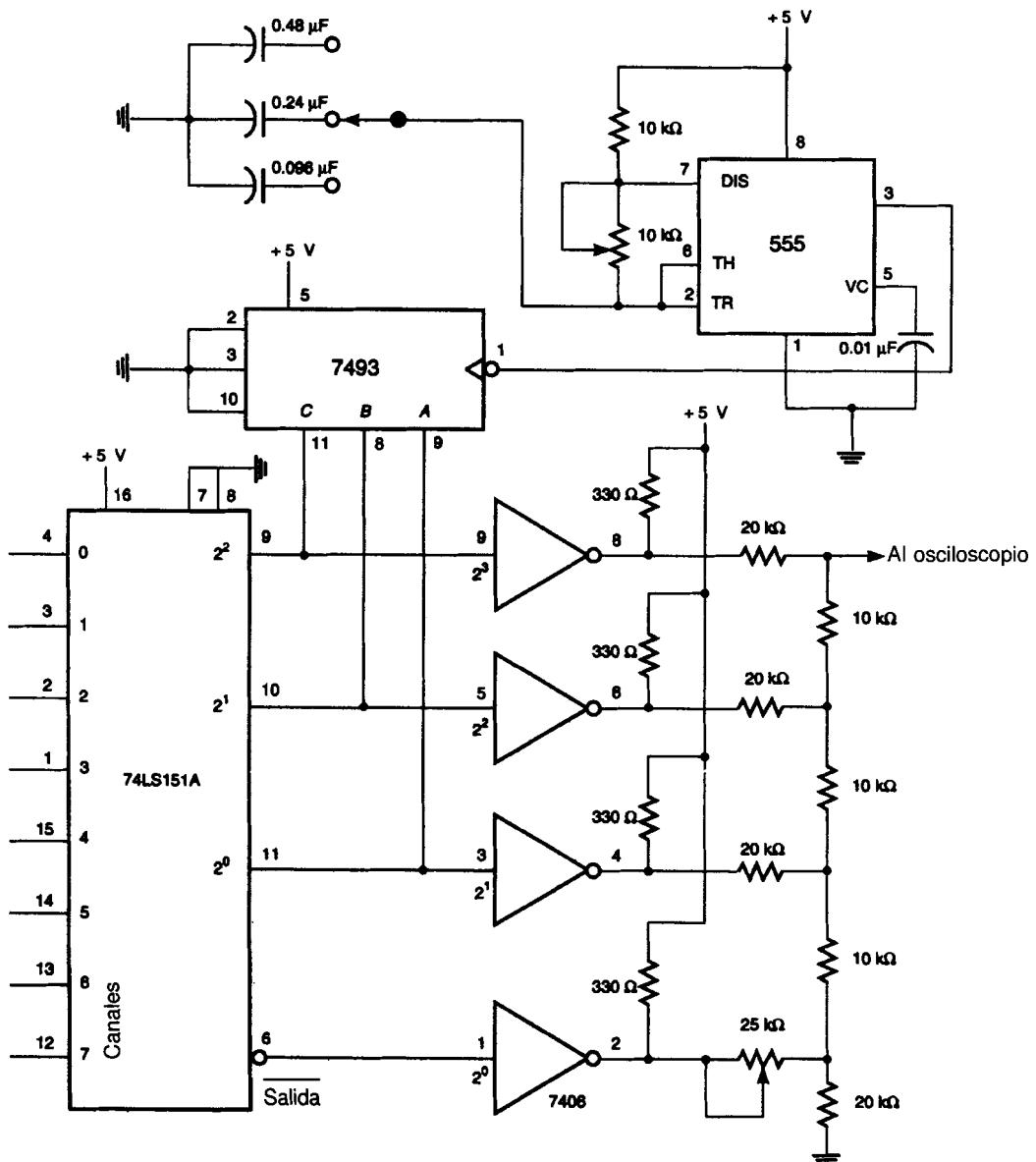
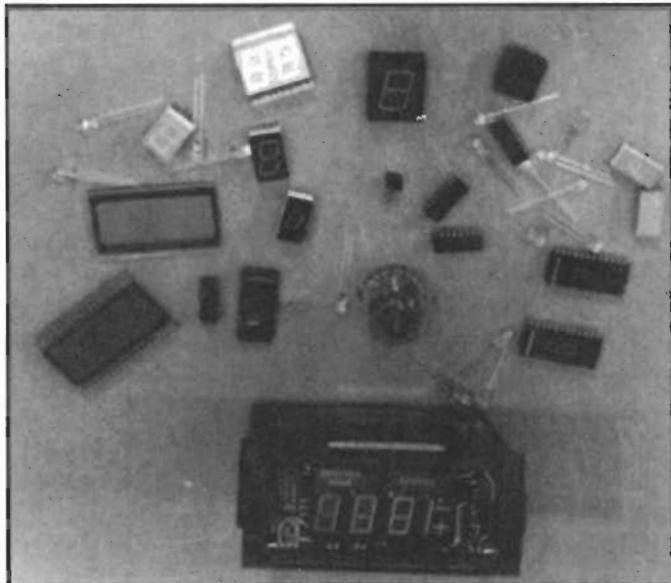


FIGURA 14-13 Multiplexor de ocho trazas para oscilloscopio

VISUALIZADORES ELECTRÓNICOS



En la actualidad existen muchos tipos de visualizadores. En esta fotografía se muestran algunos de ellos. El visualizador más grande de la parte super-

rior es un visualizador fluorescente, mientras que las piezas rectangulares del extremo derecho son visualizadores de LCD.

Cuando la salida del multiplexor cambia, el voltaje analógico cambia por un incremento de 1 debido a que la entrada 2^0 del convertidor D/A está controlada por la salida del multiplexor. Por consiguiente, los datos del canal 0 serán visualizados en el incremento correspondiente al cambio de 0 a 1 del convertidor D/A. El canal 1 será visualizado en el incremento correspondiente al cambio de 2 a 3, mientras que el canal 2 será visualizado en el nivel de voltaje analógico del convertidor D/A correspondiente al cambio de 4 a 5. Este proceso continúa hasta que el contador que divide entre ocho vuelva a comenzar a contar desde 0.

Cuando el contador trabaja a una velocidad al menos 10 veces menor que la frecuencia de barrido, las ocho entradas aparecerán en el osciloscopio, separadas por los incrementos en los niveles de voltaje. Esto se debe a que el contador trabaja con una rapidez mayor que la que puede detectar el ojo. Todas las ondas aparecerán en el osciloscopio al mismo tiempo.

El reloj del contador es generado por un temporizador 555. El selector giratorio cambia la frecuencia del contador para producir una rapidez de

multiplexado al menos 10 veces menor que la frecuencia de barrido. La mejor manera de sincronizar el osciloscopio con los patrones de las ondas es conectando una punta de sincronía externa a la frecuencia de entrada más lenta al multiplexor. El potenciómetro de 25 k Ω se emplea para ajustar el nivel lógico del 0 al 1 de las 8 formas de onda en el osciloscopio. Con métodos similares puede producirse un osciloscopio analógico de varias trazas utilizando un multiplexor analógico.

AUTOEVALUACIÓN PARA LAS SECCIONES 14.1, 14.2, 14.3, 14.4, 14.5 Y 14.6

1. Dibuje el diagrama lógico de un decodificador completo de cuatro bits.
2. Dibuje el diagrama lógico de un decodificador parcial de ocho bits que decodifique los números 2, 4, 8 y 16.
3. Diseñe un circuito multiplexor que multiplexe ocho canales de datos digitales en un canal y luego demultiplexe este canal en uno de ocho canales en el sitio de recepción. Utilice un 74LS138, un 74LS151 y todos los demás CI que necesite.

14.7 DIODO EMISOR DE LUZ



Cuando los electrones llenan un hueco positivo en la unión de un material *PN*, pierden cierta energía. Esta energía se emite como calor y luz. Todas las uniones *PN* hacen esto, pero las que están hechas de galio emiten cantidades suficientes de luz como para ser utilizadas como fuentes de luz visible. Dependiendo del tipo y cantidad de impurezas del cristal, la luz emitida puede ser roja, verde o amarilla.

Dado que el **LED** es una unión *PN*, exhibe todas las propiedades de un diodo común. El LED producirá luz cuando el diodo esté polarizado en directa, pero no cuando lo esté en inversa. Esto se ilustra en la figura 14-14.

Un LED rojo típico polarizado en directa tiene una caída de voltaje aproximada de 1.75 V. El voltaje en polarización directa es mayor para los LED amarillos y verdes. Para que su luz se vea bien, un LED típico necesita entre 5 mA y 20 mA. El resistor de la figura 14-14 se emplea para limitar la corriente que circula por el diodo. Si no se pone el resistor, el diodo se quema como consecuencia de la gran cantidad de corriente que circulará por él.

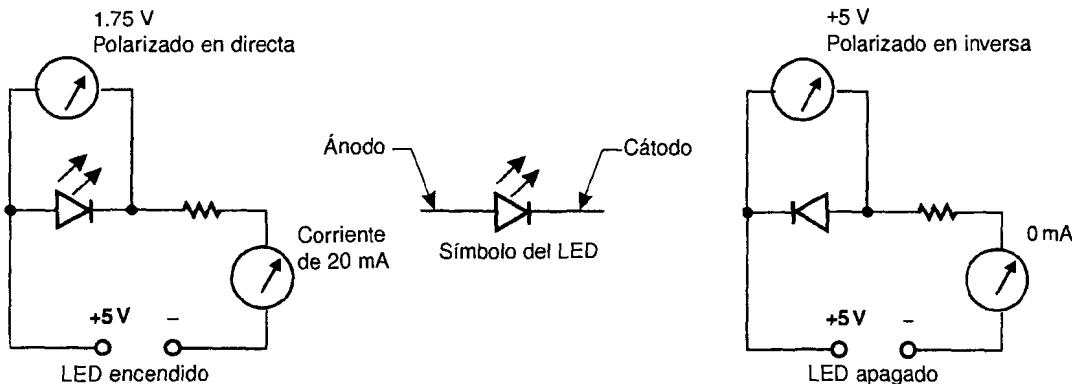


FIGURA 14-14 Polarización del LED

La intensidad de la luz producida por el LED es directamente proporcional a la corriente que circula por el diodo, con lo que éste puede emplearse como una fuente de luz modulada. La velocidad de encendido/apagado también es grande, del orden de 10 nanosegundos para un LED rojo típico. La velocidad del LED permite que se use como optoacoplador de alta velocidad. Existen varios tipos de encapsulados para los LED, como se muestra en la figura 14-15. El cátodo del LED puede encontrarse buscando la terminal en forma de bandera dentro del encapsulado de plástico.

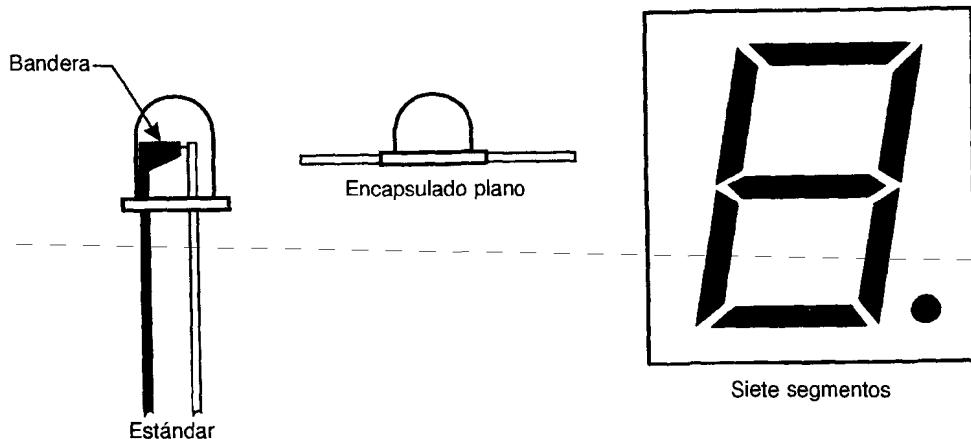


FIGURA 14-15 Encapsulados para LED

Cuando un LED se excita con una salida TTL, lo mejor es diseñar el circuito de modo que el LED quede polarizado en directa (o encendido) cuando la salida TTL tenga el nivel BAJO o se encuentra al potencial de tierra. Esto se debe a que una salida TTL típica puede producir hasta 16 mA cuando se encuentra en el estado BAJO sin aumentar el voltaje del 0 más allá de 0.4 V. Lo anterior se ilustra en la figura 14-16.

La polarización directa de un LED con un voltaje TTL correspondiente al 1 lógico producirá suficiente corriente para encender un LED rojo típico; pero en este caso el voltaje de salida puede caer por debajo del límite de los 2 volts para un 1 lógico. Dos CI útiles que permiten excitar LED que necesitan corrientes mayores son el 7406 y el 7407. Estos dos circuitos tienen salidas de colector abierto y pueden consumir hasta 40 mA. En estos CI también se pueden aplicar hasta 30 V al resistor de acoplamiento de la salida. Esta característica los hace muy útiles cuando excitan un dispositivo de visualización que deba utilizar +12 V o más.

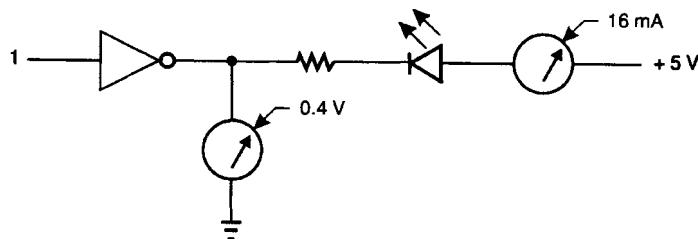


FIGURA 14-16 Excitación de un LED con una salida TTL

El 74ALS1005 es un CI inversor séxtuple de colector abierto que puede consumir hasta 24 mA. Este CI puede ser excitado por CI CMOS que trabajen con un V_{DD} de + 5V.

14.8 VISUALIZADOR DE SIETE SEGMENTOS



Como puede observarse en la figura 14-17, el **visualizador de siete segmentos** en realidad está formado por ocho LED (siete segmentos y un punto decimal). El formato del visualizador de siete segmentos se utiliza en otros tipos de dispositivos de visualización y puede mostrar cualquier número desde 0 hasta 9. La figura 14-17 presenta los segmentos típicos empleados para mostrar los números del 0 al 9.

Existen dos tipos de visualizadores de LED de siete segmentos: el de ánodo común y el de cátodo común. Como puede verse en la figura 14-17, el de cátodo común tiene conectados entre sí a todos los cátodos de los siete

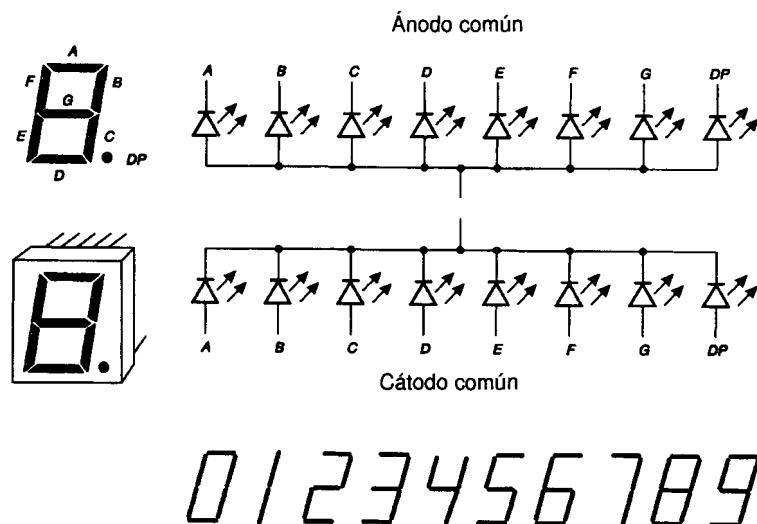
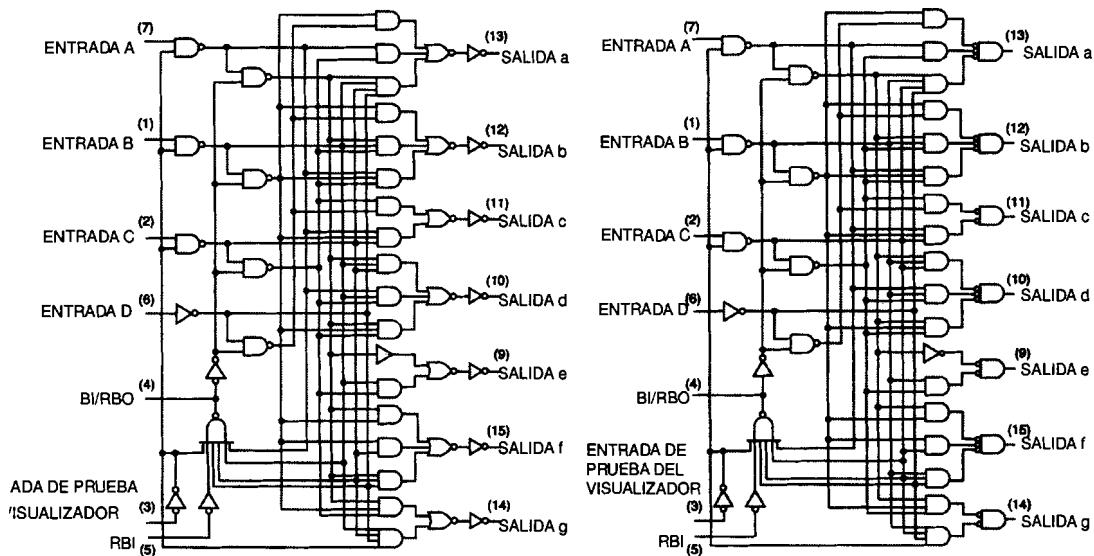


FIGURA 14-17 Visualizadores de siete segmentos

segmentos, el de ánodo común tiene la misma característica, con la excepción de que son los ánodos los que se conectan entre sí. Asimismo, nótese la forma en que se identifican los siete segmentos. Éste es un estándar de hecho para visualizadores de siete segmentos y CI MSI diseñados para trabajar con visualizadores de este tipo.

La figura 14-18 muestra los diagramas lógicos de los decodificadores excitadores TTL 7447 y 7448. Estos CI decodifican un número BCD de cuatro bits generando la salida apropiada para ver el número BCD en el visualizador de siete segmentos.

Ejemplo: Diseñe un contador BCD que cuente desde 0 hasta 999 y muestre la salida en tres visualizadores de LED de siete segmentos FND-510. Utilice tres contadores BCD 74LS90 y tres CI decodificadores de BCD a siete segmentos 74LS47. El circuito debe contar con prueba del visualizador y borrado de los ceros a la izquierda.



Descripción general

Los circuitos 46A, 47A y LS47 tienen salidas activas en el nivel bajo diseñadas para excitar de manera directa al LED de ánodo común o indicadores incandescentes; los circuitos 48, LS48 y LS49 tienen salidas activas en el nivel alto para excitar dispositivos de aislamiento de indicadores o LED de cátodo común. Todos los circuitos, con excepción del LS49, tienen controles completos de entrada/salida de propagación de borrado y una entrada para prueba. El LS49 cuenta con una entrada de borrado directo. Los patrones presentados para entradas BCD mayores que nueve son símbolos especiales que permiten

confirmar las condiciones de entrada. Todos los circuitos, con excepción del LS49, cuentan con control de borrado automático de ceros en el flanco ascendente o descendente (RBO y RBI). La prueba del visualizador (LT) de estos dispositivos puede efectuarse en cualquier momento en que el nodo BI/RBO se encuentra en el nivel lógico alto. Todos los tipos (incluyendo el LS49) cuentan con una entrada de borrado con prioridad superior (BI) que puede emplearse para controlar la intensidad del visualizador (aplicando pulsos) o para inhabilitar las salidas.

FIGURA 14-18 Excitadores decodificadores de siete segmentos

512 Decodificadores, multiplexores, demultiplexores y visualizadores

Nota 1: BI/RBO es un AND lógico alambrado que sirve como entrada de borrado (BI) o salida de propagación de borrado (RBO).

Nota 2: La entrada de borrado (BI) debe estar abierta o mantenerse en un nivel lógico alto cuando se desean las funciones de salida 0 a 15. La entrada de propagación de borrado (RBI) debe estar abierta o en alto si no se desea borrar un cero decimal.

Nota 3: Cuando se aplica directamente un nivel lógico bajo a la entrada de borrado (BI), las salidas de todos los segmentos son H (46,47); L(48), sin importar el nivel que tengan las demás entradas.

Nota 4: Cuando la entrada de propagación de borrado (RBI) y las entradas A, B, C y D están en un nivel bajo con la entrada de prueba del visualizador en alto, las salidas de todos los segmentos van al nivel H y la salida de propagación de borrado (RBO) cambia al nivel bajo (condición de respuesta).

Nota 5: Cuando la salida de borrado (BI/RBO) está abierta o se mantiene en el nivel alto y se aplica un nivel bajo a la entrada de prueba del visualizador, las salidas de todos los segmentos pasan al nivel L.

H = nivel alto

L = nivel bajo

X = indistinto

46A, 47A

Decimal o función	Entradas					BI/RBO(1)	Salidas							Nota
	LT	RBI	D	C	B	A	a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	L	L	L	L	L	H	(2)
1	H	X	L	L	L	H	H	H	L	L	H	H	H	
2	H	X	L	L	H	L	H	L	L	H	L	H	L	
3	H	X	L	L	H	H	H	L	L	L	H	H	L	
4	H	X	L	H	L	L	H	H	L	L	H	H	L	
5	H	X	L	H	L	H	H	L	H	L	L	H	L	
6	H	X	L	H	H	L	H	H	H	L	L	L	L	
7	H	X	L	H	H	H	H	L	L	L	H	H	H	
8	H	X	H	L	L	L	H	L	L	L	L	L	L	
9	H	X	H	L	L	H	H	L	L	L	H	H	L	
10	H	X	H	L	H	L	H	H	H	H	L	L	H	
11	H	X	H	L	H	H	H	H	H	L	L	H	H	
12	H	X	H	H	L	L	H	H	L	H	H	H	L	
13	H	X	H	H	L	H	H	L	H	H	L	H	L	
14	H	X	H	H	H	L	H	H	H	L	L	L	L	
15	H	X	H	H	H	H	H	H	H	H	H	H	H	
BI	X	X	X	X	X	X	L	H	H	H	H	H	H	(3)
RBI	H	L	L	L	L	L	L	H	H	H	H	H	H	(4)
LT	L	X	X	X	X	X	H	L	L	L	L	L	L	(5)

48

Decimal o función	Entradas					BI/RBO(1)	Salidas							Nota
	LT	RBI	D	C	B	A	a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	H	H	H	H	H	L	(2)
1	H	X	L	L	L	H	H	L	H	H	L	L	L	
2	H	X	L	L	H	L	H	H	H	L	H	H	L	
3	H	X	L	L	H	H	H	H	H	H	L	L	H	
4	H	X	L	H	L	L	H	L	H	H	L	L	H	
5	H	X	L	H	L	H	H	H	L	H	H	L	H	
6	H	X	L	H	H	L	H	L	L	H	H	H	H	
7	H	X	L	H	H	H	H	H	H	H	L	L	L	
8	H	X	H	L	L	L	H	H	H	H	H	H	H	
9	H	X	H	L	L	H	H	H	H	H	L	L	H	
10	H	X	H	L	H	L	H	L	L	L	H	H	L	
11	H	X	H	L	H	H	H	L	L	H	H	L	L	
12	H	X	H	H	L	L	H	L	H	L	L	L	H	
13	H	X	H	H	L	H	H	H	L	L	H	L	H	
14	H	X	H	H	H	L	H	L	L	L	H	H	H	
15	H	X	H	H	H	H	H	L	L	L	L	L	L	
BI	X	X	X	X	X	X	L	L	L	L	L	L	L	(3)
RBI	H	L	L	L	L	L	L	L	L	L	L	L	L	(4)
LT	L	X	X	X	X	X	H	H	H	H	H	H	H	(5)

FIGURA 14-18 (continuación)

Solución:

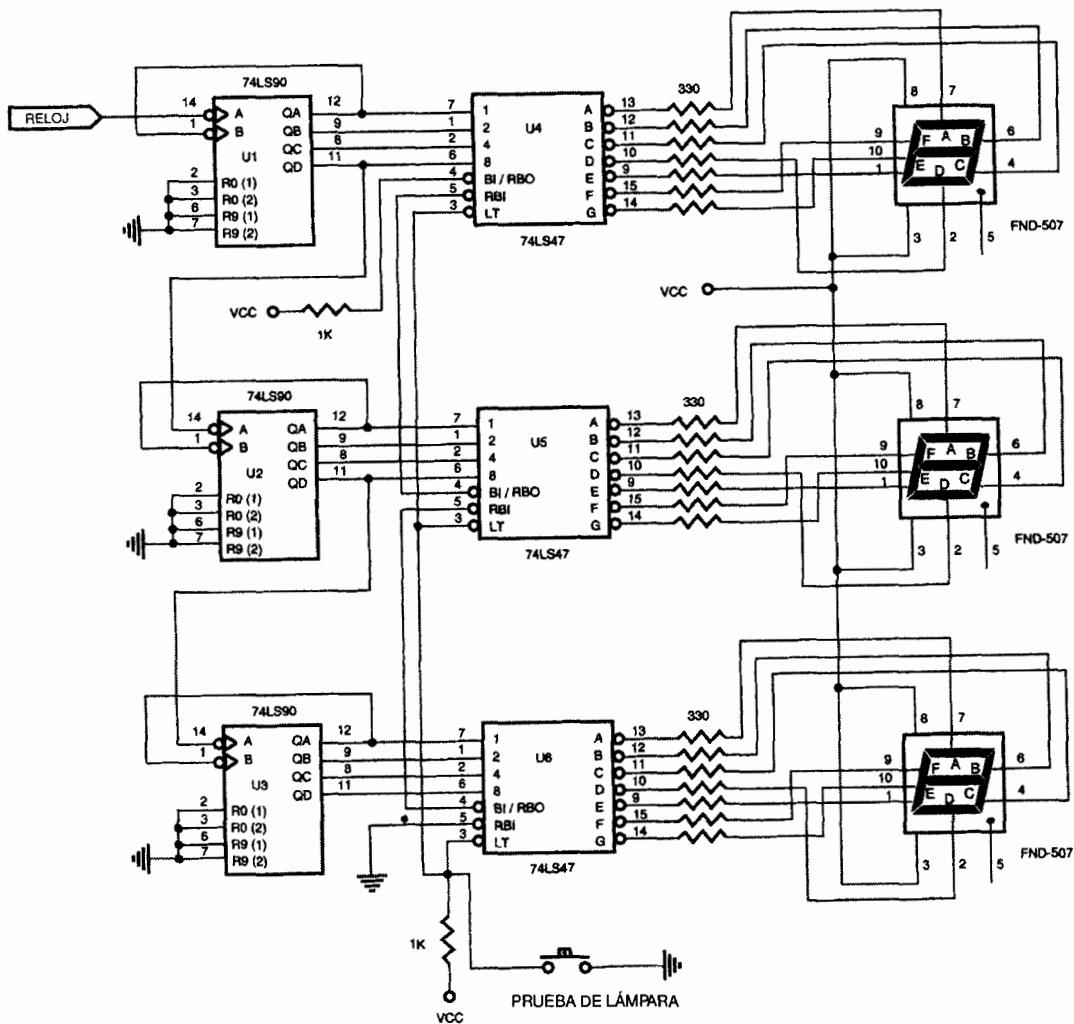


FIGURA 14-19

14.9 VISUALIZADOR DE CRISTAL LÍQUIDO



En la actualidad se emplean dos tipos de LCD: el dinámico y el de efecto de campo. Los dos tipos emplean materiales diferentes para el **cristal líquido** y funcionan de manera distinta. Ninguno de ellos emite luz y para poderlos ver es necesario contar con una fuente de luz externa.

En el LCD dinámico el material de cristal líquido se encuentra entre dos placas de vidrio transparentes. El patrón de siete segmentos se encuentra grabado en la placa de vidrio frontal y está hecho de un material conductor de electricidad transparente, tal como el óxido de indio. El vidrio posterior está recubierto con este conductor transparente el cual corresponde a los siete segmentos, como se muestra en la figura 14-20. De esta manera, sólo se verán los segmentos de los dígitos cuando se aplique corriente al LCD.

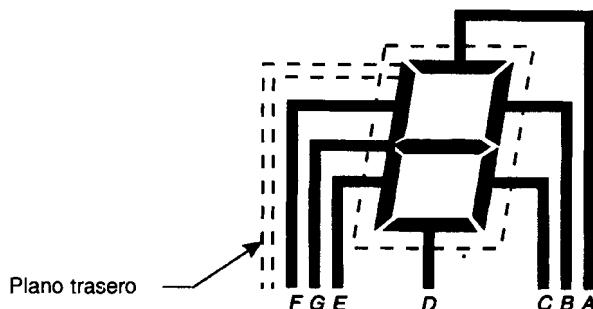


FIGURA 14-20 Conductores transparentes de segmento de un LCD

Cuando se aplica voltaje entre el patrón de segmentos y el conductor posterior de la placa de vidrio posterior, el cristal líquido difunde la luz. Lo anterior sucede debido a que el índice de refracción cambia al azar, provocando con ello que la luz se refracte aleatoriamente a medida que pasa por el material de cristal líquido. La acción de dispersión hace que el segmento presente un color blanco lechoso.

Un voltaje de cd producirá este efecto en un LCD dinámico. Sin embargo, se emplea un voltaje de ca debido a que una corriente de cd, incluso muy pequeña, puede hacer que se electrodeposite material del cristal líquido en el conductor del segmento. La corriente de ca impide que esto suceda. La corriente para un LCD de siete segmentos dinámico típico es muy pequeña, aproximadamente $25 \mu\text{A}$ a 30 V_{pp} y 60 Hz. La característica anterior es la razón principal para hacer uso de visualizadores LCD.

El LCD de efecto de campo o nemático con giro es el LCD de uso más común. Este es el tipo de LCD empleado por la mayor parte de las calculadoras, relojes y computadoras que funcionan con baterías. El LCD más común de este tipo produce un segmento oscuro sobre un fondo reflejante.

Para comprender la forma en que funciona este visualizador de LCD, primero es necesario entender el funcionamiento de una placa de vidrio polarizado. La figura 14-21 muestra una placa de vidrio polarizado verticalmente. Nótese que sólo los rayos de luz que estén polarizados de manera vertical serán los que pasen por el vidrio. La luz que pasa a través del vidrio

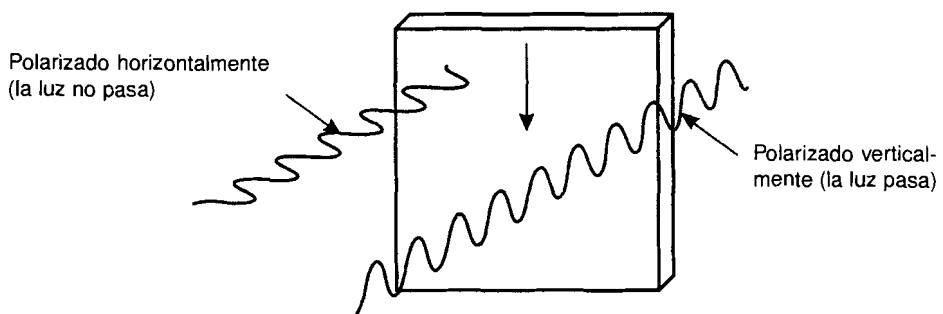


FIGURA 14-21 Vidrio polarizado verticalmente

está polarizada verticalmente y, claro está, tiene una intensidad menor debido a que algunos de los rayos de luz no pueden pasar por el vidrio.

Si se colocan dos placas de vidrio polarizado en ángulo recto, ningún rayo de luz pasará por ellas debido a que el primer vidrio polarizado detendrá todos los rayos de luz que no estén polarizados verticalmente, y el segundo vidrio polarizado sólo dejará pasar la luz polarizada horizontalmente. Por consiguiente, la luz no puede pasar cuando se emplean las dos placas. Esto se muestra en la figura 14-22.

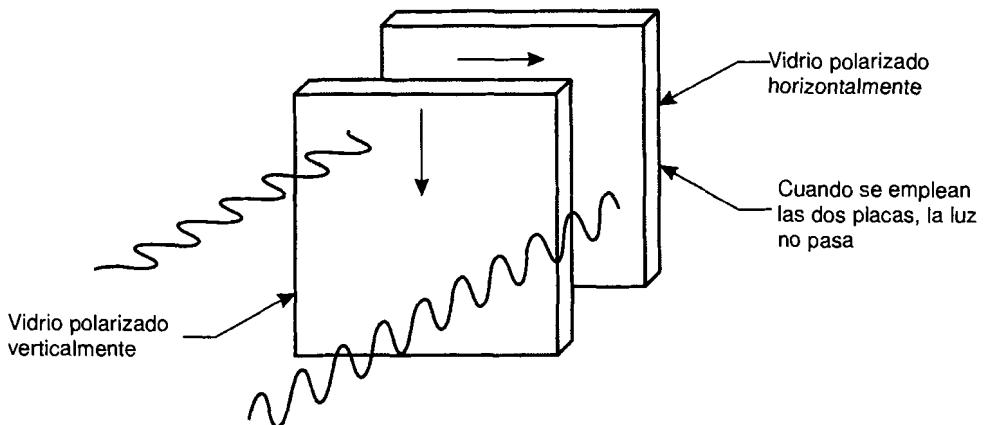


FIGURA 14-22 Filtrado de toda la luz

Si fuese posible girar 90° los rayos de luz verticales que pasan por el primer vidrio polarizado verticalmente, entonces éstos pasarían a través del segundo vidrio polarizado horizontalmente. Lo anterior es exactamente lo que puede hacer el material de cristal líquido, esto es, girar la luz 90° . Al colocar el material de cristal líquido entre las dos placas de vidrio polarizado, la luz polarizada verticalmente gira 90° y pasa a través del vidrio trasero polarizado horizontalmente, con lo que la luz pasa a través de las dos placas de vidrio polarizado. El giro de los rayos de luz verticales continuará hasta que pase una corriente eléctrica por el material de cristal líquido. Cuando esto sucede, el cristal líquido deja de girar la luz y ésta pasa sin alteración hasta el vidrio polarizado horizontalmente, el cual bloquea su paso debido a que la luz está polarizada verticalmente. Lo anterior se muestra en la figura 14-23. Nótese que sólo el área bajo el segmento conductor es la que se verá afectada, produciendo de esta manera un segmento oscuro.

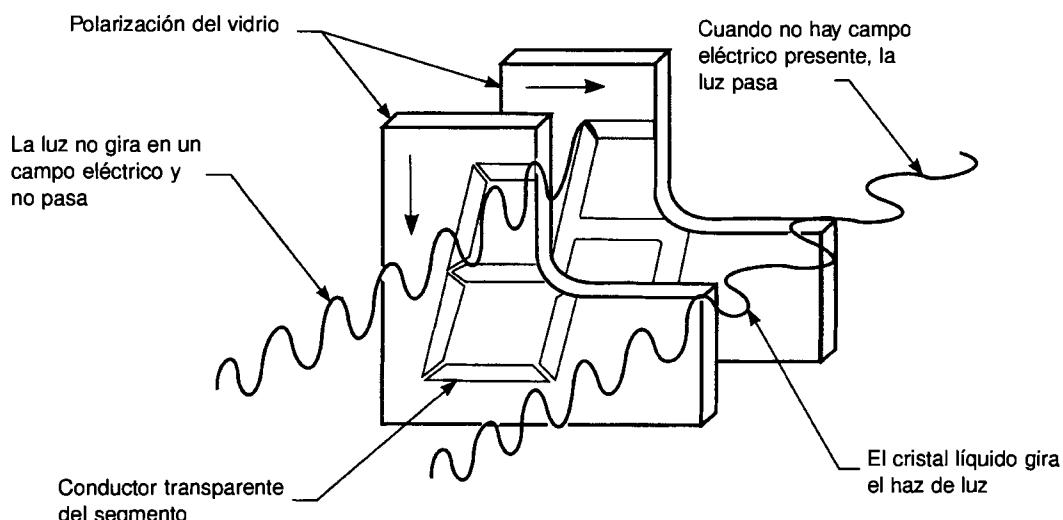


FIGURA 14-23 LCD nemático con giro

El LCD de efecto de campo o nemático con giro en general funciona con un voltaje de ca de $8 V_{pp}$ y 60 Hz, con una corriente aproximada de $300 \mu A$. De nuevo, la ventaja principal de estos LCD es el bajo consumo de corriente. El voltaje de ca empleado para excitar un visualizador de LCD puede obtenerse con algunas compuertas CMOS XOR y un reloj que tenga un ciclo de trabajo del 50 %. Como puede verse en la figura 14-24, cuando la entrada es 0, el voltaje diferencial entre el conductor del segmento y el plano trasero es 0. Cuando la entrada es 1, el voltaje es de ca.

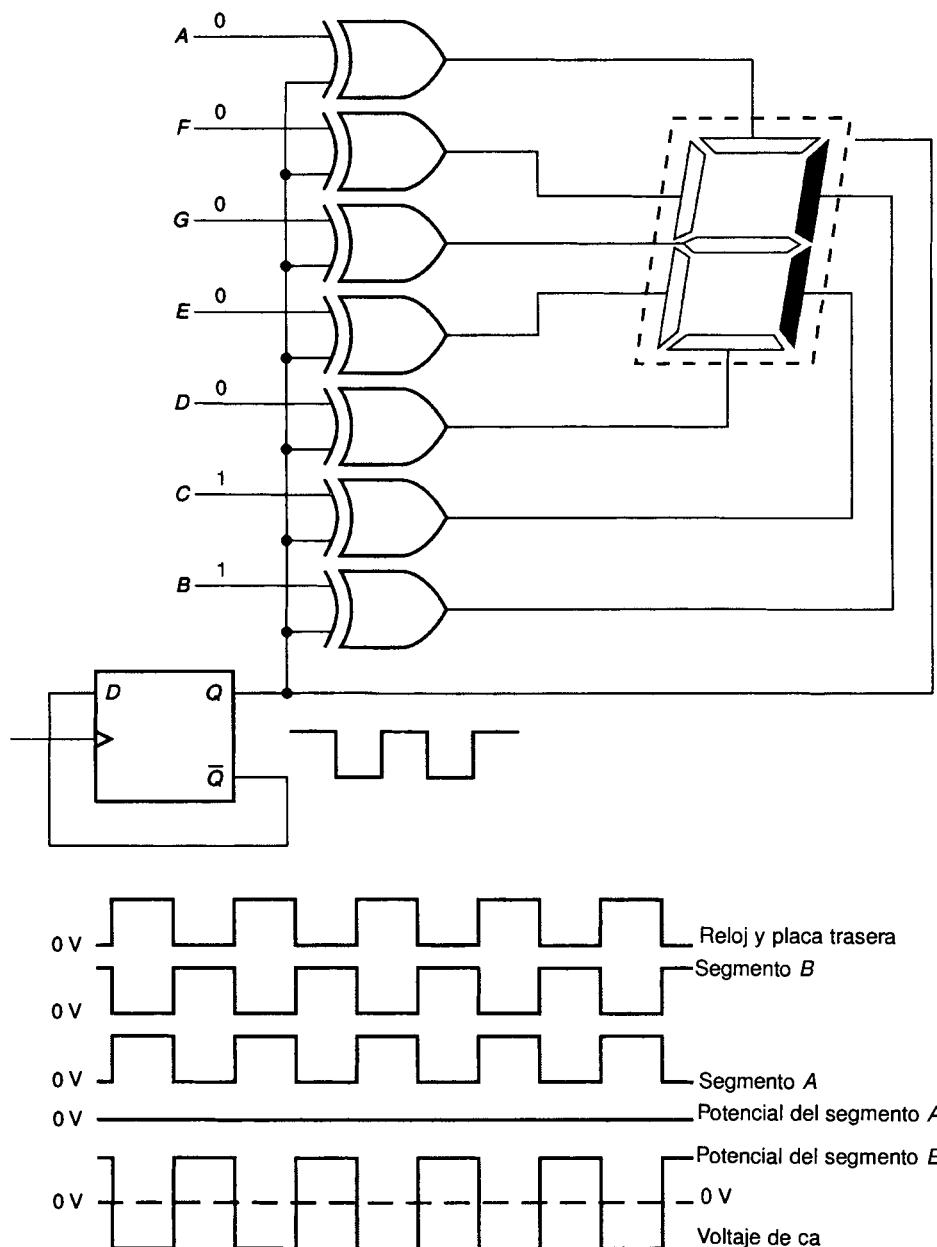
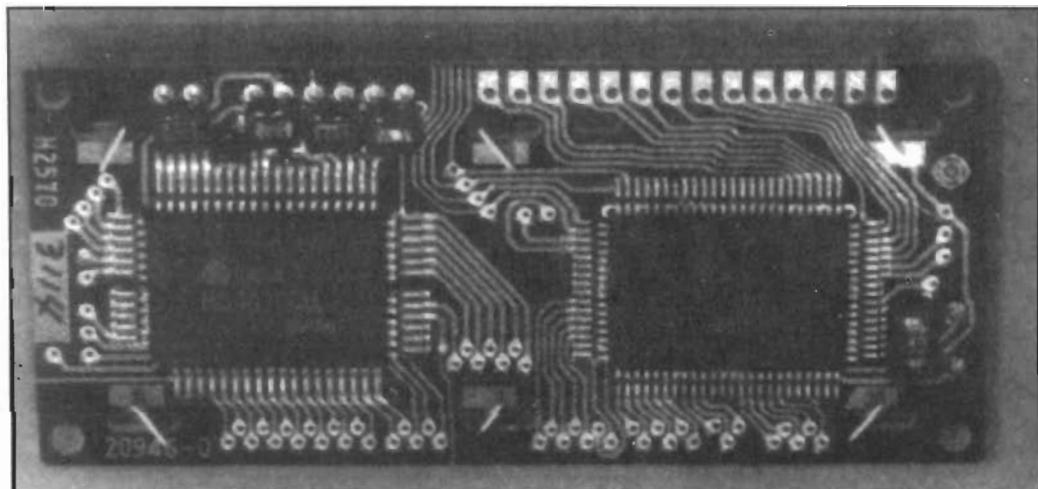
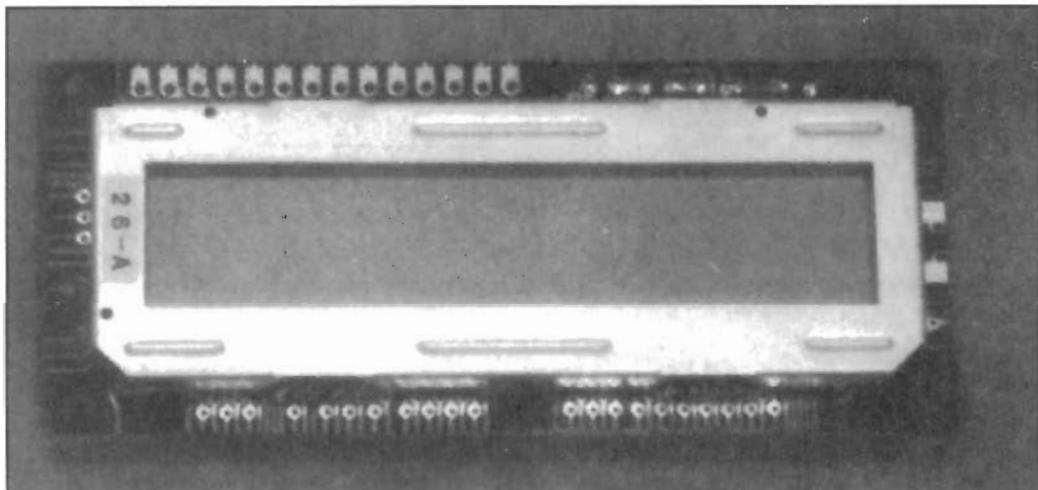


FIGURA 14-24 Excitación de un LCD con un voltaje de ca

VISUALIZADOR LCD Y MÓDULO DE EXCITACIÓN



Estas fotografías muestran un visualizador de LCD que emplea una tarjeta de circuito impreso y tecnología de montaje de superficie para producir un

módulo de visualización completo. El módulo acepta código ASCII proveniente de un bus de computadora y lo muestra en el visualizador LCD.

AUTOEVALUACIÓN PARA LAS SECCIONES 14.7, 14.8 Y 14.9

1. Dibuje el diagrama de un visualizador de siete segmentos con las letras asociadas a cada segmento.
 2. ¿Por qué no es un buen procedimiento hacer uso de un 1 lógico TTL para encender un LED?
 3. ¿Cuál es el voltaje típico en polarización directa de un LED rojo?
-

RESUMEN

- Un decodificador es un circuito digital que produce una salida activa única para cada uno de los números binarios de entrada posibles al decodificador.

Un decodificador es completo si se decodifica cada número binario posible. El decodificador parcial sólo decodifica un subconjunto de números binarios. Los decodificadores se emplean de manera extensa en aplicaciones de computadoras para decodificar el bus de direcciones de la computadora, y para seleccionar bancos de memoria o puertos de entrada/salida.

- El decodificador puede emplearse como demultiplexor si se añade una línea de habilitación común a cada una de las compuertas AND del decodificador.

Esto permite que los datos en la entrada de habilitación sean conectados al canal seleccionado por las entradas de selección del demultiplexor.

- Un multiplexor es un decodificador que tiene un canal de entrada para cada una de las compuertas AND que emplea.

La salida de cada una de las compuertas AND está conectada a una compuerta OR para producir la salida del multiplexor. Los datos que llegan a la salida son seleccionados por el número binario colocado en las entradas de selección del multiplexor.

- La unión PN emite luz cuando es polarizada en directa.

La unión PN construida con galio contaminado de manera apropiada, emite luz en cantidades suficientes para ser empleada como fuente lumínosa. A esta unión se le conoce como LED o diodo emisor de luz. El LED funciona igual que un diodo común, con la excepción de que su voltaje en polarización directa es aproximadamente de 1.75 V para un LED rojo y un poco más grande para LED verde y amarillo. Los LED de siete segmentos emplean siete u ocho LED configurados en patrones que pueden em-

plearse para reproducir números y pueden tener conectados entre sí a todos los ánodos o los cátodos de todos los diodos, es decir, pueden ser de ánodo o de cátodo común. Existe un sistema de facto para la identificación de los segmentos de la cara del LED de siete segmentos.

- El LCD (visualizador de cristal líquido) no produce luz, sino que la bloquea para crear un número.

El LCD se emplea en aplicaciones donde se necesita un bajo consumo de potencia.

El LCD de efecto de campo o nemático con giro hace uso de vidrios polarizados y es el más utilizado. Lo común es que los LCD sean excitados por un voltaje de ca con la finalidad de reducir la electrodepositación sobre la superficie del visualizador.

PREGUNTAS Y PROBLEMAS

1. Dibuje el diagrama lógico de un decodificador completo de tres bits. [1]
2. Dibuje el diagrama lógico de un decodificador parcial que tenga una salida activa en el nivel BAJO para las entradas FB, FA, FC y FF. [1]
3. Utilice un multiplexor 74150 para reproducir la siguiente tabla de verdad. Dibuje el diagrama lógico. [1]

Entradas					Salida
E	D	C	B	A	Y
0	0	0	0	0	0
0	0	0	0	1	1
0	0	0	1	0	1
0	0	0	1	1	1
0	0	1	0	0	0
0	0	1	0	1	0
0	0	1	1	0	1
0	0	1	1	1	0
0	1	0	0	0	1
0	1	0	1	0	0
0	1	0	1	1	1
0	1	1	0	0	1
0	1	1	1	0	0
0	1	1	1	1	1
0	1	1	1	1	0
0	1	1	1	1	0

Entradas					Salida
E	D	C	B	A	Y
1	0	0	0	0	0
1	0	0	0	1	0
1	0	0	1	0	0
1	0	0	1	1	0
1	0	1	0	0	1
1	0	1	0	1	1
1	0	1	1	0	0
1	0	1	1	1	1
1	1	0	0	0	1
1	1	0	0	1	0
1	1	0	1	1	1
1	1	1	0	0	1
1	1	1	0	1	1
1	1	1	1	0	1
1	1	1	1	1	0

4. ¿Cuál es el voltaje en polarización directa típico de un LED rojo? [7]
5. Dibuje un LED de siete segmentos común con las letras asociadas a cada segmento. [8]
6. Consulte un manual de especificaciones y dibuje el diagrama lógico de un visualizador de tres dígitos con LED de siete segmentos que borre los ceros a la izquierda, utilizando decodificadores 7447. [8]
7. ¿Cuáles son los dos tipos de visualizadores LCD?
8. ¿Por qué se emplea un voltaje de ca para excitar los visualizadores de LCD? [9]
9. ¿Qué tipo de visualizador es más rápido, el LCD o el LED? [7, 8]
10. ¿Es posible construir un visualizador LCD nemático con giro con un fondo negro y segmentos blancos? [8]
11. Dibuje el diagrama lógico de un decodificador parcial que decodifique los primeros ocho números binarios de un número binario de ocho bits. Utilice CI 74138 y 7406. Indique los números de terminales. [1, 2]
12. Modifique el multiplexor de ocho trazas para osciloscopio de la figura 14-13 para convertirlo en un multiplexor de 16 trazas para osciloscopio. [6]
13. Haga una lista de multiplexores analógicos CMOS e indique los números de terminales. [5]
14. Obtenga información sobre el CI CMOS 4511 y describa su funcionamiento. [5]
15. Busque el CI CMOS 74C945 y describa su funcionamiento. [5]
16. Utilice un CI 74LS47 y un LED de siete segmentos FND-507 para visualizar la cuenta de un CI contador 74LS90. Indique los números de terminales. [8]
17. Haga una lista de cuatro CI multiplexores. [5]
18. Utilice un CI 7406, un 74LS30 y un 74LS138 para construir un decodificador parcial para las direcciones hexadecimales 0ff0 a 0ff7. Muestre los números de terminales. [1]
19. ¿Qué es un vidrio polarizado? [9]
20. ¿Qué significan las siglas LCD? [9]

Práctica 14

Multiplexores, LED y visualizadores de siete segmentos

OBJETIVOS

Al término de esta práctica, el lector deberá ser capaz de:

- utilizar un 74150 para construir un circuito que reproduzca una tabla d verdad con cinco bits de entrada.
- construir un visualizador de un dígito con LED de siete segmentos.
- probar el funcionamiento de un LED rojo.

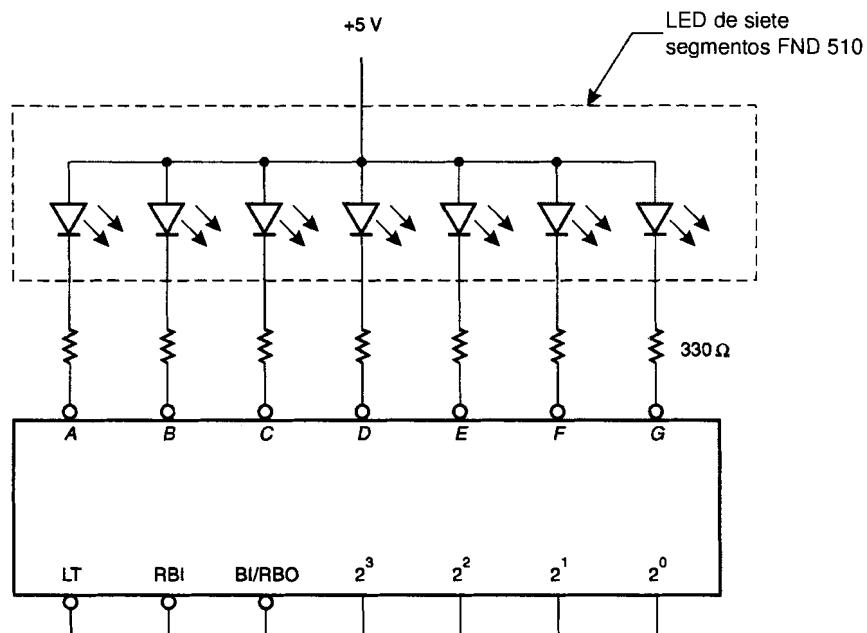
COMPONENTES NECESARIOS

- 1 FND-510 LED de siete segmentos de ánodo común
- 1 7447 excitador de BCD a LED de siete segmentos con ánodo común
- 8 resistores de $330\ \Omega$, $\frac{1}{4}\text{ W}$
- 1 LED rojo
- 1 resistor de $50\ \Omega$, 1 W
- 1 potenciómetro de $50\ \Omega$, 1 W
- 1 multiplexor 74150

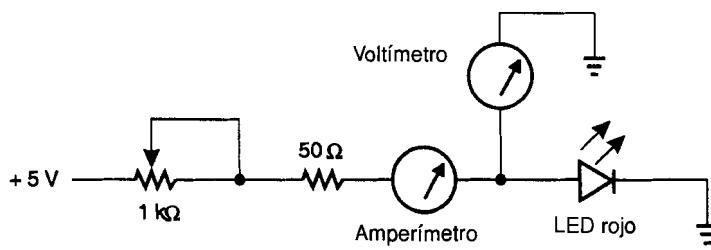
PREPARACIÓN

1. Determine la distribución de terminales del LED de siete segmentos con el siguiente método:
 - a) Conecte la terminal 1 a $+5\text{ V}$.
 - b) Utilice un resistor de $330\ \Omega$ conectado a tierra como punta para probar todas las demás terminales y ver si es posible encender un segmento.
 - c) Si no enciende ningún segmento, mueva el conector de 5 V a la siguiente terminal y repita la prueba con el resistor de $330\ \Omega$ conectado a tierra. Cuando encienda uno de los segmentos, usted habrá encontrado el ánodo común.

- d) Una vez que haya encendido el primer segmento, deje conectados los +5 V en dicha terminal y utilice el resistor de $330\ \Omega$ para determinar las terminales que corresponden a los segmentos A, B, C, D, E, F, G y el punto decimal.



2. Consulte en el manual de especificaciones la distribución de terminales del decodificador/excitador 7447 y conéctelo al LED de siete segmentos tal y como se muestra en la figura. Pida a su profesor que verifique su funcionamiento.
3. Construya el circuito de la figura. Complete la tabla y dibuje una gráfica de corriente contra voltaje.



Corriente (mA)	Voltaje de polarización directa
0	
0.5	
1	
2	
3	
4	
5	
10	
20	
30	
40	
50	
60	

524 Multiplexores, LED y visualizadores de siete segmentos

4. Construya un circuito para una expresión de cuatro entradas con un multiplexor 74150 de la siguiente manera:

- a) Escriba la tabla de verdad de cuatro entradas que desea diseñar.

Entradas				Salida
D	C	B	A	Y
0	0	0	0	1
0	0	0	1	0

etcétera

- b) Coloque cada valor de Y en la terminal de datos correspondiente.
 c) En el 74150 recorra en secuencia toda la tabla de verdad utilizando un 7493 y un interruptor.
 d) Observe las salidas en la terminal 10. (Tal vez sea necesario invertir la salida.)

5. Construya un circuito para una tabla de verdad de cinco entradas de la siguiente manera:

- a) Escriba la tabla de verdad de cinco entradas que desea diseñar.

Entradas					Salida
E	D	C	B	A	Y
0	0	0	0	0	1
0	0	0	0	1	0
0	0	0	1	0	1
0	0	0	1	1	1

etcétera

- b) Para las dos primeras líneas de la tabla de verdad, ponga el valor apropiado en el canal de datos 0.

Entradas					Salida
E	D	C	B	A	Y
0	0	0	0	0	0
0	0	0	0	1	0
0	0	0	1	0	1
0	0	0	1	1	1
0	0	1	0	0	0
0	0	1	0	1	1
0	0	1	1	0	1
0	0	1	1	1	0

etcétera

} Poner 0 V en el canal 0

} Poner 5 V en el canal 1

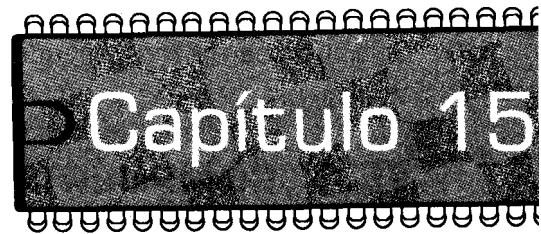
} Poner A en el canal 2

} Poner \bar{A} en el canal 3

CONTENIDO

- 15.1 COMPUERTAS DE TRES ESTADOS**
- 15.2 INVERSORES Y COMPUERTAS DE AISLAMIENTO DE TRES ESTADOS**
- 15.3 BUSES DE COMPUTADORA Y LA COMPUERTA DE TRES ESTADOS**
- 15.4 AISLAMIENTO DE CORRIENTES Y VOLTAJES ALTOS**
- 15.5 MULTIPLEXADO DE VISUALIZADORES DE SIETE SEGMENTOS**
- 15.6 AISLAMIENTO ENTRE CIRCUITOS MEDIANTE OPTOACOPLADORES**

Compuertas de tres estados e interfaz con corrientes grandes



LISTA DE TÉRMINOS

de tres estados	excitador bidireccional de bus
amplificador de aislamiento	bus

OBJETIVOS



Al término de este capítulo el lector debe ser capaz de:

1. Explicar el funcionamiento de una compuerta de tres estados.
2. Hacer la interfaz entre compuertas lógicas y transistores para controlar corrientes grandes.
3. Construir un circuito empleando compuertas de tres estados para multiplexar dos o más señales a dos o más visualizadores.
4. Describir el uso de compuertas de tres estados con buses de computadora.
5. Utilizar relevadores y optoacopladores para aislar circuitos.

15.1 COMPUERTAS DE TRES ESTADOS



En las compuertas con salidas en tótem estudiadas anteriormente, sólo uno de los transistores, el superior o el inferior, está encendido, y la salida es un 1 o un 0. En las compuertas de tres estados, los dos transistores pueden estar apagados, y la salida no es llevada a V_{cc} o a tierra. En este caso la compuerta entra en un tercer estado, o estado de alta impedancia. En este estado, HiZ, la compuerta no tiene ningún efecto sobre las compuertas a las que se encuentra conectada. Si se conectan entre sí las salidas de varias compuertas, entonces sólo uno de los CI puede estar activo a la vez. Con esto las demás compuertas deben estar en el estado de HiZ.

La figura 15-1 muestra dos **compuertas de aislamiento de tres estados**. En la primera de ellas, el control no tiene el círculo de negación. Un 1 en el control habilita el CI, y la salida puede tener el estado ALTO o el BAJO, según sea la entrada. Un 0 en el control inhabilita la compuerta, y la hace entrar en el estado de alta impedancia. La segunda compuerta de aislamiento de la figura 15-1 tiene un círculo de negación en la línea de control. Lo anterior implica que un 0 habilita la compuerta y que la salida toma el valor 1 o 0. Cuando la línea de control cambia al nivel ALTO, la salida entra en el estado de alta impedancia, y el control de la salida puede hacerse con otra compuerta de tres estados.



FIGURA 15-1 Compuertas de tres estados

La figura 15-2 muestra tres compuertas de aislamiento de tres estados conectadas entre sí, con sus salidas excitando una compuerta OR. Puesto que la entrada de control es activa en el nivel ALTO (no hay círculo de inversión), sólo una entrada de control puede estar en el nivel ALTO a la vez. La tabla 15-1 presenta una gama amplia de dispositivos de tres estados disponibles en el mercado.

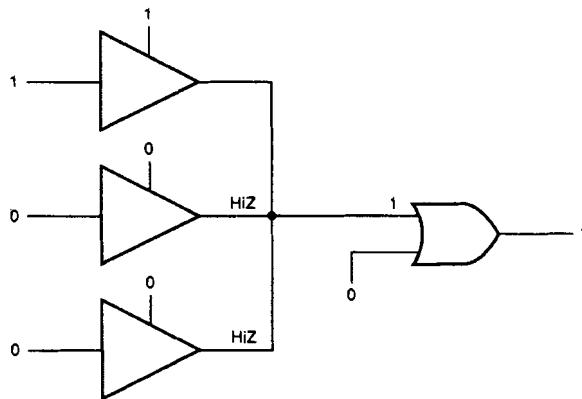


FIGURA 15-2 Sólo una de las entradas de control puede tener el nivel ALTO a la vez

Tabla 15-1 Compuertas de tres estados disponibles

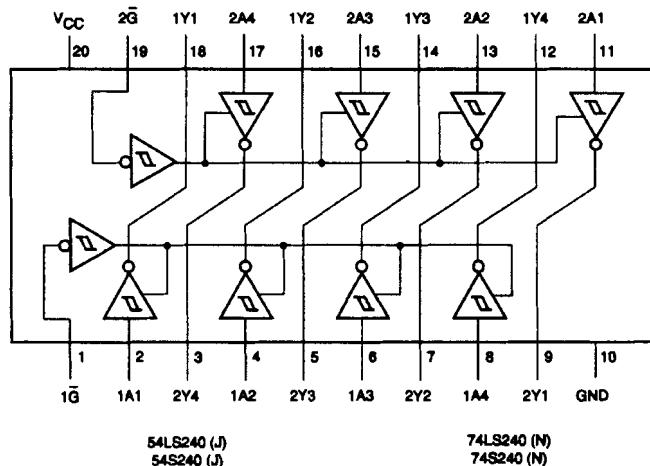
Número de dispositivo	Descripción
54175/74125	Compuerta de aislamiento de tres estados cuádruple
54LS125/74LS125	
54126/74126	Compuerta de aislamiento de tres estados cuádruple
54LS126/74LS126	
54S134/74S134	NAND de 12 entradas de tres estados
54LS240/74LS240	Compuerta de aislamiento inversora de tres estados óctuple
54S240/74S240	
54LS241/75LS241	Compuerta de aislamiento de tres estados óctuple
54S241/75S241	
54LS242/74LS242	Compuerta de aislamiento de tres estados óctuple
54S242/75S242	
54LS243/75LS243	Compuerta de aislamiento de tres estados óctuple
54S243/75S243	
54LS244/75LS244	Compuerta de aislamiento de tres estados óctuple
54S244/75S244	
54S244/75S244	Compuerta de aislamiento de tres estados óctuple
54LS245/75LS245	Compuerta de aislamiento de tres estados óctuple
54365/74365	Compuerta de aislamiento de tres estados séxtuple
54LS365/75LS365	
54366/74366	Compuerta de aislamiento de tres estados séxtuple
54LS366/74LS366	
54367/74367	Compuerta de aislamiento de tres estados séxtuple
54LS367/74LS367	
54368/74368	Compuerta de aislamiento de tres estados séxtuple
54LS368/745LS368	

Tabla 15-1 Compuertas de tres estados disponibles (continuación)

Número de dispositivo	Descripción
545940/745940	Compuerta de aislamiento de tres estados óctuple
545941/745941	Compuerta de aislamiento de tres estados óctuple
54173/74173 54LS173/74LS173	Registros D cuádruple de tres estados
54251/74251 54LS251/74LS251 54S251/74S251	Selector/multiplexor de datos de tres estados
54LS254/74LS253 54S253/74S253	Selector/multiplexor de datos de tres estados
54LS257/74LS257 54S257/74S257	Selector/multiplexor de dos datos cuádruple de tres estados
54LS258/74LS258 54S258/74S258	Selector/multiplexor de dos datos cuádruple de tres estados
54S299/74S299	Registros de almacenamiento/corrimiento universales de 8 bits de tres estados
54LS353/74LS353	Selector/multiplexor de datos de tres estados
54LS373/74LS373 54S373/74S373	Retenedor óctuple de tres estados
54LS374/74LS374 54S374/74S374	Retenedor óctuple de tres estados
54LS670/74LS670	Archivo de 4 X 4 registros de tres estados
54C173/74C173	Flip-flop D cuádruple de tres estados
54C373/74C373	Retenedor óctuple con salidas de tres estados
54C374/74C374	Flip-flop tipo D cuádruple con salidas de tres estados
4034BM/4034BC	Registro de bus bidireccional de tres estados de ocho etapas paralelo/serie entrada/salida
4043BM/4043BC	Retenedores RS NOR de tres estados cuádruple
4048BM/4048BC	Compuerta de ocho entradas y ocho funciones ampliable de tres estados
4076BM/4076BC	Flip-flop D cuádruple de tres estados
4503BM/4503BC	Compuerta de aislamiento de tres estados no inversora séxtuple

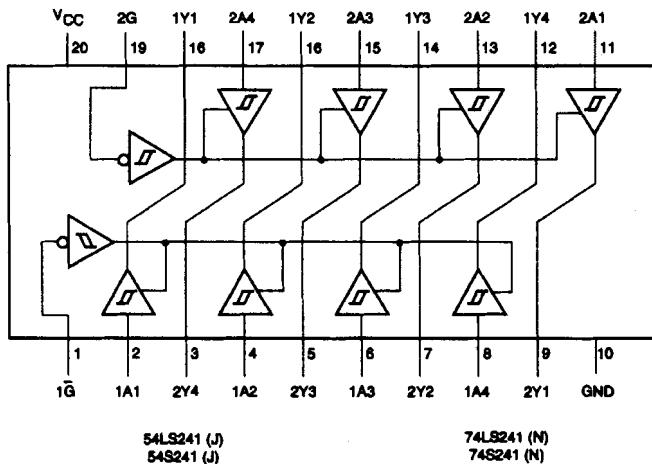
15.2 INVERSORES Y COMPUERTAS DE AISLAMIENTO DE TRES ESTADOS

Las **compuertas de aislamiento** son circuitos que tienen una entrada y que no alteran la señal; entra 1, sale 1. Varios de los CI que aparecen en la tabla 15-1 son compuertas de aislamiento óctuples, tales como los 74LS240, 241, 242, 243 y 244. La configuración de estos circuitos es la que cambia. Por ejemplo, la figura 15-3 muestra la distribución de terminales del 74LS240. Existen dos grupos de cuatro inversores de tres estados. Un grupo está controlado por la terminal 19, $2\bar{G}$. Cuando $2\bar{G}$ va al nivel BAJO,

**FIGURA 15-3** Inversor de tres estados 74LS240

se habilita el conjunto superior de inversores, 2A1, 2A2, 2A3 y 2A4, y los datos pueden pasar invertidos de 2A1 a 2Y1, de 2A2 a 2Y2, de 2A3 a 2Y3 y de 2A4 a 2Y4. Cuando $2\bar{G}$ va al nivel ALTO, 2Y1, 2Y2, 2Y3 y 2Y4 entran en el estado de alta impedancia. En este momento, el control de las líneas de salida pueden tomarlo otras compuertas de tres estados. La señal $1\bar{G}$ en la terminal 1 controla el otro conjunto de inversores. Cada grupo constituye un arreglo conveniente para el manejo de cuatro bits en paralelo.

El 74LS241, figura 15-4, está diseñado de una manera similar, con la excepción de que las compuertas no hacen la inversión y el grupo superior de cuatro compuertas queda habilitado cuando $2G$ va al nivel ALTO. Aun cuando las compuertas no alteran la señal, aíslan la salida de la entrada.

**FIGURA 15-4** CI 74LS241

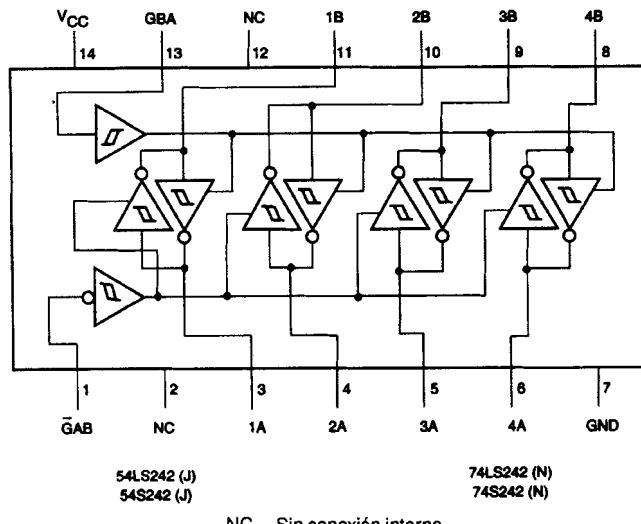


FIGURA 15-5 Transceptor de bus cuádruple 74LS242

Las compuertas de aislamiento se emplean para proporcionar corrientes de excitación mayores. A menudo la fuente de alimentación no es capaz de proporcionar la corriente de excitación requerida por los circuitos subsecuentes. En estos casos, la fuente excita una compuerta de aislamiento, y ésta es la que excita a los circuitos subsecuentes. La figura 15-5 muestra el transceptor de bus cuádruple 74LS242.

El 74LS242 de la figura 15-5 tiene ocho compuertas de aislamiento, pero acomodadas por pares. La figura 15-6 muestra uno de estos pares. Cuando GBA tiene el nivel ALTO, \bar{G}_{BA} también debe estar en ALTO. Los datos pueden pasar invertidos de 1B a 1A a través del inversor 1. La salida del inversor 2 se encuentra en el estado de alta impedancia y no entra en conflicto con la señal en 1B. Los datos pasan de la línea o bus 1B al bus 1A. Cuando \bar{G}_{AB} tiene el nivel BAJO, el inversor 2 es el que queda habilitado. GBA debe tener el nivel BAJO para poner al inversor 1 en el estado de alta impedancia para que la salida de éste no interfiera con

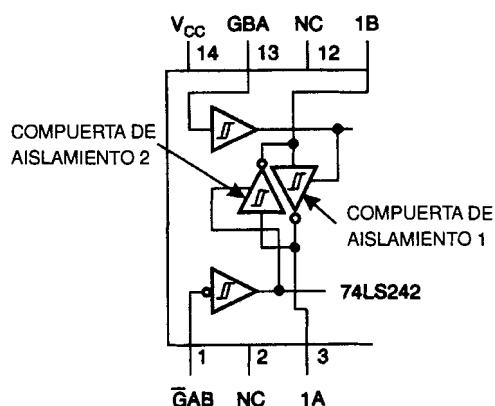


FIGURA 15-6 Sólo una de las compuertas de aislamiento puede estar habilitada a la vez

la señal que hay en 1A. Mediante el control de estos dos inversores de tres estados, los datos pueden fluir en cualquier dirección entre 1A y 1B. Esta combinación se conoce como **excitador bidireccional de bus** o transceptor de bus, puesto que puede transmitir o recibir datos. El 74LS242 es un transceptor de bus cuádruple.

A menudo los sistemas digitales se configuran en paralelo, de modo que cada bit tenga su propia línea de datos. Es común que los sistemas controlados por microprocesador trabajen con 8 o 16 líneas de datos denominadas bus.

CIs como el 74LS245 de la figura 15-7 resultan ideales para controlar el bus de los microprocesadores. Cuando \bar{G} tiene el nivel BAJO, las compuertas 1 y 2 están habilitadas. Cuando el control de dirección DIR va al nivel ALTO, la compuerta 2 produce un 1 en su salida, que a su vez habilita las ocho compuertas de aislamiento, las cuales dejar pasar datos de las terminales A1 a A8 a las terminales B1 a B8. La salida de la compuerta 1 es 0, y las compuertas de aislamiento que dejan pasar datos de las terminales B1 a B8 a las terminales A1 a A8 entran en el estado de alta impedancia. Cuando el control de dirección tiene el nivel BAJO, la compuerta 1, que es una compuerta NOR, produce un 1 en su salida, y las ocho compuertas de aislamiento que dejan pasar datos de las terminales A1 a A8 a las terminales B1 a B8 entran en el estado de alta impedancia. Sólo un conjunto de compuertas se encuentra activo a la vez, con lo que no se presentan conflictos.

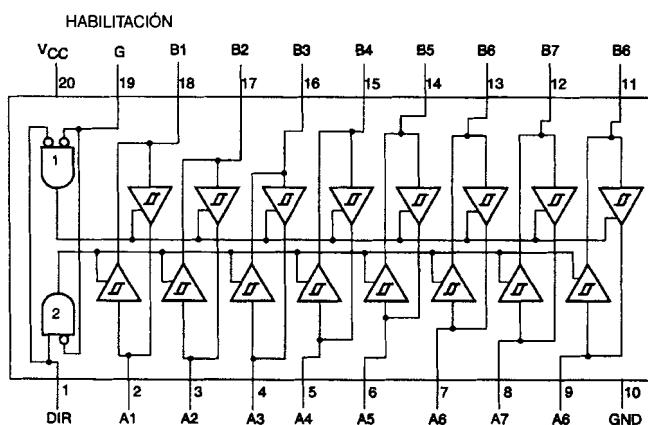


FIGURA 15-7 CI 74LS245

15.3 BUSES DE COMPUTADORA Y LA COMPUERTA DE TRES ESTADOS



Un **bus** es un grupo de conductores empleado para transferir números binarios digitales de un dispositivo a otro. Las microcomputadoras emplean tres tipos de buses (de direcciones, de control y de datos). Como se muestra en la figura 15.8, el bus de direcciones lo utiliza el procesador central para seleccionar la localidad de memoria o el dispositivo de entrada/salida al que desea tener acceso. Este bus es unidireccional y transfiere las direcciones o datos de la CPU a los dispositivos conectados al mismo bus. La figura 15-8 muestra un puerto típico de entrada/salida conectado

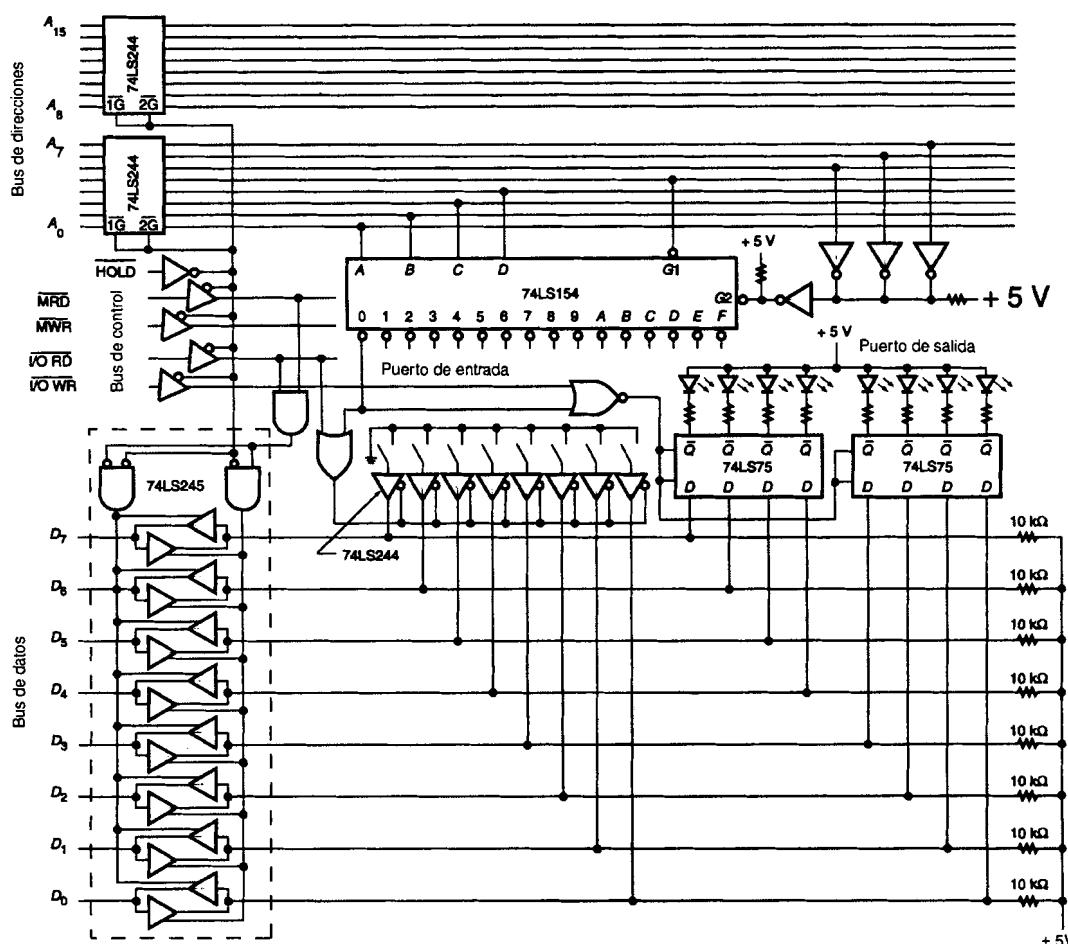
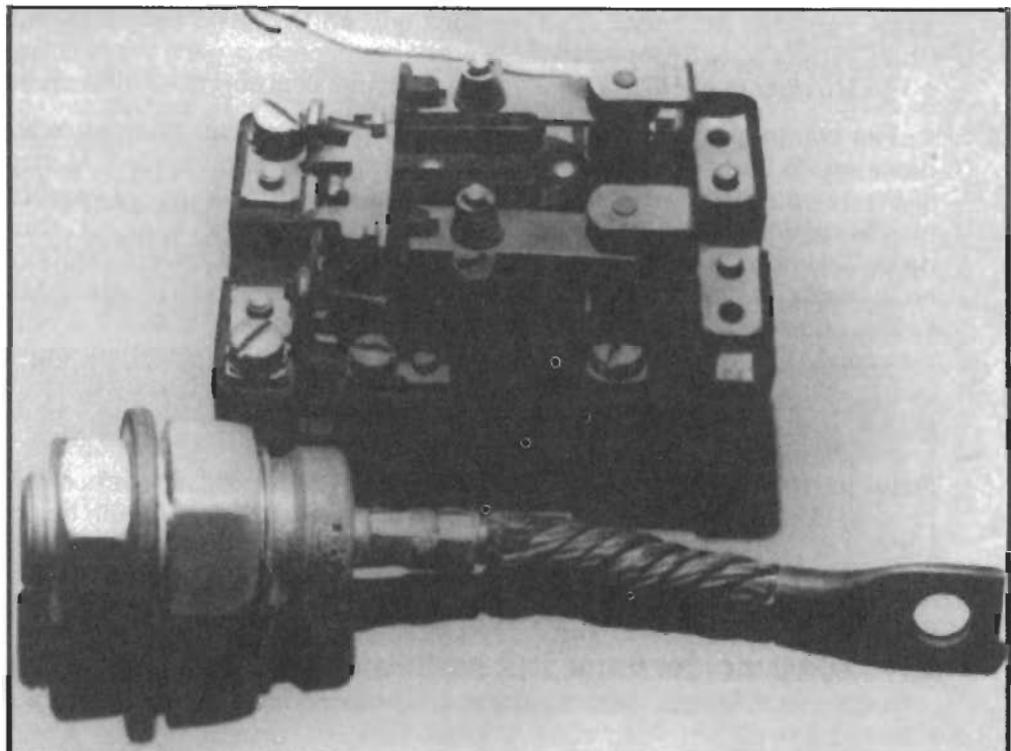


FIGURA 15-8 Un bus del 8085

DISPOSITIVOS DE ALTA CORRIENTE



Esta fotografía muestra dos dispositivos de alta corriente. El relevador de la parte superior de la fotografía es de un tipo antiguo diseñado para mane-

jar 30 amperes a 240 V de ca. El dispositivo de la parte inferior es un diodo de alta corriente diseñado para rectificar corrientes hasta de 100 amperes.

al bus de una CPU 8085. El bus de direcciones está aislado con compuertas de tres estados 74LS244. Esto permite tener una buena capacidad en cuanto a la corriente de excitación, además de que el circuito puede ponerse en el estado de alta impedancia mediante una señal de control, denominada HOLD. Esta capacidad de desconectar la CPU de su bus permite que otros dispositivos, tales como el de acceso directo a memoria, obtengan el control del bus y utilicen cualquiera de las localidades de memoria o de los dispositivos de entrada/salida conectados al bus.

El bus de datos se emplea para transferir datos en forma de números binarios entre la CPU y la memoria o los dispositivos de entrada/salida. Este bus es bidireccional debido a que los datos fluyen en ambos sentidos. Para aislar este bus, debe emplearse un excitador de bus bidireccional,

536 Compuertas de tres estados e interfaz con corrientes grandes

como el 74LS245. El CI 74LS245 proporciona una buena corriente de excitación y permite seleccionar la dirección del flujo de datos. El bus de datos puede tener conectados muchos dispositivos, cada uno de los cuales consume corriente del canal. Esto significa que un CI NMOS típico, tal como una CPU, no puede proporcionar la corriente necesaria para producir un 0 o 1 lógico bueno, por lo que se requiere usar una compuerta de aislamiento.

Las compuertas de tres estados también se emplean para introducir datos en un bus de datos. Tal como se muestra en la figura 15-8, el dispositivo de entrada es un 74LS244, el cual está controlado por la combinación de un decodificador de direcciones y la señal de control I/O RD. Cuando la CPU desea recibir datos de este puerto de entrada, coloca 00000000 en los ocho bits menos significativos del bus de direcciones, lo que habilita la línea de selección 0 del decodificador de direcciones 74LS154. A continuación la CPU cambia al nivel BAJO la señal I/O RD, lo que hace que las compuertas de tres estados del puerto de entrada se habiliten y controlen el bus. Una vez que la CPU haya retenido los datos en un registro interno, cambia la señal I/O RD al nivel ALTO, inhabilitando de esta manera las compuertas de tres estados y poniéndolas en el estado de alta impedancia. De esta manera, la CPU puede hacer que un dispositivo y sólo uno tenga el control del bus a la vez.

AUTOEVALUACIÓN PARA LAS SECCIONES 15.1, 15.2 Y 15.3

1. ¿Cuáles son los dos tipos de salidas TTL que pueden conectarse entre sí? [1]
2. ¿En qué dirección irá el flujo de datos en un excitador bidireccional de bus 74LS245 si la terminal DIR tiene el nivel ALTO y la terminal HABILITACIÓN G el nivel BAJO? [1]
3. ¿Por qué se emplean las compuertas de tres estados en los circuitos que contienen microprocesadores? [1, 4]

15.4 AISLAMIENTO DE CORRIENTES Y VOLTAJES ALTOS

A los ingenieros y técnicos en sistemas digitales les gustaría encender y apagar el mundo con una señal de 5 V, pero el mundo funciona con voltajes tales como 120 V ca, 440 V ca trifásicos, y corrientes que van del orden de miliamperes hasta megamperes. Sin embargo esto no los ha disuadido, ya que han diseñado maneras de controlar estos voltajes y corrientes grandes con su señal digital de 5 V.

El control de voltajes y corrientes de cd mayores que las que un CI digital puede proporcionar, se hace mediante el empleo de un CI de aislamiento o de un transistor. Los voltajes de ca pueden controlarse con triacs si no son en extremo grandes o la corriente no es muy alta. Si el control no necesita ser muy rápido, entonces puede emplearse un relevador para aislar la señal digital de corrientes y voltajes muy grandes. Los relevadores ofrecen una capacidad de conducción de corriente grande y un aislamiento completo del circuito de voltajes y corrientes grandes. También se puede lograr un aislamiento completo del circuito mediante optoacopladores. Cada una de estas opciones será examinada con mayor detalle más adelante en este capítulo.

2.5

La figura 15-9 muestra el empleo de un transistor para proporcionar la corriente necesaria para energizar un relevador que enciende un motor de bomba. El 7406 es un inversor de colector abierto diseñado para aislamiento.

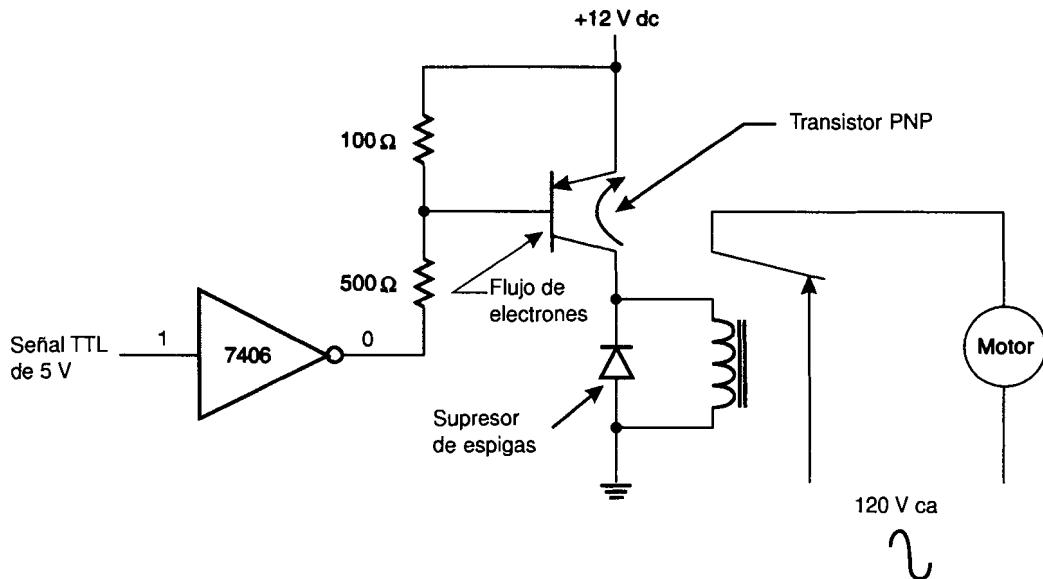


FIGURA 15-9 Interfaz con corriente alta

to de voltajes grandes (hasta 30 V) y corrientes grandes (hasta 40 mA). Cuando la entrada a un 7406 es un 1 lógico TTL, la salida del inversor cambia al nivel BAJO, haciendo que fluya una corriente aproximada de 23 mA por la unión base-emisor del transistor. Esto satura al transistor y lo hace pasar a un estado de gran conducción, produciendo una corriente de colector grande para energizar al relevador. La corriente que circula por el colector del transistor está limitada únicamente por la resistencia de la bobina del relevador, $50\ \Omega$, y por tanto puede ser muy grande. En la figura 15-9 la corriente de colector es 12 V dividida entre $50\ \Omega$ o 240 mA.

Cuando la señal lógica TTL va a 0, la salida del inversor cambia al estado de alta impedancia, imposibilitándose así el flujo de corriente en la base, apagándose en consecuencia el transistor y deteniéndose el flujo de corriente en la bobina del relevador. Lo anterior hace que el campo magnético de la bobina se reduzca drásticamente en sus propios devanados, induciendo un voltaje o fuerza contraelectromotriz opuesto al voltaje que produjo el campo magnético. Esta espiga de voltaje inverso puede ser muy grande y dañar al transistor o a otros componentes del circuito. Para evitar que esta espiga sea demasiado grande se coloca un diodo en paralelo con la bobina del relevador de modo que quede polarizado en inversa por el voltaje del circuito. El diodo quedará polarizado en directa por la fuerza contraelectromotriz generada por la bobina del relevador. El diodo impide que el voltaje inverso rebase -0.7 V , que es el voltaje a través del diodo cuando éste se encuentra polarizado en directa.

Existen dos aspectos que deben considerarse cuando se diseñan circuitos que emplean transistores para apagar o encender una corriente alta. El primero es utilizar un transistor de potencia que tenga una corriente de colector I_c lo suficientemente grande para manejar la corriente del circuito a controlar. En la figura 15-9, el transistor debe ser capaz de manejar al menos 0.25 A o de lo contrario se quemará. El segundo es proporcionar una corriente de base suficiente para hacer pasar al transistor a un estado de gran conducción de modo que la caída de voltaje en éste sea pequeña. Si la corriente de base es muy pequeña, el flujo de corriente del emisor al colector disminuye, produciendo de esta manera una caída de voltaje a través del transistor. Esta caída de voltaje hace que el transistor disipe más potencia y que pueda quemarse por el calor generado. Recuérdese que la potencia es el producto del voltaje por la corriente. Cuando la caída de voltaje a través del transistor es casi cero, la potencia disipada por el transistor disminuye.

El 74C908 es un CI diseñado para hacer la interfaz de niveles lógicos CMOS o TTL con un relevador. Este CI puede proporcionar corrientes de 250 mA a 30 V, suficiente para energizar a la mayoría de los relevadores pequeños.

La serie de circuitos integrados 75XXX está compuesta principalmente por CI de interfaz con una capacidad para manejar corrientes y voltajes

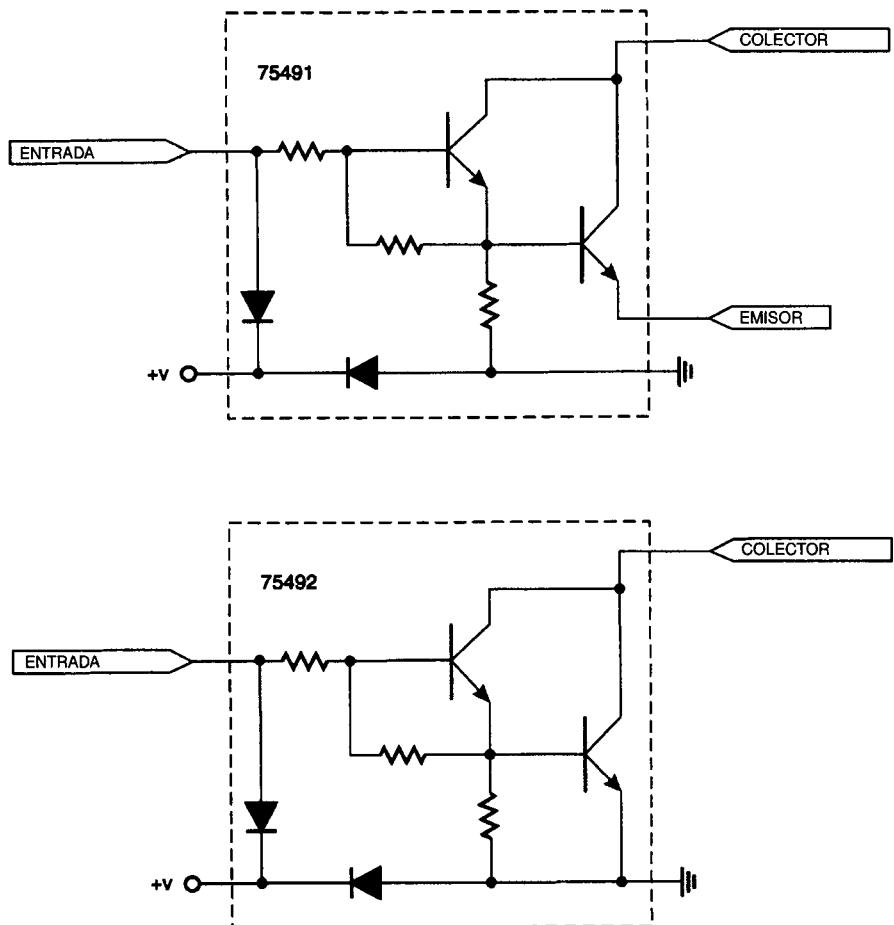


FIGURA 15-10

grandes. El 75491 y el 75492 son buenos ejemplos de esta serie de CI. Ambos son excitadores de alta corriente, como se muestra en la figura 15-10. El 75492 es un conjunto de transistores en par Darlington con el emisor del transistor de salida conectado a tierra y el colector como salida. El 75491 tiene como salidas al emisor y al colector, de modo que el diseñador pueda emplearlo ya sea como consumidor o fuente de corriente.

Estos dos CI excitadores pueden manejar hasta 250 mA de corriente de salida y hasta 20 V en el colector. La serie de circuitos integrados 75XXX se emplea para excitar dispositivos tales como relevadores, motores de pasos, servomotores, cabezas de impresora y visualizadores.

Ejemplo: Diseñe un circuito excitador de corriente para excitar un relevador de 2.5 amperes y 24 V. Utilice un CI 7407 y un transistor PNP TIP 125. El transistor TIP 125 tiene una Hfe de 2500 y una corriente de colector máxima de ocho amperes. Estas características lo convierten en una buena opción para este tipo de circuito.

Solución:

La corriente de colector determinará la corriente de base necesaria para colocar al transistor en saturación. Es buena idea emplear de 2 a 4 veces la corriente necesaria en el circuito de la base del transistor para asegurar que éste siempre se encuentre en saturación. Si el transistor saliera de la saturación y comenzara a producir una caída de voltaje a través del emisor y el colector, la potencia disipada por el transistor aumentaría y podría quemarse. La corriente total necesaria para el diseño anterior es de sólo 1 mA; de modo que en el diseño se hará uso de 4 mA. La resistencia calculada es de 5825 ohms, pero éste no es un valor comercial de resistencia para resistores, de modo que se empleará uno de 5 k ohm. Esto incrementará la corriente de base a un valor un poco mayor que 5 mA. La corriente que circula por el resistor R_b se calcula dividiendo la caída de voltaje de 1.4 V de la unión base-emisor polarizada en directa entre la resistencia de R_b , que es 1 K Ω . Al hacer esto se obtiene una corriente de 1.4 mA la que, cuando se suma a la de 5 mA que circula por R_a , produce una corriente total de 6.4 mA, la cual se encuentra dentro de los límites de corriente del CI 7407.

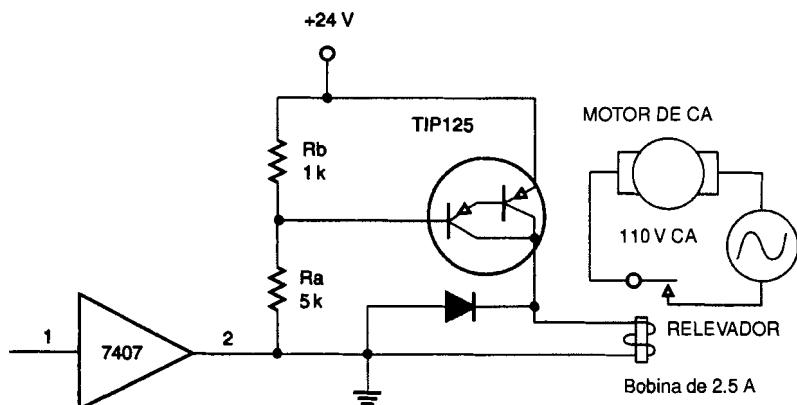


FIGURA 15-11

$$H_{fe} = \frac{I_c}{I_b} = 2500 \text{ típico}$$

$$I_b = \frac{2.5 \text{ A}}{2500} = 1 \text{ ma}$$

UTILICE UNA Ib DE 2 A 4 VECES MAYOR

$$R_a = \frac{24 - 0.7}{4 \text{ ma}}$$

$$R_a = 5825 \text{ Ohms}$$

15.5 MULTIPLEXADO DE VISUALIZADORES DE SIETE SEGMENTOS



El circuito de la figura 15-12 emplea una compuerta de aislamiento óctuple 74LS241 para multiplexar dos dígitos en dos visualizadores de siete segmentos. Cuando la salida Q del 7476 tiene el nivel BAJO, el dígito BCD número 1 pasa por las compuertas de aislamiento de tres estados hacia el 7447, donde es decodificado para excitar un visualizador de siete segmentos. Los visualizadores son de ánodo común. Para que los visualizadores funcionen, el ánodo común debe conectarse al voltaje de alimentación positivo. La salida \bar{Q} es invertida por el inversor número 1 del 7406. El nivel BAJO enciende a Q_1 , y el visualizador de siete segmentos número 1 queda conectado a +12 V a través del transistor encendido.

Durante este tiempo, las salidas 2Y1, 2Y2, 2Y3 y 2Y4 del 74241 se encuentran en su estado de alta impedancia y no interfieren con el dígito BCD número 1. El 7406 es de colector abierto. Cuando Q va al nivel BAJO y es invertida por el inversor 7406 número 2, la salida es llevada al nivel ALTO por el resistor de 470Ω . Con esto, la unión base-emisor de Q_2 ya no está polarizada en directa y Q_2 se apaga. Sólo el visualizador de siete segmentos número 1 es el que está encendido y muestra el dígito BCD número 1.

Cuando el 7476 cambia de estado, Q pasa al nivel ALTO, el dígito BCD número 2 pasa al 7447 donde es decodificado. El inversor 7406 número 2 va al nivel BAJO y Q_2 se enciende. Con esto, el dígito BCD número 2 aparece en el visualizador de siete segmentos número 2. El visualizador número 1 se apaga.

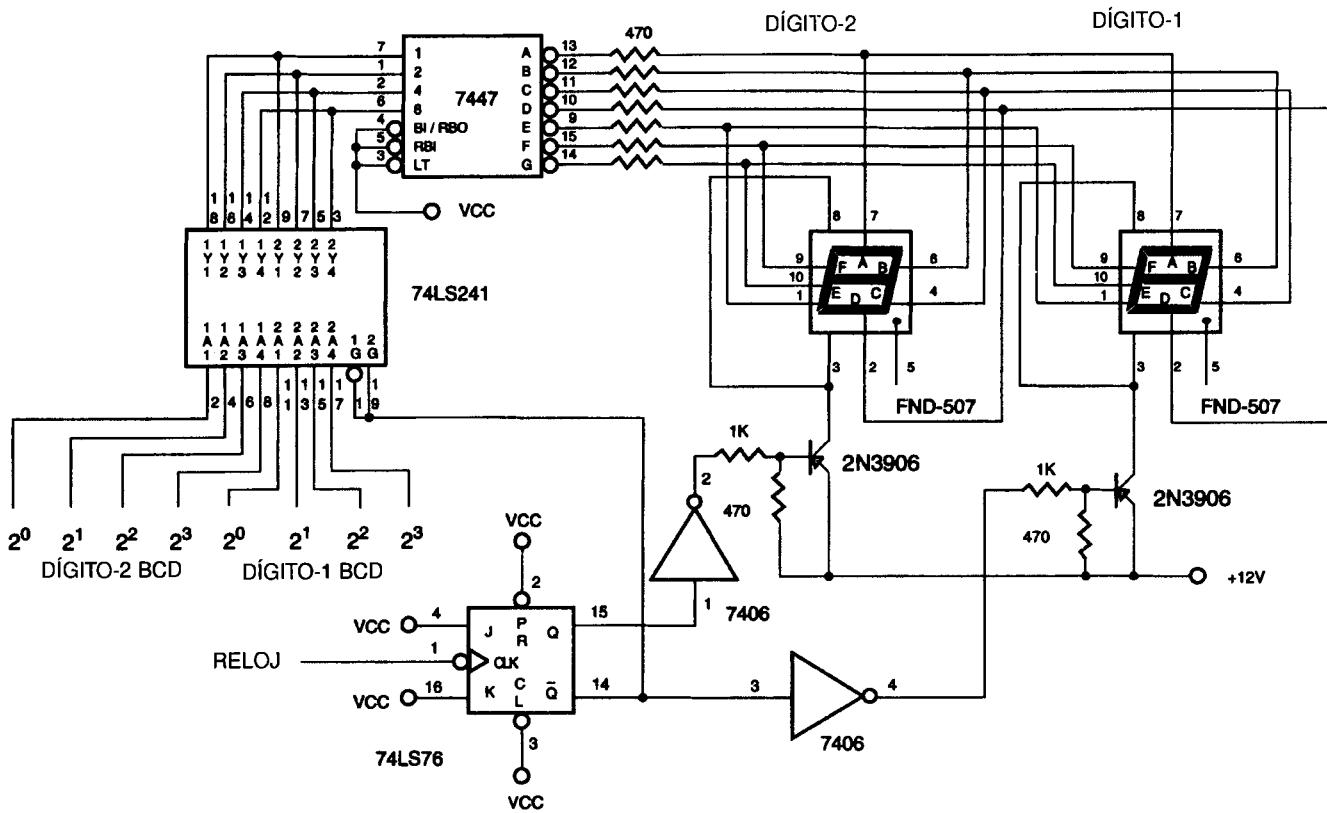


FIGURA 15-12 Multiplexado de dos visualizadores de siete segmentos

Este proceso se realiza en forma alternada, de acuerdo con la salida del 7476, el cual está alambrado de modo que commute. Su salida tiene un ciclo de trabajo del 50 %, de modo que cada conjunto de compuertas de aislamiento de tres estados sea habilitado una cantidad igual de tiempo, con lo que la brillantez de cada visualizador de siete segmentos deberá ser casi la misma. Cada visualizador está activo la mitad de cada ciclo de reloj, y la intensidad con la que brillan es casi la mitad de la que tendrían si se mantuviesen encendidos todo el tiempo. El valor de los resistores limitadores de corriente puede reducirse para permitir que circule una corriente mayor por los LED durante el tiempo que éstos se encuentran encendidos. Si se hace lo anterior y el reloj se detiene, los LED pueden destruirse debido al exceso de corriente.

AUTOEVALUACIÓN PARA LAS SECCIONES 15.4 Y 15.5

1. Utilice el procedimiento delineado en la sección 15.4 para diseñar una interfaz de corriente alta con una señal de control de nivel TTL para excitar un relevador de 12 V y 500 mA. Utilice un transistor TIP 120.
2. Emplee un CI 74492 para excitar un relevador de 12 V y 100 mA.
3. ¿Cuáles son las ventajas y las desventajas principales del uso de un relevador para controlar un dispositivo de alta corriente?

15.6 AISLAMIENTO ENTRE CIRCUITOS MEDIANTE OPTOACOPLADORES



El circuito de la figura 15-13 utiliza un optoacoplador para convertir la frecuencia de la línea de 60 Hz a una señal lógica TTL estándar. El optoacoplador también aisla el voltaje de ca de la señal digital. El optoacoplador tiene un LED común que, cuando es polarizado en directa, hace que un fotodiodo conduzca corriente. Esta corriente enciende un transistor NPN que proporciona una señal TTL a un disparador de Schmitt inversor.

Lo único que conecta a los dos circuitos es la luz emitida por el LED. Los optoacopladores aislan de manera completa un circuito de otro, del mismo modo que los relevadores, pero con mucha mayor rapidez. La velocidad del optoacoplador lo hace muy útil en aplicaciones tales como el aislamiento de la interfaz de transmisión/recepción en serie.

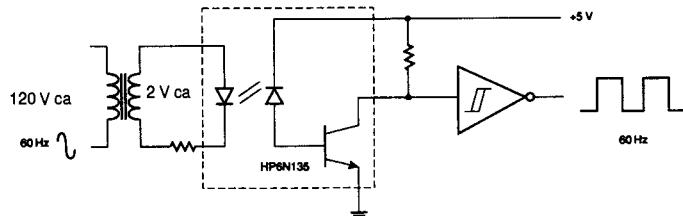


FIGURA 15-13 Optoacoplador para aislar el voltaje de ca

RESUMEN

- La compuerta de tres estados tiene una entrada adicional denominada entrada de control.

Cuando la entrada de control de una compuerta de tres estados está activa, la salida de la compuerta se encuentra en el estado de alta impedancia. La salida puede ser ALTO o BAJO cuando la entrada de control está inactiva. Con esto las compuertas de tres estados tienen tres salidas posibles. Lo anterior también permite conectar entre sí las salidas de las compuertas de tres estados, pero se necesita tener un control de la salida que puede estar activa en un momento determinado.

- Las compuertas de tres estados se emplean para aislamiento y usualmente tienen corrientes de excitación mayores que las de las compuertas TTL normales.

El excitador de bus bidireccional es un conjunto de compuertas de tres estados conectadas en paralelo entrada con salida que permiten que los datos sean transferidos en ambas direcciones a través del CI. La compuerta de tres estados se utiliza ampliamente en computadoras para controlar los sistemas de bus de la computadora.

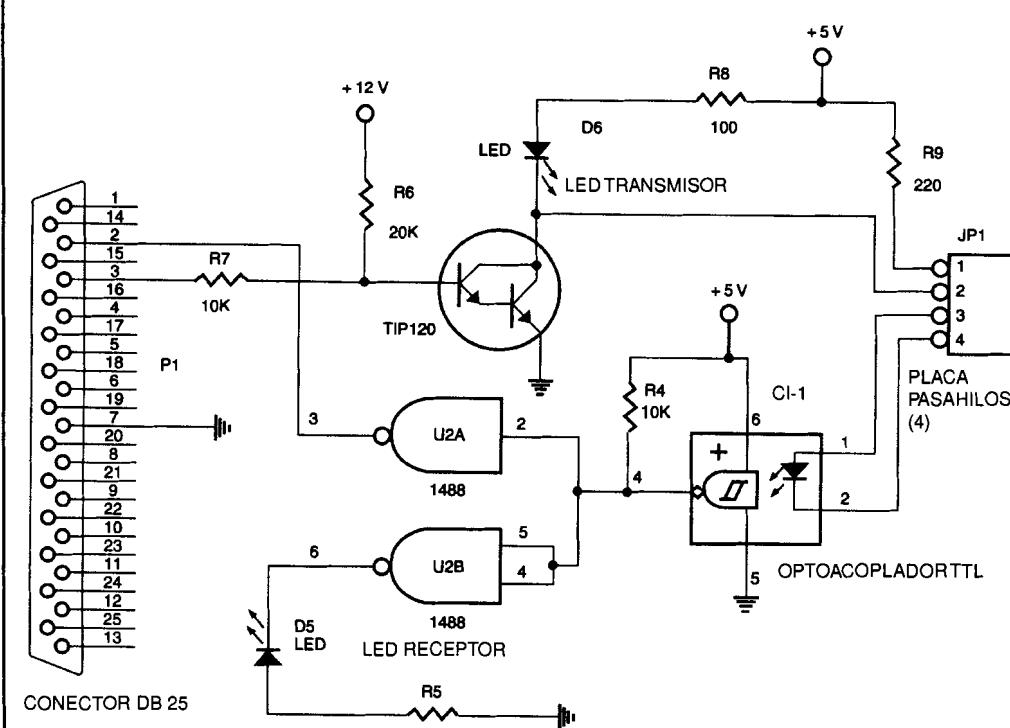
- Los dispositivos que requieren de corrientes o voltajes grandes para funcionar pueden interconectarse a lógica CMOS y TTL mediante el empleo de transistores de potencia y de CI de interfaz especiales.

Si la potencia que requiere un dispositivo es mayor que la que puede manejar un transistor o el dispositivo es de CA, entonces pueden emplearse relevadores u optoacopladores.

- Los relevadores son lentos pero ofrecen buen aislamiento entre circuitos y capacidad de manejo de voltajes y corrientes muy grandes.

Los optoacopladores utilizan la luz de un LED para controlar un fototransistor o fototriac. Con esto se obtiene un aislamiento entre circui-

USO TÍPICO DE UN OPTOACOPLADOR



La figura muestra el diagrama de una línea de comunicación RS232 con optoacoplamiento. El circuito emplea un optoacoplador para aislar eléctricamente un dispositivo RS232 de otro que se encuentra en el otro extremo de los cuatro alambres. Esto se hace cuando las diferencias en el potencial de tierra u otros problemas eléctricos pueden provocar daños a los dispositivos RS232. El autor ha empleado este

circuito por varios años para conectar varios edificios a un sistema de computadoras VAX. Antes del empleo de los optoacopladores, los CI excitadores de RS232 se quemaban con mucha frecuencia debido a las diferencias en el potencial de tierra que aparecían entre los edificios durante las tormentas eléctricas.

tos y rapidez muy buenos, pero la capacidad de manejo de corriente y voltaje, aunque es buena, no es tan grande como la de un relevador.

- La serie de circuitos integrados 75XXX está compuesta principalmente por CI's de interfaz diseñados para muchos tipos diferentes de problemas de interfaz.

El 7406 y el 7407 son CI TTL de colector abierto que tienen niveles de voltaje y corriente de salida relativamente altos. Esto los convierte en buenas opciones para la interfaz con corriente y voltaje moderados.

- Los transistores TIP 125 y TIP 120 son pares Darlington PNP y NPN que pueden manejar hasta 8 amperes en el colector, y tienen una H_{FE} mayor que 2000. Esta característica los convierte en buenas alternativas para diseños de interfaces.

PREGUNTAS Y PROBLEMAS

1. Haga una lista de compuertas CMOS de tres estados. (Utilice su manual CMOS). [1]
2. En el circuito de la figura 15-9 calcule el valor del resistor de la base necesario para una corriente de colector de 300 mA. (La H_{FE} del transistor es 15.) [2]
3. Haga los cambios necesarios al circuito multiplexor de la figura 15-12 para que multiplexe cuatro visualizadores. [3]
4. En el bus de la figura 15-8 incluya un puerto de entrada en la dirección 000E hexadecimal. [4]
5. En el bus de la figura 15-8 incluya un puerto de salida en la dirección 00F0 hexadecimal. [4]
6. ¿En qué dirección circularán los datos en un CI 74LS245 si las terminales 1 y 19 tienen el nivel BAJO? [1]
7. ¿Para qué se emplea el bus de direcciones en una computadora típica? [1]
8. ¿Cuáles son los dos tipos de salidas TTL que pueden conectarse entre sí? [1]
9. ¿Por qué se emplea el diodo en el circuito de la figura 15-9? [2, 5]
10. Mencione dos razones por las que los relevadores son buenos para hacer la interfaz de dispositivos de alta corriente con una salida TTL. [2, 3]

11. Dibuje un circuito que excite un foco de 12 V y 250 mA utilizando un CI 75492. [2]
12. ¿Cuál es la diferencia principal entre el CI 75491 y el CI 75492? [6]
13. Utilice un CI 74LS06 y un transistor TIP 120 para excitar un foco que consuma un ampere. [9]
14. Añada un tercer dígito al visualizador multiplexado de la figura 5-12. [3]
15. Utilice un rectificador de onda completa para producir un reloj de 120 Hz a partir del circuito de la figura 15-13. [2]
16. ¿Cuáles son las ventajas que tiene el uso de un optoacoplador para excitar un dispositivo? [5]
17. Mencione dos CI retenedores D que tengan salidas de tres estados. [4]
18. Dibuje el diagrama de distribución de terminales del CI 74LS244. [5]
19. ¿Qué tipo de LED de siete segmentos se emplea en la figura 15-12? [5]
20. ¿Qué sucedería si la frecuencia del reloj del circuito de la figura 15-12 se redujera a 15 Hz? [4]

Práctica 15

Compuertas de tres estados

OBJETIVOS

Al término de esta práctica, el lector deberá ser capaz de:

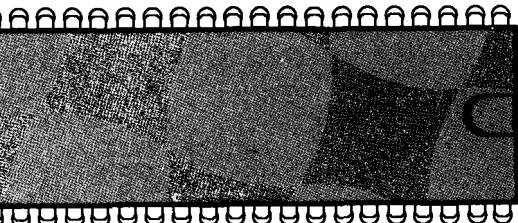
- utilizar un transistor para controlar corrientes grandes.
- multiplexar visualizadores de siete segmentos.
- utilizar compuertas de tres estados para controlar un bus.

COMPONENTES NECESARIOS

- 1 CI 7474 excitador de BCD a LED de siete segmentos de ánodo común
- 1 CI 74LS241, compuerta de aislamiento de tres estados
- 1 CI 7476, flip-flop JK doble
- 1 CI 7406, inversor séxtuple con salida de colector abierto
- 2 FND-507, LED de siete segmentos de ánodo común
- 2 transistores PNP de señal pequeña
- 9 resistores de $470\ \Omega$, $\frac{1}{4}\text{ W}$
- 2 resistores de $1\text{ k}\Omega$, $\frac{1}{4}\text{ W}$

PREPARACIÓN

1. Construya el circuito de la figura 15-12.
2. Seleccione el transistor para hacer la interfaz de corriente.
3. Pida a su profesor que verifique el funcionamiento del circuito.
4. Haga funcionar los visualizadores con frecuencias de 1000 Hz y 1 Hz.
¿A qué velocidad el visualizador parece que brilla más y por qué?



CONTENIDO

- 16.1** LA MICROCOMPUTADORA Y SUS PARTES
- 16.2** UNIDAD CENTRAL DE PROCESAMIENTO
- 16.3** MEMORIA DE LA COMPUTADORA
- 16.4** ROM
- 16.5** PROM
- 16.6** EPROM
- 16.7** EEPROM
- 16.8** RAM ESTÁTICA
- 16.9** RAM DINÁMICA
- 16.10** ENTRADA/SALIDA DE LA COMPUTADORA
- 16.11** PROGRAMACIÓN

Memorias e introducción a las microcomputadoras

Capítulo 16

LISTA DE TÉRMINOS

unidad central de procesamiento (CPU)

memoria únicamente de lectura (ROM)

memoria de acceso aleatorio (RAM)

PROM

EPROM

EEPROM

RAM estática

RAM dinámica

OBJETIVOS



Al término de este capítulo el lector debe ser capaz de:

1. Utilizar y comprender las memorias de semiconductor.
2. Comprender la estructura y funcionamiento de una microcomputadora básica.
3. Tener conocimientos básicos de la CPU Z-80 y su funcionamiento.

16.1 LA MICROCOMPUTADORA Y SUS PARTES

Buena parte de lo que el lector ha aprendido en este libro se emplea en el mundo de las computadoras y su hardware. La computadora es una máquina digital que consta de cuatro partes principales: el procesador central, memoria, entrada/salida, y programas. El procesador central es el cerebro digital de la computadora. La CPU (**unidad central de procesamiento**) controla todas las demás partes de la computadora y es responsable de interpretar el programa almacenado como números binarios en la memoria.



La memoria es un conjunto grande de registros de almacenamiento a los que puede tener acceso la CPU y se emplea para guardar el programa y los datos. Más adelante, en este capítulo, se estudiarán diversos tipos de memoria.

El programa se guarda en la memoria como un conjunto de números binarios. Estos números binarios secuenciales son instrucciones empleadas por la CPU para llevar a cabo la tarea que el programador desee que haga la computadora. Esta parte de la computadora no es un conjunto de compuertas o semiconductores, sino más bien un conjunto de instrucciones creadas por la mente del programador de computadoras. Por esta razón, al programa se le conoce como *software*, en contraste con el hardware, que es la electrónica de la computadora. El hardware de la computadora tendría poca utilidad si no existiese el programa que lo hace funcionar. Se puede decir que el programa es el combustible que el hardware de la computadora utiliza para hacer un trabajo. Muchos fabricantes de hardware para computadora han aprendido por experiencia que se puede tener hardware muy bien diseñado y eficiente, pero si nadie ha desarrollado buen software para él, entonces simplemente no se venderá.

La última parte básica de una computadora es la entrada/salida. Ésta es la interfaz entre el hombre y la computadora. La computadora puede hacer muchas cosas diferentes muy rápidamente, pero las personas no pueden destapar la CPU y observar lo que sucede en ella. La computadora además, debe enviar su respuesta a algún dispositivo que las personas puedan ver y comprender. También la computadora debe ser capaz de recibir información del mundo externo. Esta entrada/salida no siempre proviene de las personas; puede venir de otras máquinas o dispositivos controlados por la computadora.

A continuación se examinan las cuatro partes principales de una computadora y la forma en que trabajan en conjunto.

16.2 UNIDAD CENTRAL DE PROCESAMIENTO

Antes de la aparición de las CPU de una sola pastilla, los procesadores centrales se construían con muchos circuitos integrados colocados sobre tarjetas de circuito impreso. Estos procesadores eran muy grandes y consumían mucha potencia. La integración a gran escala de la CPU ha producido un número muy grande de procesadores centrales de una sola pastilla, tales como el 6800, 6502, 8080, 8085 y Z-80. Debido a que todas estas CPU vienen en un solo encapsulado de 40 terminales, todas ellas se conocen como *micropresesadores*. El término "micro" parecería indicar que la capacidad de cómputo es algo menor que la de la CPU de una minicomputadora o una computadora grande, y esto es cierto para la mayoría de las CPU de ocho bits. Una CPU de ocho bits tiene un bus de 8 bits. En la actualidad las nuevas CPU de una sola pastilla de 16 y 32 bits, como el Z8000, 8086, 68000, 68020, 80386 y 80486, tienen una capacidad de cómputo muy grande que ya no puede considerarse pequeña.

Dado que el Z80 es una de las CPU de ocho bits más poderosas y de mayor empleo en procesos de producción, se utilizará como ejemplo. Este capítulo no pretende ser un tratado completo sobre micropresesadores, de modo que no se entrará con detalle a muchos de los temas. El estudio de los micropresesadores requeriría de todo un libro.



La figura 16-1 muestra una CPU basada en el Z-80 que es parte de un sistema simple de adiestramiento. La CPU Z-80 tiene 16 líneas de dirección: de A_0 a A_{15} , que utiliza líneas para proporcionar las direcciones binarias de la memoria o de la E/S con las que desea comunicarse. Éste es un bus unidireccional y está aislado por un conjunto de CI 74LS245 que proporcionan una corriente de excitación mayor. Este aislamiento se requiere debido a que el Z-80 sólo puede alimentar un poco más de una carga TTL en cada una de sus salidas. Una carga de salida TTL es el valor típico de muchas CPU NMOS LSI.

El bus de datos tiene un ancho de ocho bits, es bidireccional y se emplea para transferir datos hacia y desde la CPU. La dirección en la que fluyen los datos por el 74LS245 está controlada por una señal de control generada por el Z-80 y que se conoce como RD. Esta señal va al nivel BAJO cada vez que la CPU desea hacer la transferencia de datos provenientes del exterior. Cuando la terminal 1 de la compuerta de aislamiento del bus de datos (74LS245) va al nivel BAJO, los datos serán transferidos de la terminal 18 a la 2, de la 17 a la 3, y así sucesivamente.

El Z-80 genera varias señales de control que controlan el funcionamiento del bus de datos y de otras partes de la computadora. Estas señales también están aisladas con un 74LS245 y forman el tercer bus del Z-80 denominado bus de control. Existen cuatro señales de control básicas em-

pleadas para controlar la memoria y la entrada/salida de la computadora: RD, WR , MREQ e IORQ .

MREQ pasa al nivel BAJO cuando el Z-80 coloca una dirección válida en el bus de direcciones para realizar una operación de lectura o escritura en memoria. Si se trata de una lectura de memoria, entonces la señal RD también cambia al nivel BAJO. Si se trata de una escritura en memoria, entonces la señal WR pasa al nivel BAJO. El OR de las señales MREQ y RD produce una señal de control denominada MRD , la cual se utiliza para seleccionar la operación de lectura de memoria. El OR de las señales MREQ y WR da origen a la señal MWR , la cual debe tener el nivel BAJO para una operación de escritura en memoria.

Cuando la CPU lee o escribe en un dispositivo de entrada o salida en el bus de datos, la señal IORQ va al nivel BAJO pero no sucede lo mismo con la señal MREQ . Al hacer el OR de RD y WR con IORQ , pueden producirse dos nuevas señales de control de entrada/salida, IORD y IOWR . En el diagrama de la figura 16-1 el CI6 es un 74LS32 que hace precisamente esto.

Existe una señal de control más en el bus de control de esta computadora y que es M1·M1 va al nivel BAJO cuando la CPU está tomando un byte de la memoria, el cual será empleado como la siguiente instrucción en el programa que la computadora está ejecutando. Cuando se hace el OR de esta señal con IORQ , se produce otra señal denominada INTACK o confirmación de interrupción. INTACK se emplea para leer un byte proveniente de un puerto de entrada especial denominado puerto de vector de interrupción. Este byte se utiliza para indicarle a la computadora donde obtener la siguiente instrucción que debe ejecutar. Las interrupciones son un método para interrumpir la ejecución de un programa y obligar a la CPU a hacer algo más. Debido a su complejidad, las interrupciones no serán estudiadas con detalle en este capítulo.

El lector probablemente notará que las terminales de selección de circuito (CS) de todas las compuertas de aislamiento del 74LS245 están conectadas a una señal denominada BUSAK o confirmación de bus a través de un inversor. Esta señal pasa al nivel BAJO, haciendo que todos los excitadores de bus sean puestos en su estado de alta impedancia, cuando algún dispositivo externo hace que la señal BUSRK vaya al nivel BAJO. Cuando esto sucede, la CPU terminará la ejecución de la instrucción actual y luego pondrá todas las compuertas de aislamiento del bus en el estado de alta impedancia. Con este método, conocido comúnmente como acceso directo a memoria o DMA, un dispositivo externo puede obtener el control del sistema de buses de la computadora.

La terminal RESET está controlada por un monoestable de encendido formado por una constante de tiempo RC y un disparador de Schmitt, muy similar a los monoestables estudiados en este libro. La entrada RESET se emplea para hacer que el Z-80 comience a tomar instrucciones a partir de

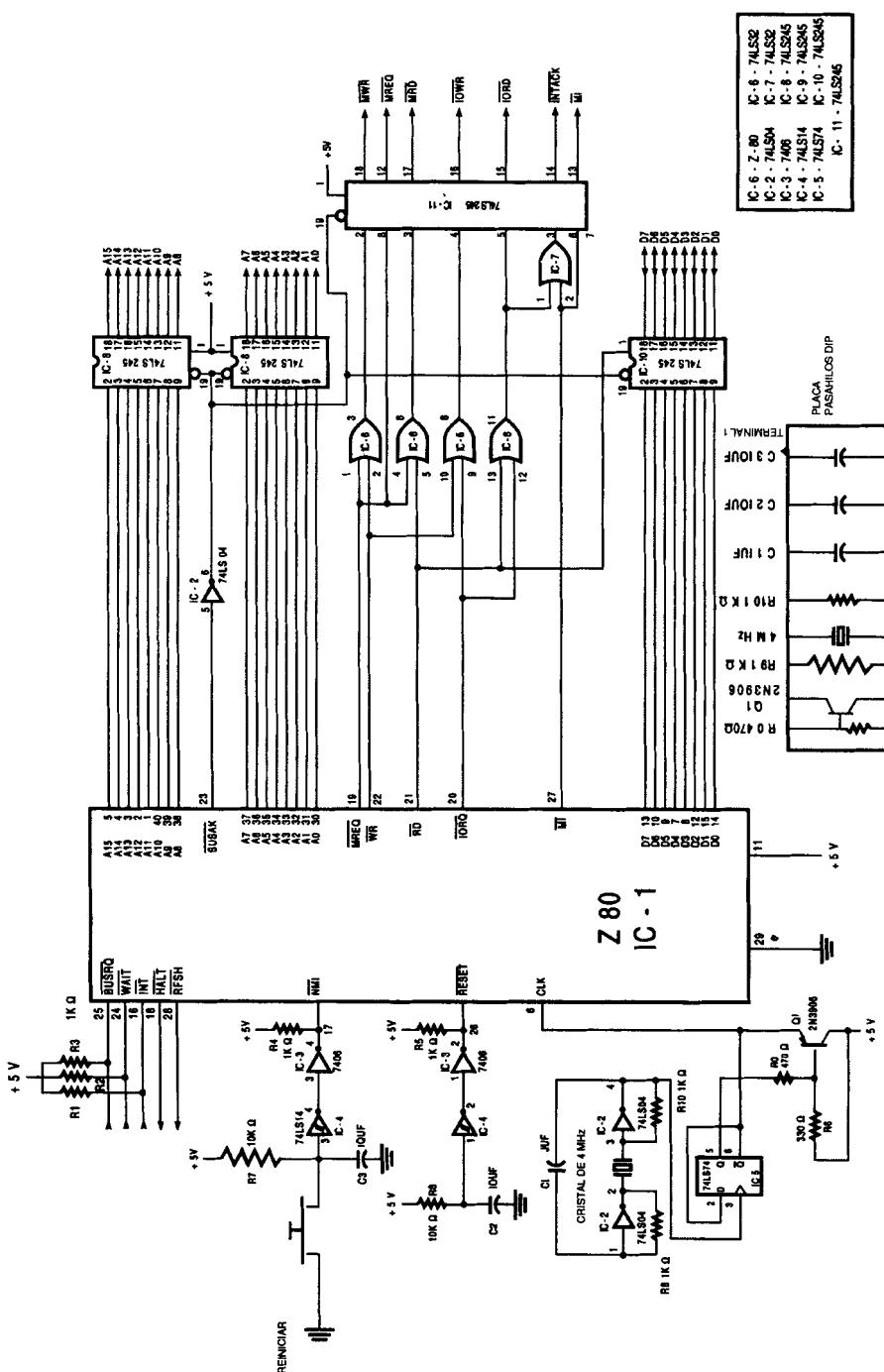


FIGURA 16-1 CPU basada en el Z-80 para un sistema simple de adiestramiento en computadoras

la dirección 0000 hex. Cuando la entrada RESET se mantiene en el nivel BAJO al menos seis ciclos de reloj y luego vuelve al nivel ALTO, la CPU comienza a tomar la siguiente instrucción en la dirección 0000 hex. Ésta es la forma en que la computadora inicia en el lugar correcto del programa cada vez que se enciende.

La señal NMI o interrupción no enmascarable se utiliza para volver a poner en marcha al Z-80 una vez que la computadora haya sido encendida. Cuando esta entrada tiene el nivel BAJO, hace que la ejecución del programa comience en 0066 hex. El monoestable RC es idéntico al de RESET, con la excepción de que se ha colocado un botón en el circuito para volver a disparar el monoestable.

La señal RFSH es una salida empleada por el Z-80 para refrescar la memoria dinámica. Esta señal va al nivel BAJO cuando la dirección contiene la dirección para el refresco de la memoria dinámica. El Z-80 tiene un ciclo de refresco oculto para la memoria dinámica, lo que facilita su uso con memoria de este tipo. Más adelante se examina la memoria dinámica.

La salida HALT indica que la CPU ha ejecutado la instrucción de paro (halt) y que por tanto se encuentra detenida. Sólo las señales NMI o RESET harán que la CPU continúe trabajando después de la ejecución de la instrucción de paro.

La CPU puede ser interrumpida llevando la terminal INT al nivel BAJO. La CPU puede enmascarar esta interrupción mediante programación, y en el Z-80 existen tres modos para las interrupciones.

La entrada WAIT se emplea para detener la CPU y esperar a la memoria de respuesta lenta, la cual requiere de un tiempo mayor para obtener los datos del bus de datos que la duración del ciclo normal del bus.

16.3 MEMORIA DE LA COMPUTADORA

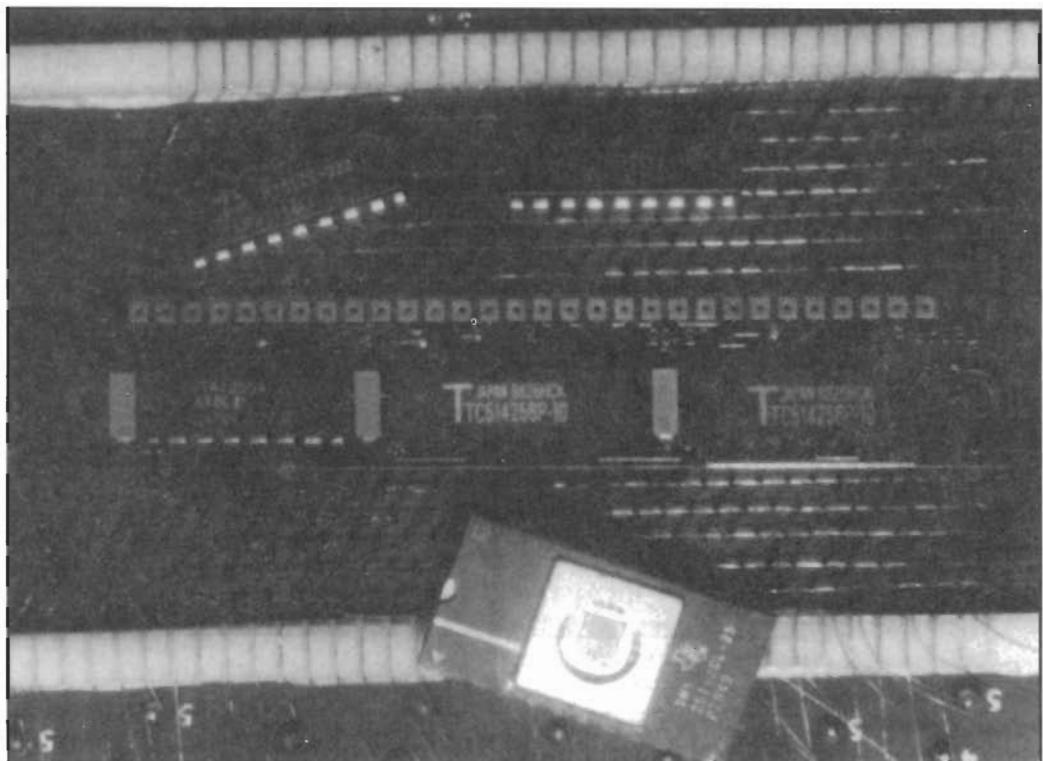


Una memoria de semiconductor es un circuito integrado capaz de almacenar un número binario y recordarlo cuando éste sea direccionado o seleccionado ya sea por la computadora o cualquier otro dispositivo digital. Un retenedor simple construido con flip-flops D, tal como el de la figura 7-27, puede considerarse como memoria, ya que puede almacenar un número binario.

Existen dos tipos principales de memoria, ROM y RAM. La ROM es una **memoria únicamente de lectura**. Este tipo de memoria tiene un conjunto de valores preestablecidos en sus celdas de memoria que no puede cambiarse con facilidad. La RAM es **memoria de acceso aleatorio**.

La RAM es memoria de lectura y escritura. Lo anterior significa que el valor almacenado en sus celdas de memoria puede cambiarse por otro valor fácil y rápidamente. El nombre de memoria de acceso aleatorio no es

MEMORIA ANTIGUA Y NUEVA



Esta fotografía muestra una EPROM, dos RAM estáticas y un módulo de RAM dinámica conocido como simm. Nótese el arreglo de donas magnéticas

pequeñas sobre la tarjeta de memoria de núcleo. El simm consta de dos CI de memoria dinámica de 256 por 1 bit y un CI de 64K por 1 bit.

muy bueno ya que implica que el acceso a las celdas puede hacerse aleatoriamente o en cualquier orden, y no que las celdas de memoria sean de lectura/escritura. El hecho es que la mayoría de las ROM y RAM son de acceso aleatorio. A pesar de lo anterior, las siglas RAM se usan para iniciar memoria de semiconductor de lectura/escritura.

16.4 ROM

La figura 16-2 muestra cómo construir una ROM mediante el empleo de un decodificador, cuatro compuertas de tres estados y algunos diodos. Esta ROM puede almacenar ocho números de cuatro bits, o 32 bits de información. Cada palabra de cuatro bits, o *nibble*, se puede leer o colocar en la línea de salida al proporcionar la dirección correcta a las entradas del decodificador y habilitando las compuertas de tres estados con un nivel lógico BAJO en la entrada de selección de circuito (CS) del CI. Si se coloca la dirección 111 en las entradas de dirección, la salida 7 del decodificador irá al nivel BAJO, o 0 V. Esto polarizará en directa el diodo que se encuentra entre la salidas número 7 y D_0 , obligando de esta manera a que la salida D_0 tenga el nivel BAJO. Los demás diodos conectados a la salida D_0 están polarizados en inversa debido a que las demás salidas del decodificador son 1, o sea un voltaje positivo. Dado que D_1 , D_2 y D_3 no tienen diodos que las obliguen a tener el nivel BAJO, el valor de su salida es 1. Cada vez que cambie la dirección de la ROM, las salidas D_0 a D_3 reflejarán el valor almacenado en la ROM. Este valor se encuentra determinado por la colocación de los diodos entre la salida del decodificador y las salidas D_0 a D_3 .

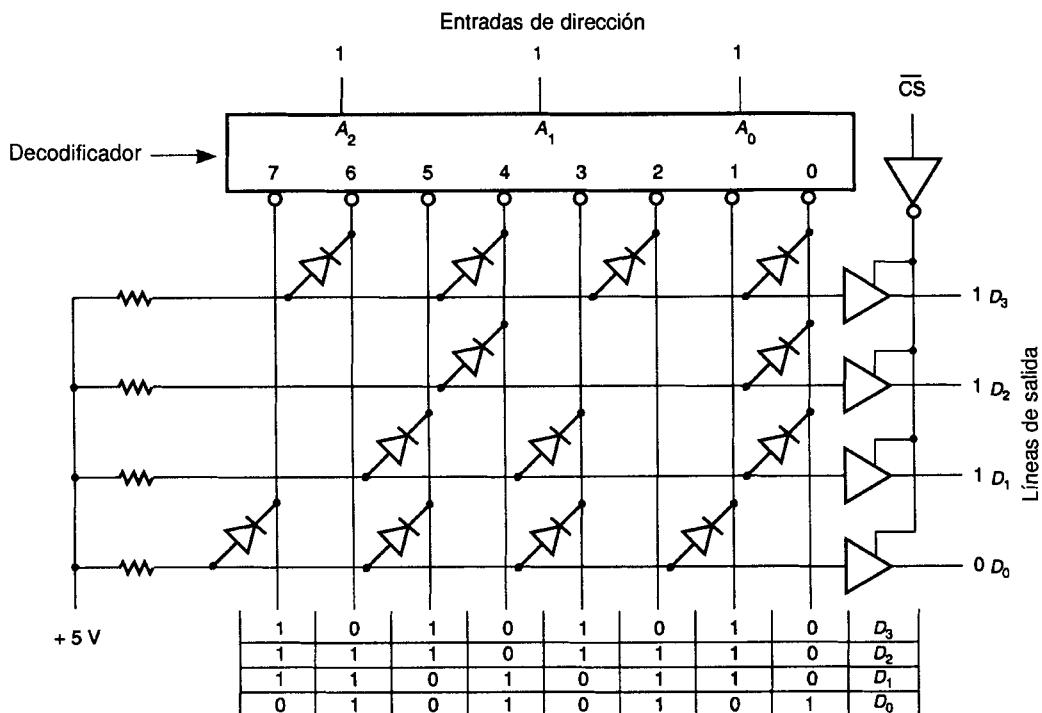


FIGURA 16-2 ROM construida a partir de un arreglo de diodos

Las memorias se miden por el número de direcciones de memoria y por el número de bits que pueden guardarse en cada dirección. La memoria de la figura 16-2 es una ROM de 8 por 4. Esto significa que la memoria tiene ocho localidades, cada una con cuatro bits, o un almacenamiento total de 32 bits. Las ROM del tipo de la figura 16-2 son fabricadas como CI semiconductores con patrones de bits predefinidos almacenados en ellos. Este tipo de circuitos se emplean para memorias de computadoras, generadores de caracteres y convertidores de código.

16.5 PROM

El problema con la ROM es que una vez que se fabrica el CI, no es posible cambiar el patrón de bits que hay en él, y fabricar otro nuevo CI resulta muy costoso. Para evitar este problema, se creó la PROM. La **PROM** es una *memoria programable únicamente de lectura* donde el usuario puede establecer su patrón de bits. La programación se hace quemando un fusible semiconductor pequeño en la celda de memoria donde se desea tener un 1. Esto se muestra en la figura 16-3.

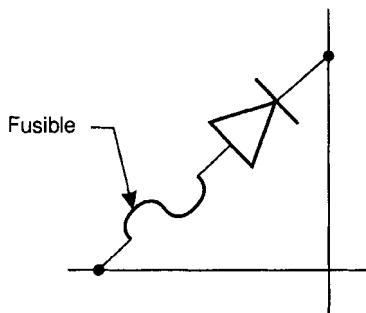


FIGURA 16-3 Celda de memoria PROM

Para programar una PROM típica, se coloca la dirección de la localidad de memoria en las líneas de dirección de la PROM, a continuación se pone el dato a ser guardado en las líneas de salida de datos, después se mantiene en el nivel ALTO a CS y se introduce un pulso con nivel ALTO en la entrada PM por unos cuantos milisegundos. Con esto se quema el fusible de los diodos en los que se coloca un 1, pero no en los diodos en los que se coloca un 0. A partir del momento en que se quema un fusible, la lectura de dicha celda será 1, debido a que el diodo ha sido efectivamente desconectado. La figura 16-4 muestra el circuito de una PROM de 4 por 4 que se programa del modo antes descrito.

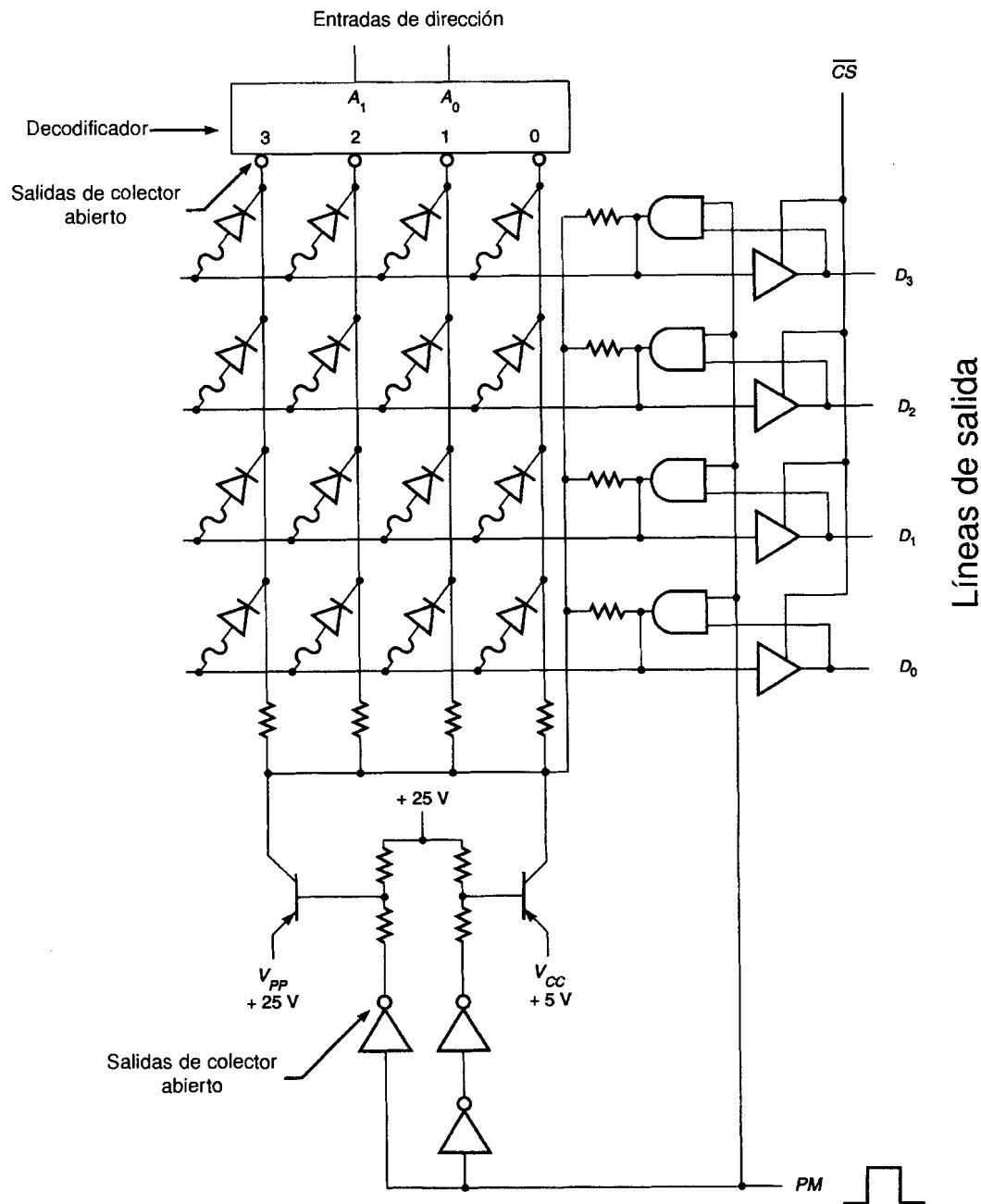


FIGURA 16-4 PROM de 4 por 4

16.6 EPROM

Una vez que la PROM ha sido programada al quemar los fusibles de los bits en los que se necesitan unos, ya no puede volverse a programar. Una vez quemado un fusible, éste ya no puede ser restablecido. La EPROM resuelve este problema permitiendo que el CI sea borrado y luego programado con un nuevo patrón de bits. La **EPROM** es una *memoria programable y borrible únicamente de lectura*.

Las EPROM utilizan una celda de memoria sensible a la luz que, cuando se expone a la luz ultravioleta, regresa a un valor de 1. Por consiguiente, la mayoría de las EPROM tienen unos en todas sus celdas de memoria después de que han sido borradas al exponerlas a la luz ultravioleta por un lapso aproximado de 20 minutos. Véase la figura 16-5.

Tal como se muestra en la figura 16-6, la celda de memoria de una EPROM tiene una compuerta flotante para el transistor de efecto de campo que puede cargarse aplicándole un voltaje alto, de 12.5 a 25 volts. El voltaje de programación exacto depende del tipo de EPROM que va a programarse. El lector debe verificar en las especificaciones del CI el voltaje de programación exacto que debe emplearse. La carga de esta compuerta flotante hace que la celda de memoria guarde un 0. Dado que los electrones son forzados a pasar por una barrera muy delgada de dióxido de silicio (un aislante) para

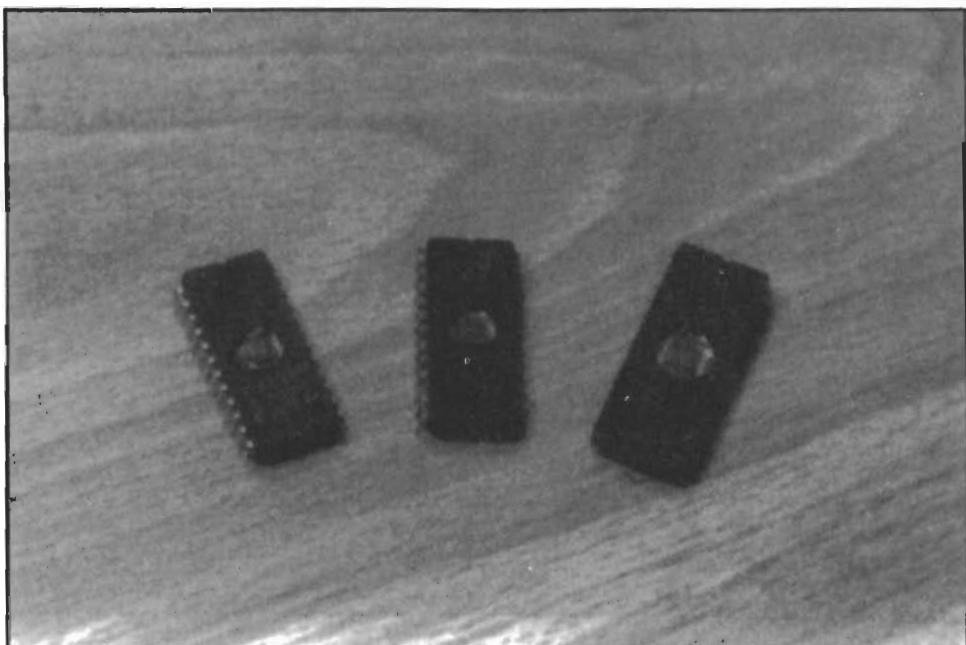


FIGURA 16-5 CI EPROM típicos

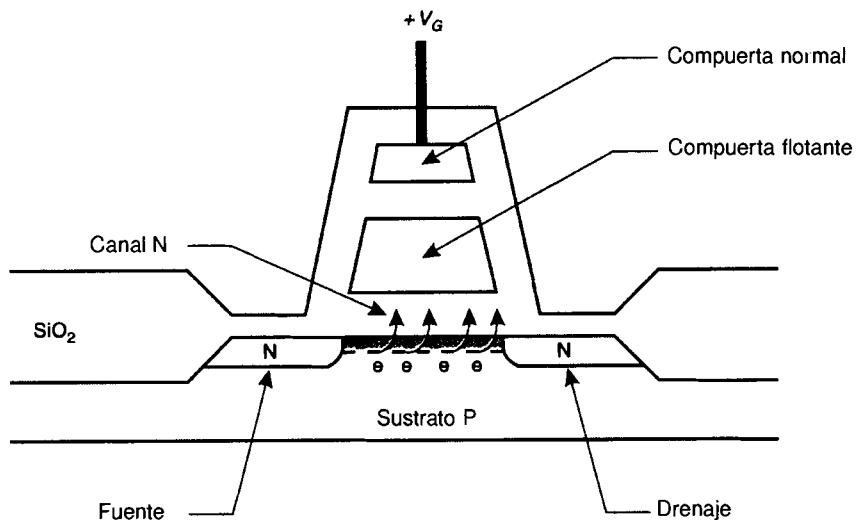
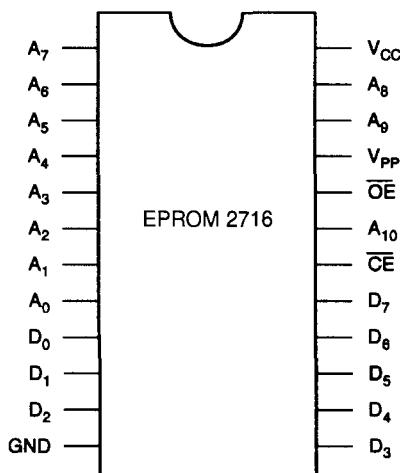


FIGURA 16-6 Transistor FET de una EPROM

cargar la compuerta flotante, éstos no la cruzarán en dirección opuesta a menos que sus niveles de energía se aumenten por medios artificiales. La luz ultravioleta hace que la compuerta flotante pierda su carga, ocasionando con esto que la celda de memoria vuelva a tomar su valor 1. Muchas EPROM serán completamente borradas al exponerlas a luz ultravioleta con una longitud de onda de 2500 Å o menor y una intensidad de 15 W-s/cm² durante 15 o 20 minutos.

Una lámpara germicida fluorescente de 15 W (los peluqueros ponen sus instrumentos de corte bajo tales lámparas) funcionará muy bien para el borrado de EPROM. Las EPROM deben colocarse a una distancia aproximada de una pulgada debajo de la luz. La luz debe estar confinada, de modo tal que los ojos no queden expuestos a ella durante un tiempo prolongado. El borrado se inicia a una longitud de onda aproximada de 4000 Å. Esto significa que la luz fluorescente normal puede borrar una EPROM en un lapso de tres a cuatro años. La luz directa del sol puede hacerlo sólo en una semana. Por consiguiente, la EPROM debe tener la ventana óptica de la pastilla cubierta para impedir que la luz externa entre en el CI.

El 2716 es una EPROM de 2K por 8, representativa de las EPROM en uso en la actualidad. Por ser representativa se estudiará su funcionamiento y métodos de programación. Debe mencionarse que el 2708, que fue una de las primeras EPROM, difiere un poco en los métodos empleados para programarla. Este circuito todavía se encuentra en equipo antiguo.

**FIGURA 16-7** EPROM 2716

La figura 16-7 muestra la distribución de terminales de la EPROM 2716. Existen 11 líneas de direcciones (A_0 a A_{10}) que seleccionan la localidad de memoria a leer o programar, y ocho líneas de datos (D_0 a D_7) que se emplean para dar salida a los datos o colocarlos en la memoria. El CI tiene un voltaje de alimentación de +5 V y +25 V en la entrada V_{PP} para programar la memoria. La terminal OE (habilitación de salida) controla las compuertas internas de tres estados de las terminales de salida D_0 a D_7 . La terminal CE (habilitación del circuito) también controla las compuertas de salida de tres estados. La diferencia entre ellas es que cuando CE regresa al estado inactivo (ALTO) el 2716 entra en su modo de reserva, lo que hace que consuma un 75 por ciento menos de potencia.

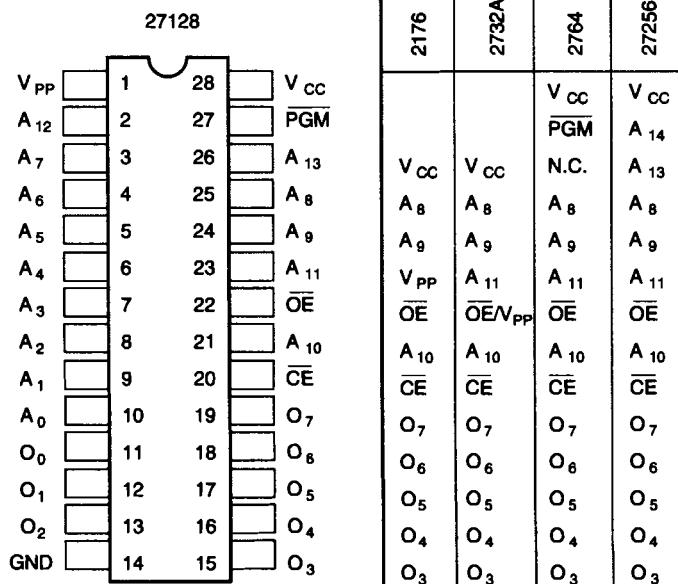
Para programar la EPROM 2716, se aplican +25V a la terminal V_{PP} , OE se pone en nivel ALTO y CE se emplea para controlar la programación. El byte que va a guardarse en la memoria se coloca en las líneas de salida (D_0 a D_7) y se aplica un pulso ALTO, a partir del nivel BAJO, en la terminal CE por 50 ms. Las localidades de memoria pueden programarse aleatoria o secuencialmente. Una vez programado, un 0 permanecerá en 0 hasta que sea borrado por exposición a la luz ultravioleta.

Las EPROM se han convertido rápidamente en el CI más empleado para almacenar programas de puesta en marcha y sistemas operativos para las computadoras que se usan en la actualidad. En la figura 16-8 se presentan algunos CI típicos que se usan en la actualidad. El 2716 y el 2732 son CI de 24 terminales, y los demás son CI de 28 terminales. Todos tienen una configuración de terminales similar, lo que permite que el diseñador considere en el diseño la posibilidad de actualizar la EPROM con la inclusión de un simple puente de conexión en la tarjeta.

16.7 EEPROM

La **EEPROM** es una *memoria programable y borrable eléctricamente sólo de lectura*. Este tipo de memoria retiene el patrón de bits que está guardado en

27256	2764	2732A	2716
V _{PP}	V _{PP}		
A ₁₂	A ₁₂		
A ₇	A ₇	A ₇	A ₇
A ₆	A ₆	A ₆	A ₆
A ₅	A ₅	A ₅	A ₅
A ₄	A ₄	A ₄	A ₄
A ₃	A ₃	A ₃	A ₃
A ₂	A ₂	A ₂	A ₂
A ₁	A ₁	A ₁	A ₁
A ₀	A ₀	A ₀	A ₀
O ₀	O ₀	O ₀	O ₀
O ₁	O ₁	O ₁	O ₁
O ₂	O ₂	O ₂	O ₂
Gnd	Gnd	Gnd	Gnd



NOMBRES DE LAS TERMINALES

A ₀ -A ₁₃	DIRECCIONES
CE	HABILITACIÓN DE CIRCUITO
OE	HABILITACIÓN DE LA SALIDA
O ₀ -O ₇	SALIDAS
PGM	PROGRAMACIÓN
N. C.	SIN CONEXIÓN

2716 — (2K POR 8)

2732 — (4K POR 8)

2764 — (8K POR 8)

27128 — (16K POR 8)

27256 — (32K POR 8)

FIGURA 16-8 EPROM típicas

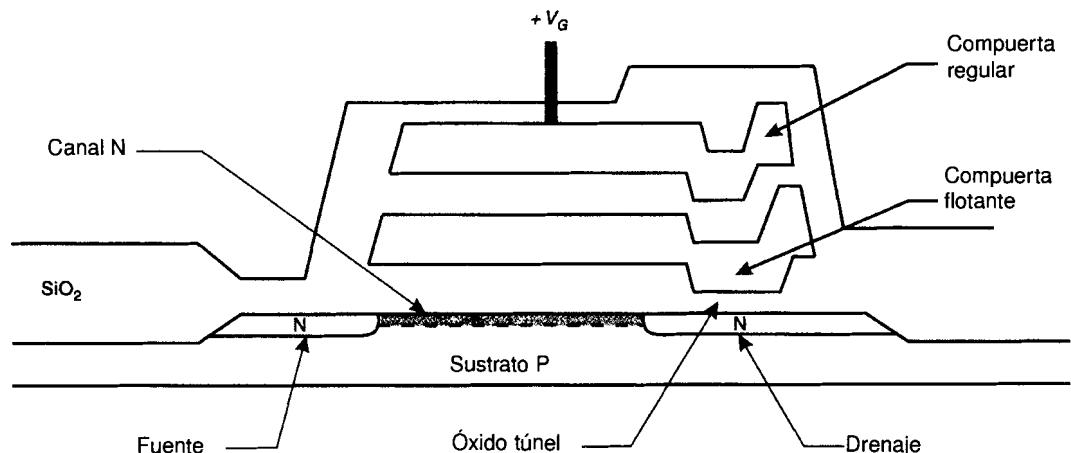


FIGURA 16-9 Transistor de una EEPROM

ella cuando se retira la energía eléctrica. El patrón de bits puede ser programado y modificado mediante la aplicación de un campo eléctrico a la celda de memoria. La ventaja principal de este tipo de memoria es la facilidad con la que puede modificarse.

Las EPROM no pueden borrarse de manera selectiva ni con mucha rapidez. La EEPROM es una mejora sobre la tecnología de EPROM básica. La figura 16-9 muestra el transistor de memoria EEPROM básico y la compuerta flotante. En la EPROM, los electrones son obligados a pasar a través del aislante de dióxido de silicio al aplicar un voltaje grande entre el sustrato P y la compuerta normal.

Los electrones se concentran en la compuerta flotante y quedan atrapados en ella, cargando así la compuerta. Cuando la compuerta está cargada, el transistor de efecto de campo no conduce.

En la EEPROM, la compuerta flotante y la compuerta normal tienen una protuberancia que queda muy cerca del drenaje del transistor. Los electrones son obligados a entrar en la compuerta flotante al aplicar un voltaje elevado de $-a+$ del drenaje a la compuerta normal. Entonces, al igual que en el transistor de la EPROM, los electrones se concentran en la compuerta flotante, cargándola negativamente. Invirtiendo la polaridad del voltaje se retiran los electrones y se invierte la carga. Esto es lo que da a la EEPROM la característica de poder ser borrada y reprogramada con rapidez, con un voltaje aproximado de 21 V.

La tecnología EEPROM aún no ha producido lo último en memoria de lectura/escritura. El número de localidades de almacenamiento no es ilimitado. En la actualidad es aproximadamente de 100,000, y el tiempo ne-

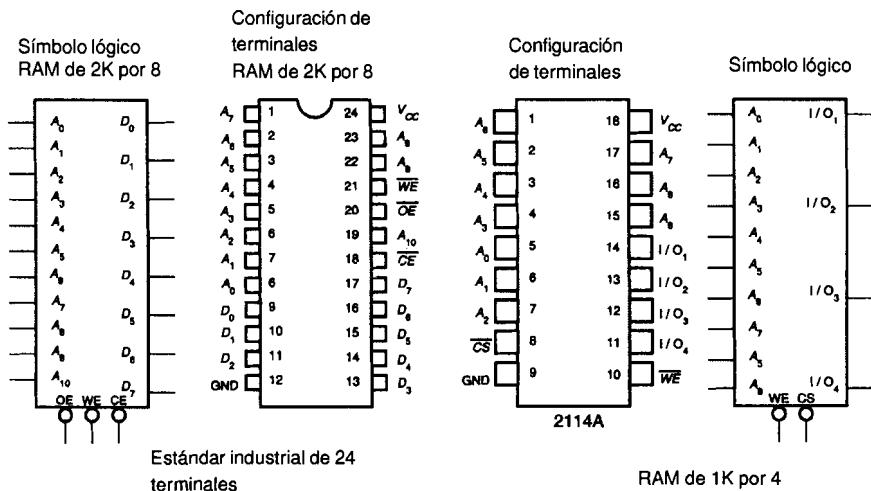
cesario para escribir en ella es mucho mayor que el de una RAM típica. Es por estas limitaciones que la EEPROM no será utilizada como RAM. En la actualidad la EEPROM se emplea para guardar información sobre la configuración de dispositivos tales como terminales de computadoras, impresoras y módems. El operador del equipo puede borrar la EEPROM y reprogramarla con una configuración nueva para un equipo de computadora sin necesidad de quitar el CI o hacer uso de una luz especial. La configuración puede cambiarse con facilidad y permanecerá sin cambio aun cuando el equipo se apague.

16.8 RAM ESTÁTICA

El CI de **RAM estática** utiliza como celda de memoria un flip-flop simple set/reset formado por transistores de conexión cruzada. Esta celda de memoria puede ser inicializada o reinicializada, y retendrá su valor hasta que la energía eléctrica sea apagada. La velocidad de lectura/escritura típica de las RAM MOS (metal-óxido semiconductor) va de 55 hasta 450 ns. Esta velocidad es lo suficientemente rápida para casi todas las operaciones realizadas por la computadora en la actualidad.

Todos los CI de RAM estática son volátiles, lo que significa que pierden sus patrones de memoria cuando la energía eléctrica se pierde. La memoria de núcleo magnético antigua es no volátil y estática. La memoria de núcleo magnético utilizaba un arreglo de círculos magnéticos con forma de dona para guardar los bits. Esta memoria era el tipo más utilizado en las computadoras antes de la aparición de memorias de semiconductor buenas. El término *memoria de núcleo*, que todavía se emplea a menudo para la RAM central de una computadora, tuvo su origen en el pasado debido a que la RAM estaba hecha con memoria de núcleo magnético.

La RAM estática se fabrica con cuatro tecnologías básicas: MOS (metal-óxido semiconductor), CMOS (metal-óxido semiconductor complementario), TTL (lógica transistor-transistor), y ECL (lógica de emisores acoplados). La RAM TTL es mucho más rápida que la RAM CMOS, pero no es tan densa como ésta. Una RAM TTL típica, como la MCM93415 de Motorola, es una RAM de 1K por 1 con un tiempo de acceso de 45 ns. La RAM CMOS es más lenta que la RAM TTL, un poco más densa, y emplea mucho menos potencia. Cuando no se hacen operaciones de lectura o escritura en una RAM CMOS, generalmente no consume potencia. Lo anterior significa que puede emplearse una batería pequeña de larga duración, como puede ser una celda de óxido de plata, como fuente de alimentación de respaldo para la RAM cuando la energía eléctrica se apague. Esto hace que la RAM CMOS parezca no volátil, y que se utilice en muchas aplicaciones, tales como las computadoras portátiles. Una RAM CMOS típica es la MCM10474-15 de Motorola, que es una RAM CMOS de 2K por 8 con un tiempo de acceso de 200 ns.

**FIGURA 16-10** RAM estática típica

La RAM ECL es la más rápida de las cuatro tecnologías básicas, pero consume más energía. Una RAM ECL típica es la MCM10474-15 de Motorola, que es una RAM de 1K por 4 con un tiempo de acceso de 15 ns. El tiempo de acceso de un CI de memoria es el tiempo necesario para que el número guardado en la memoria se estabilice en las líneas de datos una vez que CS y la dirección hayan sido activadas. La figura 16-10 muestra algunas RAM estáticas típicas empleadas en muchos diseños de computadoras actuales.

16.9 RAM DINÁMICA

La **RAM dinámica** utiliza un solo transistor y un capacitor pequeño para la celda de memoria. Debido a los pocos componentes utilizados por celda de memoria, la RAM dinámica es muy densa. En el presente, la RAM dinámica puede tener más celdas de memoria por CI que cualquier otro tipo de CI de memoria. Dada la alta densidad y el consumo de potencia relativamente pequeño, la RAM dinámica se ha convertido rápidamente en el tipo de memoria de computadora más utilizado hoy en día. El único problema con la RAM dinámica es que la escritura o lectura de las celdas debe hacerse cada 2 ms, o de lo contrario el pequeño capacitor de la celda se descargará y la RAM perderá el patrón de bits que tiene almacenado. Esta operación de refresco requiere de cierto tiempo de la computadora y de otros circuitos para su realización. La CPU Z-80 tiene un sistema incorporado de refresco transparente para la RAM dinámica que no desperdicia tiempo de la CPU. Esta característica hace que la CPU Z-80 sea muy atractiva para los diseñadores.

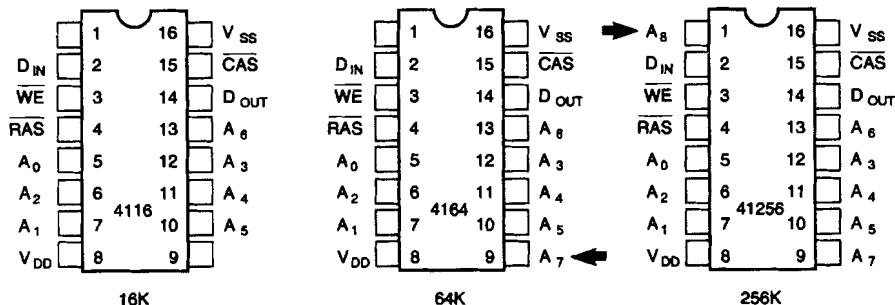


FIGURA 16-11 Distribución de terminales del encapsulado estándar industrial para RAM dinámicas

El 4164 es una RAM dinámica NMOS (metal-óxido semiconductor de canal N) de 64K por 1 fabricado por muchas compañías. El circuito requiere un solo voltaje de 5 V y sus salidas pueden manejar hasta dos cargas TTL. La figura 16-11 presenta la distribución de terminales de la RAM.

La RAM viene en encapsulados de 16 terminales. Para direccionar 64K de memoria se requieren 16 terminales de dirección (A_0 a A_{15}). Para poder tener las 16 entradas de dirección, una entrada de datos, V_{CC} y tierra, y las entradas de control en un encapsulado de 16 terminales, las entradas de dirección se redujeron a la mitad y fueron multiplexadas en el circuito. Esto significa que sólo se emplean ocho terminales del CI RAM para las 16 entradas de dirección. Para poder hacer lo anterior se añadieron dos líneas de control nuevas: RAS (selección de la dirección del renglón) y CAS (selección de la dirección de la columna). Estas dos terminales de selección permiten retener la información de la dirección en el renglón y la columna de la matriz de celdas de memoria utilizada por la RAM. La figura 16-2 muestra el arreglo de celdas de memoria y los retenedores de direcciones de renglón y columna. Como puede observarse en la figura 16-11, el encapsulado estándar industrial para las tres RAM dinámicas es el mismo, excepto por la adición de una entrada de dirección cada vez que aumenta la capacidad de memoria del CI. Esto significa que el diseño de la computadora puede hacerse de modo que permita una actualización en el tamaño de la memoria mediante un simple cambio en los CI de memoria.

Para leer o escribir en la RAM, primero se coloca el byte menos significativo (LSB) de la dirección en las entradas de dirección A_0 a A_7 , y luego se lleva la entrada RAS (selección de la dirección del renglón) al nivel BAJO. De esta manera se retiene el LSB de la dirección en los retenedores de renglón del arreglo de memoria. A continuación se coloca el byte más significativo (MSB) de la dirección en las entradas de dirección A_0 a A_7 y se retiene en los retenedores de columna del arreglo de memoria cuando CAS

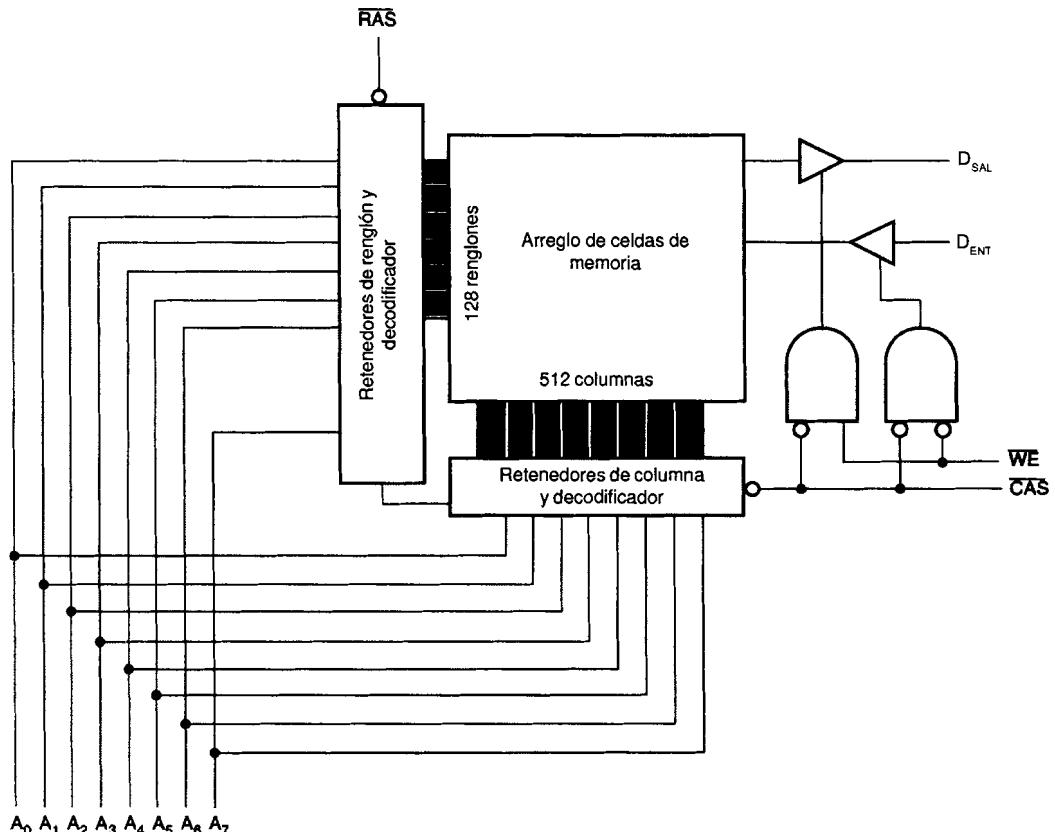


FIGURA 16-12 Configuración típica de una DRAM

(selección de la dirección de la columna) va al nivel BAJO. Poco después de que la señal CAS haya pasado al nivel BAJO, el dato se pone en la terminal D_{sal} , o se guarda en la RAM si esta en la terminal D_{ent} . La lectura o escritura está controlada por la entrada WE del CI.

Para refrescar las celdas de memoria del arreglo, sólo es necesario retener una nueva dirección de renglón, debido a que cada vez que se escoge un renglón nuevo, se refrescan todas las celdas de memoria de ese renglón. Nótese que la dirección del renglón consta sólo de siete bits, mientras que la de la columna consta de nueve bits. Por consiguiente, sólo se necesita una dirección de refresco de siete bits para refrescar toda la memoria dinámica.

Durante el ciclo de máquina M1 o de toma de instrucción de la CPU Z-80, el registro de refresco interno de siete bits se incrementa y su conte-

nido se pone en los siete bits menos significativos del bus de direcciones. A continuación las señales $\overline{\text{MREQ}}$ y $\overline{\text{RFSH}}$ van al nivel BAJO. Al hacer el OR lógico de estas dos señales, puede producirse una señal de refresco dinámico.

El diagrama de la figura 16-13 muestra los decodificadores de memoria y la ROM/RAM del sistema de adiestramiento en computadoras de la figura 16-1. La ROM es una EPROM 2716 de 2K por 8, y la RAM está formada por dos 2114, que son CI de RAM estática de 1K por 4. El decodificador de direcciones es un decodificador óctuple 74LS138. Este decodificador ya fue estudiado en el libro, de modo que su funcionamiento debe ser claro. El decodificador permitirá que el acceso a la ROM se haga con las direcciones 0000 hex a 0FFF hex, y a la RAM de 0800 hex a 0BFF hex. El decodificador proporciona una salida con nivel BAJO para cada uno de los primeros ocho bloques de memoria de 1K de los 64K posibles que la CPU puede direccionar.

El 74LS245 se utiliza para aumentar la corriente de excitación del bus de datos, debido a que los CI de RAM y ROM sólo pueden proporcionar aproximadamente una carga TTL a una salida. La dirección del flujo de datos está determinada por la señal de control MRD que proviene de la CPU, y el excitador del bus es habilitado o inhabilitado con el decodificador de direcciones. El excitador de bus estará habilitado sólo si está presente en el bus de direcciones una dirección que pertenezca al área de memoria de la ROM y la RAM.

16.10 ENTRADA/SALIDA DE LA COMPUTADORA

La entrada y salida de una computadora puede ser muchas cosas, desde una terminal típica hasta el control y manejo de un conjunto motor-generador de un sistema de distribución de energía eléctrica. La figura 16-14 muestra la E/S del sistema de adiestramiento en computadoras de la figura 16-1. Este sistema consta de tres puertos de salida de ocho bits con LED y un teclado hexadecimal para introducir código de máquina para programar la computadora. El decodificador de direcciones es el mismo 74LS138 que se usó para la memoria, pero en este caso la dirección tiene sólo ocho bits en lugar de 16. Esto se debe a que el Z-80, al igual que el viejo 8080, tiene únicamente direcciones de ocho bits para los puertos de entrada/salida. El decodificador proporcionará un nivel BAJO en la línea seleccionada para las primeras ocho direcciones posibles. El NOR de estas líneas seleccionadas con $\overline{\text{IORD}}$ e $\overline{\text{IOWR}}$ produce las habilitaciones de retención para los puertos de salida y el puerto de entrada. Los tres puertos de salida están compuestos por dos retenedores D transparentes cuádruples 7475. Cuando la entrada de habilitación o de reloj de estos flip-flops D se lleva al nivel ALTO, el dato del bus de datos pasa a las salidas Q y \overline{Q} de los retenedores. Cuando la entrada de habilitación o de reloj regresa al nivel BAJO, el dato es retenido en las salidas Q y \overline{Q} de los retenedores D . Cuan-

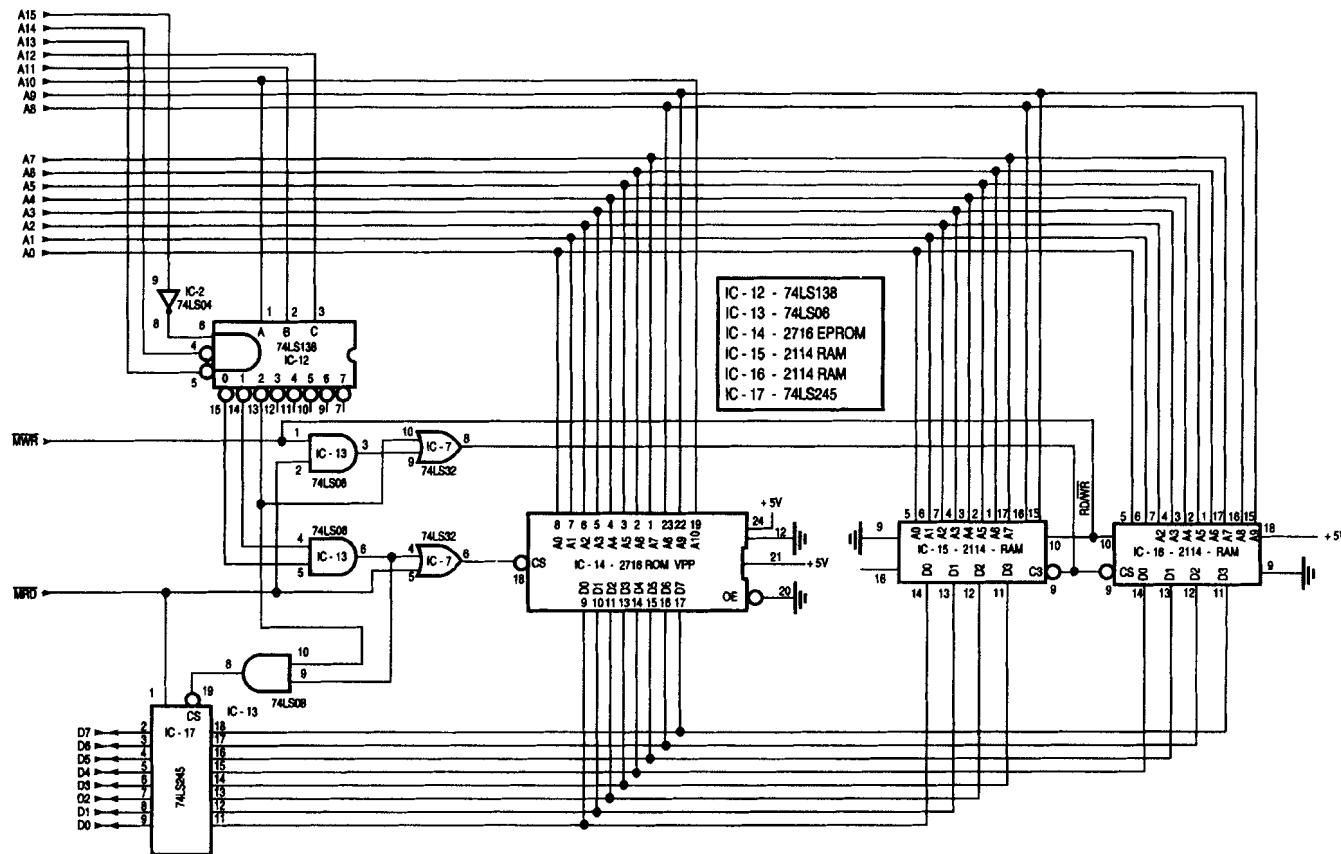


FIGURA 16-13 RAM y ROM del sistema de adiestramiento

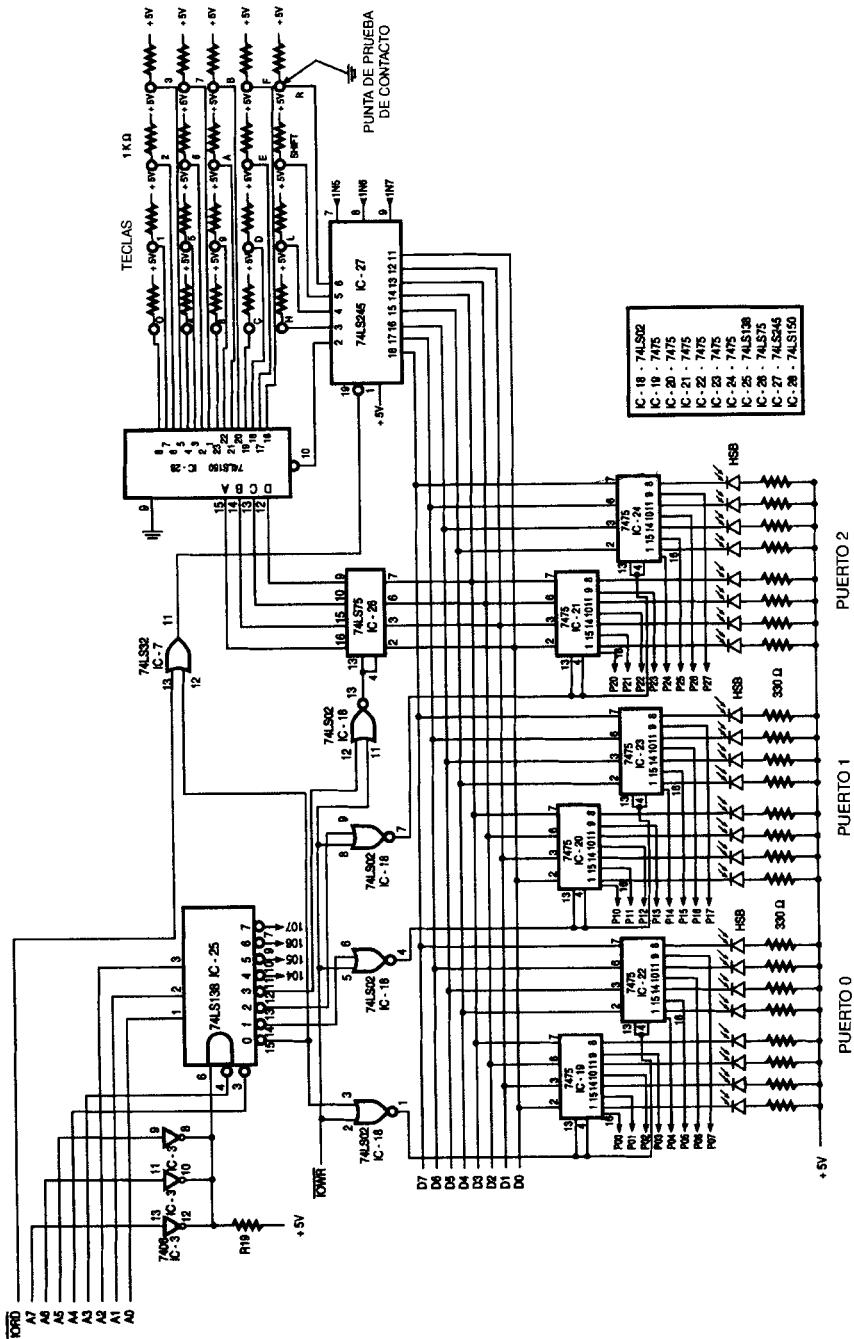


FIGURA 16-14 E/S del sistema de adiestramiento

do en la línea de datos está presente un 1, \bar{Q} tiene el nivel BAJO, lo que a su vez enciende el LED correspondiente. De esta manera la CPU puede mostrar al usuario tres bytes en binario. En esta computadora, los dos primeros puertos (0 y 1) se emplean para visualizar la dirección de memoria en uso, mientras que el tercero (2) muestra el dato contenido en dicha dirección.

El cuarto puerto de salida (3) es un retenedor 7475 de cuatro bits empleado para guardar la tecla que la computadora desea probar para determinar si ha sido presionada por el operador. Esto se hace decodificando el número binario de cuatro bits con un multiplexor 74150. Este multiplexor selecciona el nivel lógico de una de las 16 teclas y lo coloca en el bit más significativo del puerto de entrada 0. La CPU puede entonces leer este puerto y, mediante el examen del nivel lógico de dicho bit, determinar si la tecla ha sido presionada. Si se oprime una tecla, la entrada al multiplexor (74150) tendrá el nivel BAJO, el cual será invertido y pasado al puerto de entrada de la computadora.

Ejemplo: Añada un puerto de salida adicional al diagrama de la figura 16-14. El puerto de salida excitará dos LED de siete segmentos. Utilice un CI 74LS273, dos CI 7447 y dos LED de siete segmentos.

Solución:

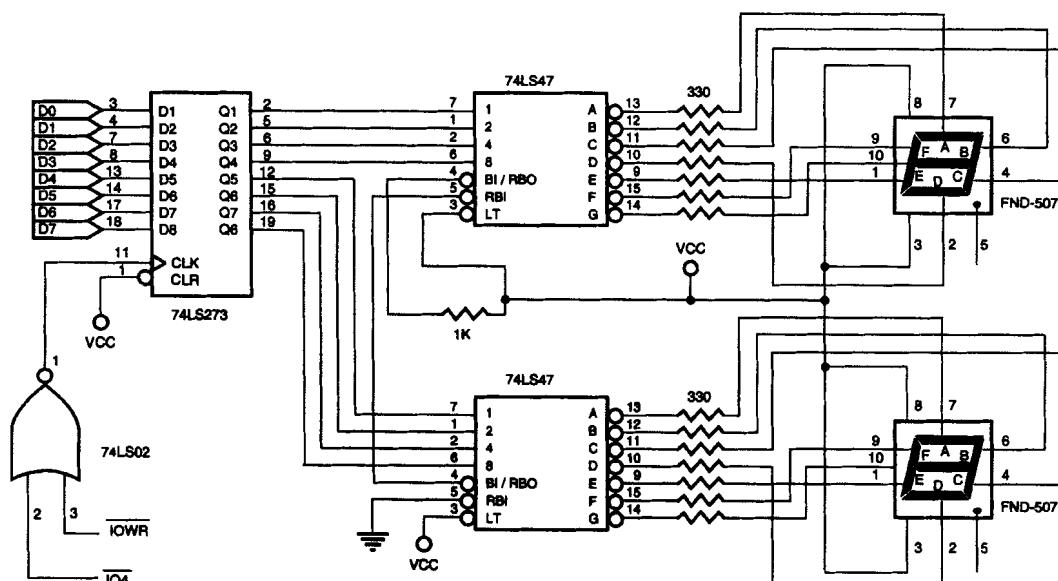


FIGURA 16-15

**AUTOEVALUACIÓN PARA LAS SECCIONES 16.1, 16.2, 16.3,
16.4, 16.5, 16.6, 16.7, 16.8, 16.9 Y 16.10**

1. ¿Cuáles son las cuatro partes principales de una computadora?
2. ¿Qué significan las siglas EPROM?
3. ¿Cuál es la diferencia entre la RAM estática y la dinámica?
4. ¿Cuántos puertos de salida aparecen en el diagrama de la figura 16-14?

16.11 PROGRAMACIÓN

Como puede verse, la computadora debe tener un programa que cambie de manera continua el número binario en el puerto de salida que selecciona la tecla a probar, y que luego lea el puerto de entrada para determinar si ésta ha sido presionada. Este programa se encuentra almacenado en la ROM, de modo que estará presente en la computadora cada vez que ésta se encienda.

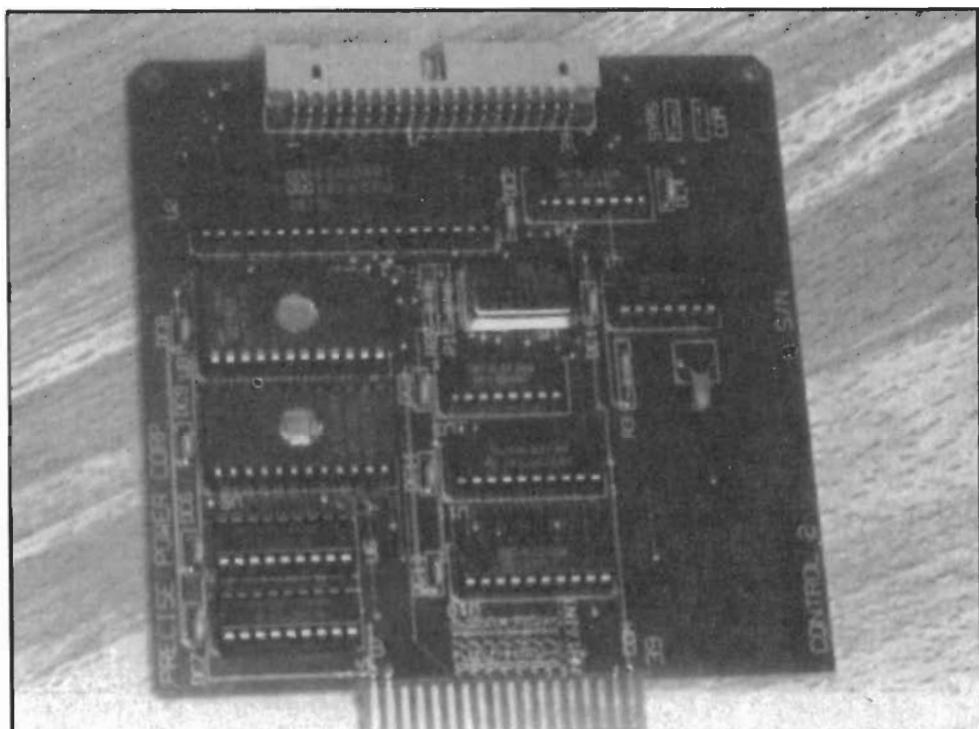


FIGURA 16-16 Computadora para el control de un conjunto motor-generador basada en el Z-80 (Cortesía de Precise Power Co.)

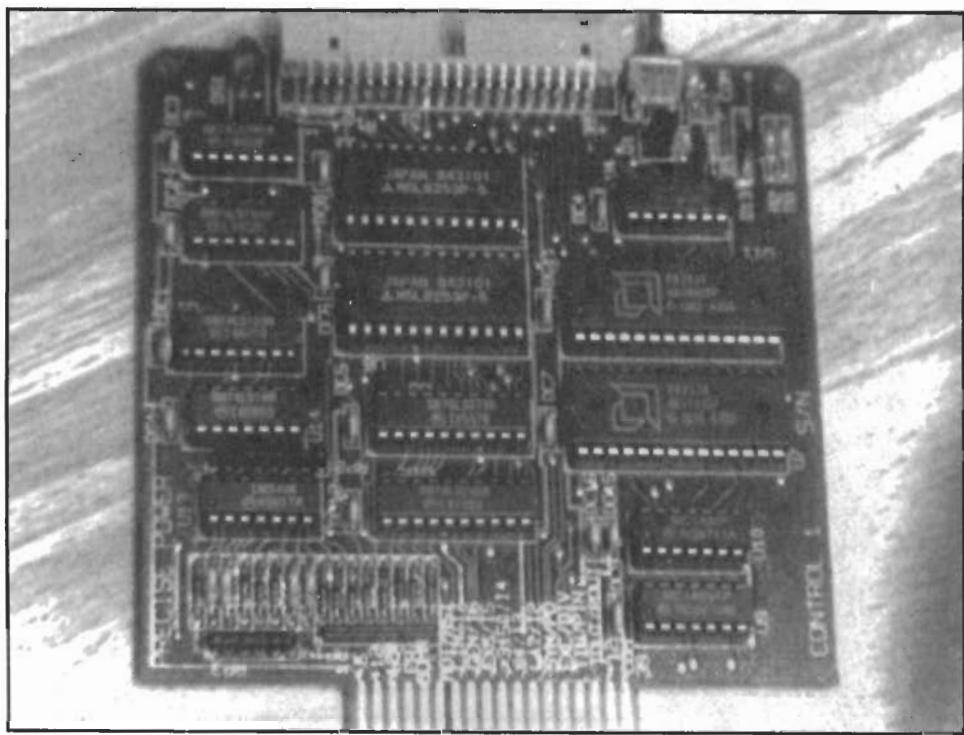


FIGURA 16-17 Tarjeta de control y de entrada/salida de un conjunto motor-generador basada en el Z-80 (Cortesía de Precise Power Co.)

Para crear un programa para un microprocesador, primero es necesario comprender la arquitectura interna del microprocesador así como su conjunto de instrucciones. Cada microprocesador tiene un conjunto de registros internos que puede emplearse de maneras distintas para manipular números binarios. El conjunto de registros internos del Z-80 aparece en la figura 16-18. El registro A es el acumulador, el cual es un registro de almacenamiento de ocho bits donde se guarda el resultado generado por las instrucciones aritméticas. El registro F o de bandera es una colección de flip-flops de 1 bit que indican el estado de la última instrucción ejecutada. Por ejemplo, supóngase que se restó el número binario 70 hex guardado en el registro B del contenido del registro A, el cual también es 70 hex. La respuesta, 00 hex, se guarda en el registro A. La bandera del cero en el registro de banderas será puesta en 1, indicando con ello que el resultado de la operación previa fue cero. El microprocesador tiene otras instrucciones que pueden probar el estado de la bandera del cero y llevar a cabo una de dos acciones con base en el valor de esta bandera. El Z-80 tiene las siguientes banderas en el registro de banderas.

Conjunto de registros principales			
Acumulador		Banderas	
A		F	
B		C	
D		E	
H		L	

Conjunto de registros alternos			
Acumulador		Banderas	
A'		F'	
B'		C'	
D'		E'	
H'		L'	

Vector de interrupción I	Refresco de memoria R	
Registro índice IX		
Registro índice IY		
Apuntador de pila SP		
Contador de programa PC		

FIGURA 16-18 Conjunto de registros internos del Z-80

- S — Bandera de signo, utilizada en la aritmética de complemento a dos con signo
- Z — Bandera de cero, indica una respuesta cero
- H — Semiacarreo, indica un acarreo de D3 a D4, empleada para conversión de binario a BCD
- P/V— Bandera de paridad y rebasamiento, empleada para indicar paridad par o impar o rebasamiento en complemento a dos
- N — Bandera negativa, empleada para señalar una operación de resta
- C — Bandera de acarreo, utilizada para indicar un acarreo de salida o uno de resta del MSB en una instrucción aritmética

Los registros BC, DE y HL se emplean para guardar números binarios o para almacenar direcciones de localidades de memoria donde pueden estar guardados otros números binarios. También pueden emplearse como registros de ocho o de 16 bits cuando sea necesario.

Los registros IX e IY se conocen como registros de índice. Se utilizan para guardar localidades de memoria en las que se encuentran almacenadas tablas de números binarios.

El registro SP es el apuntador de la pila. En él se guarda la dirección en memoria de una pila de almacenamiento, del tipo último en entrar primero en salir, que sirve para guardar de manera temporal el contenido de los registros de la CPU.

El PC es el contador de programa, y contiene la dirección de la siguiente instrucción a ser ejecutada. En este registro se almacena la dirección en memoria del programa y de la siguiente instrucción.

El registro R o de refresco se emplea para producir una dirección creciente para el refresco transparente de la memoria dinámica, en el caso de que se emplee para la memoria de la computadora.

El registro I o de interrupción se utiliza en el modo de interrupción vectorizada del Z-80. Las interrupciones son un método que permite que un dispositivo externo interrumpe el flujo del programa del Z-80 y hacerlo que salte a un programa nuevo, el cual atenderá al dispositivo que produjo la interrupción. El Z-80 tiene tres modos de interrupción que están fuera del alcance de este libro.

Los registros AF', BC', DE' y HL' son un conjunto alternativo de registros que pueden realizar intercambios con el conjunto normal en cualquier momento con una instrucción en el programa.

Las instrucciones de un programa para el microprocesador se guardan como números binarios en la memoria y se conocen como *códigos de operación (op)*. Los códigos de operación son leídos por la CPU y decodificados para determinar cuál es la instrucción que debe ejecutarse. Cada código de operación se aplica o afecta a otro número, tal como el que está guardado en el registro A. El número binario al que se le aplica la instrucción se conoce como *operando*. El operando puede ser otro registro o un número binario almacenado en la memoria.

Para facilitar la escritura de programas, cada uno de los tipos principales de instrucciones tiene asociado un código alfanumérico corto que ayuda al programador a recordarlos. Estos códigos alfanuméricos se conocen como *nemáticos*. Una instrucción que cargue en el registro A el contenido del registro B es

Op	Nemónico	Operando	Comentario
78	LD	A,B	;Carga el registro A con el contenido del registro B

Con esto los programas pueden escribirse empleando únicamente los nemáticos de las instrucciones para después ser procesados por otro programa denominado ensamblador, que es el que produce realmente los códigos de operación. Ésta es una manera mucho más fácil de producir un programa que consultar los códigos de operación y ponerlos en la memoria manualmente.

Hay mucho más que decir sobre la programación de un microprocesador que lo mencionado hasta el momento; sin embargo, si el lector desea comprender completamente la forma en que funciona una microcomputadora debe aprender programación.

RESUMEN

- Las cuatro partes principales de una computadora son la unidad central de procesamiento (CPU), la memoria, la entrada/salida y el programa.

La CPU controla las demás partes de la computadora mediante la ejecución de un programa almacenado en la memoria. Un programa es una lista secuencial de números binarios que son parte del conjunto de instrucciones de la CPU.

- Existen varios tipos de memoria únicamente de lectura (ROM).

La PROM es una memoria programable únicamente de lectura que puede programarse sólo una vez, y hecho esto ya no es posible modificar su contenido. El contenido de la EPROM puede borrarse mediante la exposición a la luz ultravioleta. La EEPROM puede borrarse empleando una corriente eléctrica. Todas las ROM son no volátiles y se utilizan para almacenar programas que no pueden perderse cuando se corta la energía eléctrica.

- RAM son las siglas de Random Access Memory, que en español significa memoria de acceso aleatorio.

Además, es una memoria de lectura/escritura y se emplea como memoria principal en una computadora. En la RAM estática pueden realizarse operaciones de escritura y su contenido no cambia hasta que se corta la energía eléctrica. Con la RAM dinámica es necesario escribir o leer cada 2 ms, o de lo contrario se perderá el patrón de bits guardado en ella. La lectura de una memoria dinámica que sirve para evitar que pierda su contenido se conoce como refresco de la memoria. La memoria dinámica es la más densa de todos los tipos de memoria y se emplea en la actualidad como memoria principal en la mayoría de las computadoras.

PREGUNTAS Y PROBLEMAS

1. ¿Cuál es la frecuencia de la señal de reloj aplicada en la terminal 6 del Z-80 de la figura 16-1? [2, 3]
2. ¿Cuáles son los nombres de los tres buses de la computadora Z-80 de la figura 16-1? [2, 3]
3. ¿Qué sucedería si BUSRQ se lleva al nivel BAJO? [2]
4. ¿Que hará la CPU de la figura 16-1 si la señal de control M1 se lleva al nivel BAJO? [2, 3]
5. ¿Cuál sería la dirección de la ROM 2716 de la figura 16-13 si no estuviese el inversor en la línea de dirección 15, el cual excita la terminal 6 del 74LS138? [1, 2]
6. En la computadora de la figura 16-1, ¿por qué se emplea el CI 74LS245 de compuertas de aislamiento? [1, 2]
7. ¿Cuántos puertos de salida pueden añadirse a la computadora de la figura 16-14 si no se cambia el decodificador de direcciones? [2]
8. En la figura 16-14, ¿por qué se utilizaron compuertas NOR 74LS02 en lugar de compuertas OR 74LS32? [2]
9. Dibuje la distribución de terminales estándar de una RAM dinámica de 64K y 16 terminales. [1]
10. Vuelva a dibujar la ROM de la figura 16-2 de modo que ahora sea de 8 por 8. [1]
11. ¿Cuáles son las cuatro partes principales de una computadora? [2]
12. Haga una lista de tres CI CPU de 8, 16 o 32 bits. [1]
13. ¿Qué significan las siglas ROM? [1]
14. ¿Qué significan las siglas EPROM? [1]
15. ¿Cuál es la diferencia entre la RAM estática y la dinámica? [1]
16. Dibuje la distribución de terminales estándar de un CI de RAM dinámica de 64K.
17. ¿Cuántas líneas de direcciones se necesitan para refrescar una RAM 4164? [1, 2]
18. ¿Cuál es el registro de la CPU Z-80 que siempre apunta a la siguiente instrucción que debe leerse de la memoria? [3]
19. ¿Qué es un código nemónico? [3]
20. ¿Cuál es el registro del Z-80 que se emplea para guardar el resultado de las operaciones aritméticas? [3]

Práctica 16

RAM

OBJETIVOS

Al término de esta práctica, el lector deberá ser capaz de:

- comprender la operación de lectura y escritura de una RAM estática.
- comprender el uso de una memoria como traductor de código.

COMPONENTES NECESARIOS

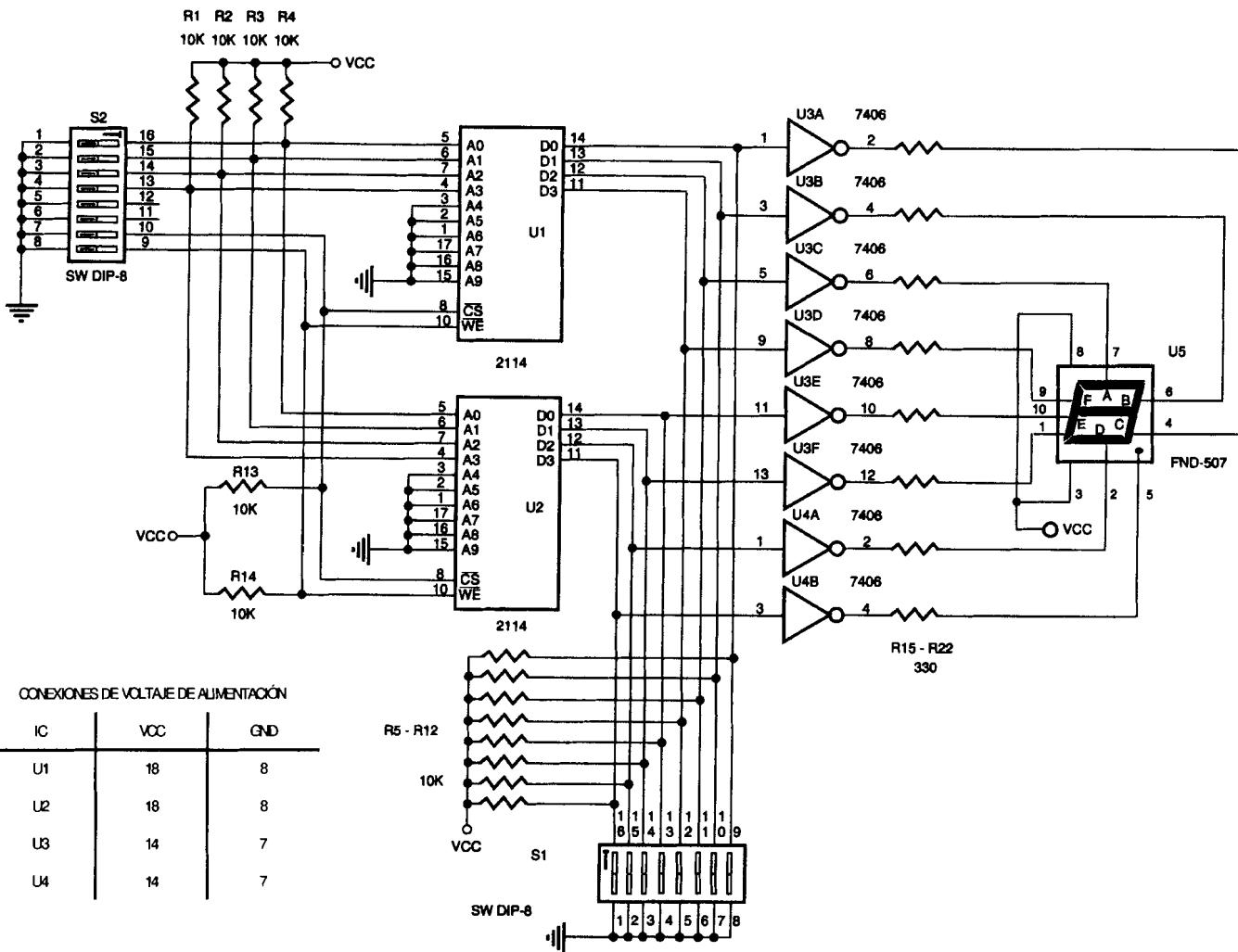
- 2 interruptores DIP de ocho terminales
- 14 resistores de $10\text{ k}\Omega$, $\frac{1}{4}\text{ W}$
- 8 resistores de $330\ \Omega$, $\frac{1}{4}\text{ W}$
- 1 LED de siete segmentos de ánodo común FND-510
- 2 RAM estáticas 2114 de 1K por 4
- 2 CI inversores cuádruples de colector abierto 7406

PREPARACIÓN

Este circuito emplea dos CI RAM 2114 para convertir un dígito hexadecimal estándar expresado en binario de cuatro bits en el código binario de ocho bits necesario para visualizar el dígito hexadecimal en un LED de siete segmentos. Lo más común es hacer la conversión de código con una ROM en lugar de una RAM. Un ejemplo típico de esto es la ROM generadora de caracteres que se usa en el circuito controlador de TRC. Esta ROM genera el código correcto que será desplazado a lo largo de la pantalla del monitor de la computadora a partir de la entrada en código ASCII a las terminales de dirección de la ROM.

Lleve a cabo el siguiente procedimiento para programar la RAM con el código correcto para cada número hexadecimal. Una vez que haya programado la RAM correctamente, el LED de siete segmentos mostrará el número que corresponda a la entrada binaria de cuatro bits.

1. Construya el circuito mostrado en la figura y abra todos los interruptores antes de conectar la alimentación eléctrica. Esto pondrá las salidas



de la RAM en el estado de alta impedancia, y el interruptor SW1 no podrá llevar a cero una salida que tal vez esté en 1. Si esto sucediera, la RAM podría resultar dañada.

2. Ponga ahora las cuatro entradas de dirección de la RAM, A_0 , A_1 , A_2 y A_3 , a tierra o al valor 0.
3. Utilice el interruptor SW1 para visualizar un 0 en el LED de siete segmentos.
4. Guarde el código del 0 en la RAM llevando primero a \overline{WE} al nivel BAJO y luego a \overline{CS} al nivel BAJO y después nuevamente al nivel ALTO. Este procedimiento escribirá el valor binario que está en las salidas de la RAM en la localidad de memoria 0.
5. A continuación cambie la dirección de memoria de cuatro bits a 1 binario y repita los pasos 3 y 4 para programar la siguiente localidad de la RAM con el código correcto para el número binario 1.
6. Repita este procedimiento para todos los 16 números del sistema de numeración hexadecimal. Utilice las letras minúsculas b y d para los números binarios 1011 y 1101.
7. Una vez que haya programado la RAM, ponga todos los interruptores de SW1 en la posición abierto y lleve la entrada \overline{WE} al nivel ALTO.
8. Ahora coloque un número binario en la dirección de cuatro bits de las RAM. En el visualizador de siete segmentos debe aparecer el correspondiente número hexadecimal.
9. Conecte la terminal A_4 de las RAM a la terminal 12 del SW2 y póngala en el nivel ALTO. Ahora vuelva a programar el LED de siete segmentos con los mismos códigos de antes, pero haga que el punto hexadecimal encienda en todos los casos. Lo anterior convertirá la entrada A_4 en el punto hexadecimal de uno de los siguientes números hexadecimales en un valor hexadecimal de dos números.
10. Utilice el interruptor restante de SW2 para la entrada A_5 de las RAM y programe dos conjuntos más de códigos diferentes para el LED de siete segmentos.

Apéndice



Diagramas del sistema de adiestramiento para el laboratorio

Las prácticas de este libro están diseñadas para que se realicen en una tablilla o tablero de prototipos sin soldadura y requieren de una fuente de alimentación externa, un reloj o generador de frecuencia, y algunos LED con compuertas de aislamiento para los indicadores lógicos. Todos ellos pueden comprarse por separado, o como un sistema de adiestramiento completo que incluya todo en una sola unidad.

Otra opción mucho más deseable es que el lector construya el equipo necesario para las prácticas. Los diagramas se muestran en las siguientes figuras: la figura A-1 muestra el interruptor sin oscilaciones; la figura A-2 muestra ocho indicadores lógicos de LED con compuertas de aislamiento; la figura A-3 presenta ocho interruptores lógicos; la figura A-4 muestra el generador de reloj; y la figura A-5 muestra una fuente de alimentación que sirve para hacer funcionar todos estos componentes así como los circuitos empleados en las prácticas.

Todos los componentes se adquieren con facilidad y el sistema de adiestramiento puede construirse de muchas maneras diferentes. La lista de componentes para el sistema de adiestramiento digital es la siguiente.

Cantidad	Descripción
2	CI 1-2, inversores 7406 de colector abierto
1	CI 3, compuerta NAND cuádruple 7408
2	CI 4-5, compuertas de aislamiento 4050 de CMOS a TTL
1	CI 6, temporizador 555
1	Regulador de voltaje de +5 V 7805
1	Regulador de voltaje variable positivo LM317
8	Resistores de 1 kΩ, 0.5 W
4	Resistores de 1 kΩ, 0.25 W
1	Resistor de 240 Ω, 0.25 W
1	Potenciómetro de 5 kΩ
1	Potenciómetro de 20 kΩ
8	LED rojos
10	Interruptores SPDT
1	Selector giratorio de cinco posiciones
2	Capacitores de 0.01 μF
1	Capacitor de 0.1 μF
1	Capacitor de 1 μF
3	Capacitores de 10 μF
1	Capacitor de 100 μF
2	Capacitores de 4000 μF, 25 V cd
1	Puente rectificador de 4 A
1	Transformador con derivación central de 18 V, 2 A
8	Resistores de 10kΩ, 0.25 W

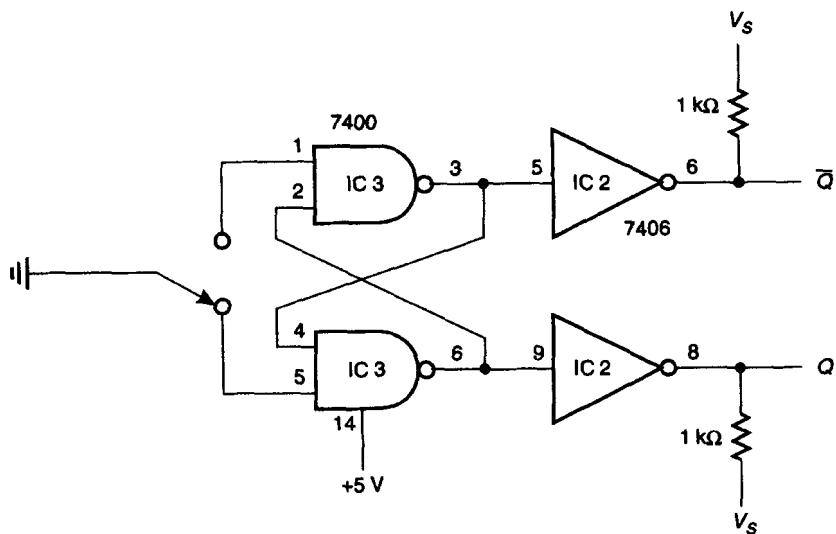
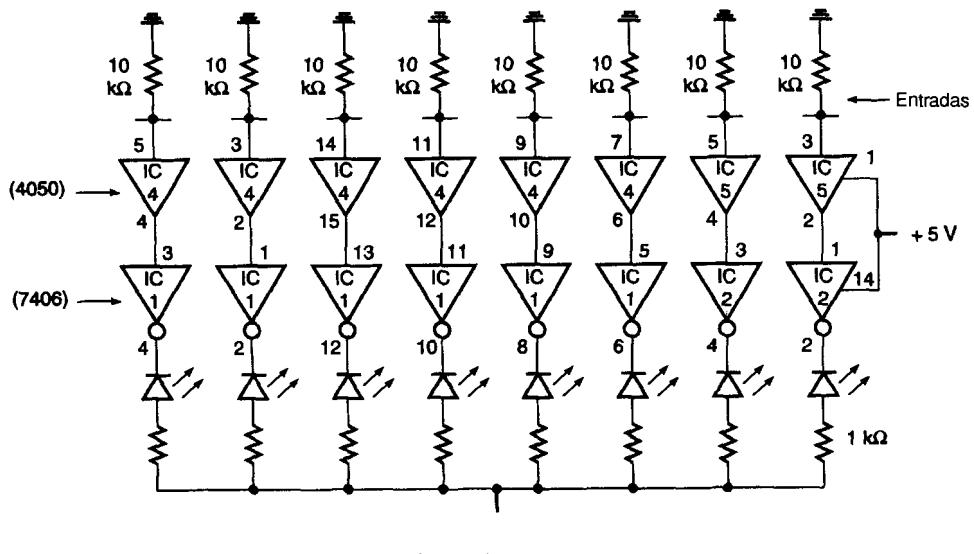


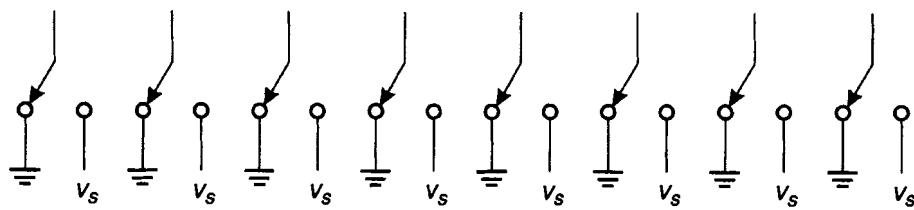
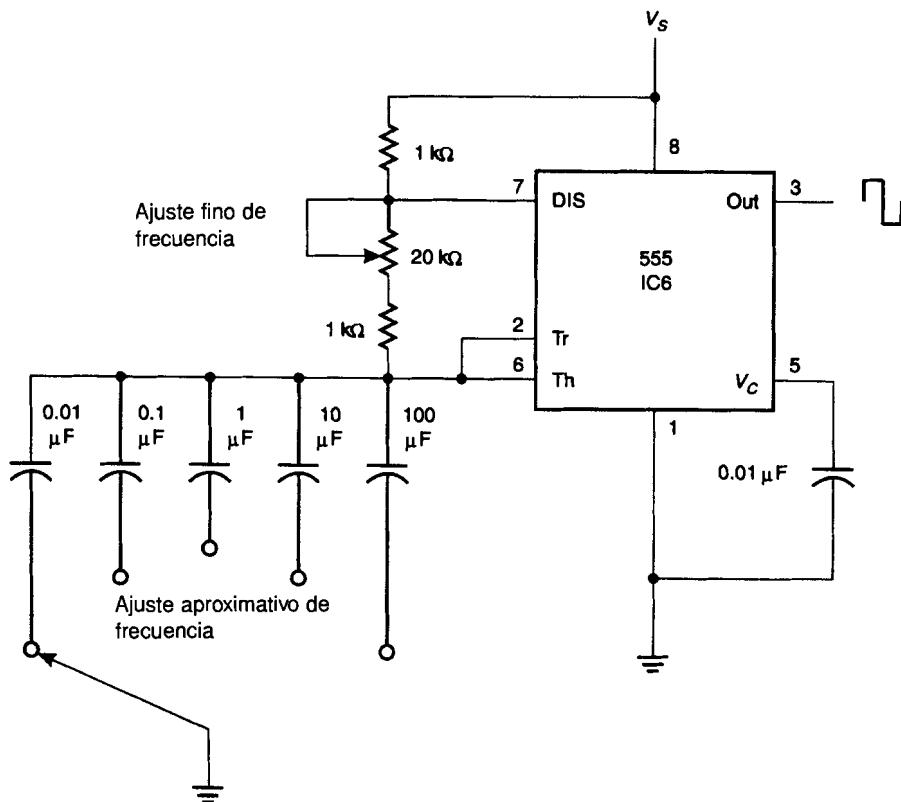
FIGURA A-1 Interruptor sin oscilación



Voltaje positivo, no regulado

Nota:
 La terminal 1 del 4050 es V_{DD} .
 La terminal 8 del 4050 es GND.
 La terminal 14 del 7406 es V_{CC} .
 La terminal 7 del 7406 es GND.

FIGURA A-2 Ocho LED con compuerta de aislamiento

**FIGURA A-3** Ocho interruptores lógicos**FIGURA A-4** Generador de reloj

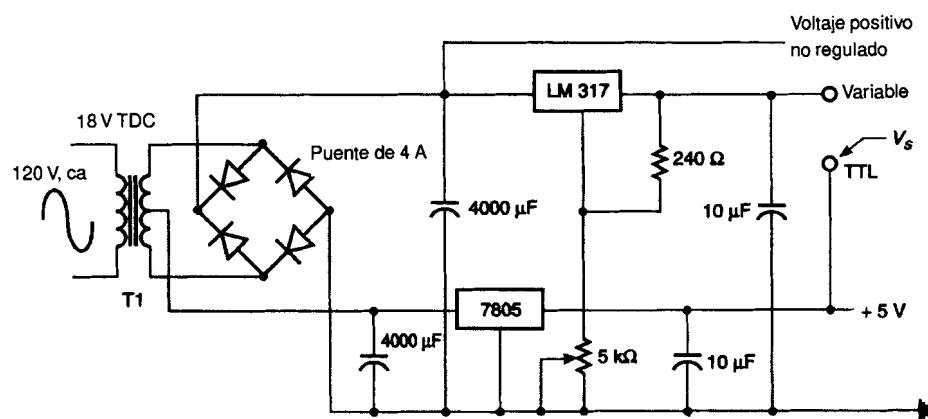


FIGURA A-5 Fuente de alimentación

Apéndice



Equipo necesario para las prácticas

La mayoría de los laboratorios de electrónica de las escuelas cuentan con todo el equipo necesario que aparece en la siguiente lista y con más, pero es probable que no tengan instrumentos tales como osciloscopios o que su número sea reducido. En estos casos, el profesor puede omitir partes de una práctica o hacer uso de otros métodos para explicarlo en una demostración en clase.

Las prácticas fueron diseñados para que se realicen en tablillas de prototipos, tal como se explica en la práctica 1. Esta tablilla puede ser independiente o formar parte de un sistema de adiestramiento completo que tenga su propia fuente de alimentación, reloj, interruptor sin oscilación, etc. Este sistema es muy útil para la realización de las prácticas. Existen varias compañías que fabrican este tipo de sistemas, como alternativa, el lector puede construir el suyo con los circuitos que aparecen en el apéndice A.

La lista de equipo necesario para efectuar las prácticas es la siguiente.

Cantidad	Descripción	Prácticas en las que se usa
1	Multímetro digital o analógico	todas
1	Osciloscopio de doble traza de 10 MHz	8, 9, 10, 11, 12, 13
1	Fuente de alimentación de 0 a 20 V	13
1	Generador de señales de ca	9, 11
1	Sistema de adiestramiento digital con tablilla de prototipos o una tablilla de prototipos, una fuente de alimentación de 5 V, un generador de señales TTL y un interruptor sin oscilación	todas
3	CI 7400	2, 3, 7, 8, 9, 13
1	CI 7402	2, 3, 8, 9
1	CI 7404	2, 3, 6, 8, 13, 14
2	CI 7406	12, 13, 14, 15, 16
1	CI 7408	2, 3, 5, 7, 8, 9, 10, 13
1	CI 7410	9
1	CI 7411	2, 3, 8
1	CI 7414	9, 11, 12
1	CI 7420	9
3	CI 7432	2, 3, 5, 8

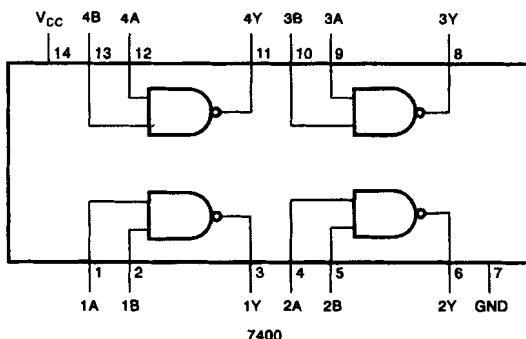
Cantidad	Descripción	Prácticas en las que se usa
1	CI 7447	14, 15
1	CI 74LS74	9
2	CI 7475	9
2	CI 7476	8, 9, 10, 15
2	CI 7483	1, 5
2	CI 7486	4, 5
1	CI 7490	10, 15
1	CI 7493	10, 13, 14
3	CI 7495	9
1	CI 74121	12
1	CI 74150	14
1	CI 74LS241	15
1	CI 74C14	6, 12
1	74LS164	9
1	4069	2
1	4071	2
1	4081	2
1	4011	2
1	4070	4
1	4012	4
1	4009	4
2	CI 74180	4
1	Temporizador 555	11
1	CI LM339	13
1	CI 4001	2, 6, 11
1	Arreglo de resistores de 1 kΩ	6, 9, 11, 12, 13, 15
2	Arreglos de resistores de 10 kΩ	13, 16
1	Arreglo de resistores de 20 kΩ	13
1	Arreglo de resistores de 330 Ω	todas
1	Resistor de 10 MΩ	11
1	Resistor de 22 kΩ	11
2	Resistores de 100 Ω	5, 6, 12
8	LED rojos	todas
2	Visualizadores de siete segmentos FND-507	14, 15, 16

Cantidad	Descripción	Prácticas en las que se usa
2	Capacitores de 0.01 μF	11,12
1	Capacitor de 0.68 μF	11
20	Capacitores de 20 pF	11
2	Cristales de frecuencias distintas	11
2	Transistores de potencia PNP	15
1	Potenciómetro de 1 k Ω	6, 13, 14
1	Diodo 914	12
10	Resistores de 470 Ω	15
2	Interruptores DIP de 8 terminales	16
2	RAM estáticas 2114 de 1K por 4	16

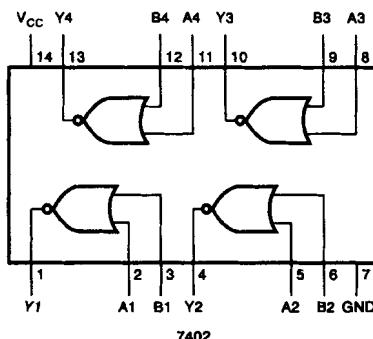
Apéndice

C

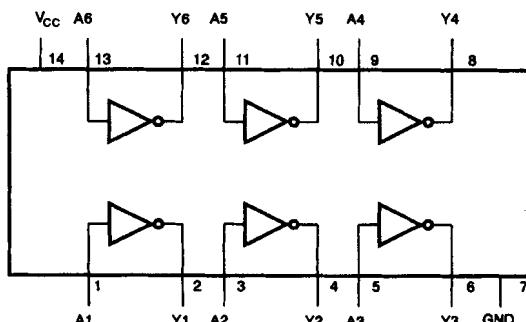
DISTRIBUCIÓN DE TERMINALES DE LOS CI EMPLEADOS EN LAS PRÁCTICAS (TTL)



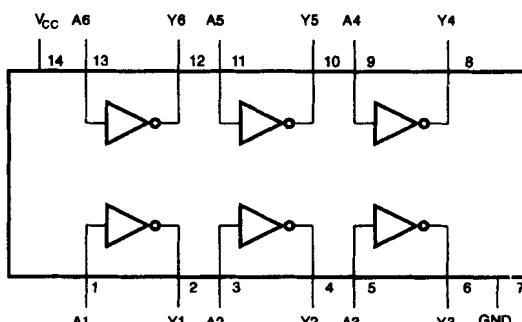
7400



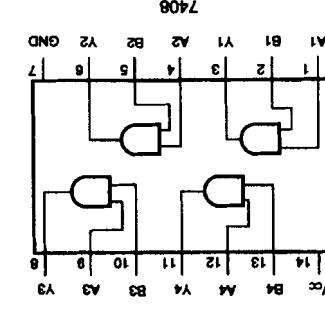
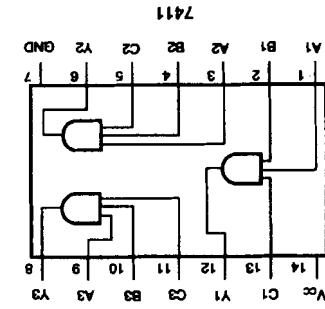
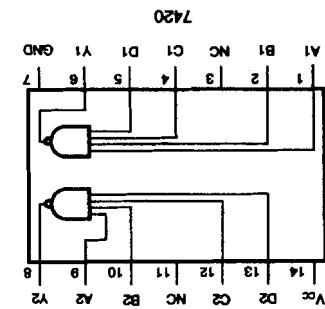
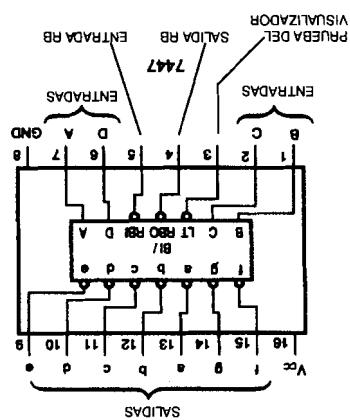
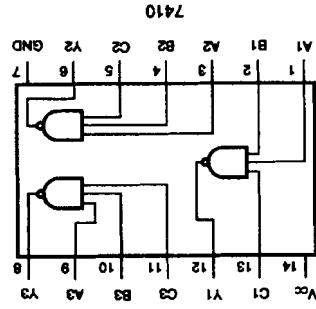
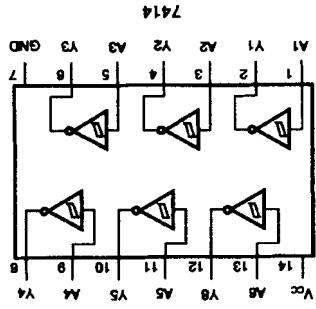
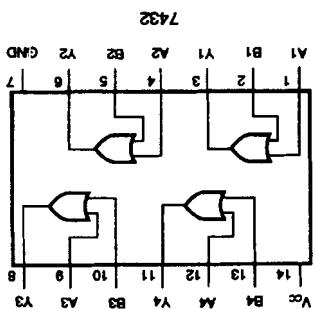
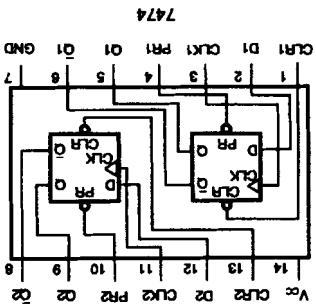
7402

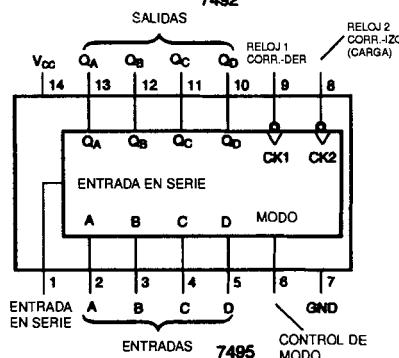
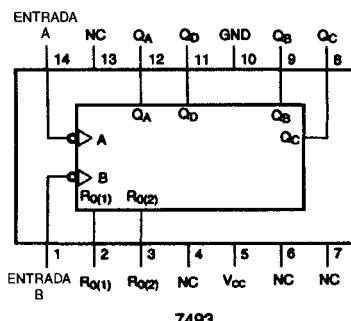
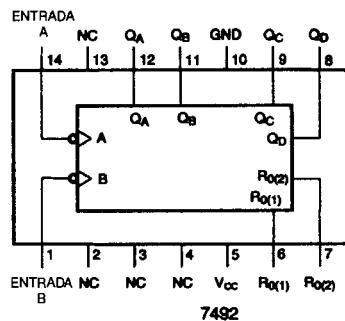
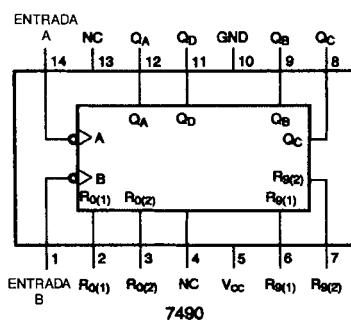
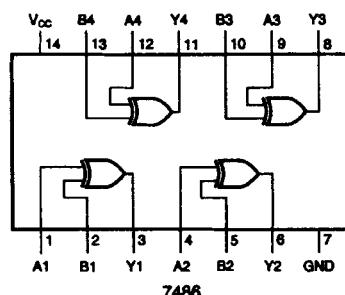
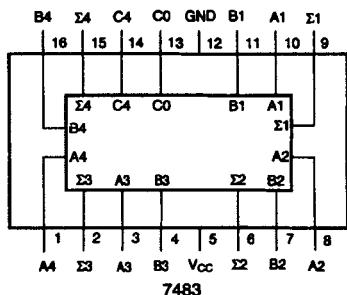
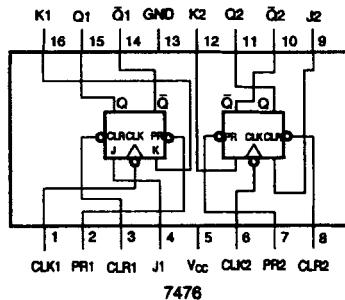
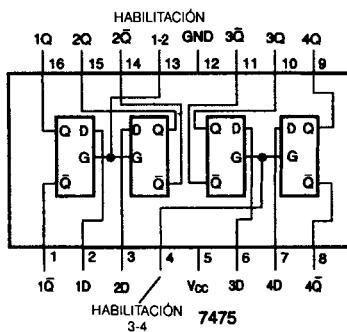


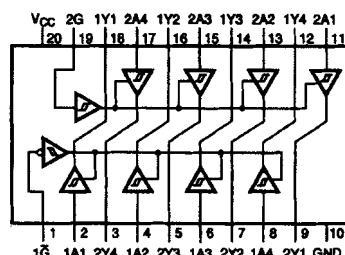
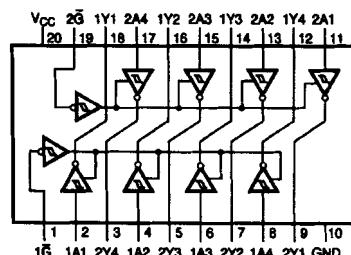
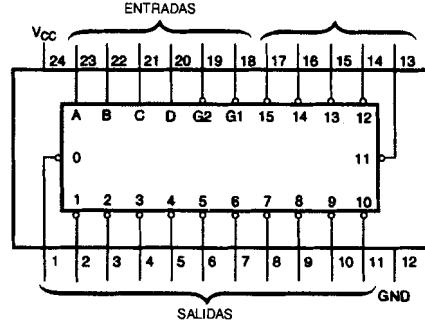
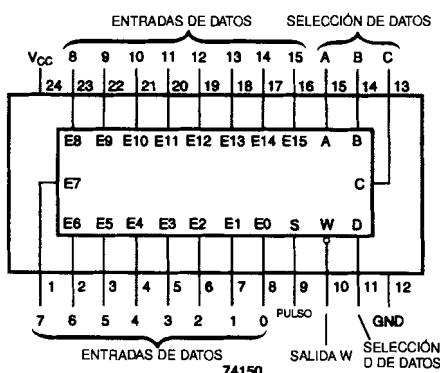
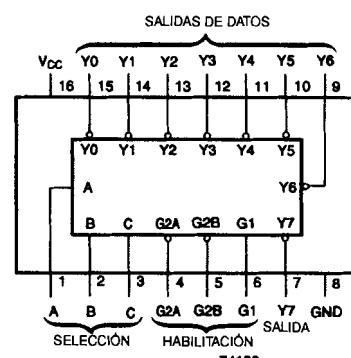
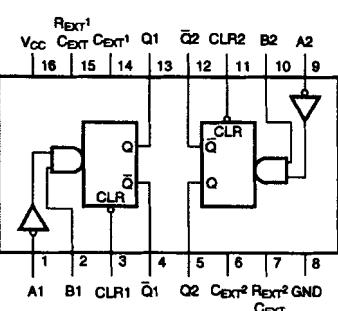
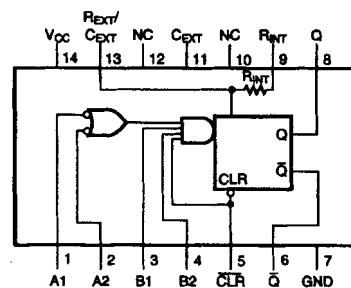
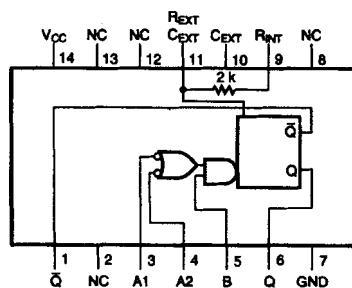
7404

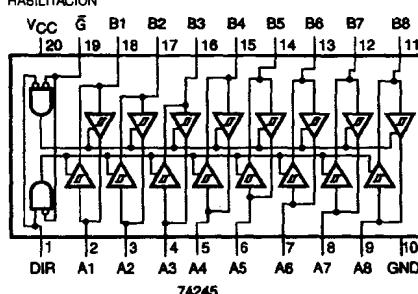
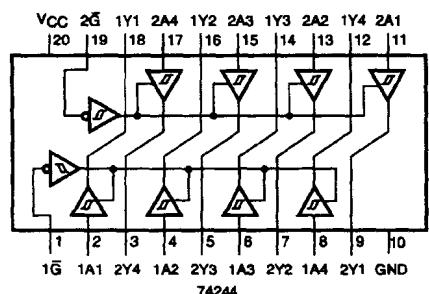
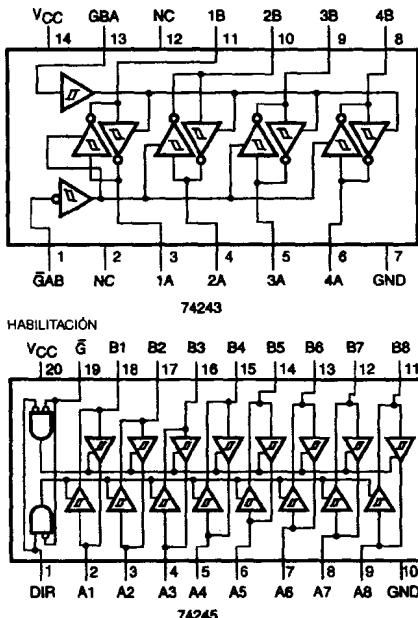
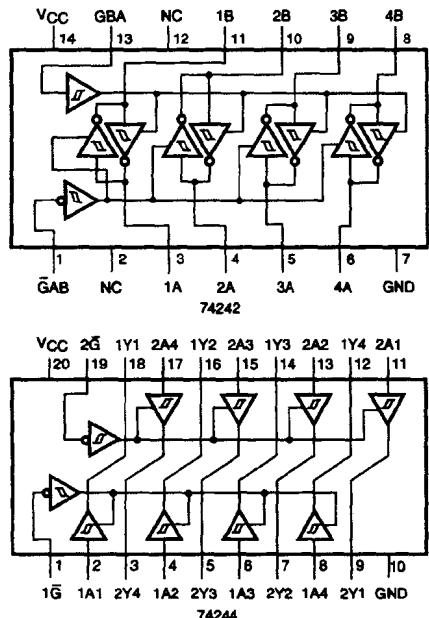


7406

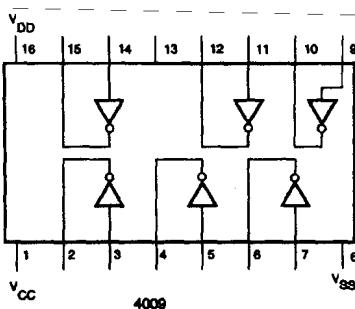
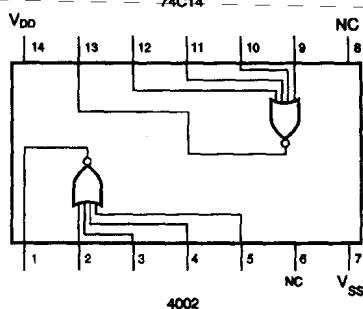
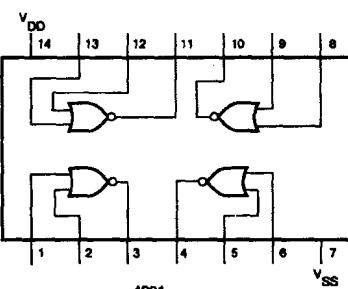
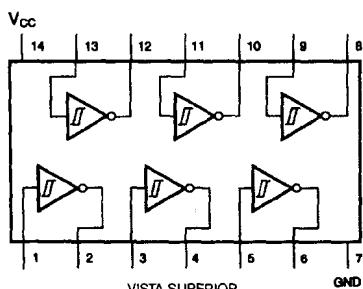


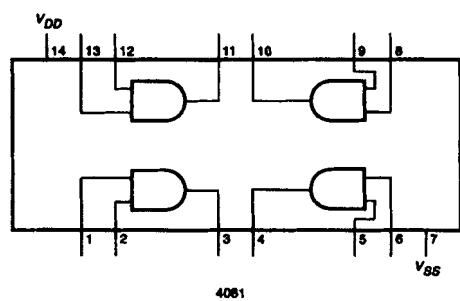
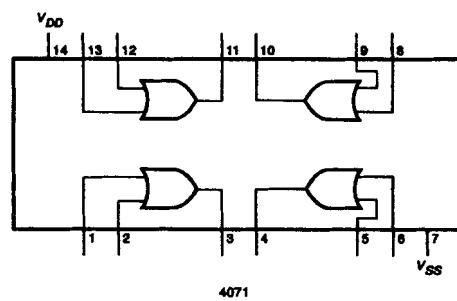
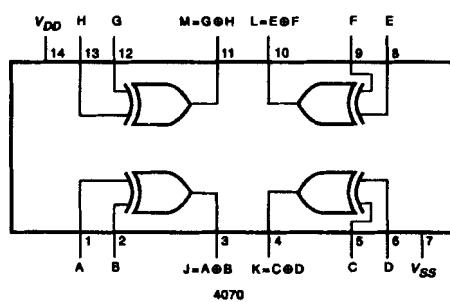
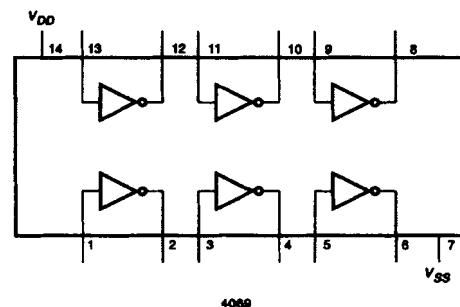
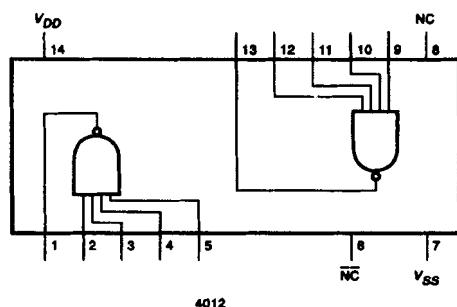
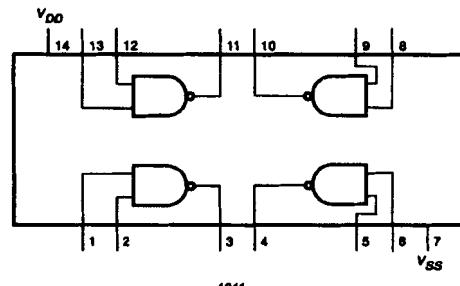
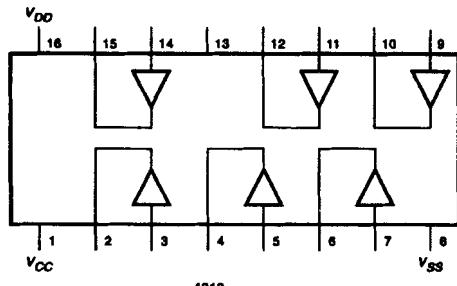




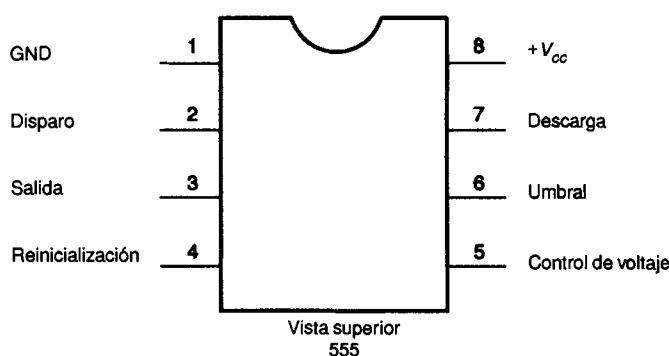
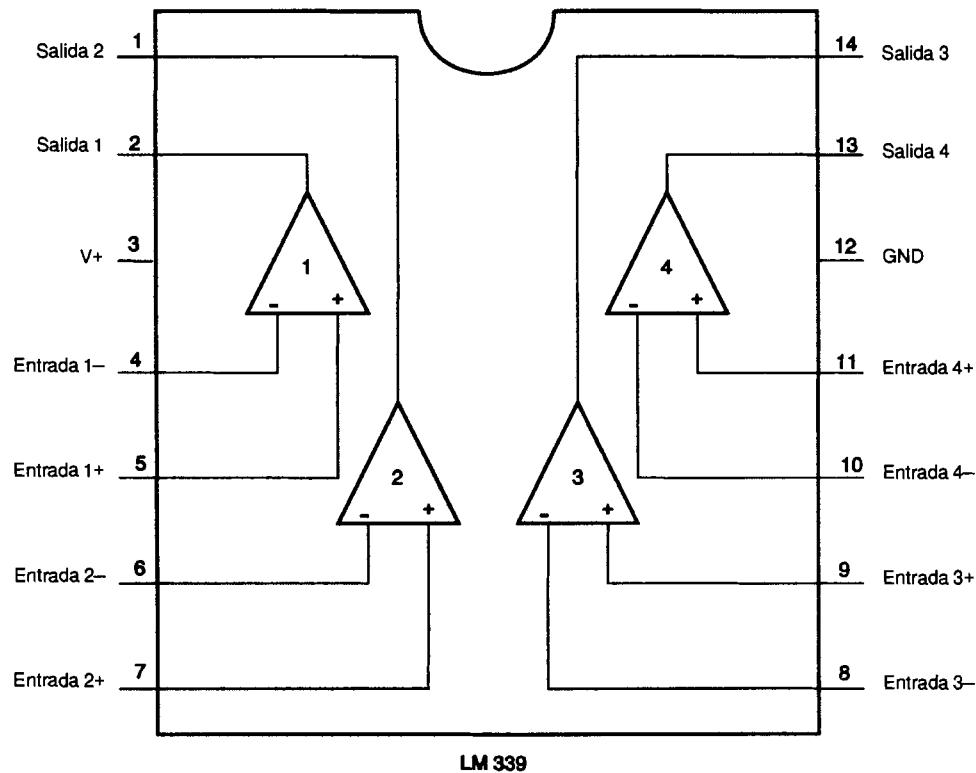


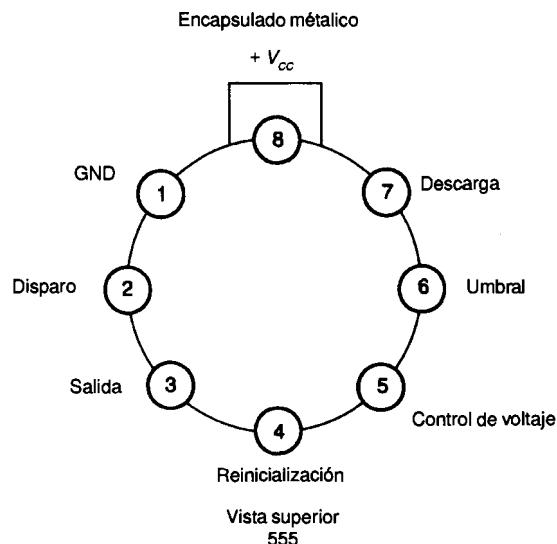
DISTRIBUCIÓN DE TERMINALES DE LOS CI EMPLEADOS EN LAS PRÁCTICAS (CMOS)



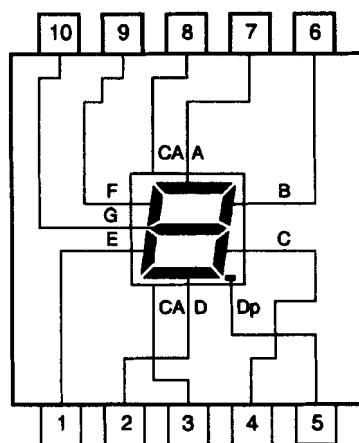


DISTRIBUCIÓN DE TERMINALES DE LOS CI EMPLEADOS EN LAS PRÁCTICAS (ANALÓGICAS)



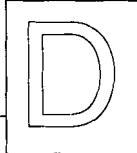


FND-507



LED DE ÁNODO COMÚN

Apéndice



COMPUERTA NAND TTL

La figura D-1 muestra el circuito interno de una compuerta NAND TTL. Aunque la compuerta puede emplearse sin necesidad de conocer su circuitería interna, las características de TTL pueden comprenderse mejor si se estudia el circuito. Todos los transistores de la figura D-1 son N-P-N de silicio. Recuérdese que en un transistor de silicio N-P-N, el voltaje en la base con respecto al emisor debe ser aproximadamente +0.7 V para polarizar al transistor en directa y encenderlo. Cuando el transistor está encendido y en saturación, el voltaje en el colector con respecto al emisor es menor que +0.4 V.

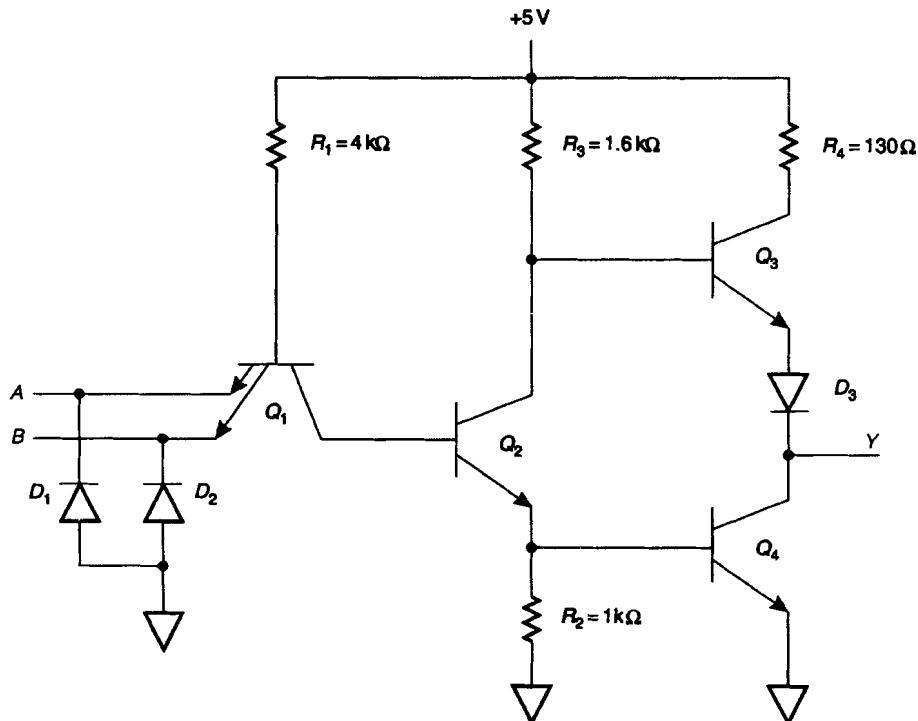


FIGURA D-1 Compuerta NAND TTL de dos entradas

Por otra parte, cuando un transistor se enciende, circula corriente de colector y se tiene una caída de voltaje a través del resistor del colector. Por ejemplo, cuando el transistor Q_2 de la figura D-1 está encendido, circula corriente por R_3 y la mayor parte del voltaje de alimentación aparece a través de R_3 . El voltaje en el colector de Q_2 va al nivel BAJO. Cuando Q_2 se apaga, no circula corriente de colector, y su voltaje aumenta.

Q_1 es un transistor de emisor múltiple con un emisor para cada entrada, conectado en un circuito de colector seguidor. Cualquier entrada 0 en una NAND debe producir una salida 1. Supóngase que A es 0, tal como se muestra en la figura D-2. La unión base-emisor de Q_1 está polarizada en directa, con lo que circula una corriente convencional por R_1 . Esta corriente es I_{IL} , cuyo valor máximo es -1.6 mA. El signo negativo indica que la corriente sale de la compuerta, como se ilustra en la figura D-2.

Con el emisor conectado a tierra y la unión emisor-base polarizada en directa, la caída de voltaje de la base es aproximadamente 0.7 V. Puesto que 0.7 V en la base no es suficiente para polarizar en directa la unión base-colector de Q_1 y la unión base-emisor de Q_2 , Q_2 se apaga. Con Q_2 apagado, no hay corriente de emisor por R_2 . Como no hay caída de voltaje a través de R_2 , la unión base-emisor de Q_4 estará apagada. Con Q_4 apagado, la salida Y no quedará conectada a tierra.

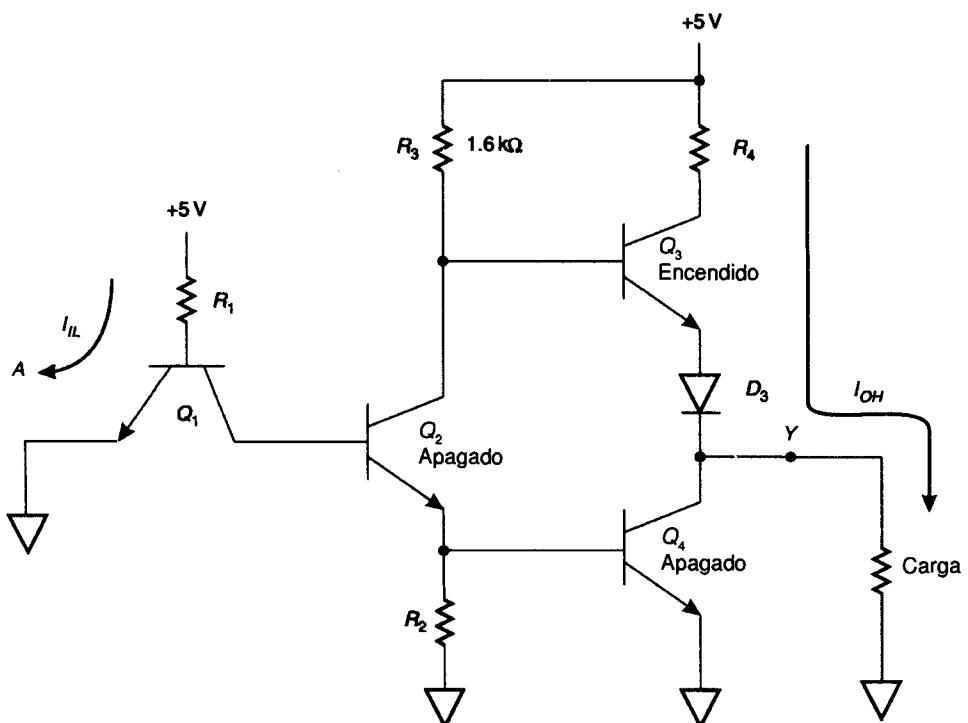


FIGURA D-2 Compuerta NAND: cualquier 0 en la entrada produce 1 en la salida

Puesto que Q_2 está apagado, no hay corriente de colector circulando por R_3 , y el voltaje en el colector de Q_2 tiene el nivel ALTO. La unión base-emisor de Q_3 y el diodo D_3 están polarizados en directa. Q_3 está encendido y Y está conectada a +5 V a través de un transistor saturado y un diodo polarizado en directa. La salida Y tiene el nivel ALTO, o 1. Un 0 en A hará que Y vaya al nivel ALTO. La corriente que sale de la compuerta en Y es I_{OH} y tiene un valor máximo de 400 μ A.

Si tanto A como B tienen el nivel ALTO, como se muestra en la figura D-3, entonces la unión base-emisor de Q_1 no está polarizada en directa. Ahora Q_2 puede estar polarizado en directa por los +5 V que caen a través de R_1 , la unión base-colector de Q_1 , la unión base-emisor de Q_2 y R_2 , a tierra. La flecha de la figura D-3 muestra esta trayectoria. Q_2 se enciende y se satura. Con Q_2 encendido, la corriente de emisor que pasa por R_2 provoca una caída de voltaje a través de R_2 , la cual polariza en directa la unión base-emisor de Q_4 , saturándolo. Con Q_4 encendido, la salida Y tiene una trayectoria hacia tierra a través de Q_4 . Q_4 es capaz de consumir 16 mA, I_{OL} , manteniendo un nivel 0 de 0.4 V o menos. El voltaje en el colector de Q_2 es

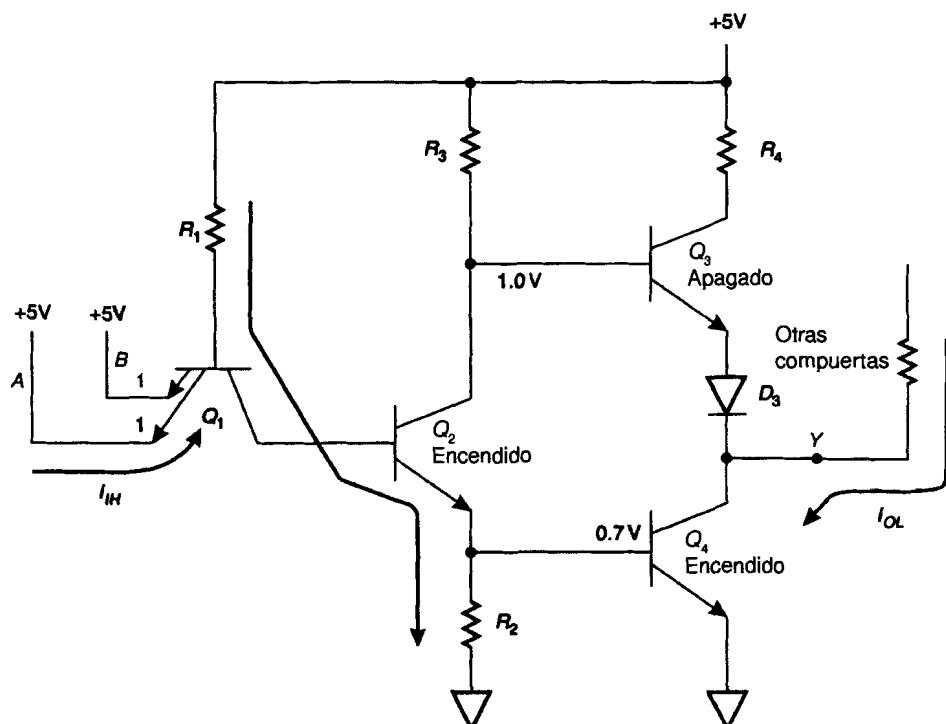


FIGURA D-3 Compuerta NAND: si todas las entradas son 1, la salida es 0

igual a la caída colector-emisor a través de Q_2 , que es aproximadamente de 0.3 V, más la caída base-emisor a través de Q_4 , que tiene un valor aproximado de 0.7 V. El voltaje en el colector de Q_2 es aproximadamente de 1.0 V. Un voltaje no es suficiente para polarizar en directa la unión base-emisor de Q_3 y el diodo D_3 , así que Q_3 se apaga y no existe una trayectoria entre Y y +5 V a través de Q_3 . D_3 asegura que Q_3 no pueda encenderse cuando Q_4 esté encendido. Con las entradas A y B en 1, la salida Y es 0.

La corriente que entra a la compuerta en A y B, I_{IH} , es una corriente de fuga con un valor máximo de 40 μ A. Si las entradas A y B a las compuertas NAND se dejan flotando (es decir, sin conectar en ellas alguna señal), entonces la unión base-emisor de Q_1 no queda polarizada en directa. Q_1 se comporta como si las entradas estuviesen conectadas al nivel ALTO. En TTL las entradas que no se utilizan normalmente son interpretadas por los CI como niveles 1. Las entradas sin utilizar a menudo se conectan al nivel ALTO a través de un resistor de entre 1 k Ω y 10 k Ω . Los diodos D_1 y D_2 que están en las entradas, normalmente se encuentran polarizados en inversa.

Cuando los transitorios de conmutación provocan que las entradas tengan valores menores que el de tierra, D_1 y/o D_2 se encienden para fijar el voltaje de entrada. V_I , que es el voltaje de fijación de la entrada, es un parámetro que especifica la magnitud de la excursión negativa que puede presentarse. Para compuertas NAND e inversores, V_I es de -1.5 V máximo cuando la corriente de entrada, I_p , es -12 mA. El fabricante garantiza que cuando la entrada haga una excursión al nivel BAJO suficiente para consumir -12 mA, entonces el voltaje de entrada no caerá a un valor menor que -1.5 V.

TRANSISTORES MOS

La figura D-4 muestra los símbolos para los transistores de canal N y canal P en modo de ensanchamiento. El término canal se refiere a la trayectoria a través del transistor desde el drenaje hasta la fuente. El símbolo muestra el canal dividido en tres partes.

El canal tiene que ser completado o "ensanchado" para que la conducción se lleve a cabo a través del transistor. Para un dispositivo de canal N, el drenaje y la fuente están construidos con material de tipo N. El sustrato es de tipo P. Nótese que la flecha apunta del sustrato de tipo P hacia el canal de tipo N. La compuerta está aislada del canal mediante una capa delgada aislante de dióxido de silicio. La compuerta, el canal y el aislante forman un capacitor pequeño. Esta entrada capacitiva determina muchas de las características de los CI CMOS. Si el sustrato y la fuente están conectados a tierra y el drenaje a un voltaje positivo, como se muestra en la figura D-5, la compuerta puede controlar la cantidad de corriente que fluye por el canal.

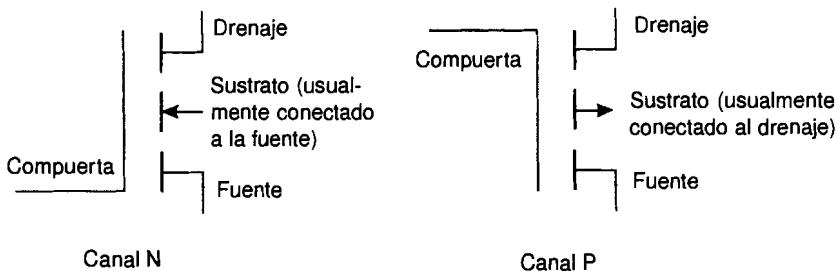


FIGURA D-4 Símbolos para MOS en modo de ensanchamiento

Si la compuerta se mantiene en un voltaje cercano al de tierra, el canal permanece incompleto y por él solamente circula la corriente de fuga. Si se aplica un voltaje positivo a la compuerta, figura D-5, los electrones libres del sustrato P son atraídos hacia el canal. Con esto el canal N queda completo o ensanchado y puede circular por él una corriente convencional, de V_{DD} a tierra. A medida que el voltaje en la compuerta se vuelve más positivo, aumenta el número de electrones libres que son atraídos hacia la región del canal así como la magnitud de la corriente de drenaje que puede circular por el transistor.

Para aplicaciones digitales las entradas en la compuerta tienen un valor muy próximo a V_{DD} para un 1, o muy cercano a V_{SS} para un 0. Con esto el transistor está completamente ensanchado (saturado) o apagado.

El símbolo para el transistor de canal P en modo de ensanchamiento (Fig. D-4) difiere del que corresponde al de canal N en dos aspectos. La flecha en la terminal del sustrato apunta alejándose del canal P hacia el sustrato de tipo N, y la compuerta se dibuja de arriba abajo. El drenaje y la fuente son de material de tipo P.

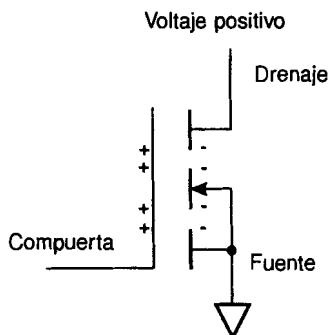
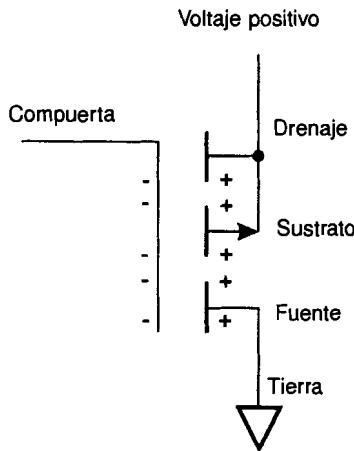
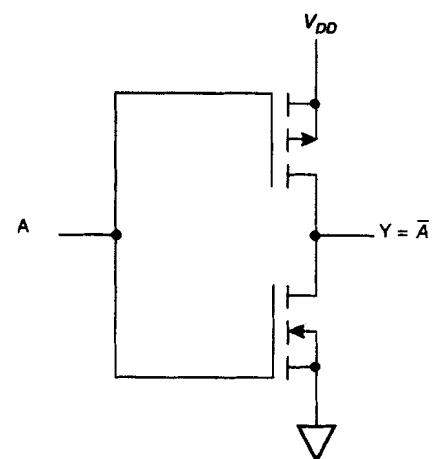


FIGURA D-5 MOS de canal N

**FIGURA D-6** MOS de canal P**FIGURA D-7** Inversor CMOS

Si el sustrato y el drenaje están conectados a un voltaje positivo, como se muestra en la figura D-6, y la fuente está aterrizada, entonces la compuerta es capaz de controlar la magnitud de la corriente que circula por el transistor. Para ensanchar el canal, los portadores de tipo P del sustrato deben ser atraídos hacia la región del canal. Esto sucede cuando se aplica un voltaje pequeño a la compuerta, como se ilustra en la figura D-6.

Si se aplica un voltaje positivo a la compuerta, los portadores de tipo P se alejan del canal. Con esto, el canal no se completa y el transistor se apaga.

CMOS

CMOS son las siglas en inglés de metal-óxido semiconductor complementario. El término complementario significa que un transistor de canal P y otro de canal N trabajan juntos en un arreglo en tótem como el mostrado en la figura D-7. El término metal-óxido se refiere a la capa de dióxido de silicio entre la compuerta y el canal.

En la figura D-7, cuando A tiene el nivel ALTO, el canal N de la parte inferior es ensanchado y la salida Y queda conectada a tierra a través de un canal completo. El canal P MOS de la parte superior queda apagado. Cuando A tiene el nivel BAJO, el canal P en ensanchado y el canal N se apaga. Y queda conectada a V_{DD} a través del canal P. Estos dos transistores producen un inversor.

La figura D-8 muestra la simplicidad de una compuerta NAND CMOS de cuatro entradas. Cada entrada controla un transistor de canal P y otro de canal N. Los cuatro transistores de canal N están conectados en serie. Los cuatro, a su vez, tienen que ser ensanchados por un 1 para que Y quede conectada a tierra. Si todas las entradas son 1, la salida es 0. Los cuatro transistores de canal P están conectados en paralelo. Si cualquiera de los cuatro es ensanchado por una entrada de nivel bajo, Y es acoplada a V_{DD} a través del canal ensanchado. Cualquier 0 en la entrada produce 1 en la salida.

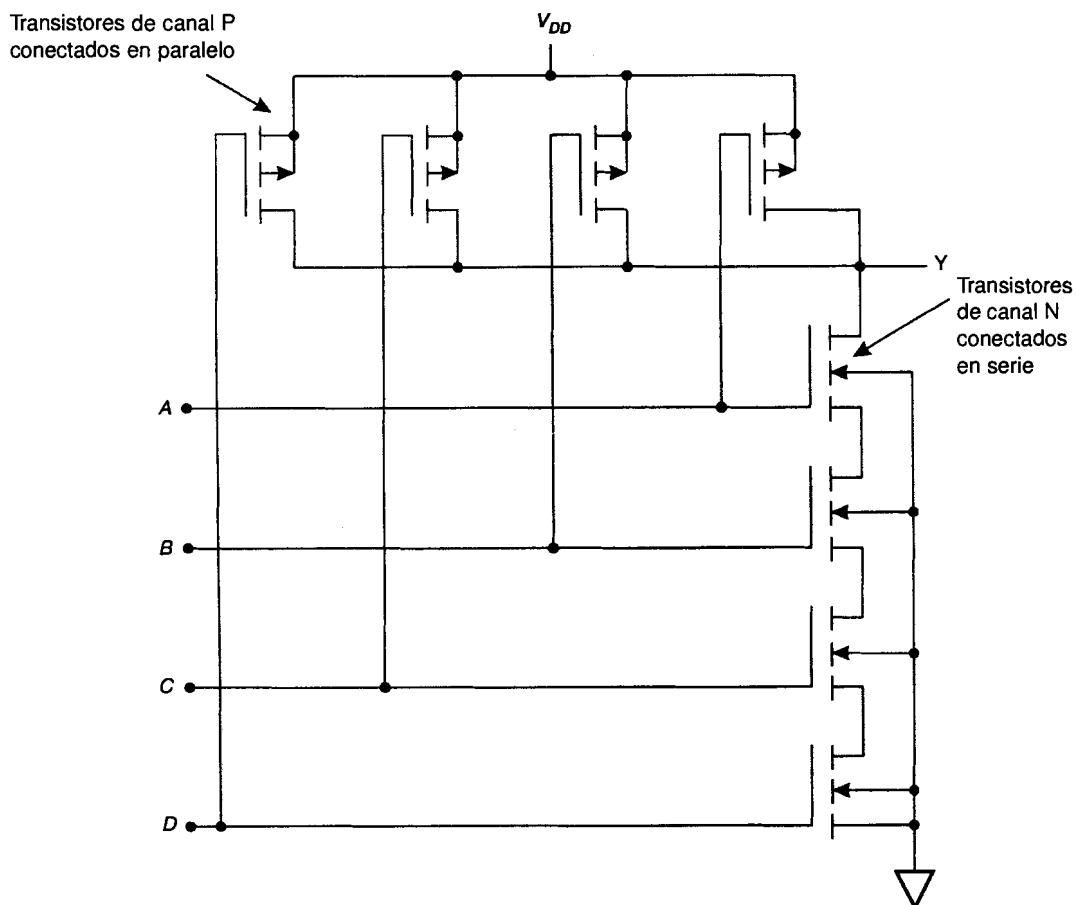


FIGURA D-8 Compuerta NAND CMOS de cuatro entradas

Glosario

10K Una de las series de circuitos integrados de lógica de emisores acoplados.

100K Una de las series de circuitos integrados de lógica de emisores acoplados.

AC (CMOS avanzada) Subfamilia de CMOS. 74ACxx, 54ACxx.

Acarreo anticipado Señal de acarreo generada al mismo tiempo que se generan las demás salidas. El acarreo no tiene que “propagarse” a otras etapas. Acarreo rápido.

Acarreo de entrada Acarreo hacia la primera etapa de un sumador y que proviene de una suma previa. Algunas veces se conoce como C_0 .

Acarreo de salida Acarreo que proviene de la última etapa de un sumador.

Acarreo rápido Señal de acarreo que se genera al mismo tiempo que otras señales. El acarreo no tiene que propagarse a otras compuertas. Un acarreo anticipado.

ACT (CMOS avanzada compatible con TTL) Subfamilia de CMOS. 74ACTxx, 54ACTxx.

Ala de gaviota Terminales de encapsulado de circuito integrado para montaje de superficie con un doblez hacia abajo y otro hacia afuera.

Álgebra booleana Álgebra utilizada para expresar la salida de un circuito digital de base 2 en términos de sus entradas y que se emplea para reducir la salida a la menor cantidad de términos posible.

ALU (unidad de aritmética y lógica) Circuito integrado que lleva a cabo opera-

ciones aritméticas o lógicas con sus entradas.

Ampliación Uso de compuertas adicionales para aumentar el número de entradas de una compuerta.

Amplificador operacional Amplificador de alta ganancia con una entrada inversora y otra no inversora.

Analógico Relativo a información que es una variable continua y que no está dividida en unidades discretas. Un ejemplo de un dispositivo analógico es el velocímetro de un automóvil.

Analógico a digital Conversión de una cantidad continua o analógica en una señal digital de valor proporcional; esta señal digital con frecuencia es un número binario.

AND-OR-INVERSOR Circuito integrado que combina entradas a través de dos capas de compuertas, primero una AND y luego una NOR.

Anodo Una de las terminales de un diodo o LED que se conecta del lado de la terminal positiva de la fuente de alimentación para polarizar al diodo en directa.

ANSI American National Standard Institute

Aproximaciones sucesivas Método en el que se utiliza un convertidor digital a analógico y un comparador de voltaje para producir un número binario que es proporcional al voltaje de entrada analógico dado.

ASCII (American Standard Code for Information Interchange) Código de siete bits que representa los dígitos deci-

males, las letras del alfabeto inglés, símbolos y caracteres de control.

BCD (decimal codificado en binario)

Código en el que cada dígito decimal está representado por cuatro bits.

Binario Sistema de numeración de base 2 que emplea dos dígitos, 0 y 1.

Bit Contracción en inglés de dígito binario. Cada posición en un número binario es un bit; por ejemplo, 1011 es un número de cuatro bits.

Bit de paridad Bit adicional empleado con los bits de datos para hacer que el total de unos sea par o impar.

Borrar Reinicializar o apagar un flip-flop para hacer que su salida Q tome el nivel 0.

Bus de datos Los circuitos que generan, almacenan, utilizan, introducen o sacan datos se conectan al bus de datos. El bus cuenta con una línea para cada bit de datos.

Byte Número binario de ocho bits.

Canal Trayectoria de flujo de corriente en un transistor MOS.

Carga lateral Carga en paralelo en la que todos los bits de una palabra de datos son colocados en un registro durante un solo pulso de reloj.

Cátodo Una de las terminales de un diodo o LED que se conecta del lado de la terminal negativa de la fuente de alimentación para polarizar el diodo en directa.

Celda Posición en un mapa de Karnaugh.

Ceros delanteros Ceros que están a la izquierda del último dígito significativo que no es cero.

CI Circuito integrado.

Círculo de inversión Círculo pequeño utilizado en las entradas y salidas de los símbolos lógicos para indicar la operación de complemento.

Codificador Circuito que convierte un número decimal a otro sistema numérico o código.

Colector abierto Circuito en el que la salida no tiene ninguna trayectoria interna hacia la fuente de alimentación. Por lo general, es necesario añadir un resistor de acoplamiento externo.

Comparador Circuito digital que compara dos números binarios y cuya salida indica si éstos son iguales.

Comparador de voltaje Circuito que compara las amplitudes relativas de dos señales de entrada. La salida tiene el nivel ALTO cuando el voltaje en la entrada no inversora es mayor que el de la entrada inversora.

Complemento (1) Inversión; (2) número que cuando se suma a otro número dado da como resultado una constante. Por ejemplo, el complemento a 9 de 7 es 2.

Complemento a dos Número binario formado al invertir cada bit de un número binario y después sumarle 1.

Complemento a dos con signo Sistema en el que el bit del signo indica si el número es positivo o negativo y los bits restantes especifican su magnitud. Los nú-

meros negativos están representados en complemento a dos.

Complemento a diez Número decimal que resulta de restar un número decimal a otro formado por nueves y luego sumar uno.

Complemento a nueve Número decimal que es el resultado de restar un número decimal formado por nueves.

Complemento a uno Número binario formado al invertir cada bit de un número binario.

Compuertas Circuitos empleados para combinar unos y ceros de maneras específicas. Las compuertas básicas son AND, NAND, OR y NOR.

Compuerta AND Circuito que combina unos y ceros de acuerdo con la regla “si todas las entradas son 1, la salida es 1 o si hay algún 0 en las entradas, la salida es 0”.

Compuerta OR Circuito que combina unos y ceros de acuerdo con la regla “cualquier 1 en las entradas, salida 1, o todas las entradas en 0, salida 0”.

Compuerta OR exclusivo Compuerta de dos entradas que produce como salida un 1 cuando sus entradas son diferentes.

Compuerta OR no exclusivo Compuerta de dos entradas que produce una salida 1 cuando sus entradas son iguales. También se conoce como NOR exclusivo.

Compuerta NAND Circuito que combina unos y ceros de acuerdo con la regla “todas las entradas 1, salida 0 o cualquier cero en las entradas, salida 1”.

Compuertas NOR Circuito que combina unos y ceros de acuerdo con la regla “cualquier 1 en las entradas, 0 en la salida, o todas las entradas en 0, 1 en la salida”.

Compuerta NOR exclusivo Compuerta de dos entradas que produce como salida un 1 cuando sus entradas son iguales. También conocida como OR no exclusivo.

Conmutar Cambiar de estado. Ir de 1 a 0 o de 0 a 1.

Constante de tiempo RC Resistencia en ohms multiplicada por la capacitancia en farads que da como resultado segundos. El tiempo necesario para que el capacitor se cargue al 63.2 % del voltaje aplicado.

Contador ascendente/descendente Contador que puede incrementar o disminuir la cuenta de acuerdo con una señal de control.

Contador BCD Contador binario de cuatro bits que cuenta desde 0000 hasta 1001 y luego vuelve a empezar en 0000. El contador avanza un número con cada pulso que recibe.

Contador de anillo Registro de corrimiento en el que la salida del último flip-flop se retroalimenta a las entradas del primer flip-flop.

Contador de corrimiento También conocido como contador de Johnson. Este contador produce formas de onda de salida que están desplazadas en el tiempo y que se utilizan para producir formas de onda para control.

Contador de propagación Contador diseñado de modo que cada flip-flop genere

el pulso de reloj para el flip-flop que le sigue. Esto da como resultado un retraso de propagación.

Contador preinicializable Contador que puede cargarse con un número de inicio, a partir del cual la cuenta avanzará con cada pulso recibido.

Contador sincrónico Contador diseñado de modo que cada flip-flop reciba el pulso de reloj al mismo tiempo.

Consumidores Proporcionan una trayectoria para que la corriente convencional fluya hacia tierra.

Corriente convencional Indica que el flujo de corriente es de positivo a negativo.

CMOS (metal-óxido semiconductor complementario) Familia de circuitos integrados digitales.

CPU Unidad central de procesamiento. Parte de una computadora que interpreta las instrucciones tomadas de la memoria y las ejecuta.

Datos en paralelo Cada bit tiene su propia línea de datos. Toda la palabra se transmite durante el mismo pulso de reloj.

Datos en serie Se tiene una sola línea de datos y éstos se transmiten o reciben un bit a la vez.

Decimal Sistema de numeración de base 10 que utiliza los dígitos 0 a 9.

Decodificador Circuito que convierte un número de otro sistema numérico o código al sistema decimal.

Decodificador completo Circuito que activa una de sus líneas de salida cuando se presenta un número binario dado en la entrada del circuito. Cada número binario posible tiene su correspondiente línea de salida.

Decodificador parcial Circuito lógico que produce una señal activa en una línea de salida para un número binario de entrada dado al circuito. El circuito no tiene una línea de salida única para cada número binario de entrada posible, como sucede en un decodificador completo.

Demultiplexor Circuito lógico que conecta los datos analógicos o digitales que provienen de la entrada a una de muchas posibles líneas de salida. La línea de salida seleccionada que recibe los datos de entrada se escoge con un número binario de entrada al circuito lógico.

Diagrama lógico Esquema que muestra las compuertas, flip-flops y otros módulos utilizados en un circuito.

Digital Relativo a información que no es de naturaleza continua y que cambia en unidades discretas. La información se representa con ceros y unos.

Digital a analógico Conversión de un número (usualmente binario) en una cantidad proporcional analógica continua.

Diodo Dispositivo semiconductor que conduce en un dirección pero no en la otra. Tiene dos terminales, una de ánodo y otra de cátodo.

DIP (encapsulado con doble hilera de terminales) Estilo de encapsulado de circuito integrado que tiene dos hileras de terminales.

Disparador de Schmitt Dispositivo digital que cambia el nivel lógico de su salida a los voltajes de umbral inferior y superior fijos de la entrada.

División sucesiva Método de conversión de un número decimal a binario.

Diodo Zener Diodo que conduce en la dirección inversa con un nivel de voltaje bien definido.

Drenaje Elemento de un transistor MOS. Es análogo al colector de un transistor bipolar.

EAC (acarreo circular) Proceso en el que el rebasamiento en un problema de resta en complemento a 1 se suma a la columna menos significativa (la que está en el extremo derecho).

ECL (lógica de emisores acoplados) Familia de circuitos integrados de lógica digital notable por su velocidad.

EEPROM Memoria programable y eléctricamente borrable sólo de lectura. Memoria no volátil que puede programarse y borrarse por medios eléctricos o electrónicos.

EEPROM Memoria programable y eléctricamente borrable sólo de lectura. Memoria no volátil que puede programarse y borrarse por medios eléctricos.

Entrada activa en el nivel ALTO Entrada de un circuito que está "buscando" o "esperando" un 1 para hacer que el circuito se active o funcione.

Entrada activa en el nivel BAJO Entrada de un circuito que está "buscando" o "esperando" un 0 para hacer que el circuito se active o funcione.

EEPROM Memoria programable y eléctricamente borrable sólo de lectura. Memoria no volátil que puede programarse y borrarse por medios eléctricos.

EIA (Electronic Industries Association) Asociación comercial que ayuda a fijar estándares.

EPROM Memoria programable y borrable únicamente de lectura. Memoria no volátil que puede programarse y borrarse con luz ultravioleta.

Escalera 2R También conocida como escalera binaria 2R. Red resistiva basada en dos valores de resistores que produce un voltaje de salida proporcional al número binario de entrada a la red.

Escalera binaria Red resistiva basada en valores de resistencia que aumentan en potencias de 2. La red resistiva producirá un voltaje que es proporcional al número binario de entrada a la red.

ESD (Descarga electrostática) Corriente provocada por una acumulación de carga estática que genera alto voltaje.

Especificaciones militares Norma militar para la construcción de CI.

Estado singular Estado de la salida de una de las compuertas básicas que se presenta sólo para una combinación de las entradas.

Etapa de colector seguidor Configuración en la que la señal de entrada se aplica al emisor y la salida se toma por el colector. Ésta es la etapa de entrada de los circuitos TTL.

Expresión booleana Términos escritos en el sistema del álgebra booleana que ex-

presan la salida de un circuito en términos de la entrada.

Factor de carga de la salida Medida del número de cargas que un circuito puede excitar.

FAST (Schottky avanzada TTL de Fairchild) Subfamilia de TTL, 74FXX, 54FXX.

Flanco delantero Primera transición de un pulso, puede ser de ALTO a BAJO o de BAJO a ALTO.

Flanco descendente Segunda transición de un pulso cuando éste regresa a su nivel normal, puede ser de ALTO a BAJO o de BAJO a ALTO.

Flanco negativo Transición de una señal del nivel ALTO al BAJO.

Flanco positivo Transición de una señal del nivel BAJO al ALTO.

Flip-flop Multivibrador biestable. Circuito que puede encontrarse en uno de dos estados, encendido o apagado, en respuesta a las señales de entrada, y mantenerse en dicho estado hasta que sea cambiado por la entrada.

Flip-flop D transparente Flip-flop que permite que el dato de entrada pase a la salida sin alteración durante una fase del reloj y que retiene el dato de entrada cuando el reloj cambia de nivel.

Flip-flop disparado por flanco Flip-flop en el que los datos de las entradas pasan al flip-flop y aparecen en la salida durante el mismo flanco del reloj, a diferencia de un flip-flop maestro-esclavo.

Flip-flop JK Flip-flop que puede encenderse, apagarse, conmutar o quedarse en el mismo estado de acuerdo con las señales de control que se aplican en las entradas J y K.

Flip-flop maestro-esclavo Flip-flop en el que el dato de entrada es retenido por la sección que corresponde al maestro durante el flanco ascendente de la señal de reloj y por la sección que corresponde al esclavo en el flanco descendente del reloj.

Flip-flop SET-RESET Flip-flop que puede ser activado por una señal en la entrada SET y desactivado por una señal en la entrada RESET.

Flujo de corriente de electrones Flujo real de los electrones en el conductor, de negativo a positivo.

Formas de onda Representación gráfica de una señal. Gráfica de la amplitud como una función del tiempo.

Frecuencia Número de ciclos que una forma de onda completa en un segundo. Se mide en hertz.

Fuente Elemento de un transistor de efecto de campo. Análogo al emisor de un transistor bipolar.

Fuentes Proporcionan una trayectoria para que fluya corriente de la fuente de alimentación.

Generador de paridad Circuito que puede generar el bit de paridad correcto para un sistema de paridad par o impar.

H (alta velocidad) Subfamilia de TTL. 74HXX, 54HXX.

Habilitación Aplicación de una señal de control a una de las compuertas básicas para permitir el paso de datos por ella.

HC (CMOS de alta velocidad) Subfamilia de CMOS. 74HCxx.

HCT (CMOS de alta velocidad compatible con TTL) Subfamilia de CMOS. 74HCTxx.

Hexadecimal Sistema numérico de base 16 que emplea 16 dígitos, 0 a 9 y A a F.

HiZ (alta impedancia) Término utilizado para indicar una impedancia muy alta, del orden de $10\text{ M}\Omega$ a $20\text{ M}\Omega$ o mayor.

Inhabilitación Aplicación de una señal de control a una de las compuertas básicas para impedir el paso de datos por ella.

Inicializar (set) Preinicializar o activar un flip-flop para hacer que su salida, Q , tenga el nivel 1.

Inversor Circuito con una entrada y una salida que funciona de acuerdo con la regla "entra 1, sale 0", o "entra 0, sale 1".

Inmunidad al ruido Método para expresar la tolerancia al ruido de una familia de CI. Mide el rango de niveles de entrada aceptables provenientes del voltaje de alimentación o de tierra.

L (Bajo consumo de potencia) Subfamilia de TTL. 74LXX, 54LXX.

LCC (portador de pastilla sin terminales) Encapsulado para montaje de superficie que no tiene terminales externas. El circuito integrado se conecta con soldadura a la tarjeta de circuito impreso.

LCD (visualizador de cristal líquido) Método de visualización de información sin emisión de luz.

LED (diodo emisor de luz) Diodo que emite luz cuando es polarizado en directa.

Lógica combinatoria Uso de más de una compuerta para producir la salida requerida.

LS (Schottky de bajo consumo de potencia) Subfamilia de TTL. 74LSXX, 54LSXX.

LSB (dígito menos significativo) Bit de la extrema derecha de un número binario.

LSI (integración a gran escala) CI que contiene una circuitería equivalente a 100 o más compuertas.

Magnitud verdadera Valor real, opuesto al valor complementado.

Mapa de Karnaugh Método gráfico sistemático para la reducción de expresiones booleanas.

Margen de ruido Método para expresar la tolerancia al ruido de una familia de CI; el cual mide la diferencia de voltaje entre un nivel de entrada aceptable y el correspondiente nivel aceptable de salida.

Minuendo En un problema de sustracción, número que está primero o en el renglón superior.

MSB (bit más significativo) Bit que se encuentra en el extremo izquierdo de un número binario.

MSI (integración a mediana escala) CI que contiene la circuitería equivalente a más de 11 y menos de 100 compuertas.

Multiplexor Circuito lógico que conecta una de sus muchas entradas a una sola salida. La entrada que se conecta a la salida es seleccionada por un número binario de entrada al circuito lógico.

Multivibrador astable Reloj u oscilador autónomo.

Multivibrador monoestable Dispositivo lógico que cuando es disparado por el flanco ascendente o descendente del pulso de entrada, produce un pulso de salida con una duración predeterminada.

Multivibrador monoestable no redispersable Dispositivo lógico que cuando es disparado por el flanco ascendente o descendente de una señal digital, produce un pulso de salida con una duración predeterminada. El multivibrador no podrá ser disparado otra vez hasta que el pulso de salida haya finalizado.

Multivibrador monoestable redispersable Dispositivo lógico que cuando es disparado produce un pulso de salida con una duración predeterminada. La duración del pulso o periodo activo volverá a iniciarse cada vez que el circuito sea disparado, incluso si la salida aún está activa.

Nemónico Código alfanumérico para instrucciones a nivel de máquina empleados en el lenguaje ensamblador.

Octal Sistema de numeración de base 8 que emplea ocho dígitos, del 0 al 7.

Oscilador Circuito que cambia su salida de uno a cero y viceversa de acuerdo

con su circuitería interna. Existen tres tipos: astable o autónomo (un reloj), monoestable (genera un solo pulso) y biestable o flip-flop.

Oscilación en un interruptor Cierre y apertura de los contactos del interruptor cuando se cierra.

Paridad Sistema empleado para detectar errores en la transmisión de datos binarios.

Paridad impar Sistema empleado para detectar errores en la transmisión de datos binarios que utiliza un bit de paridad para hacer que el total de unos de una palabra sea un número impar.

Paridad par Sistema utilizado para detectar errores en la transmisión de datos binarios que hace uso de un bit de paridad para que el número total de unos en una palabra sea par.

PCB (tarjeta de circuito impreso) Tarjeta que tiene pistas o franjas de cobre para interconectar componentes.

Periodo Tiempo requerido para que una señal complete un ciclo.

Periodo activo Tiempo requerido para que un multivibrador monoestable se desactive después de haberlo activado.

PLCC (portador de pastilla de plástico con terminales) Encapsulado de circuito integrado para montaje de superficie con terminales que tienen un doblez por debajo del encapsulado.

Preinicializar (preset) Inicializar o activar un flip-flop para hacer que su salida, Q , tenga el nivel 1.

Producto retraso/potencia Parámetro que proporciona un indicador del retraso de propagación y de la disipación de potencia de una familia lógica (se mide en picoJoules).

PROM Memoria programable únicamente de lectura. Memoria no volátil en la que el patrón de bits sólo puede programarse una vez.

Puerto de salida Registro que retiene datos para transferirlos del sistema al mundo externo.

RAM Memoria de acceso aleatorio. Memoria de lectura-escritura en una computadora.

RAM dinámica Memoria de escritura y lectura cuyas localidades deben ser leídas cada 2 ms para mantener el patrón de bits guardado en ella.

RAM estática Memoria de lectura y escritura que no necesita leerse o refrescarse para mantener el patrón de bits almacenado en ella.

Reinicializar (reset) Borrar o desactivar un flip-flop para hacer que su salida, Q , tenga el nivel 0.

Reloj Forma de onda rectangular continua utilizada para temporización.

Reloj con retardo Reloj sin traslapamiento o sistema de reloj doble. Las dos ondas rectangulares están desplazadas de modo que sólo una de ellas tenga el nivel ALTO a la vez.

Reloj sin traslapamiento Reloj con retraso o sistema de reloj doble. Par de ondas rectangulares desplazadas de modo

que sólo una esté en el nivel ALTO a la vez.

Rebasamiento Acarreo proveniente de la columna más significativa (la que está en el extremo izquierdo) en un problema de suma.

Resistor de acoplamiento Resistor que proporciona una conexión entre el voltaje de alimentación externo y el CI. Se usa en los dispositivos de colector abierto.

Resta con complementos a dos Método de resta en el que se suma al minuendo el complemento a dos del sustraendo.

Resta con complementos a nueve Método en el que se suma al minuendo el complemento a nueve del sustraendo.

Resta con complementos a diez Método en el que se suma al minuendo el complemento a diez del sustraendo.

Resta con complemento a uno Método de resta en el que se suma al minuendo el complemento a uno del sustraendo.

Retenedor Flip-flop de datos. Circuito que puede encontrarse en uno de dos estados, encendido o apagado, de acuerdo con la señal de entrada.

Retraso de propagación Medida del tiempo que transcurre entre un cambio en la entrada y el correspondiente cambio en la salida.

ROM Memoria únicamente de lectura. Memoria no volátil de la computadora.

RS-232 (norma recomendada 232) Norma de voltaje y formato para la transmisión de datos en serie.

S (Schottky) Subfamilia de TTL. 74SXX, 54SXX.

Salida activa en el nivel ALTO Salida de un circuito que normalmente es 0 y que cambia a 1 cuando es activada por el circuito.

Salida activa en el nivel BAJO Salida de un circuito que normalmente es 1 y que cambia a 0 cuando es activada por el circuito.

Semisumador Circuito que suma dos entradas y da como salida una suma y un acarreo.

Separador de datos Circuito que puede separar datos multiplexados en sus partes constituyentes.

Símbolo lógico funcional Símbolo alternativo empleado para representar el funcionamiento de una de las compuertas básicas.

Símbolo lógico invertido Símbolo alternativo empleado para representar el funcionamiento de una de las compuertas básicas. Símbolo lógico funcional.

SO (encapsulado de contorno pequeño) Encapsulado de circuito integrado de doble hilera para montaje de superficie.

SSI (integración a escala pequeña) CI que contiene una circuitería equivalente a menos de doce compuertas.

Sumador completo Circuito que suma tres entradas y genera como salida la suma y el acarreo.

Sustraendo En un problema de resta, el segundo número o aquel que ocupa el renglón inferior.

Sustrato Materiales de silicio, tipo P o N, sobre los que se fabrica un transistor.

Tabla de verdad Tabla donde se listan todas las entradas posibles a un circuito junto con las correspondientes salidas.

Teoremas de DeMorgan Dos teoremas del álgebra booleana que indican que $A \cdot B = A + \bar{B}$ y $A + B = A \cdot \bar{B}$.

Terminal J Terminales de un circuito integrado de montaje de superficie con un doblez en forma de J por debajo del encapsulado.

Tótem Circuito en el que la salida tiene trayectorias internas hacia la fuente de alimentación y tierra.

Transmisión de datos en serie asíncrona Sistema en el que los datos se transmiten un bit a la vez a través de una sola línea de datos y con una velocidad en baudios predeterminada. El término asíncrono expresa la característica de que no transcurre un tiempo específico entre el inicio de una palabra y el comienzo de la siguiente.

TTL (lógica transistor-transistor) Una de las familias más populares de circuitos integrados digitales.

V_{cc} Voltaje de alimentación positivo en un CI TTL (5 V). Algunas veces se emplea para designar el voltaje de alimentación positivo para un CI CMOS.

V_{dd} Voltaje de alimentación positivo en un CI CMOS. (+3 V a +18 V).

Velocidad en baudios Número de transiciones de la señal por segundo que son transmitidas o recibidas, usualmente bits por segundo.

Verificador de paridad Circuito que puede determinar si el número total de uno en una palabra binaria es par o impar.

Visualizador de LED Diodo emisor de luz empleado para mostrar una letra o un número.

Visualizador de siete segmentos Visualizador alfanumérico formado por siete segmentos.

RESPUESTAS PARA LAS AUTOEVALUACIONES Y LOS PROBLEMAS IMPARES

CAPÍTULO 1

RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 1.1, 1.2 y 1.3

1.	11111	2.	63	4.	FOF
	100000	3.	64		F10
	100001	4.	21		F11
	100010				F12
	100011	5.	49		F13
	100100	6.	110010010		F14
	100101	7.	1001111		F15
	100110	8.	1001010110		F16
	100111	9.	1111110		F17
	1001010				F18
	1001100				F19
	1001101				F1A
	1001102				F1B
	1001110				F1C
	1001111				F1D
	1010000				F1E
	1010001				F1F
	1010100				F20
	1010101				
	1010110				
	1010111				
	1100000				
	1100001				
	1100100				
	1100101				
	1100110				
	1101000				
	1101001				
	1101010				
	1101011				
	1101100				
	1101101				
	1101110				
	1110000				
	1110001				
	1110100				
	1110101				
	1110110				
	1110111				
	1111000				
	1111001				
	1111010				
	1111011				
	1111100				
	1111101				
	1111110				
	1111111				
	10000000				

RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 1.4, 1.5, 1.6, 1.7, 1.8, 1.9 Y 1.10

1.	760	5.	E18 ₁₆
	761	6.	0100110010110000 ₂
	762	7.	001001011000 _{BCD}
	763	8.	904 ₁₀
	764	9.	F8 ₁₆

110001	765	10.	2784 ₁₀
110010	766	11.	60 ₁₆
110011	767	12.	101110010 _{BCD}
110100	770		
110101	771		

110110	772		
110111	773		
111000	774		
111001	775		
111010	776		

111011	777		
111100	1000		

111101	2. 762 ₈	1.	110000 10111
111110	3. 111110101100000 ₂	2.	1101 1011
111111		3.	1100 -1010
10000000		4.	1100 -1010

RESPUESTAS PARA LA AUTOEVALUACIÓN DE LA SECCIÓN 1.15

1. + 11 -74
2. 01100100 10011100
3. 101111101 (Incorrecto) 11100110 (Correcto)
4. 10001000 (Incorrecto) 11100010 (Correcto)

RESPUESTAS PARA LOS PROBLEMAS IMPARES

1. 100_2
 101_2
 110_2
 111_2
 1000_2
3. 66_8 72_8 76_8 102_8 106_8
 67_8 73_8 77_8 103_8 107_8
 70_8 74_8 100_8 104_8 108_8
 71_8 75_8 101_8 105_8
5. DD_{16} E6 EF F8
DE E7 F0 F9
DF E8 F1 FA
E0 E9 F2 FB
E1 EA F3 FC
E2 EB F4 FD
E3 EC F5 FE
E4 ED F6 FF
E5 EE F7 100
7. 10001001_{BCD} 10010100_{BCD} 10011001_{BCD}
 10010000_{BCD} 10010101_{BCD} 100000000_{BCD}
 10010001_{BCD} 10010110_{BCD} 100000001_{BCD}
 10010010_{BCD} 10010111_{BCD}
 10010011_{BCD} 10011000_{BCD}
9. a) 15 b) 16
11. a) 65,535 b) 65,636
13.

Octal	Hexadecimal	Binario	Decimal	BCD
36	1E	11110	30	110000
251	A9	10101001	169	101101001
22	12	10010	18	11000
143	63	1100011	99	10011001
103	43	1000011	67	1100111

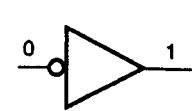
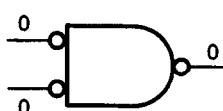
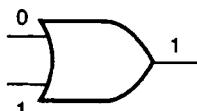
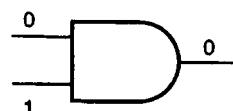
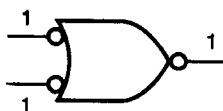
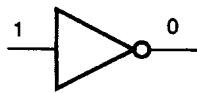
15. a) 10110 b) 10101 c) 111011
 17. a) 111 b) 1111 c) -110 d) -1101
 19. a) 1001 b) -11
 21. a) 11100 b) -11
 23. a) 11001110 b) 00101011 c) 11111110 d) 00001000 e) 10001000 f) 01010011
 25. a) 00010011 (Respuesta correcta)
 b) 00110000 (Respuesta correcta)
 c) 00110111 (Respuesta incorrecta; no hay acarreo proveniente de la columna 7, pero sí hay rebasamiento)
 d) 11111110 (Respuesta incorrecta; acarreo proveniente de la columna 7, pero no hay rebasamiento)
 27. a) 01110011 (Respuesta correcta)
 b) 00010000 (Respuesta correcta)
 c) 01010010 (Respuesta correcta)
 d) 00010110 (Respuesta incorrecta; no hay acarreo de la columna 7 a la 8, pero sí hay rebasamiento)
 29. Un 1 como bit más significativo indica que el número es negativo y que está representado en forma de complemento a dos. Un 0 como bit más significativo indica que el número es positivo y que está representado en forma de magnitud verdadera.
 31. Los números binarios son fáciles de representar electrónicamente (encendido, apagado). Los números hexadecimales se emplean para representar números binarios.

CAPÍTULO 2

RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 2.1, 2.2, 2.3 Y 2.4

1. Véanse figuras 2-1 y 2-2. 3. Véanse figuras 2-15 y 2-16. 5. Véase figura 2-9.
 2. Véanse figuras 2-7 y 2-8 4. Véase figura 2-3. 6. Véase figura 2-17.

7.



8. Véase figura 2-36

9. Todas las entradas 1, salida 1.

10. Todas las entradas 0, salida 0.

RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 2.5 Y 2.6

1. Véanse figuras 2-23 y 2-24.
 2. Véanse figuras 2-30 y 2-31.
 3. Véase figura 2-25.
 4. Véase figura 2-32.

5.



6. Véase figura 2-36.
 7. Todas las entradas en 1, salida 0.
 8. Todas las entradas en 0, salida 1.

RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 2.7, 2.8, 2.9, 2.10, 2.11 Y 2.12

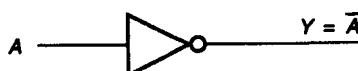
1. habilita
 2. invertido
 3. 1, ALTO
 4. 1, sin alterar

RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 2.13, 2.14, 2.15, 2.16, 2.17 Y 2.18

1. Conecte las entradas entre sí.
 2. Conecte las entradas entre sí.
 3. Con una OR.
 4. Con una AND.
 5. Con una OR.
 6. Con una AND.

RESPUESTAS PARA LOS PROBLEMAS IMPARES

1. a)



b)



c)



d)

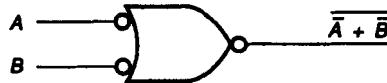


e)



3.	AND	OR	NAND	NOR
	AB X	AB X	AB X	AB X
	00 0	00 0	00 1	00 1
	01 0	01 1	01 1	01 0
	10 1	10 1	10 1	10 0
	11 1	11 1	11 0	11 0

5. a) b)



c)	AB	Y
	00	0
	01	0
	10	0
	11	1

Estado singular

7. a) b)

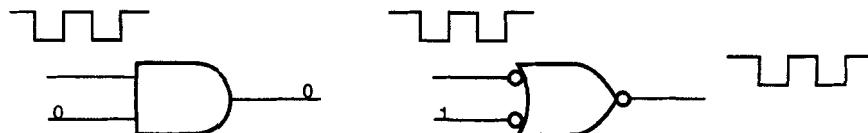


c)	AB	Y
	00	0
	01	1
	10	1
	11	1

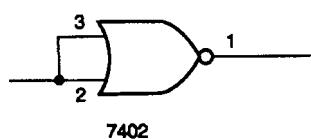
Estado singular

9. 1, 0, 0, 1 17. Poner un 1 en la
11. 0, 1, 1, 0 entrada de control.
13. 0, 1, 0, 0 19. 0
15. Habilita 21. Invertido
29. 23. Poner un 1 en la entrada
 de control.
 25. Bloqueada en el estado 1.
 27. Sin alterar

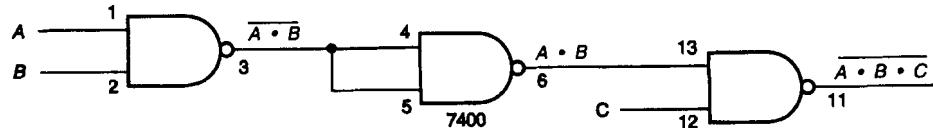
31.



33.



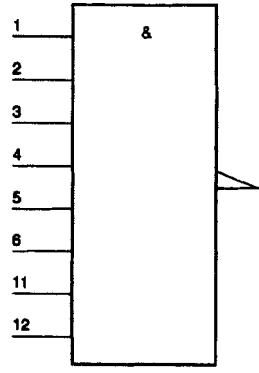
35.



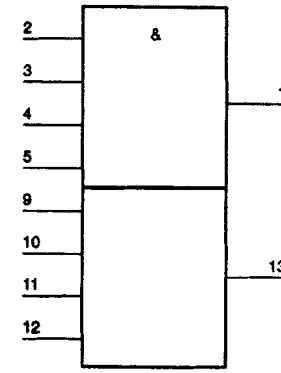
37. a) 7427 NOR triple
 b) 4025 NOR triple
 c) 74C20 NAND doble
 d) 7410 NAND triple
 e) 4081 AND cuádruple
 f) 4069 séxtuple

- de 3 entradas (TTL)
 de 3 entradas (CMOS)
 de 4 entradas (CMOS)
 de 3 entradas (TTL)
 de 2 entradas (CMOS)
 Inversor (CMOS)

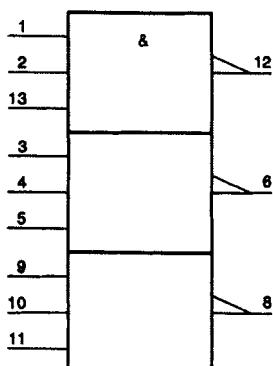
39.



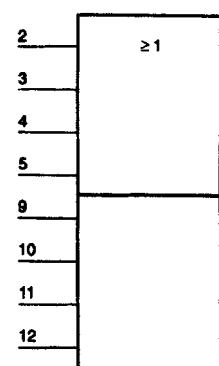
7430



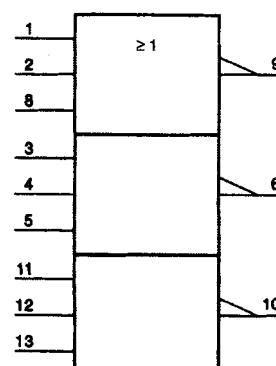
4082



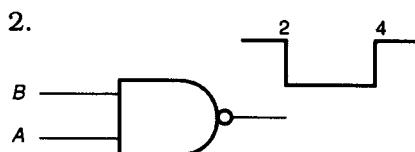
7410



4072



4025

CAPÍTULO 3**RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 3.1, 3.2 Y 3.3****RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 3.4 Y 3.5**

1. 1

4. $A + BC$

7. $\overline{\overline{A} \cdot C}$

2. 0

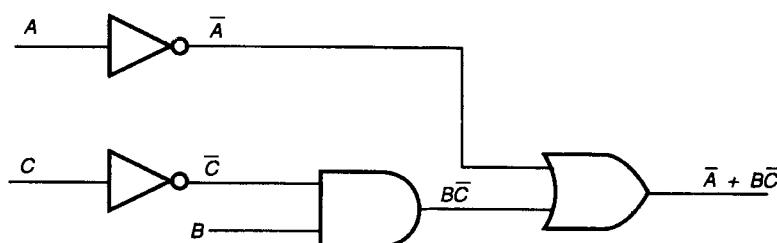
5. $\overline{A}B$

8. $\overline{A} \overline{B} C$

3. 1

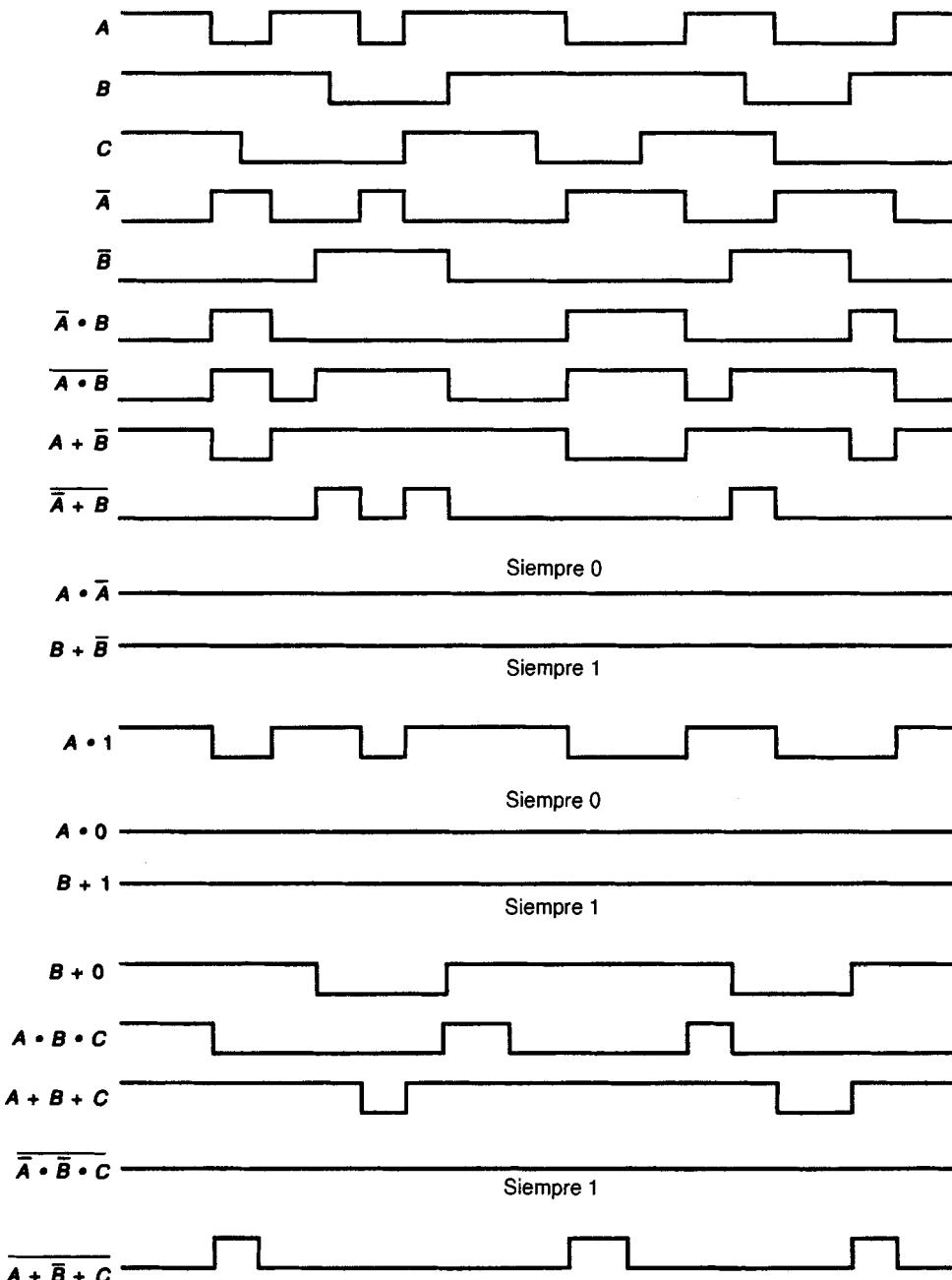
6. $\overline{C}(B+A)$

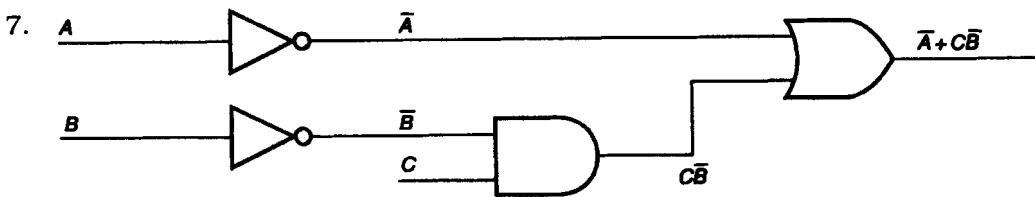
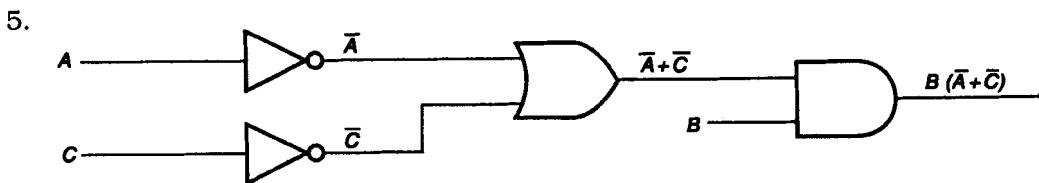
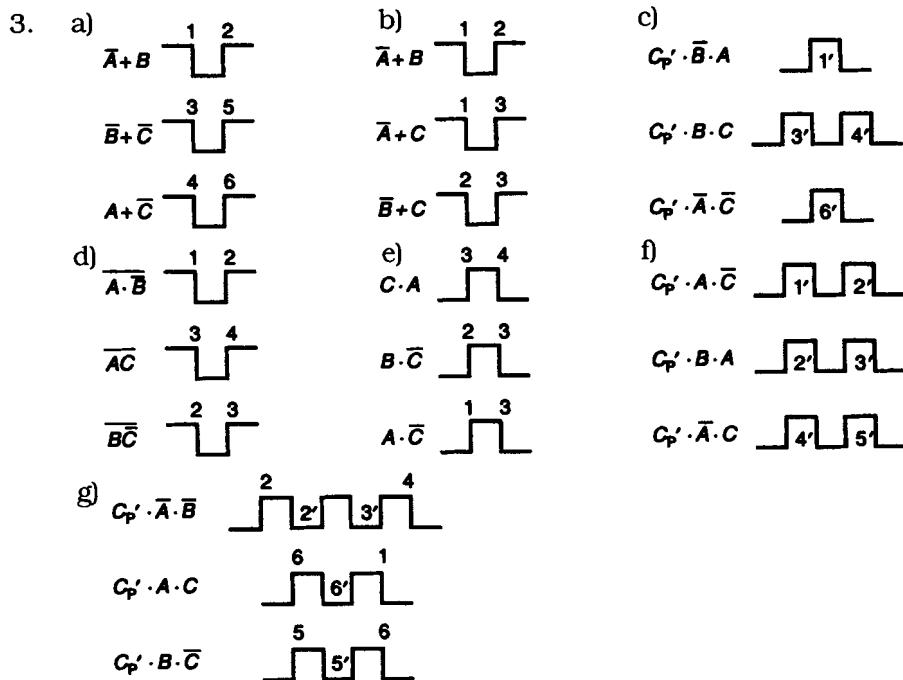
9. $\overline{A+B+C}$

RESPUESTAS PARA LA AUTOEVALUACIÓN DE LA SECCIÓN 3.6

RESPUESTAS PARA LOS PROBLEMAS IMPARES

1.





9. a) $\bar{A}(B+C)$ b) A c) $A+D$ d) 0 e) $\bar{A}+B$

11. a) $A+\bar{B}$ b) $A+C$ c) $A(\bar{C}+B)$ d) $A(\bar{C}+\bar{B})$

13. a) $\bar{B}+\bar{A}C$ b) $AB+\bar{A}\bar{C}$

15. $AC+\bar{A}\bar{C}$

17. a)

	$\bar{C}B$	$\bar{C}B$	CB	CB	\bar{B}
\bar{A}	1				1
A	1	1	1	1	

$$A + \bar{B}$$

A

b)

	$\bar{C}B$	$\bar{C}B$	CB	CB	C
\bar{A}		1	1		
A	1	1	1	1	

$$A + C$$

A

c)

	$\bar{C}B$	$\bar{C}B$	CB	CB	AB
\bar{A}					
A	1		1	1	

$$AB + AC$$

 \bar{AC}

d)

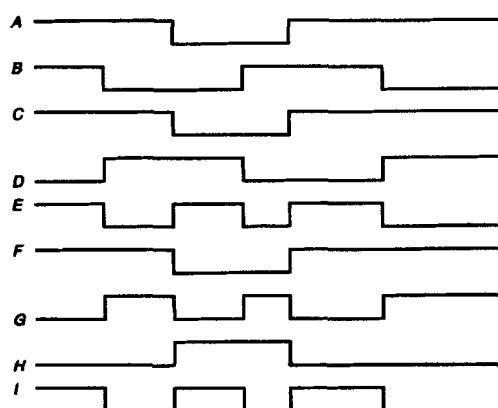
	$\bar{C}B$	$\bar{C}B$	CB	CB	\bar{AC}
\bar{A}					
A	1	1			1

$$\bar{AB} + AC$$

AB

CAPÍTULO 4

**RESPUESTAS PARA LA
AUTOEVALUACIÓN DE LAS
SECCIONES 4.1, 4.2,
4.3, 4.4 y 4.5**



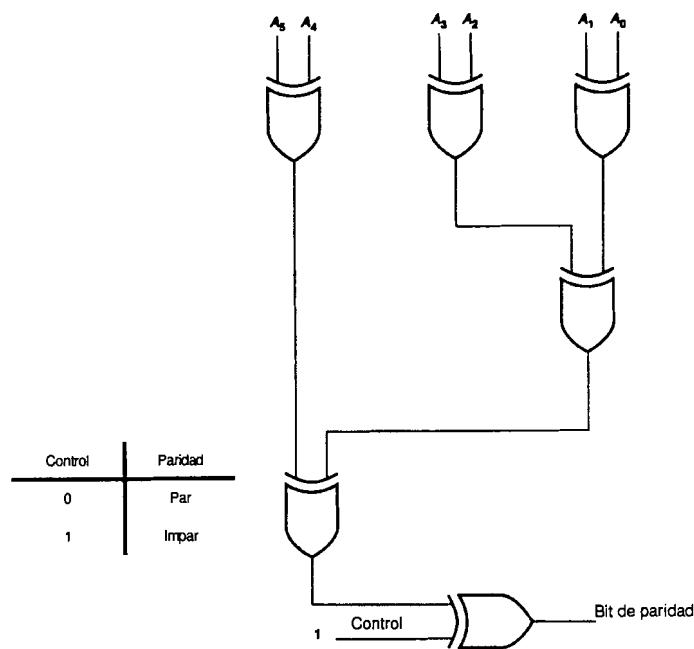
RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 4.6, 4.7, 4.8 y

4.9

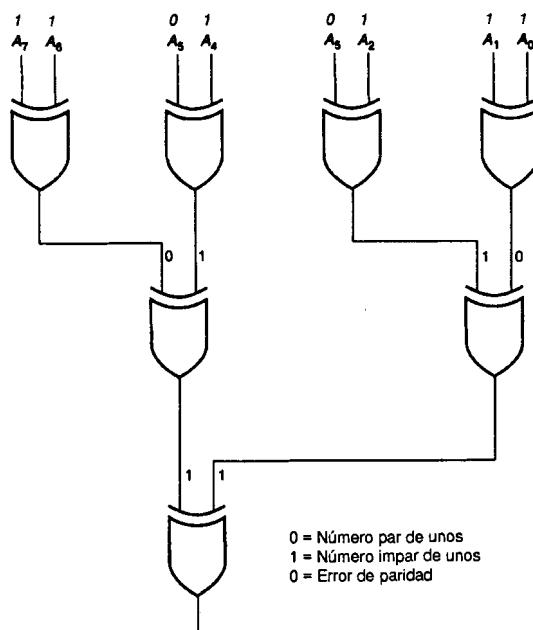
1. 0

3.

2. 0

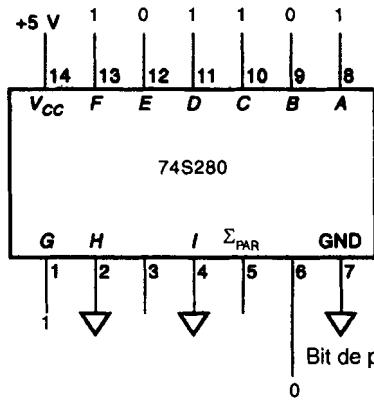


4.

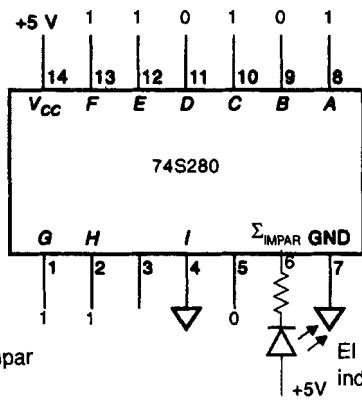


RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 4.10 y 4.11

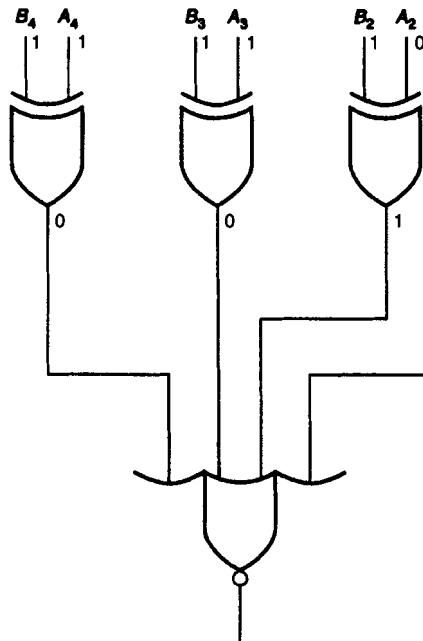
1.



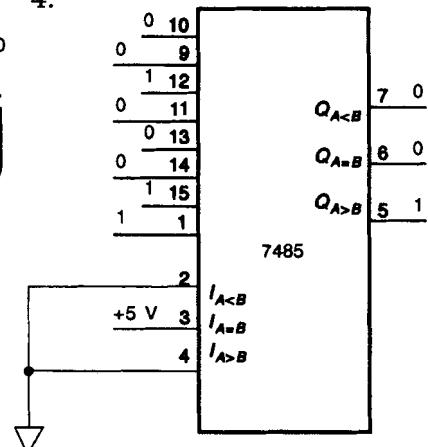
2.



3.



4.



RESPUESTAS PARA LOS PROBLEMAS IMPARES

1.



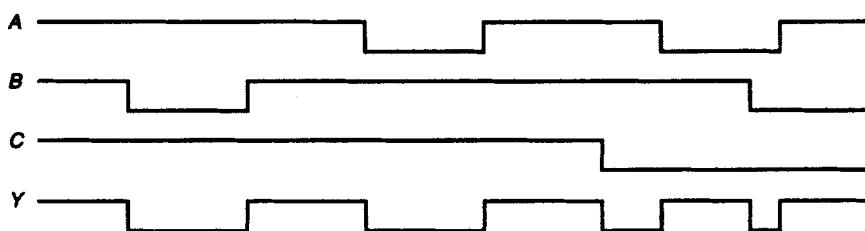
Entradas		Salida
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

3. Invertido

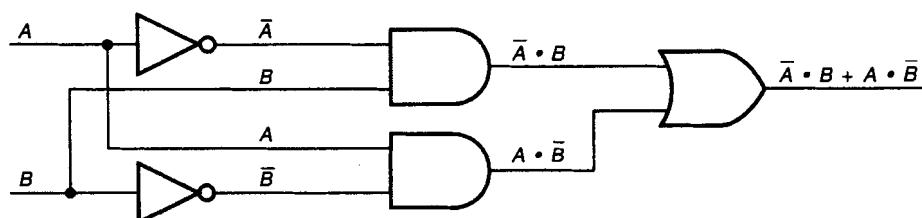
5.



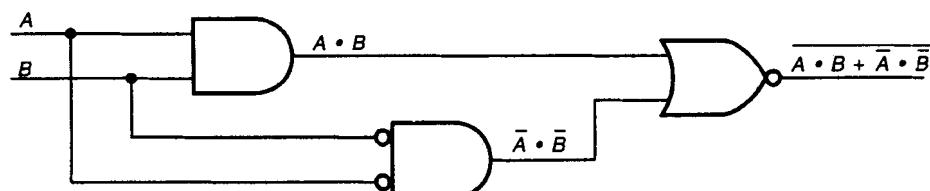
7.



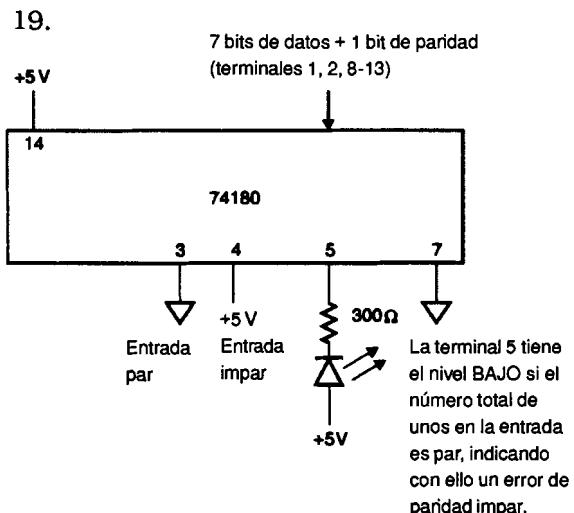
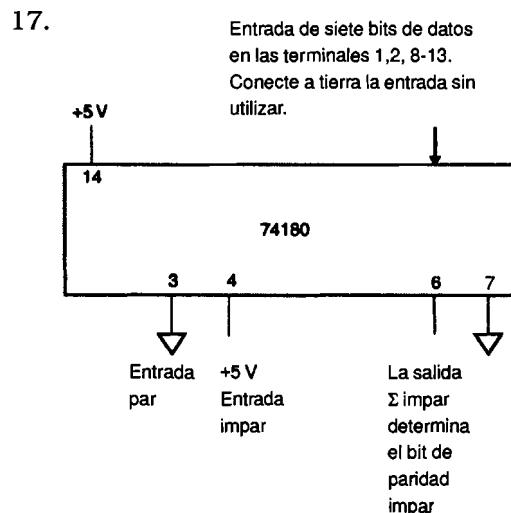
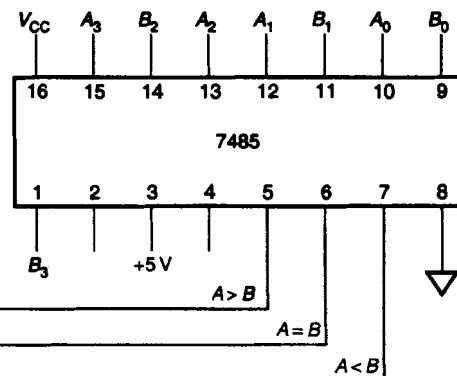
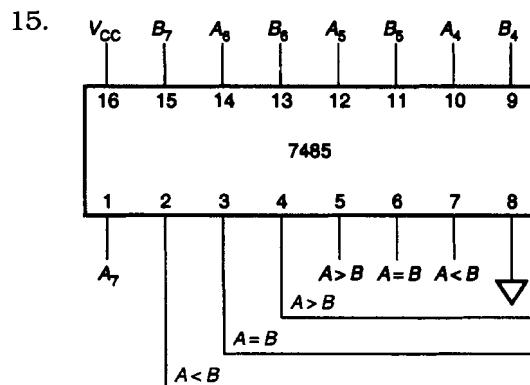
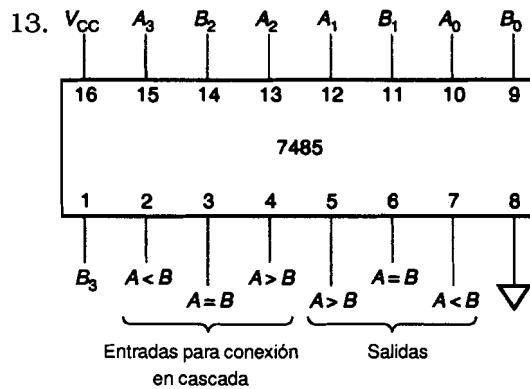
9.



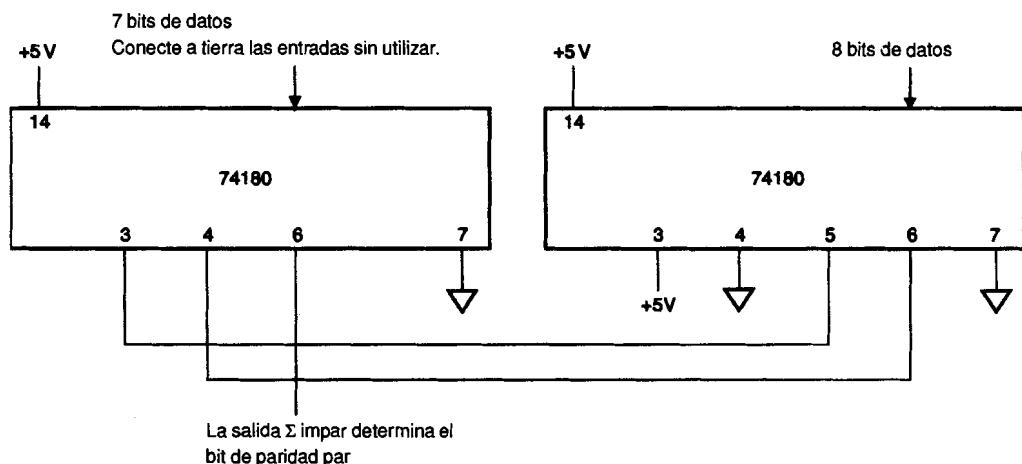
Solución alternativa



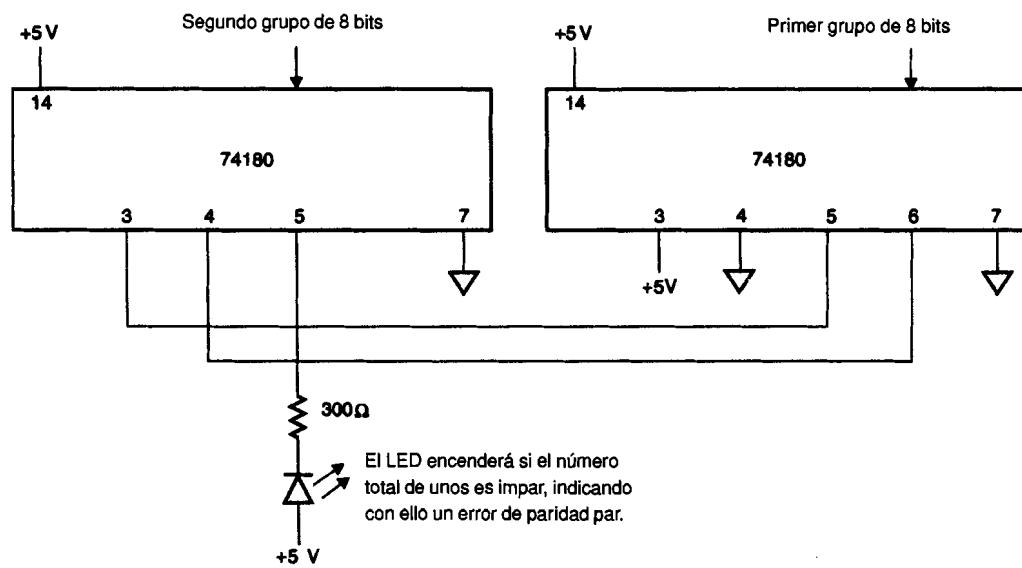
11. a) PAR: Q 101101 b) IMPAR: 1 110000 c) PAR: Q 000011
 d) IMPAR: Q 110010



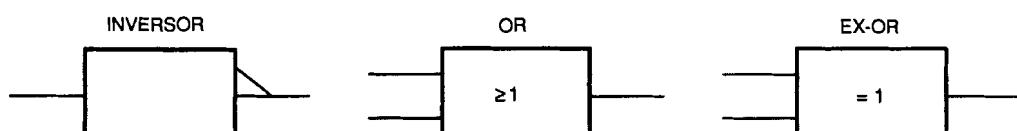
21.



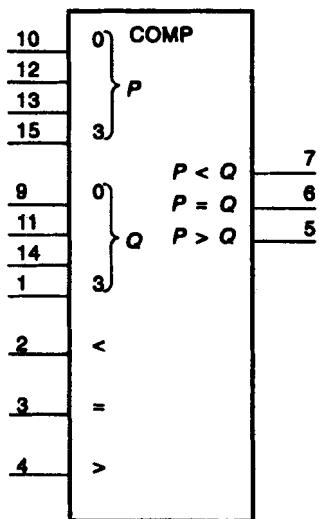
23.



25.



27.



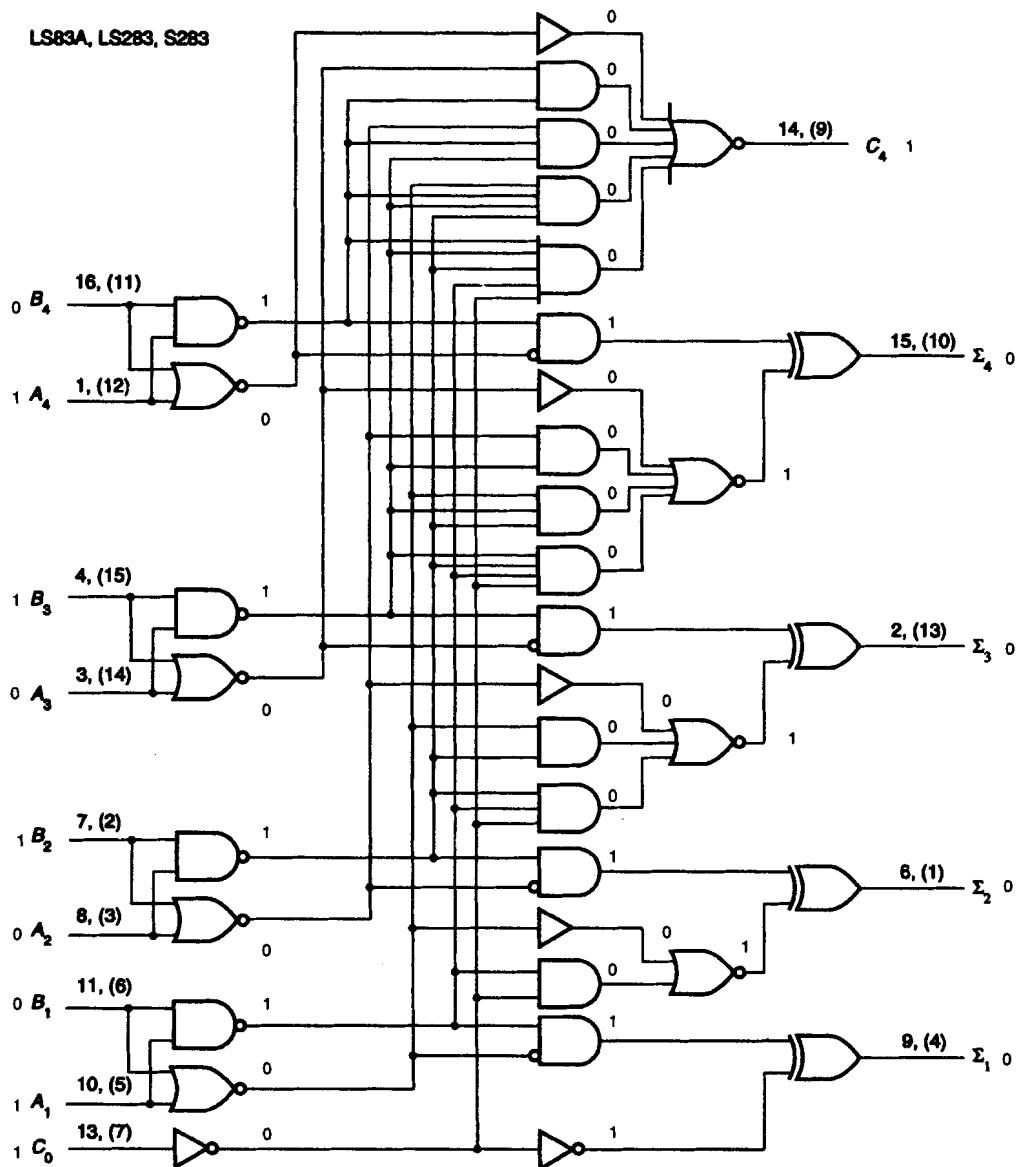
CAPÍTULO 5

RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 5.1 y 5.2

1. El sumador completo tiene una tercera entrada, la del ácarreo de entrada.
2. Vea figura 5-1.
3. Vea figura 5-5.

4.

LS83A, LS283, S283

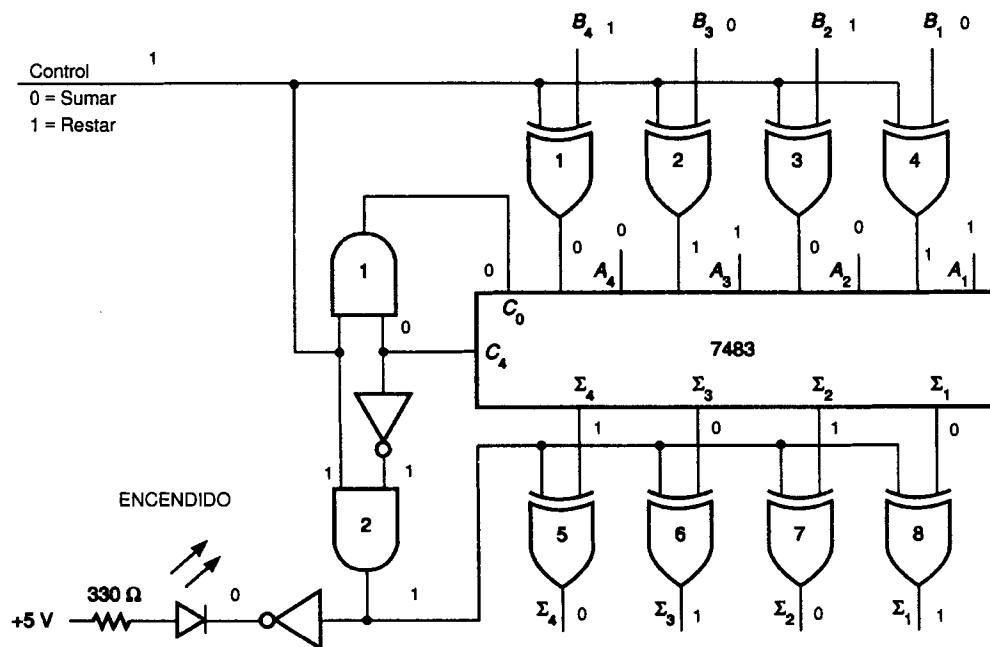


Nota

Los números de terminales que aparecen entre paréntesis corresponden a los CI LS283 y S283.

RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 5.3 y 5.4

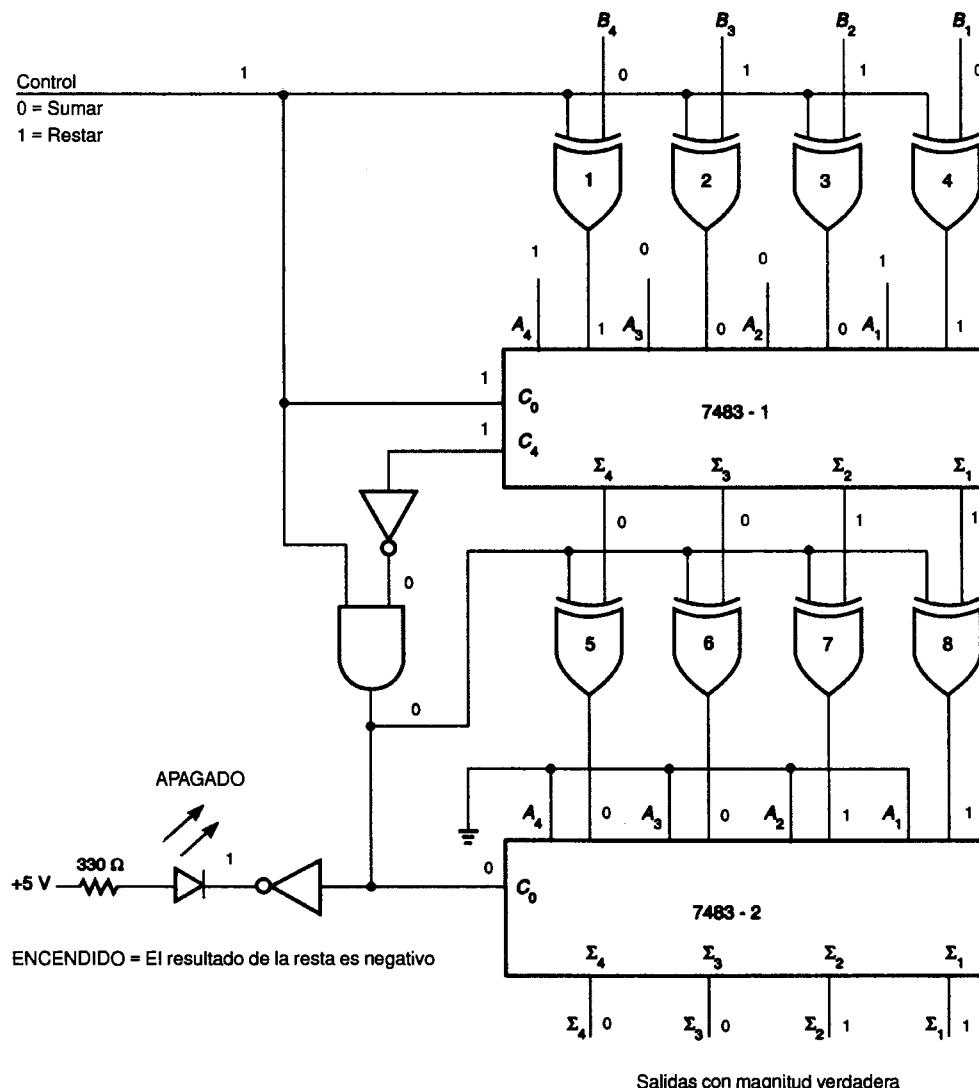
1.



ENCENDIDO = El resultado de la resta es negativo

Salidas con magnitud verdadera

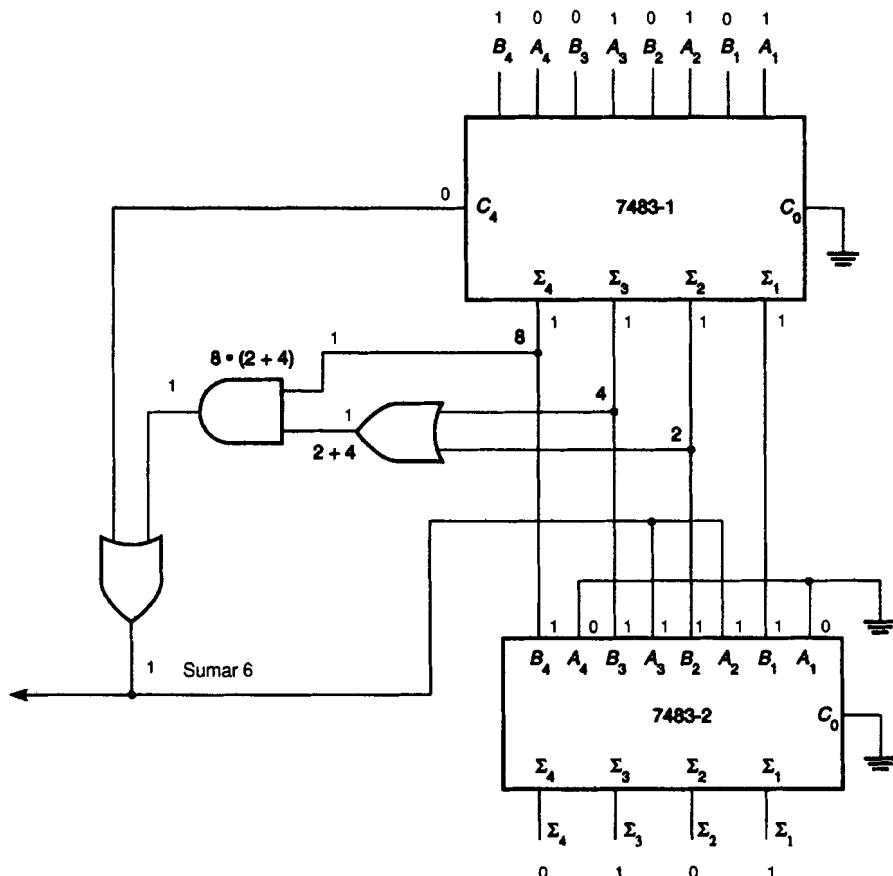
2.



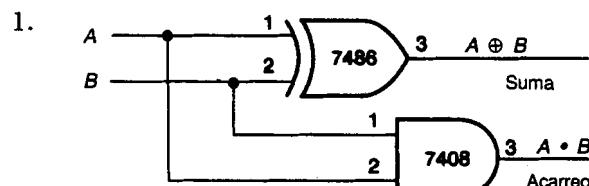
RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 5.5 Y 5.6

1. 1010
1011
1100
1101
1110
1111
2. a) La suma preliminar es un número prohibido.
b) La suma preliminar produce un acarreo de salida, C_4 .

3.

**RESPUESTAS PARA LA AUTOEVALUACIÓN DE LA SECCIÓN 5.7**

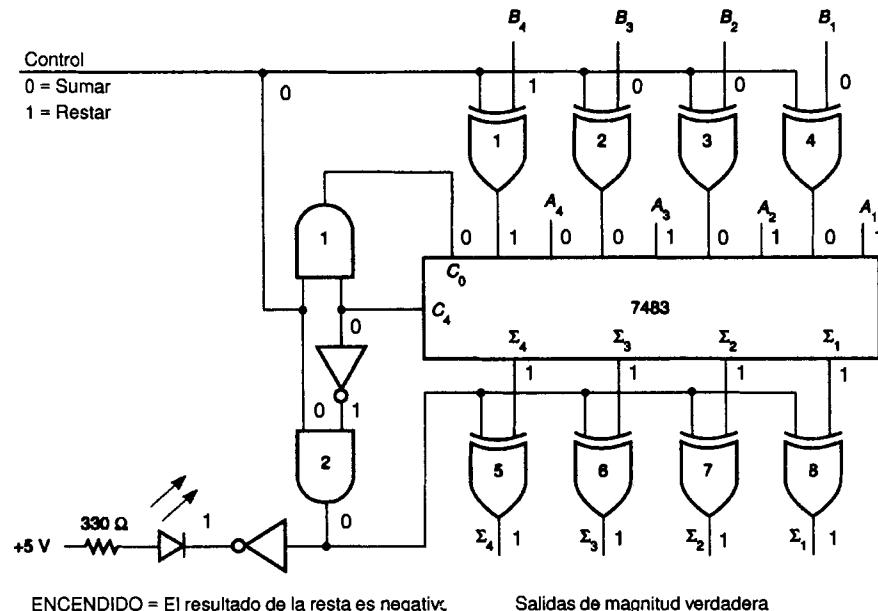
1. 1011 (-3 en forma de complemento a dos) 2. 1000

RESPUESTAS PARA LOS PROBLEMAS IMPARES

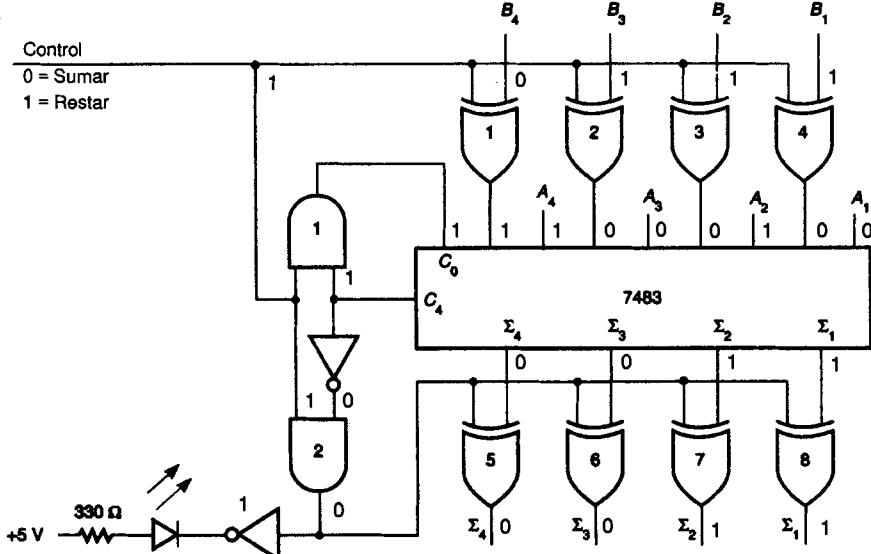
Entradas		Salidas	
A	B	Suma	Acarreo
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

636 Respuestas

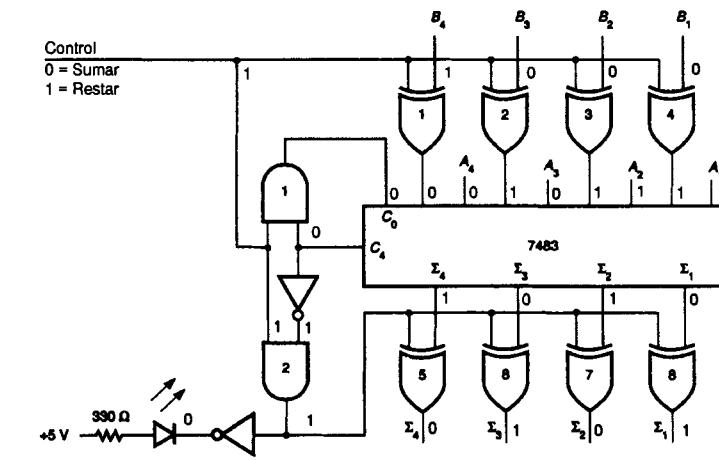
3. a) 1111



b) 0011



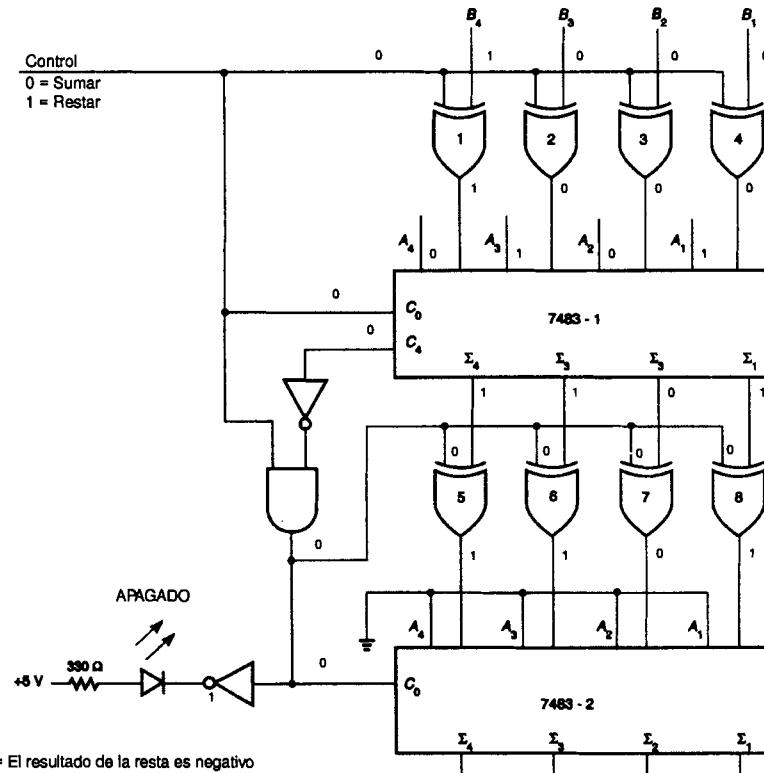
c) -0101



ENCENDIDO = El resultado de la resta es negativo

Salidas de magnitud verdadera

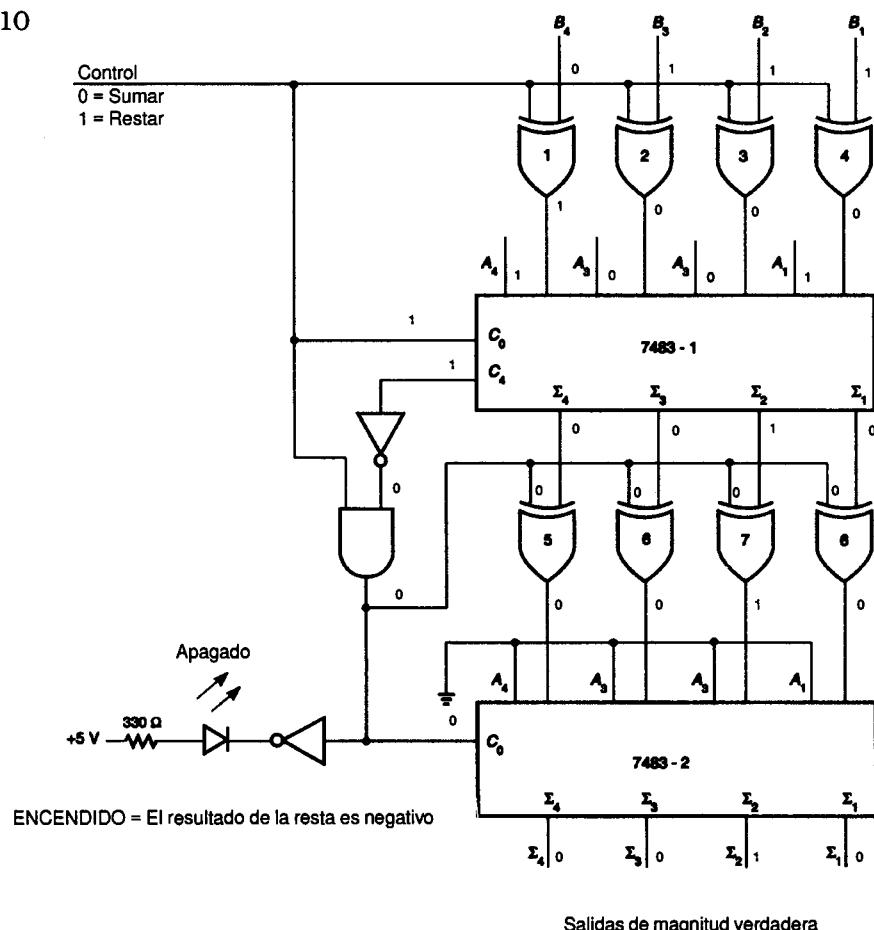
5. a) 1101



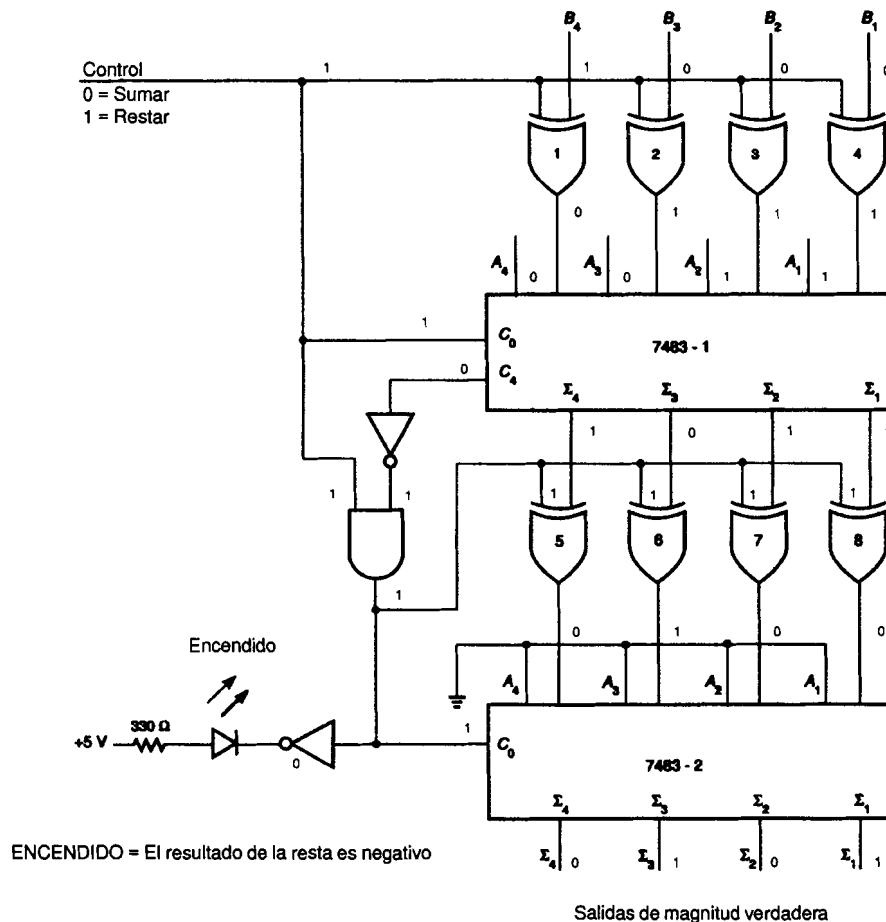
ENCENDIDO = El resultado de la resta es negativo

Salidas de magnitud verdadera

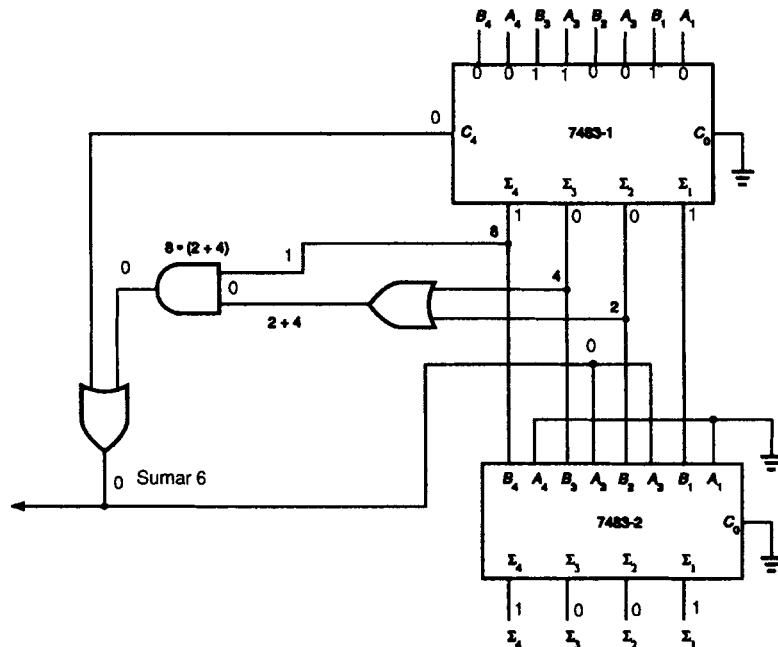
b) 0010



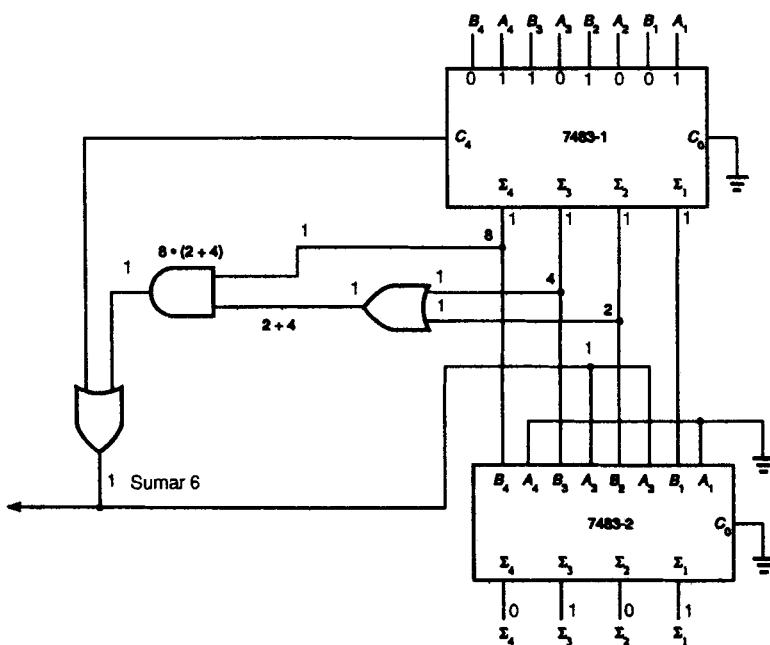
c) -0101



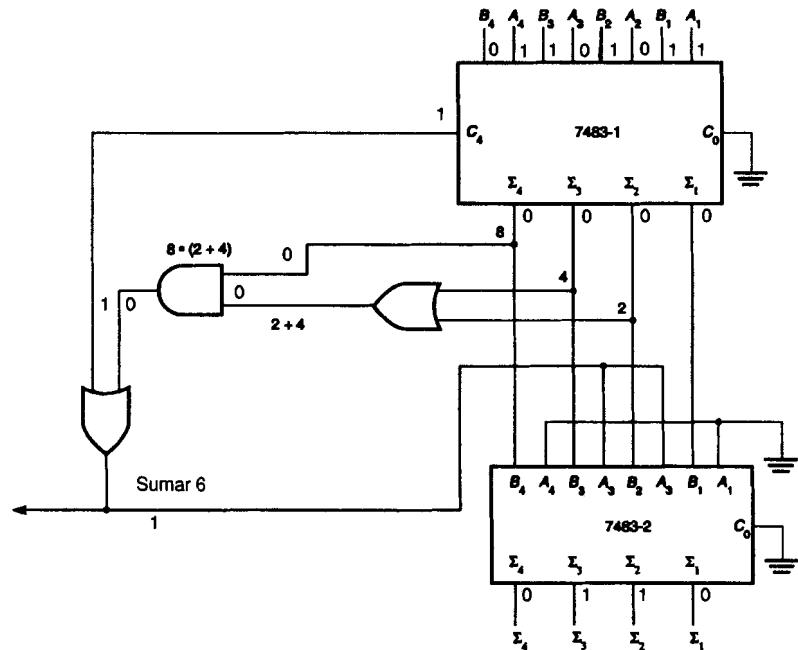
7. a) 1001



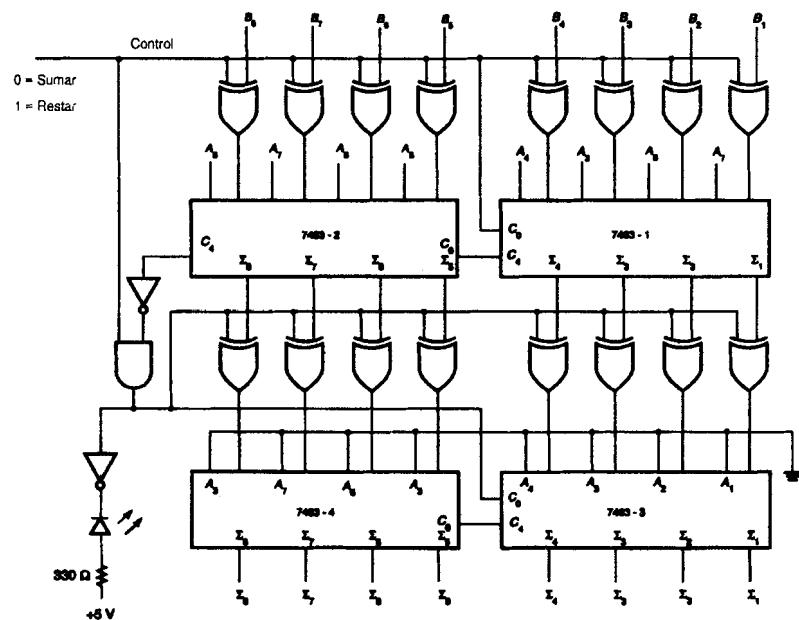
b) 1 0101



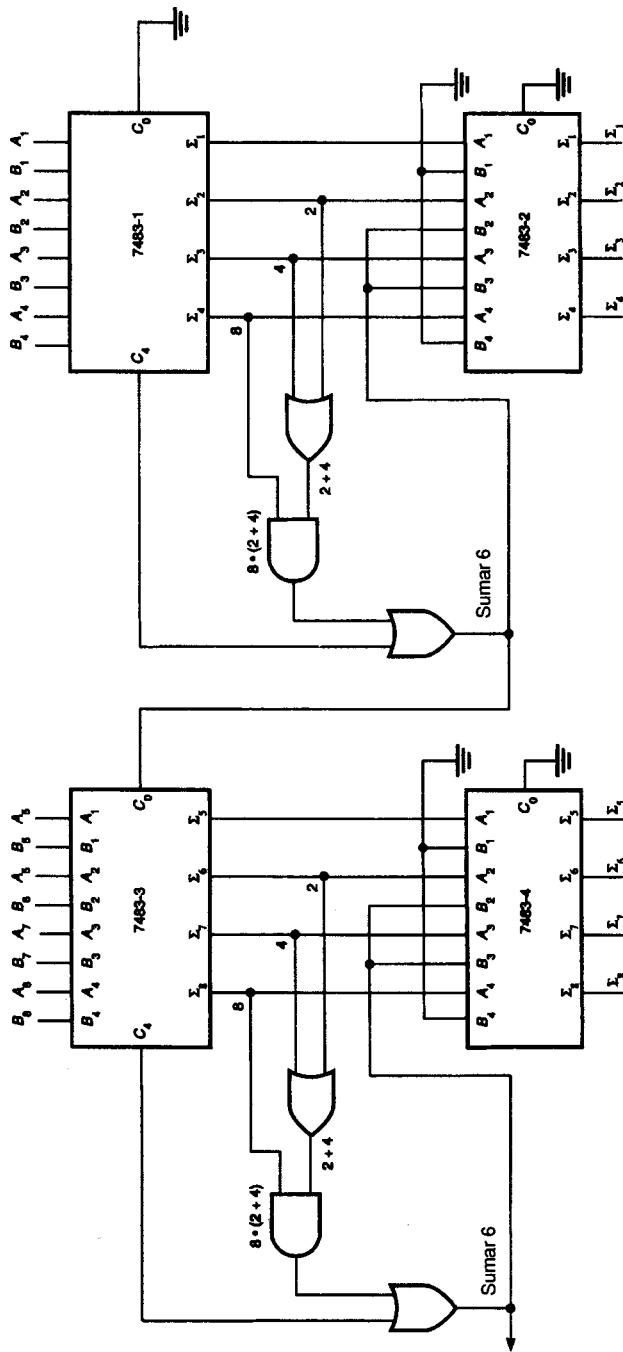
c) 0110



9.



11.

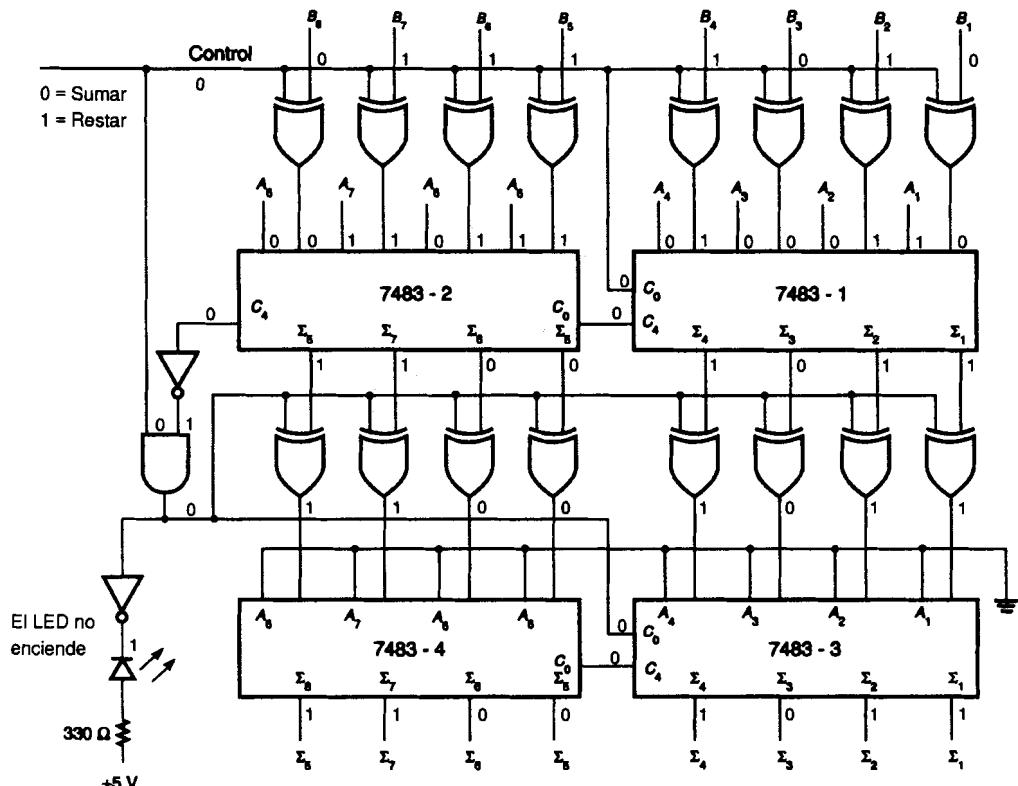


13. a) 10100110

b) 01011111

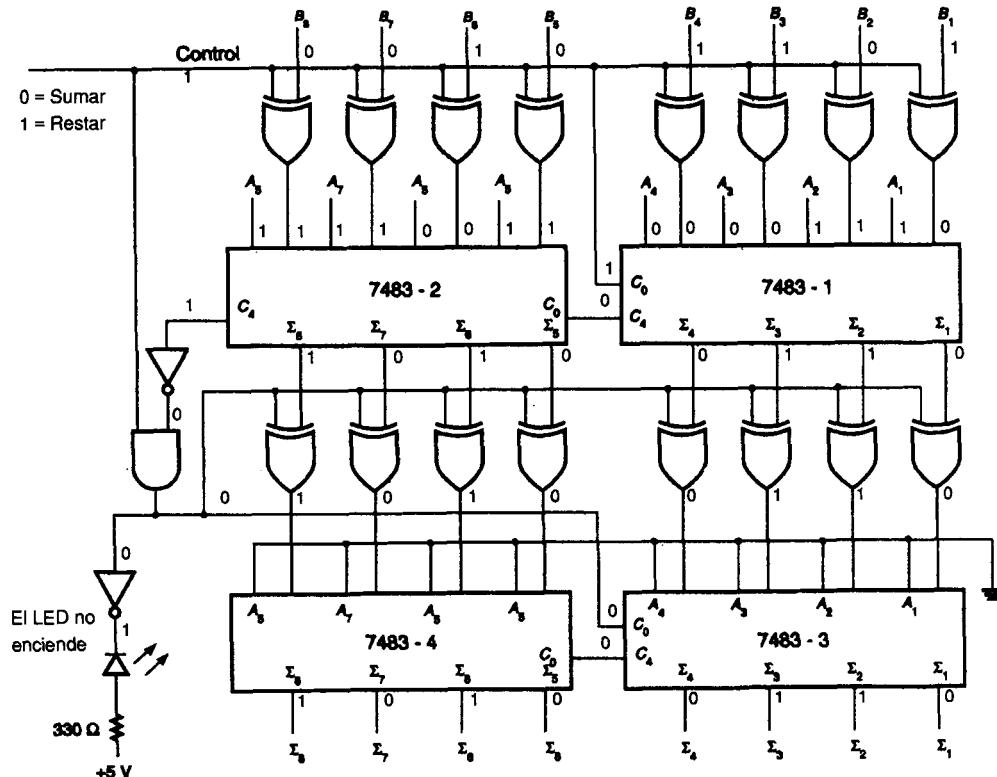
c) 10110101

15. a) 11001011

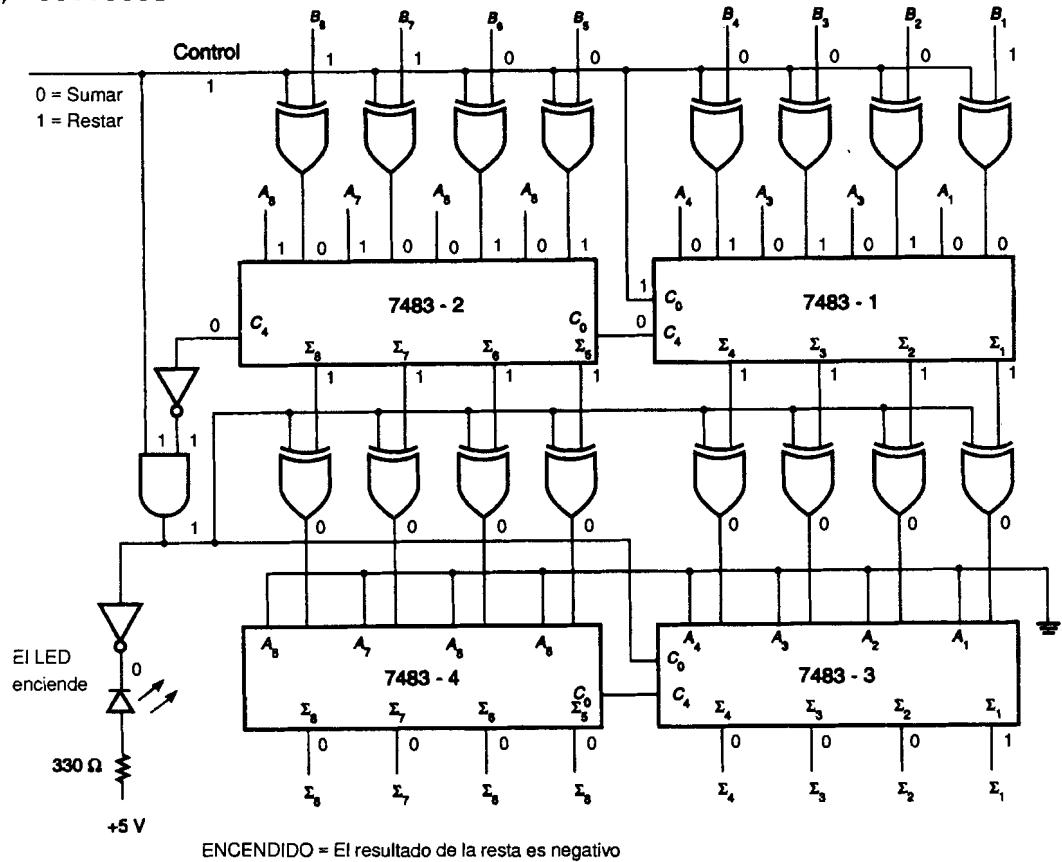


ENCENDIDO = El resultado de la resta es negativo

b) 1 10100110



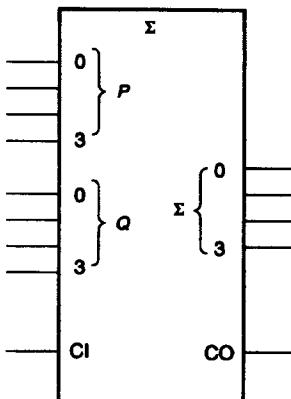
c) -00000001



17. a) 10001001
 b) -0010 0001 (El circuito del problema 11 no está diseñado para problemas de resta.)
 c). 10100 0110
19. Un 1 en la línea de control (restar) habilita la compuerta AND 1. Si $C_4 = 1$ (rebasamiento) la salida de la compuerta AND 1 es 1. Este 1 se introduce en C_0 para realizar el acarreo circular.
21. Un 1 en la línea de control (restar) y $C_4 = 0$ (no hay rebasamiento) requiere que la suma sea complementada para obtener la verdadera magnitud de la respuesta. La compuerta AND 2 proporciona en este caso un 1 para hacer que las compuertas OR exclusivo 5, 6, 7, 8 inviertan la salida del 7483. La magnitud verdadera aparece en $\Sigma_4 \Sigma_3 \Sigma_2 \Sigma_1$.
23. En un problema de resta si no hay rebasamiento entonces debe calcularse el complemento a dos para obtener la magnitud verdadera de la respuesta. En este caso la compuerta AND proporciona un 1 que hace que las compuertas OR exclusivo 5, 6, 7, 8 inviertan la salida del 7483-1 para dar inicio al proceso de complementación a dos.

25. La función del 7483-2 es sumar un 1 durante el proceso de complementación a dos. El 1 se suma a través de C_0 de modo que $A_4A_3A_2A_1$ quedan aterrizados.
27. La salida de la compuerta AND es un 1 en un problema de resta cuando no existe rebasamiento. Un 1 indica que debe calcularse el complemento a dos para obtener la magnitud verdadera de la respuesta.
29. La suma de dos números BCD puede ser un número legítimo en BCD aun cuando se presente un rebasamiento. En este caso, C_4 proporciona la señal SUMAR 6.

31.



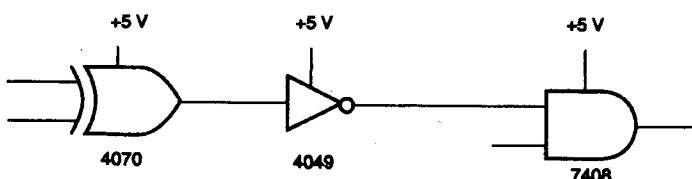
CAPÍTULO 6

RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 6.1, 6.2, 6.3, 6.4, 6.5 y 6.6

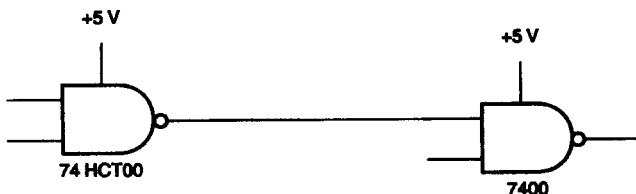
1. $V_{OH} = 2.4$ VOLTS MÍN
2. $V_{IH} = 2.0$ VOLTS MÍN
3. $V_{OL} = 0.4$ VOLTS MÁX
4. $V_{IL} = 0.8$ VOLTS MÁX
5. $I_{CC} = 79$ mA MÁX
6. $t_{PLH} = 47$ ns MÁX (CO A 3)
7. $t_{PHL} = 47$ ns MÁX (CO A 4)
8. $I_{OL} = 16$ mA MÁX (excepto C4)
9. $I_{IL} = -32$ mA
10. Margen de ruido = 0.4 V
11. Factor de carga de la salida = 10
12. $16/3.2 \approx 5$
13. Un resistor de acoplamiento es un resistor que se emplea para proporcionar una trayectoria hacia la fuente de alimentación. Las compuertas de colector abierto no cuentan con esta trayectoria interna hacia la fuente de alimentación, de modo que debe entonces proporcionarse una trayectoria externa mediante el resistor de acoplamiento.

RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 6.7, 6.8, 6.9, 6.10 y 6.11

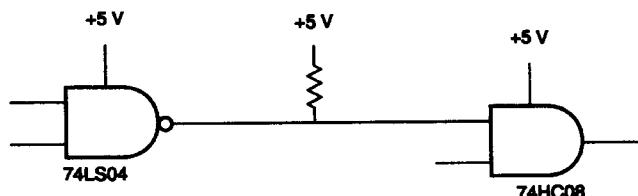
1. $V_{OL} = 0.26$ V
2. $V_{OH} = 5.48$ V
3. $I_{IN} = -0.1$ uA
4. $I_{OUT} = 5.2$ mA
5. $I_{OUT} = 5.2$ mA
6. Factor de carga de la salida = 5200
- 7.



8.



9.

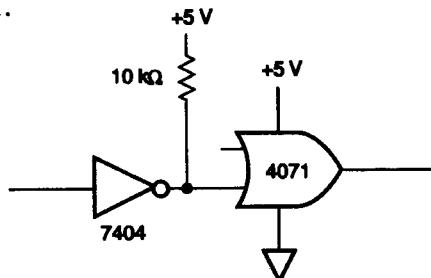
**RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 6.12, 6.13 Y 6.14**

1. V_{CC1} proporciona corriente a la circuitería de conmutación. V_{CC2} proporciona corriente a la etapa de salida. Las dos deben estar conectadas a tierra, lo que hará que V_{EE} sea negativa.
2. V_{EE} para un CI 10K es -5.2 V, y V_{EE} para un CI 100K es -4.5 V.
3. 10125
4. ECL es la más rápida de las familias lógicas. La serie 100K es más rápida que la serie 10K.
5. ECL consume más potencia que las demás familias lógicas.
6. Una terminal de ala de gaviota tiene un doblez hacia abajo y otro hacia afuera de un CI.
7. Una terminal J tiene un doblez hacia abajo del CI y otro debajo del CI con forma de J.
8. El PLL no tiene terminales que sobresalgan del CI. La conexión a la tarjeta de circuito impreso de este tipo de CI se hace únicamente por medio de soldadura. Los encapsulados SO y PLCC tienen terminales externas que se sueldan a la superficie de la tarjeta de circuito impreso.

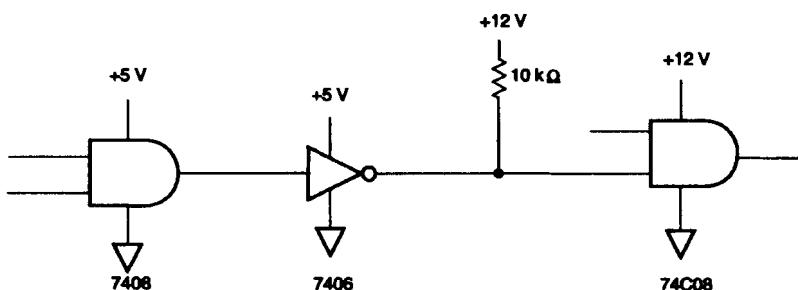
RESPUESTAS PARA LOS PROBLEMAS IMPARES

1. 2.7 V 3. 5 5. 18 ns 7. 4.95 V 9. 4.6 mA

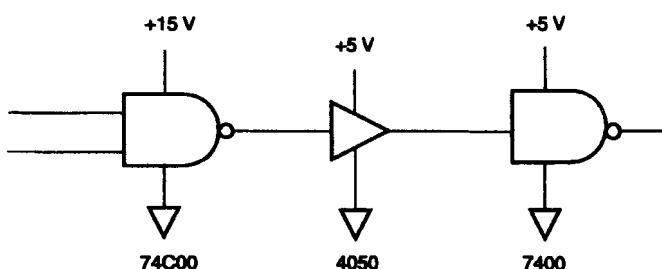
11.



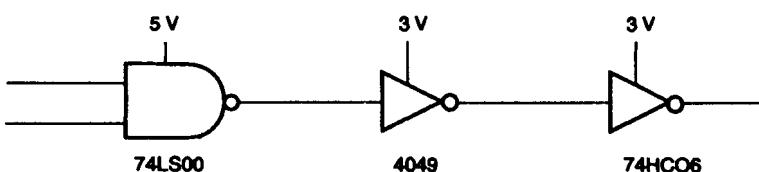
13.



15.



17.



19. 4.5 a 5.5 V

21. Se necesita un resistor de acoplamiento.

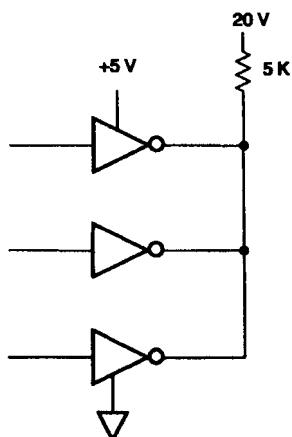
23. 10

25. ECL, AS, CMOS AC, FAST, S, ALS, LS, TTL, CMOS HC, CMOS

27. 0.001 Microampères

29. 0.05 V

31.



33.



35. CE ALTO

DIR ALTO

37. El de contorno pequeño (SO) y el portador de pata de plástico con terminales (PLCC)

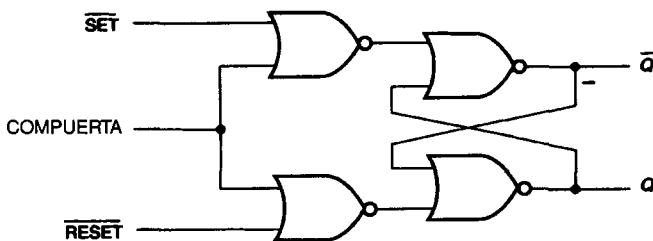
CAPÍTULO 7

RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 7.1, 7.2 Y 7.3

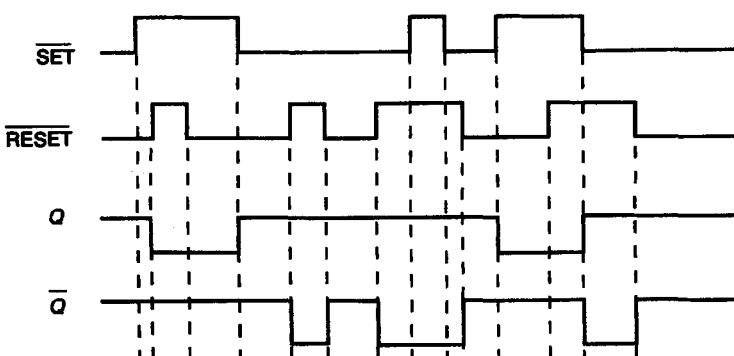
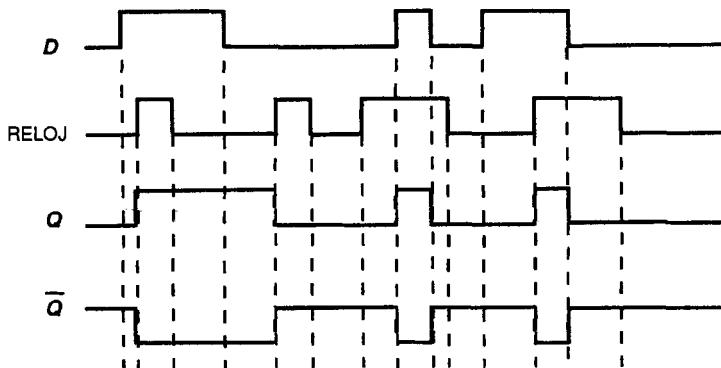
1. $Q = 0, \bar{Q} = 1$
3. $Q = 1, \bar{Q} = 0$
4. $Q = 1, \bar{Q} = 1$, el estado no utilizado
2. $Q = 0, \bar{Q} = 1$

RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 7.4, 7.5, 7.6 y 7.7

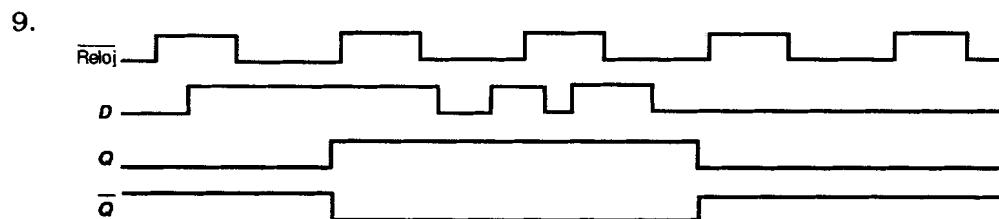
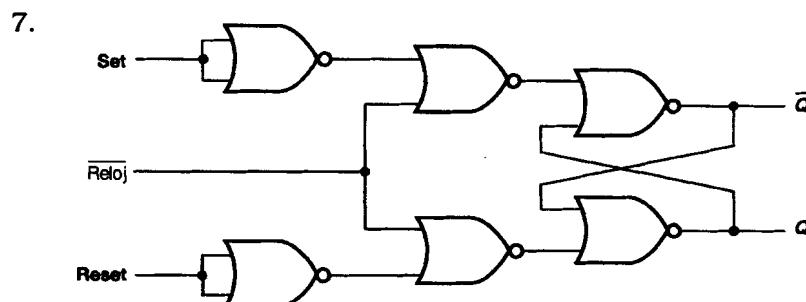
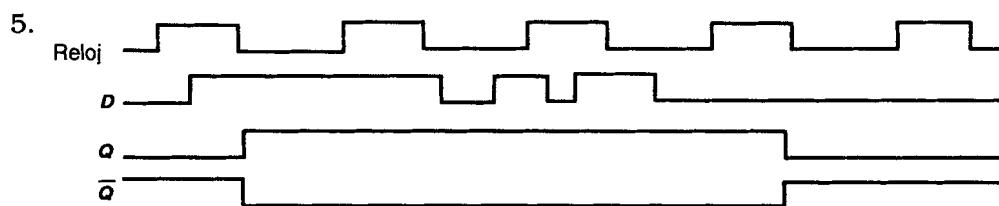
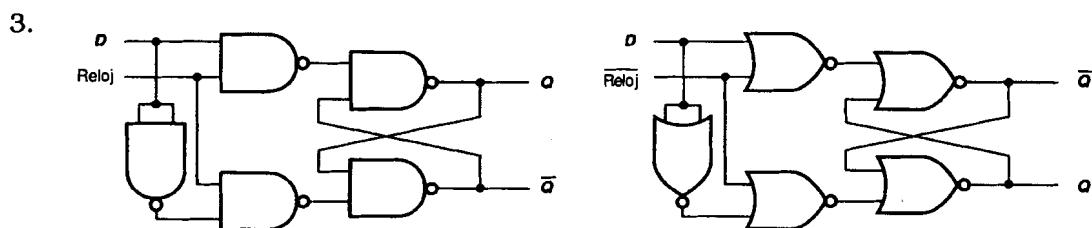
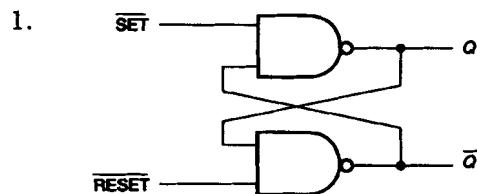
1.



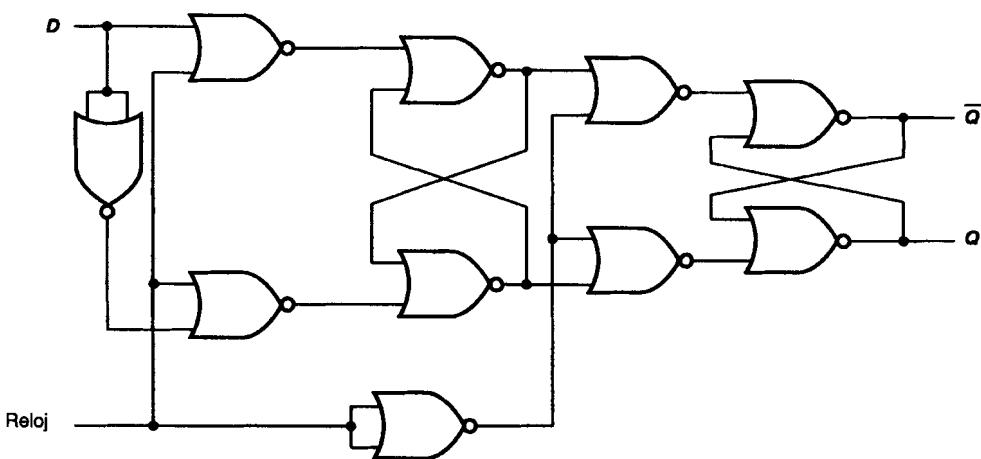
2.



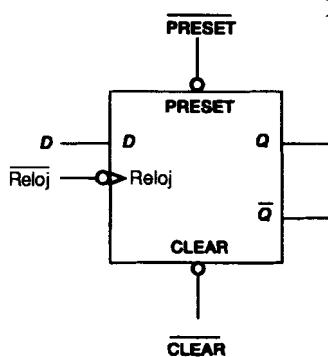
RESPUESTAS PARA LOS PROBLEMAS IMPARES



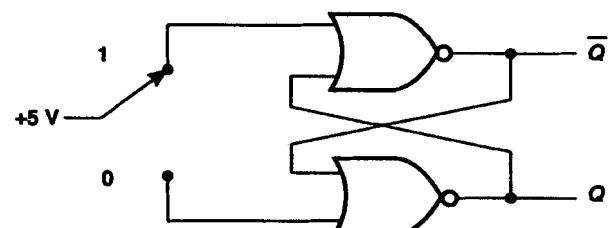
11.



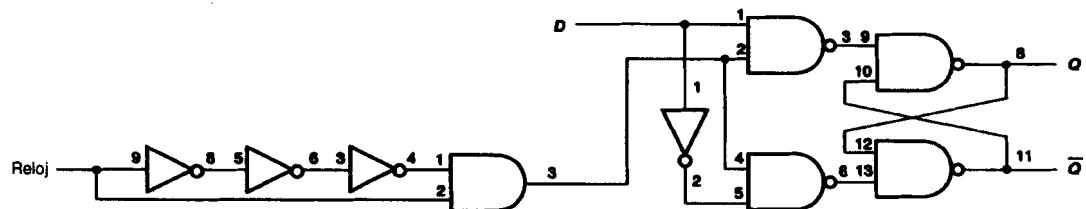
13.



15.



17.



19. $Q = 1$

CAPÍTULO 8**RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 8.1 Y 8.2**

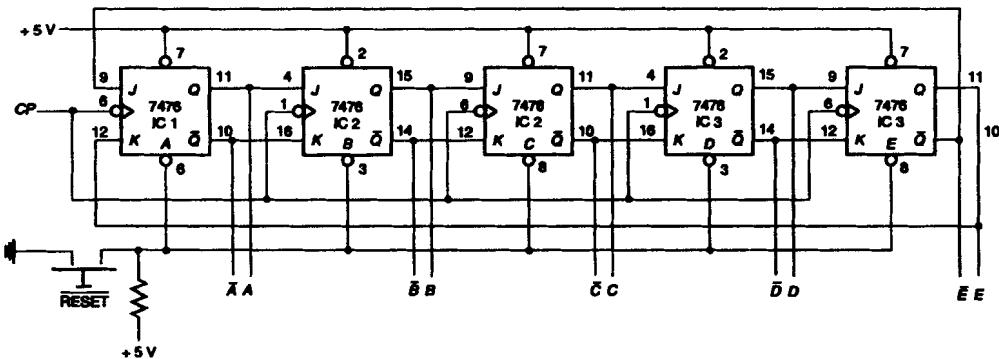
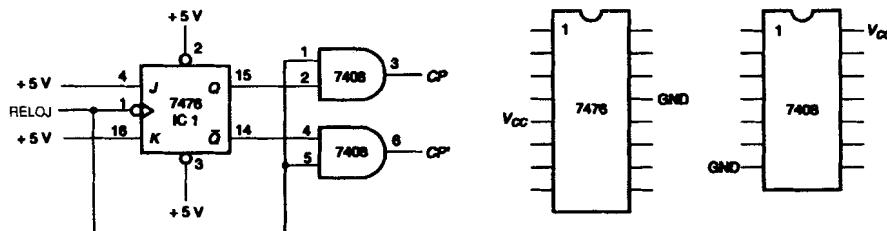
1. Conecte la salida Q a la entrada D 2. $J = 1, K = 1$ 3. $Q = 0, Q = 1$

RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 8.3, 8.4 Y 8.5

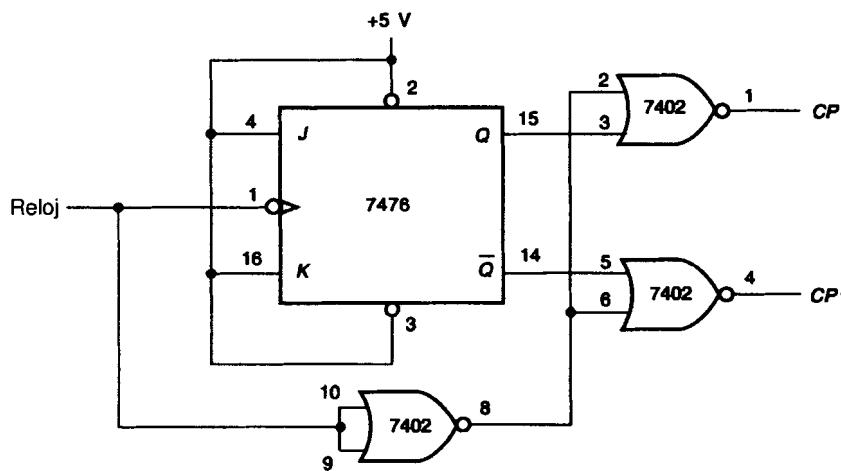
1. RELOJ 0 1 2 3 0 1 2 3 0 1 2 3 0 1 2 3 0
 CP 0 1 2 3 0 1 2 3 0 1 2 3 0 1 2 3 0
 CP' 0' 1' 2' 3' 0' 1' 2' 3' 0' 1' 2' 3' 0' 1' 2' 3' 0'
 A [Diagrama de onda]
 \bar{A} [Diagrama de onda]
 B [Diagrama de onda]
 \bar{B} [Diagrama de onda]
2. [Diagrama de onda]

RESPUESTAS PARA LOS PROBLEMAS IMPARES

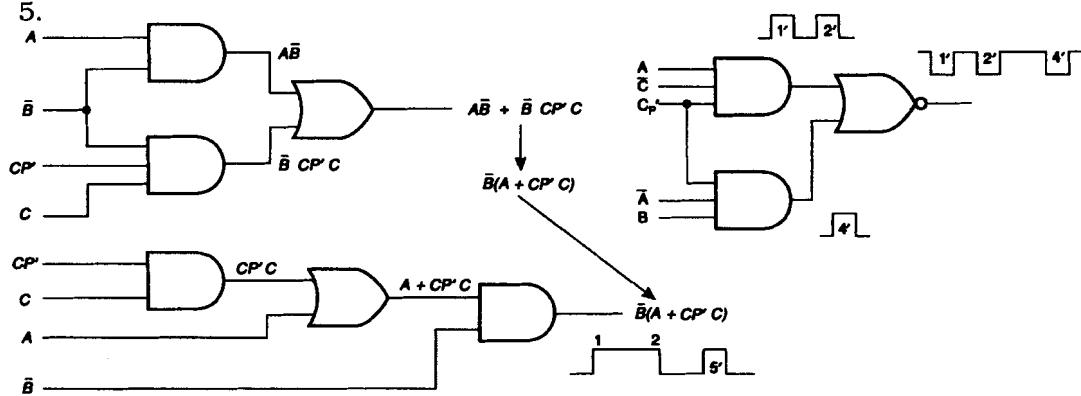
1.



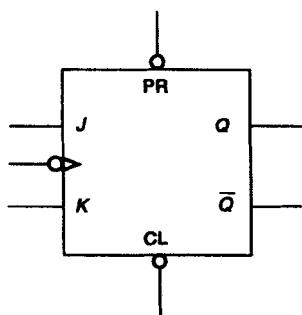
3.



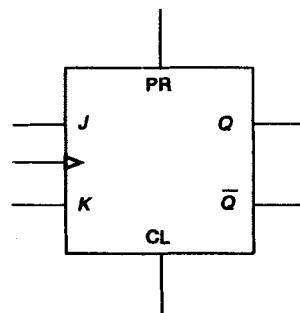
5.



7.

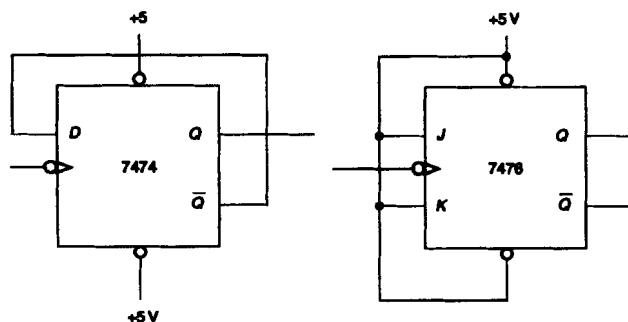


9.

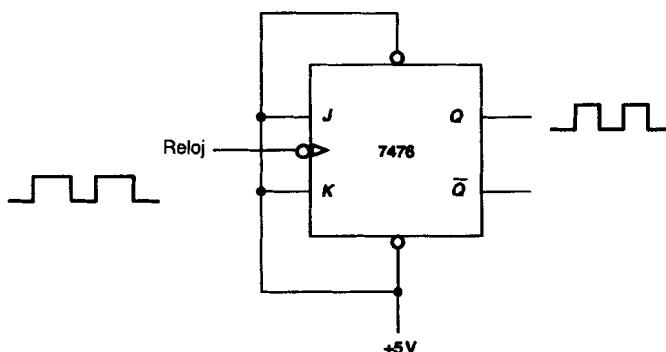


654 Respuestas

11.

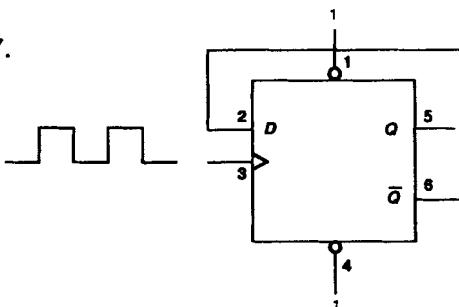


13.

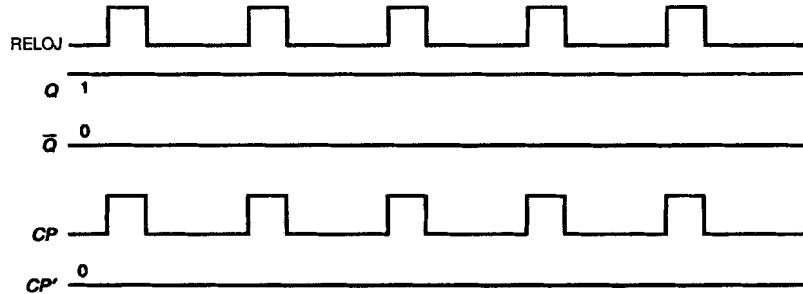


15. La misma frecuencia que CP.

17.



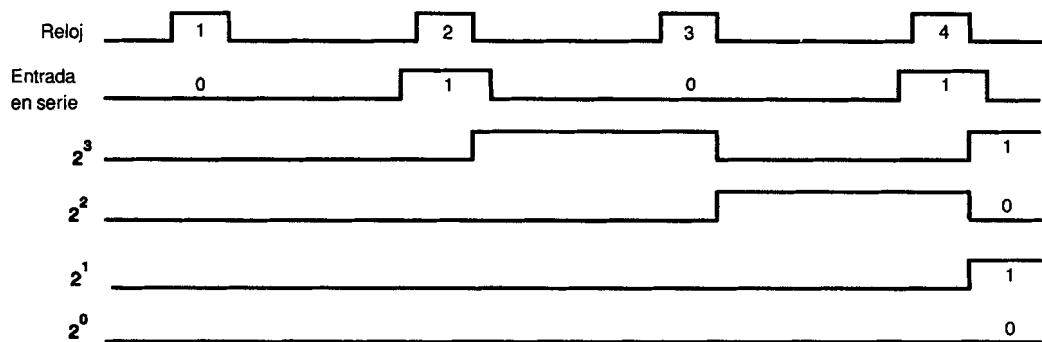
19.



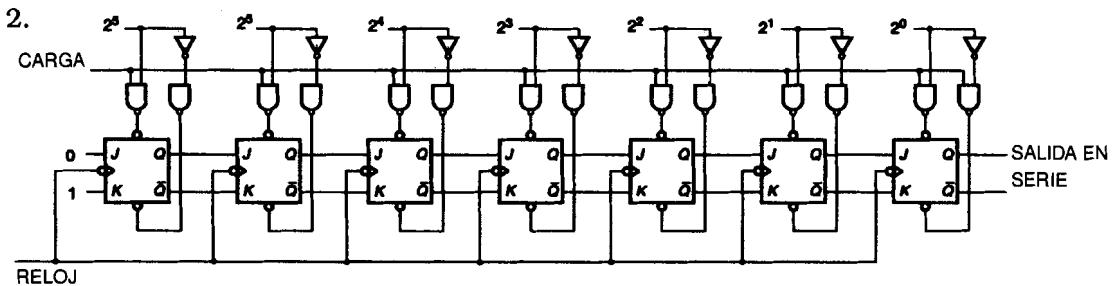
CAPÍTULO 9

RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 9.1, 9.2, 9.3 Y 9.4

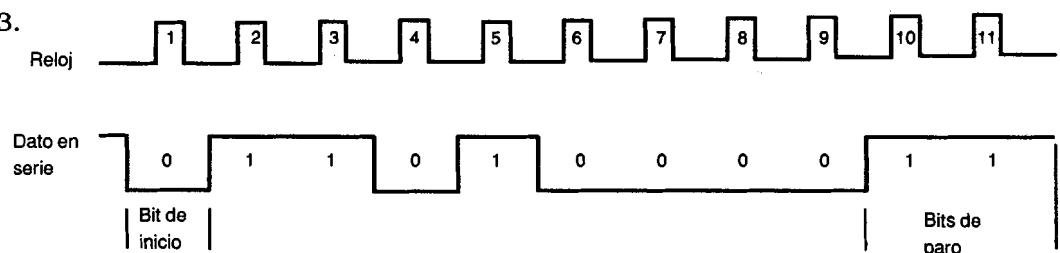
1.



2.



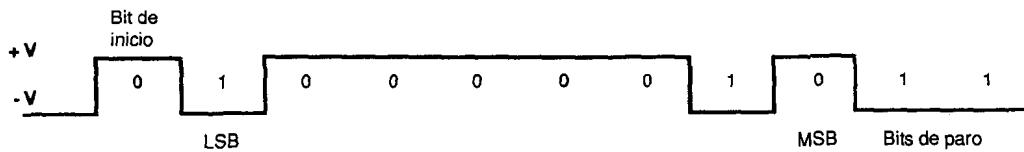
3.



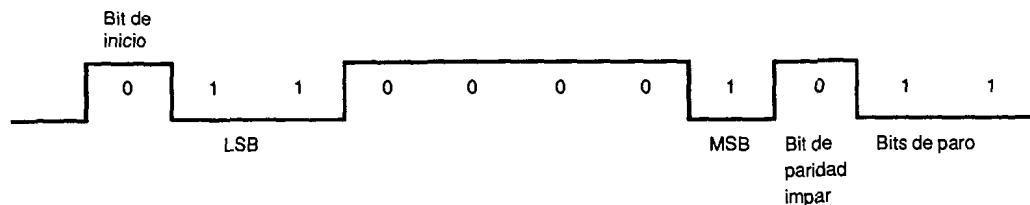
RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 9.5, 9.6 Y 9.7

1. Norma recomendada

2.

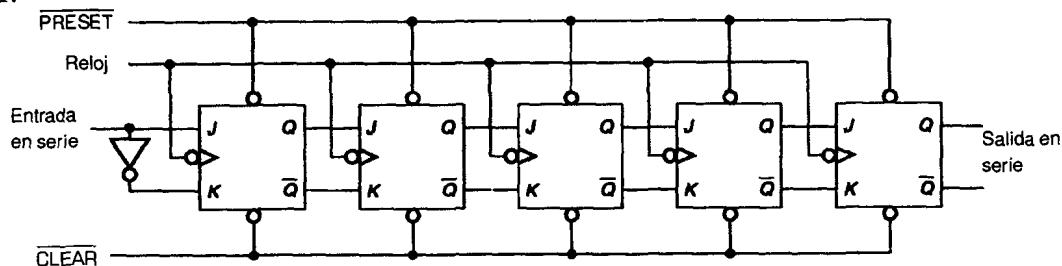


3.

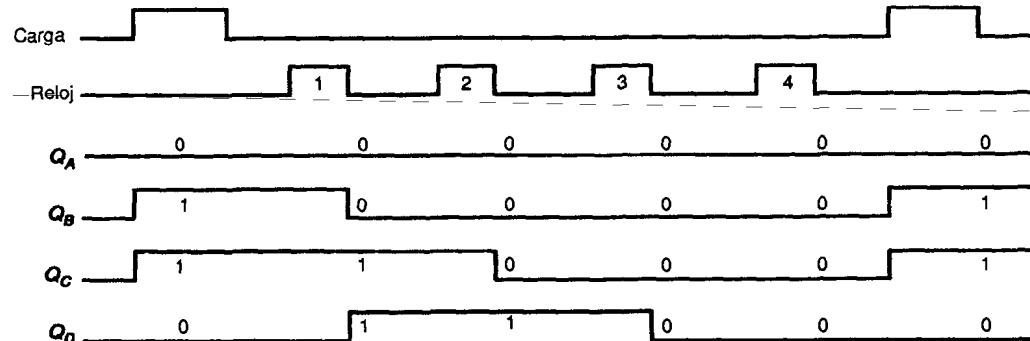


RESPUESTAS PARA LOS PROBLEMAS IMPARES

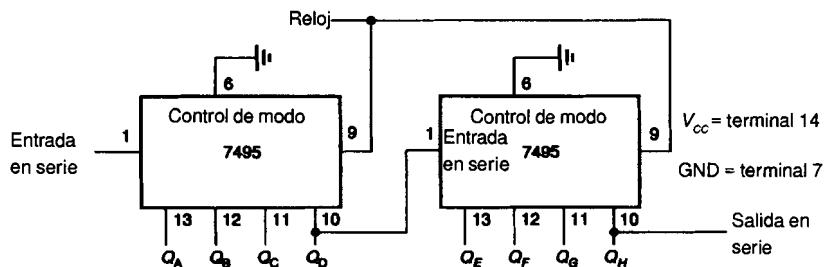
1.



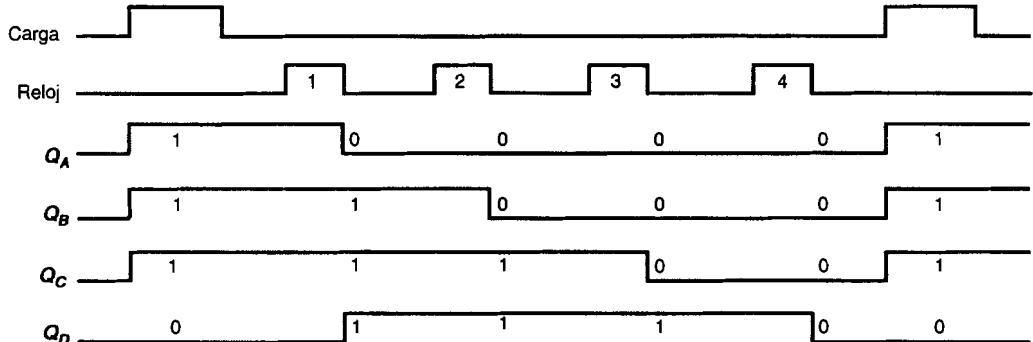
3.



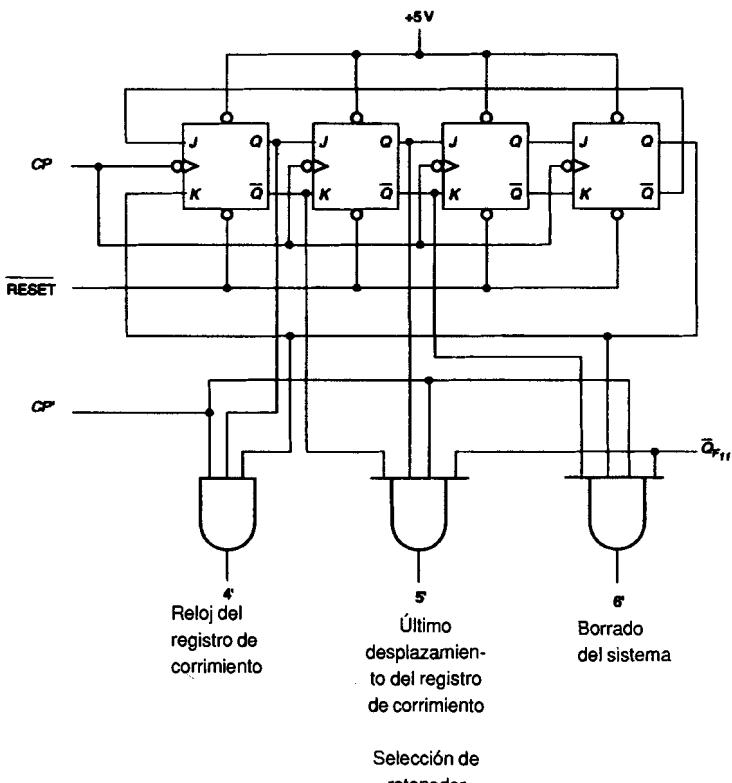
5.



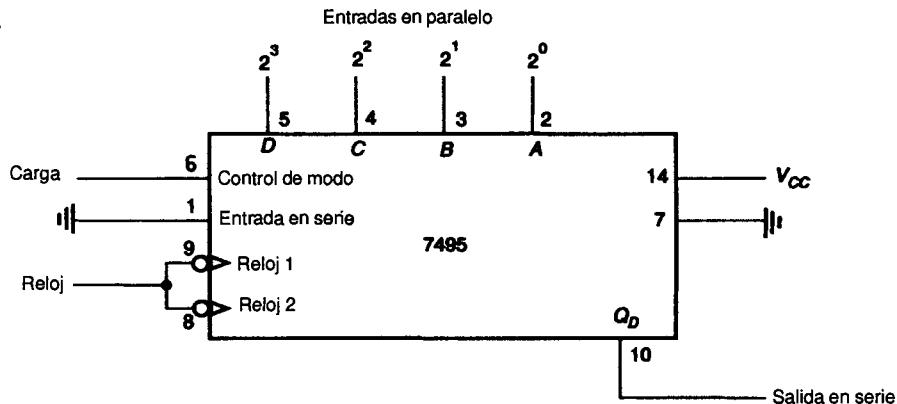
7.



9.



11.

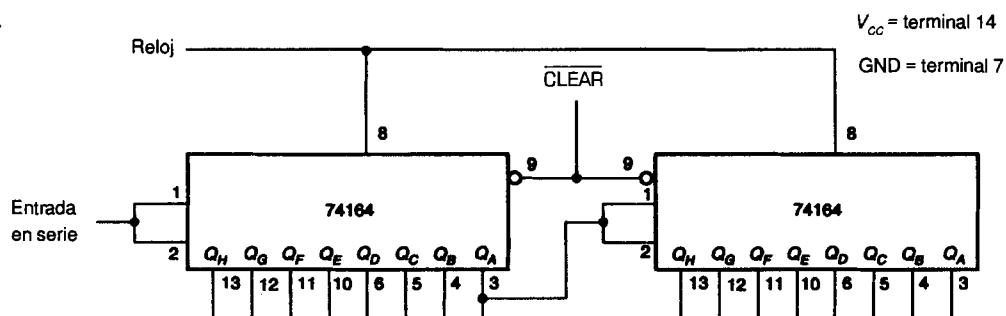


13.

E	L	E	C	T	R	O	N	I	C	A
45	4C	45	43	54	52	4F	4E	49	43	41

D	I	G	I	T	A	L
44	49	47	49	54	41	4C

15.



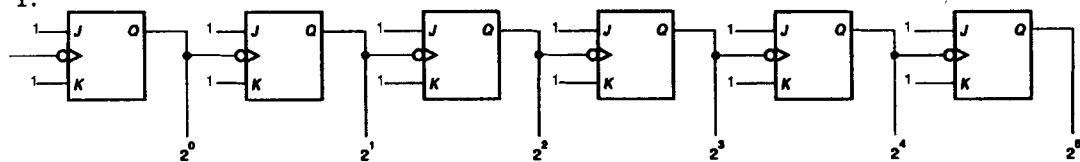
17. 128 o 2^7

19. ¡NO!

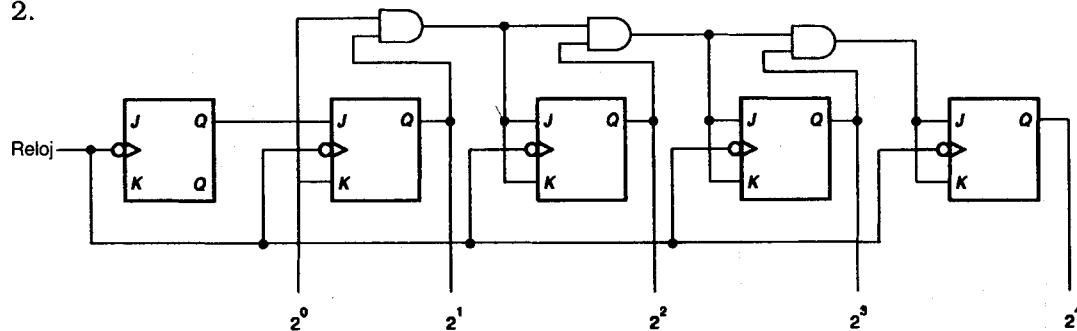
CAPÍTULO 10

RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 10.1, 10.2 y 10.3

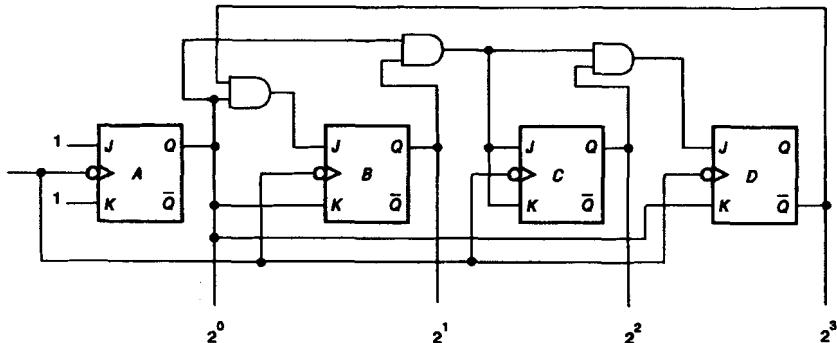
1.



2.



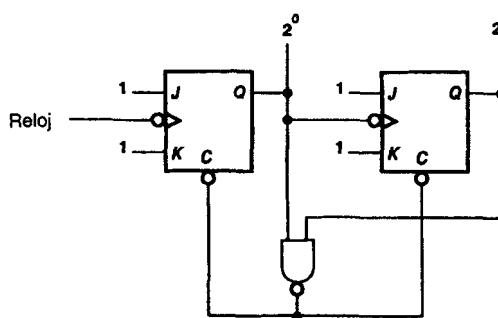
3.



Q antes del reloj				Q después del reloj				D	C	B	A		
D	C	B	A	D	C	B	A	J	K	J	K	J	K
0	0	0	0	0	0	0	1	0	X	0	X	0	X
0	0	0	1	0	0	1	0	0	X	0	X	1	X
0	0	1	0	0	0	1	1	0	X	0	X	0	1
0	0	1	1	0	1	0	0	0	X	1	X	1	X
0	1	0	0	0	1	0	1	0	X	X	0	0	X
0	1	0	1	0	1	1	0	0	0	X	0	1	X
0	1	1	0	0	1	1	1	0	X	X	0	X	0
0	1	1	1	1	0	0	0	0	1	X	1	X	1
1	0	0	0	1	0	0	1	X	0	0	X	0	X
1	0	0	1	0	0	0	0	X	1	0	X	1	X

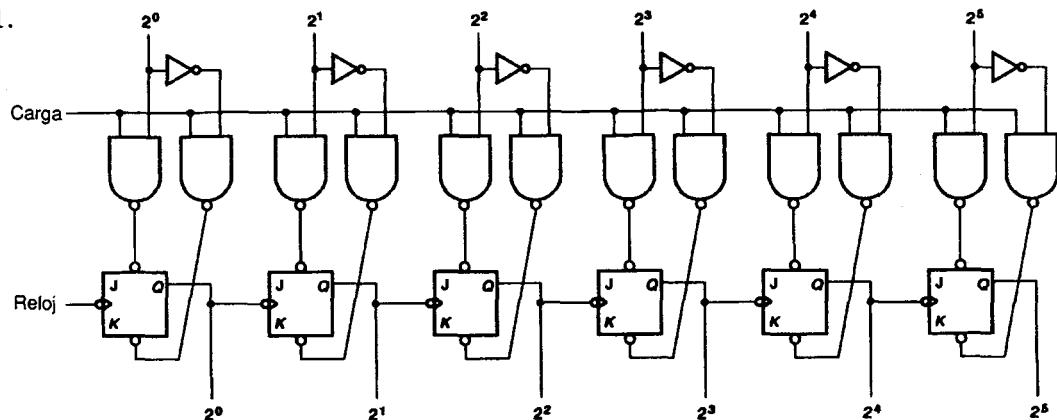
A	$J = 1$
	$K = 1$
B	$J = AD$
	$K = A$
C	$J = AB$
	$K = AB$
D	$J = ABC$
	$K = A$

4.

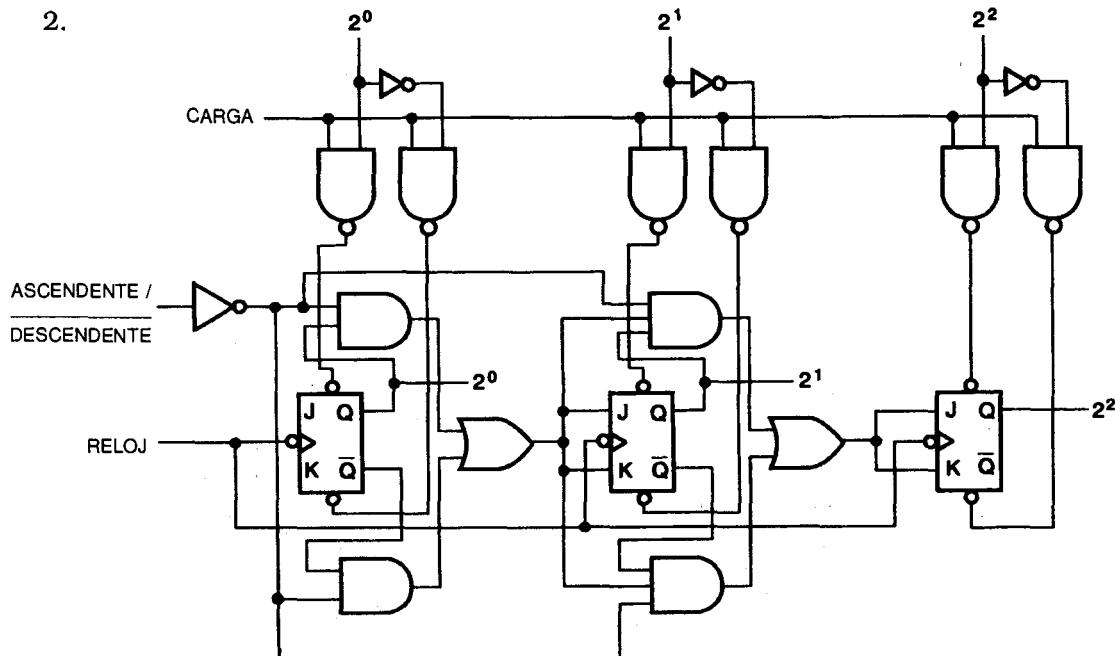


RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 10.4 Y 10.5

1.

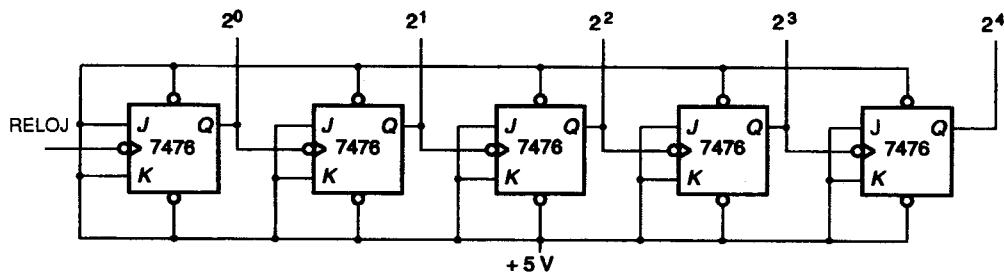


2.



RESPUESTAS PARA LOS PROBLEMAS IMPARES

1.



3.

Antes del reloj	Después del reloj	Antes del reloj
Q	Q	J K
0	0	0 X
0	1	1 X
1	0	X 1
1	1	X 0

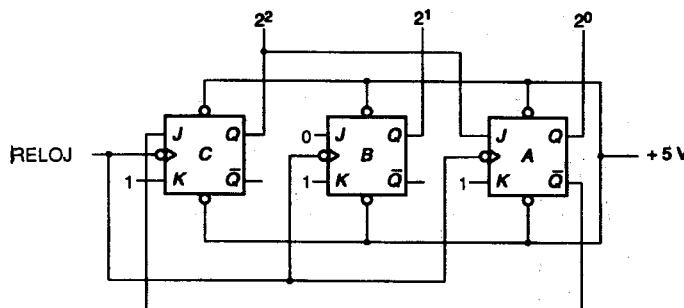
Antes del reloj			Después del reloj			Antes del reloj					J _C	K _C	J _B	K _B	J _A	K _A
Q			Q			C	B	A	J _C	K _C	J _B	K _B	J _A	K _A		
0	0	0	1	0	0	1	X	0	X	0	X	0	X	1	X	
1	0	0	0	0	1	X	1	0	X	1	X	1	X	0	X	
0	0	1	0	0	0	0	0	X	0	X	X	X	1	1	1	

Flip-flop JK de flanko negativo

$$X = 1 \text{ o } 0$$

$$J_C = \bar{A} \quad J_B = 0 \quad J_A = C$$

$$K_C = 1 \quad K_B = 1 \quad K_A = 1$$



Cuenta del reloj			Salidas		
	2^2	2^1	2^0		
0	0	0	0	Ciclo 1	
0	0	1	1		
0	1	0	0		
0	1	1	0	Ciclo 2	
1	0	0	1		
1	0	1	0		
1	1	0	0		

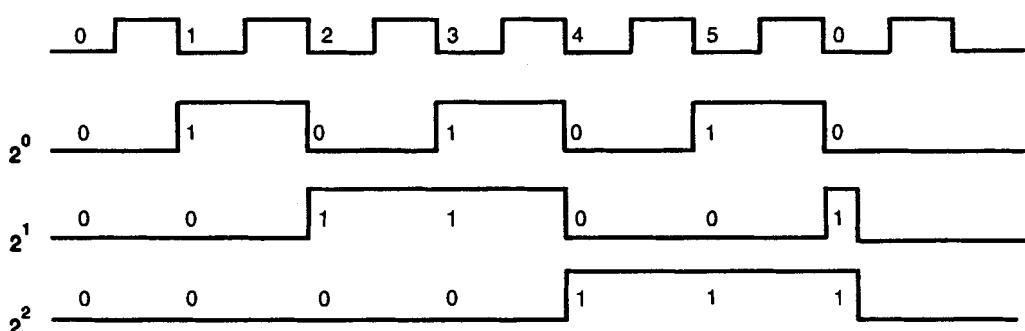
Nota: Puede eliminarse
el flip-flop B

5.

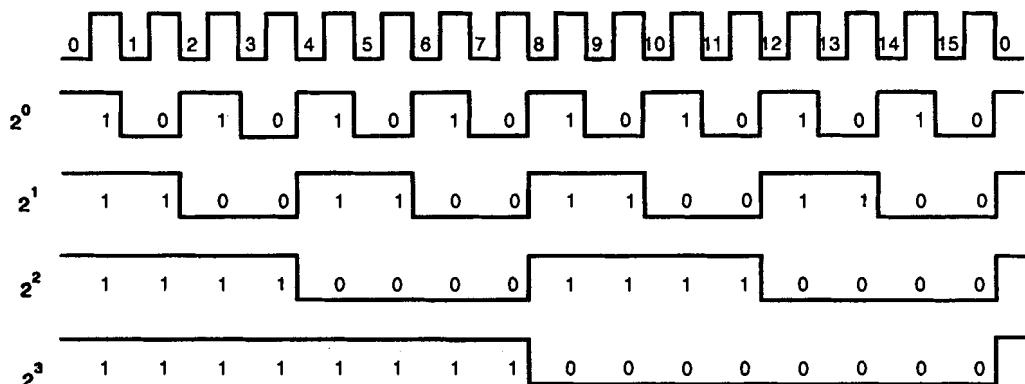
CMOS	TTL
74C74	7474
74C174	74174
74C175	74175
74C374	74374
4013	
4027	
4042	
40174	
4723	

7. La respuesta es la misma que la del problema 3.

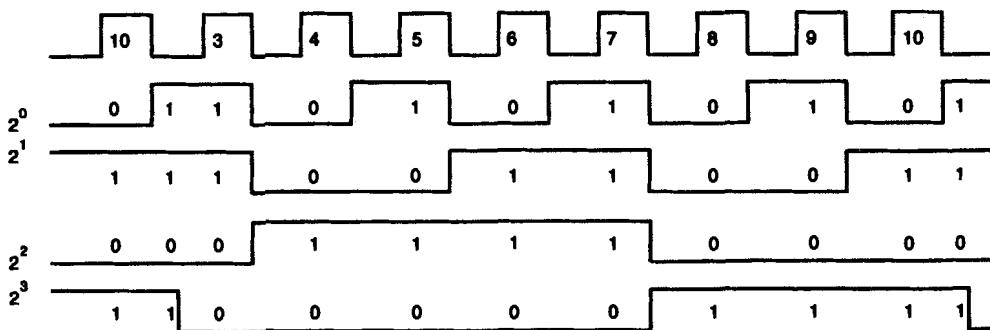
9.



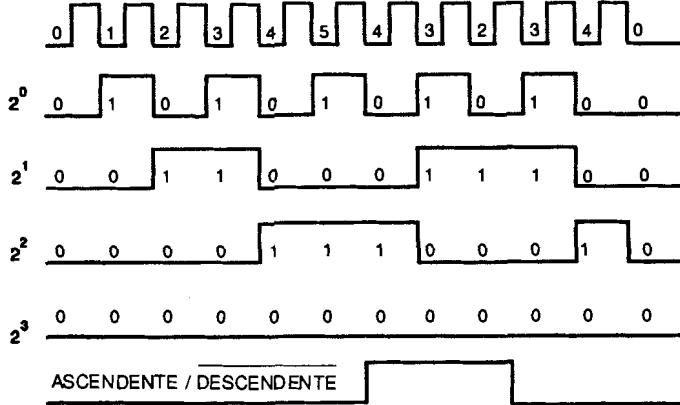
11.



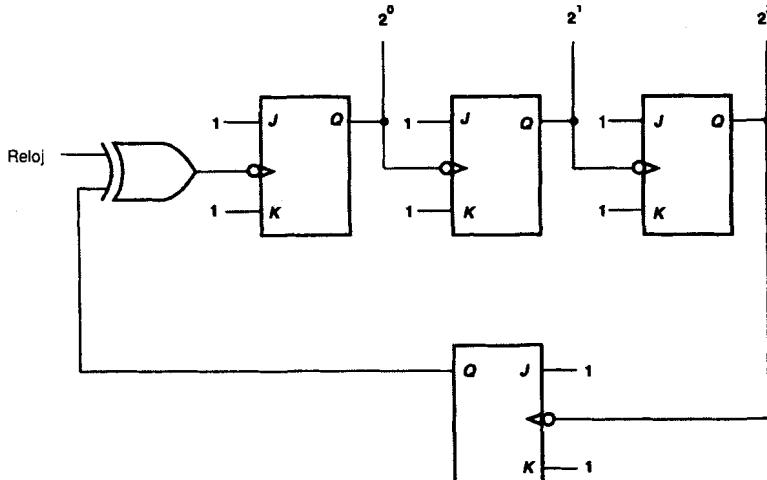
13.



15.



17.

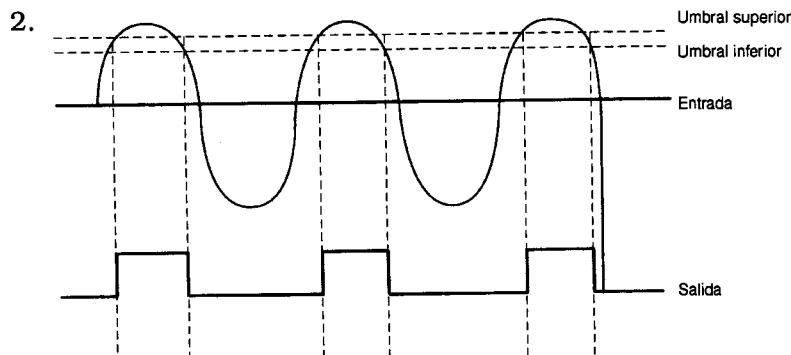


19. La velocidad del contador está limitada por los retrasos de propagación de todos los flip-flops. El decodificador producirá una espiga pequeña en algunas salidas.

CAPÍTULO 11

RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 11.1, 11.2, 11.3 Y 11.4

1. 4.527 KHz

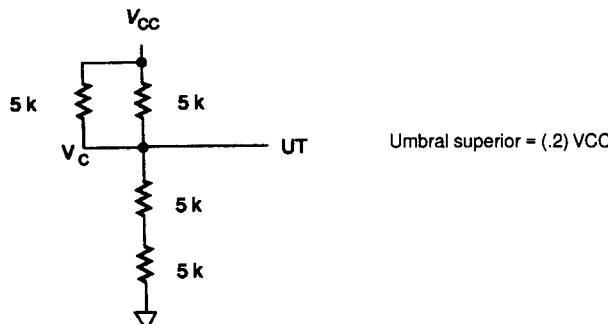


3. 1 volt

RESPUESTAS PARA LA AUTOEVALUACIÓN DE LA SECCIÓN 11.5

1. .32 UF

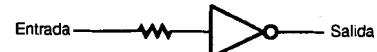
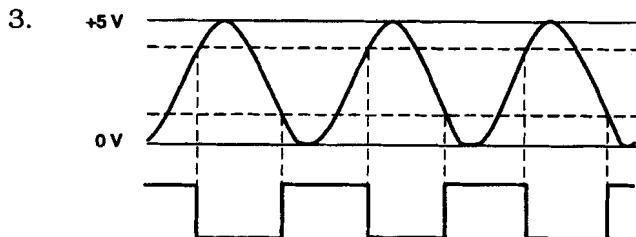
2.



RESPUESTAS PARA LOS PROBLEMAS IMPARES

1.

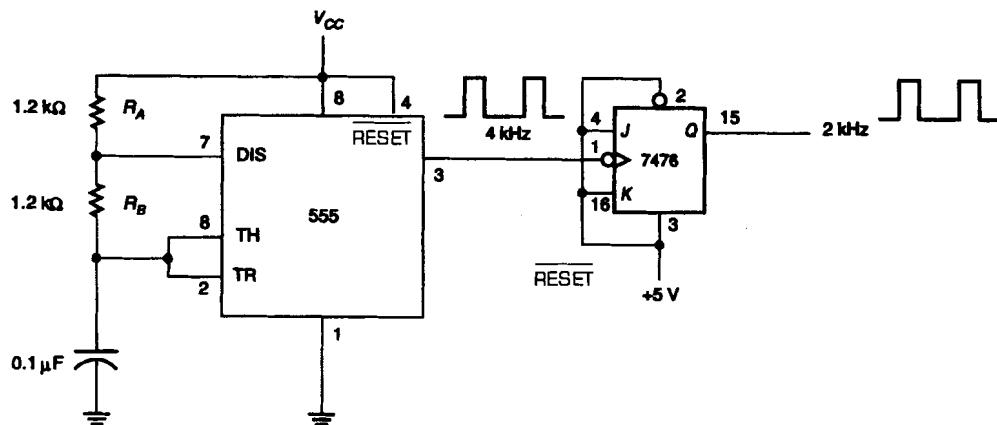
	Mín.	Típ.	Máx.
Umbral superior	6.0 V	6.8 V	8.6 V
Umbral inferior	1.4 V	3.2 V	4.0 V



5. $F = \frac{0.663}{RC}$

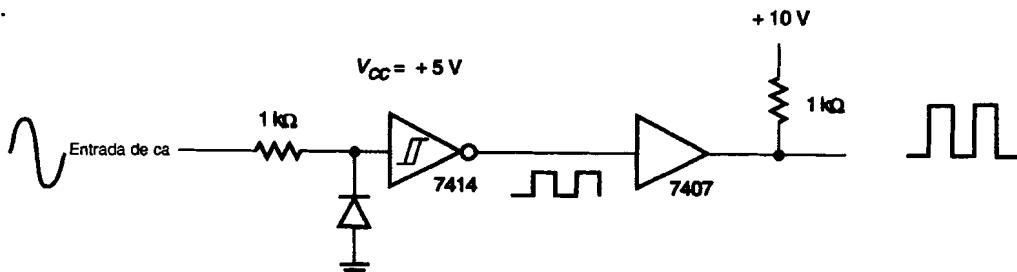
7. Cuando el capacitor se carga, lo hace a través del resistor y la entrada al disparador de Schmitt inversor. Cuando el capacitor se descarga, lo hace únicamente a través del resistor, por lo que el tiempo de descarga es mayor.

9.



11. $F = \frac{3.45}{C(2R_B + R_A)}$

13.



15. $F = \frac{0.529}{RC}$

17. Si el resistor externo es muy grande, el voltaje de retroalimentación para el disparador de Schmitt no caerá lo suficiente para cruzar el umbral inferior.
19. $U_{INF} = 0.8 \text{ V}$ $U_{SUP} = 1.8 \text{ V}$

CAPÍTULO 12

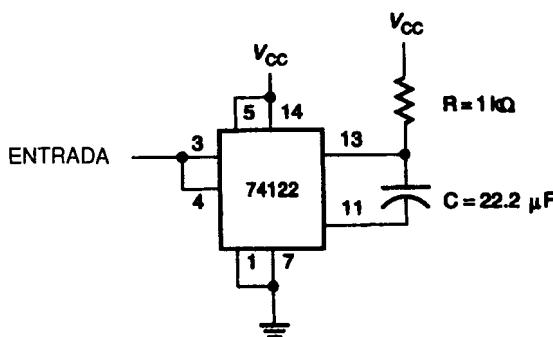
RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 12.1, 12.2, 12.3 y 12.4

- .079 μF
- Monoestable que comienza un nuevo ciclo de activación cada vez que se presenta un disparo.

RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 12.5 y 12.6

1. $R = 100 \text{ k}\Omega$ $C = 9.1 \mu\text{F}$

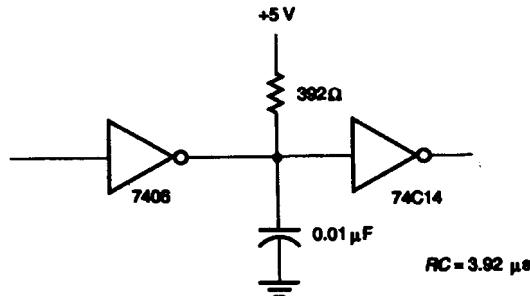
2.



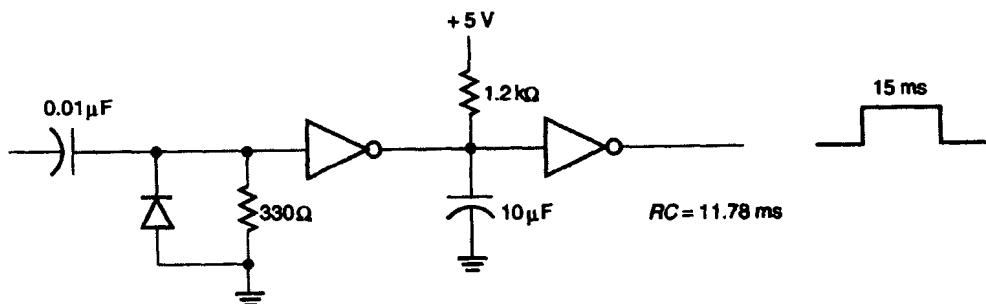
RESPUESTAS PARA LOS PROBLEMAS IMPARES

1. 34.184 ms 3. 78.74 kHz

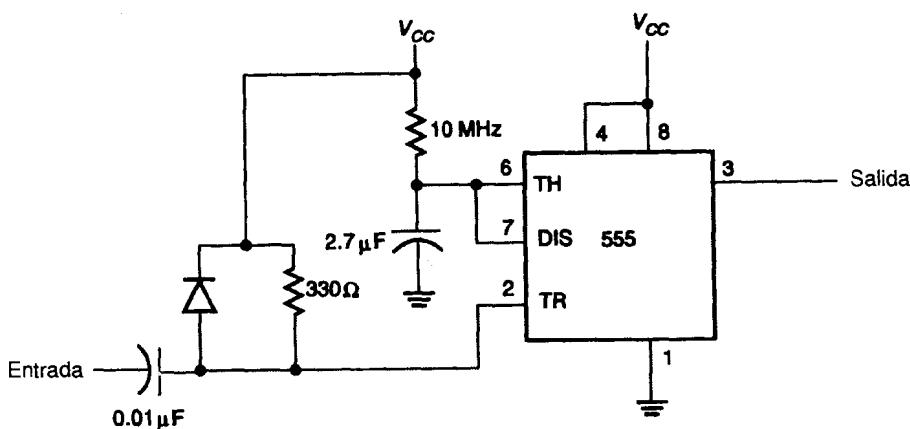
5.



7.



9.



11. $22.2\ \text{kHz}$

13. 74C221, 4528, 4521, 4047

15. $R = 1\ \text{k}\Omega$ $C = 1.1\ \mu\text{F}$

17. $2.88\ \text{mseg}$

19. $5714\ \Omega$

CAPÍTULO 13

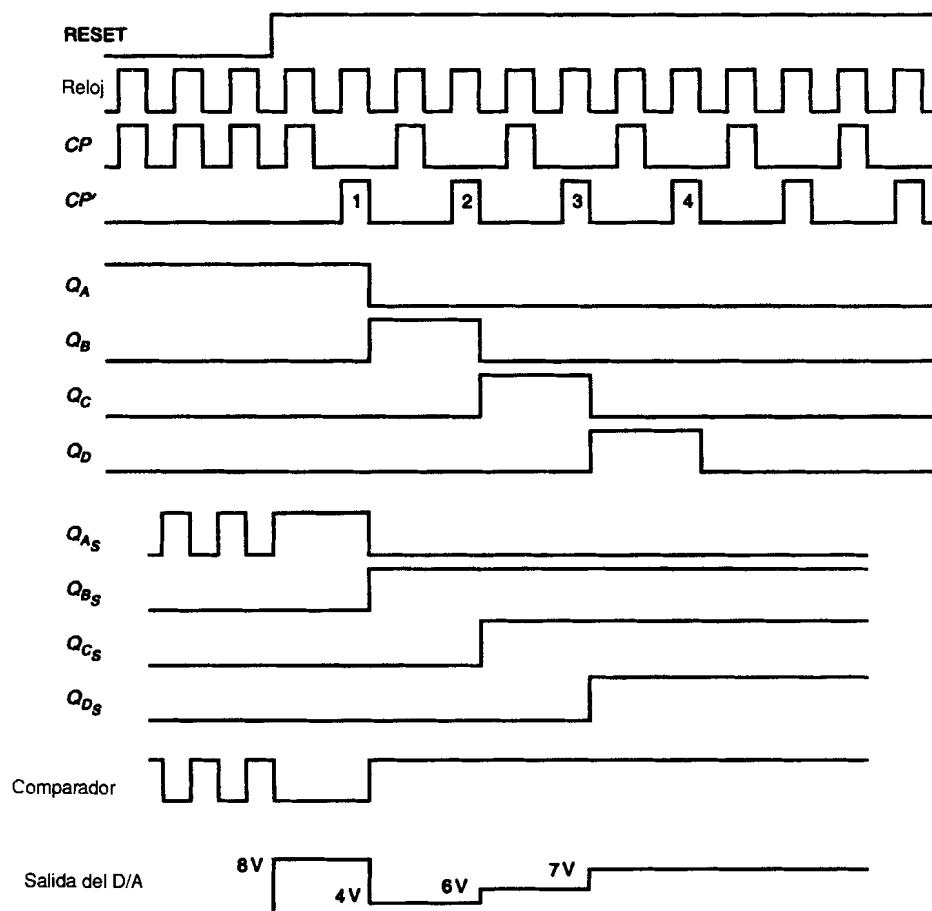
RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 13.1 Y 13.2

1. Los números binarios grandes no son prácticos. Tampoco es fácil conseguir resistores con los valores exactos.
2. .1875 volts
3. a) En una escalera $2R$ el voltaje no alcanza el valor exacto de tierra.
b) Los resistores de acoplamiento contribuyen al error.

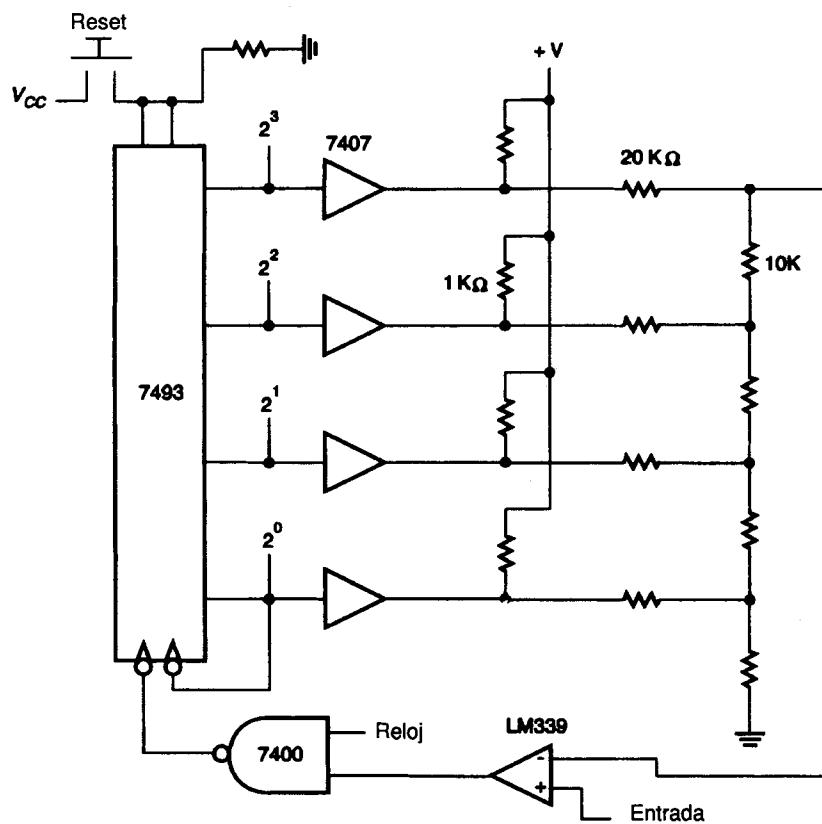
**RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 13.3, 13.4 Y
13.5**

1. Aproximaciones sucesivas.

2.

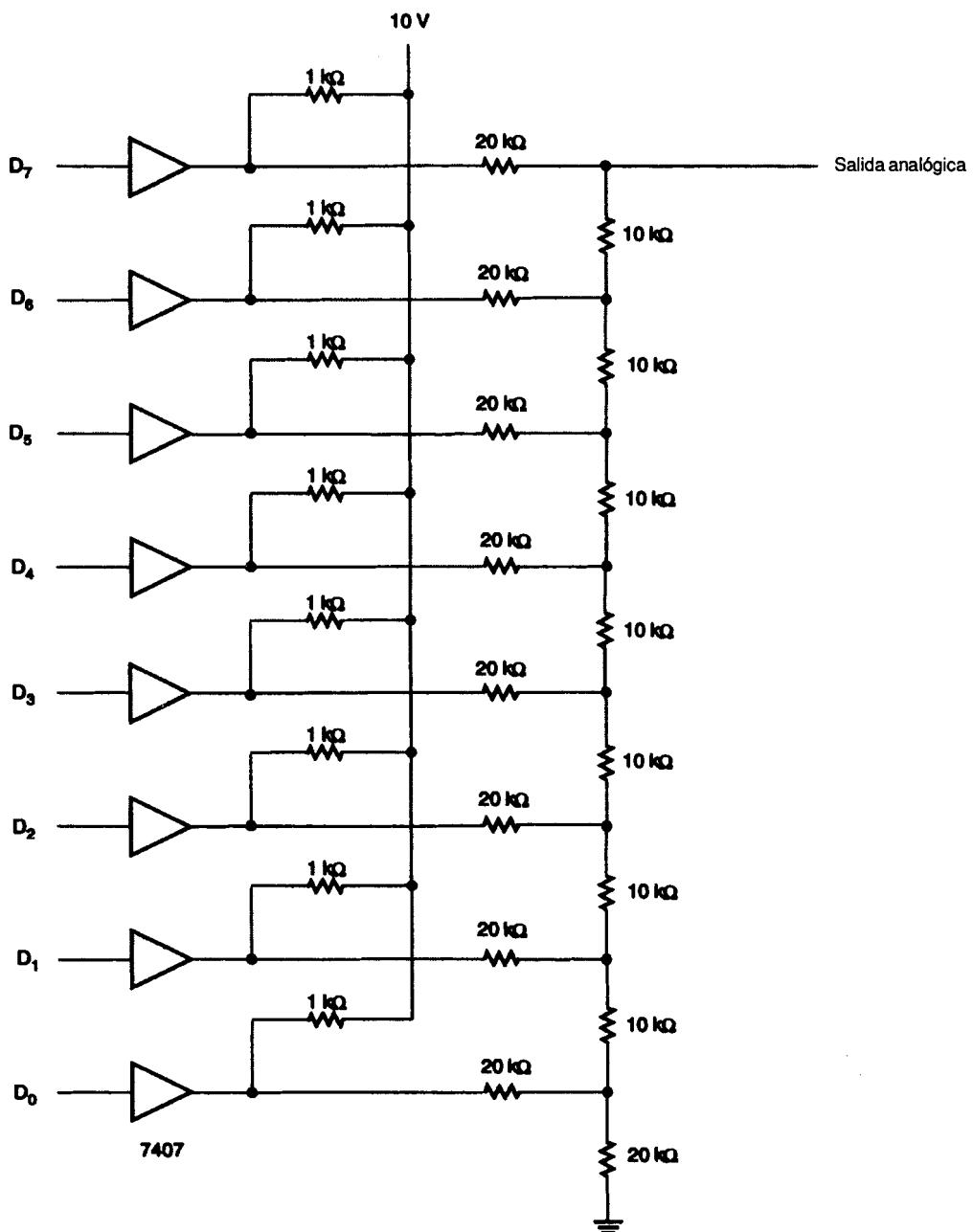


3.



RESPUESTAS PARA LOS PROBLEMAS IMPARES

1.



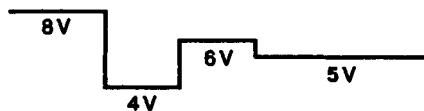
672 Respuestas

3. Si $V_s = 5V$, el incremento de voltaje es de 0.3125 V.

Si $V_s = 10V$, el incremento de voltaje es de 0.625 V.

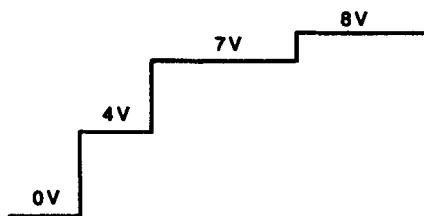
Si $V_s = 32V$, el incremento de voltaje es de 2.0 V.

5.



7. El propósito del amplificador operacional es impedir que la carga que se conecta al convertidor 2R D/A distorsione su salida.

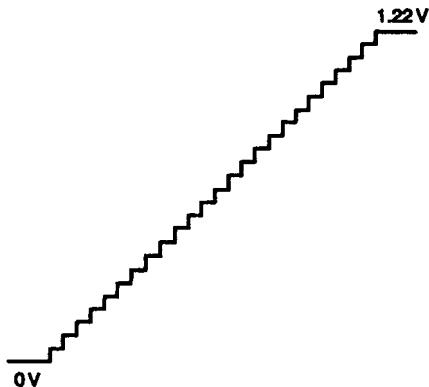
9.



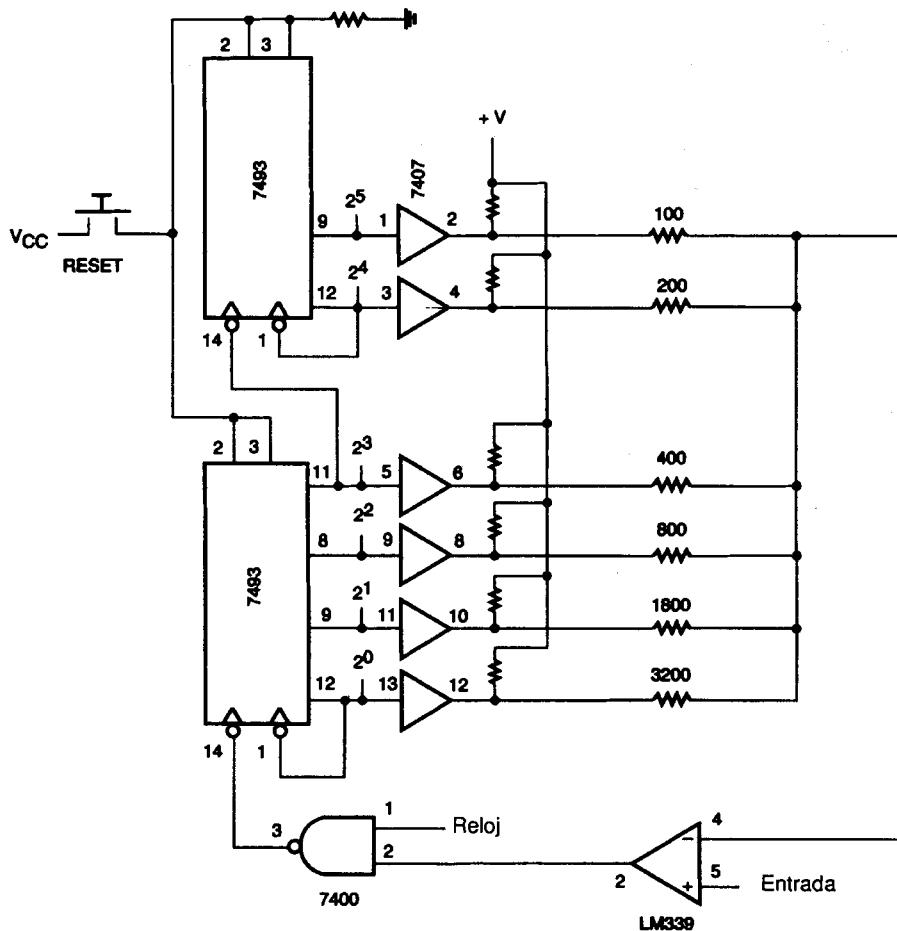
11. 500Ω

13. $V_s = 22.5 V$

15.



17.

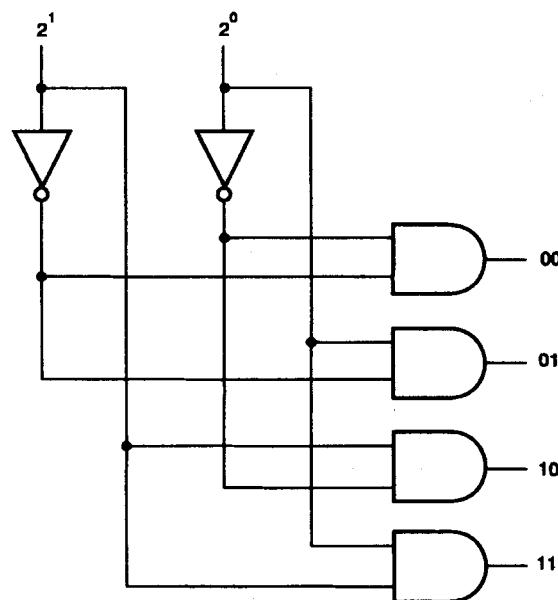


19. .059 V

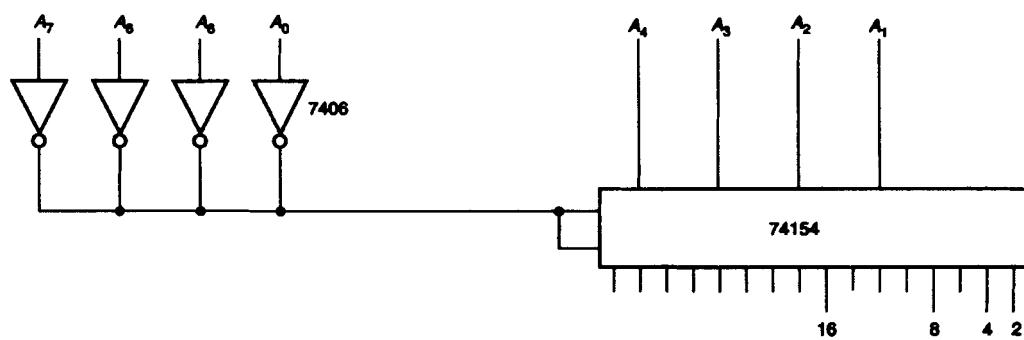
CAPÍTULO 14

**RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 14.1, 14.2,
14.3, 14.4, 14.5 Y 14.6**

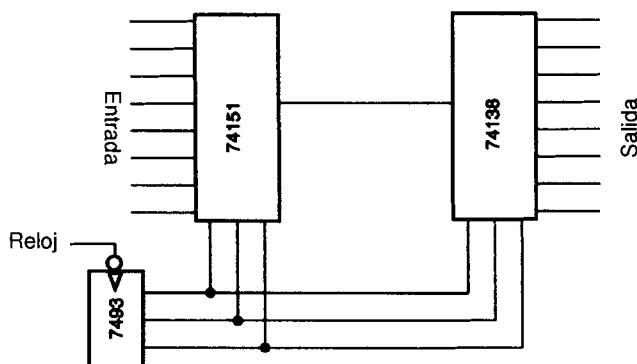
1.



2.

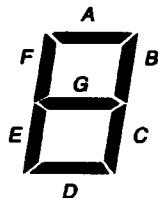


3. 3.



RESPUESTAS PARA LA AUTO-EVALUACIÓN DE LAS SECCIONES 14.7, 14.8 Y 14.9

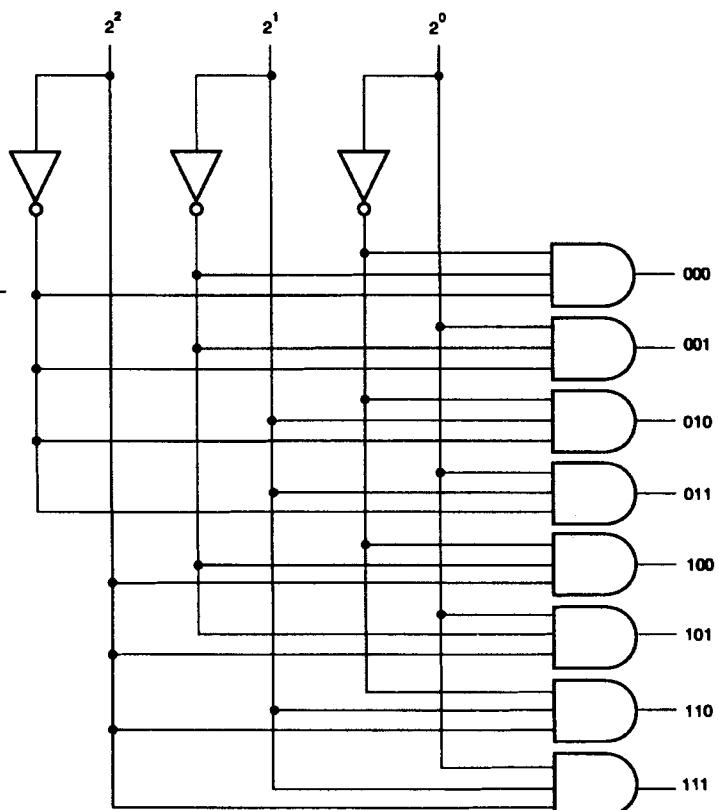
1.



2. Porque la corriente de excitación no es suficiente.
3. 1.75 V

RESPUESTAS PARA LOS PROBLEMAS IMPARES

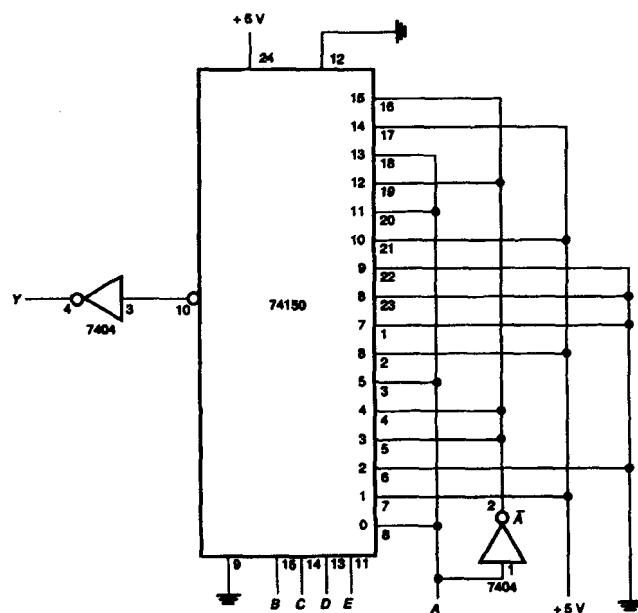
1.



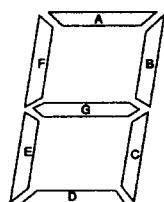
3.

	E	D	C	B	A	Y	ENTRADA	VALOR
0	0	0	0	0	0	0	0	A
1	0	0	0	0	1	1		
2	0	0	0	1	0	1	1	
3	0	0	0	1	1	1		
4	0	0	1	0	0	0	2	0
5	0	0	1	0	1	0		
6	0	0	1	1	0	1	3	\bar{A}
7	0	0	1	1	1	0		
8	0	1	0	0	0	1	4	\bar{A}
9	0	1	0	0	1	0		
10	0	1	0	1	0	0	5	A
11	0	1	0	1	1	1		
12	0	1	1	0	0	1	6	1
13	0	1	1	0	1	1		
14	0	1	1	1	0	0	7	0
15	0	1	1	1	1	0		

	E	D	C	B	A	Y	ENTRADA	VALOR
16	1	0	0	0	0	0	8	0
17	1	0	0	0	1	0		
18	1	0	0	1	0	0	9	0
19	1	0	0	1	1	0		
20	1	0	1	0	0	1	10	1
21	1	0	1	0	1	1		
22	1	0	1	1	0	0	11	A
23	1	0	1	1	1	1		
24	1	1	0	0	0	1	12	\bar{A}
25	1	1	0	0	1	0		
26	1	1	0	1	0	0	13	A
27	1	1	0	1	1	1		
28	1	1	1	0	0	1	14	1
29	1	1	1	0	1	1		
30	1	1	1	1	0	1	15	\bar{A}
31	1	1	1	1	1	0		

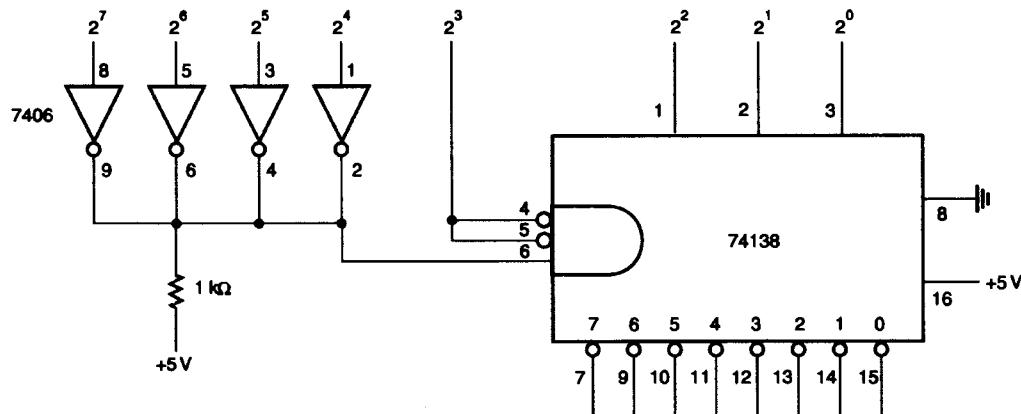


5.

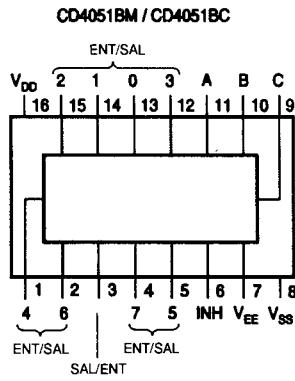


7. LCD dinámico y LCD de efecto de campo
9. LED

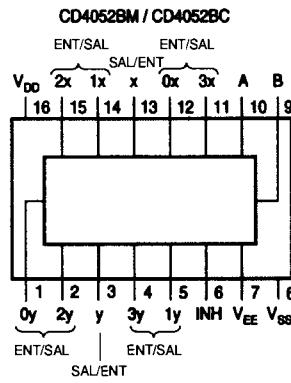
11.



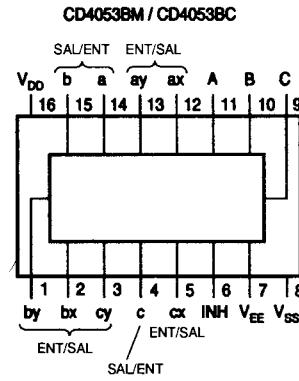
13.



VISTA SUPERIOR



VISTA SUPERIOR



VISTA SUPERIOR

15. El 74C945 es un contador de 4 dígitos para excitación directa de visualizadores de LCD. Contiene un contador ascendente/descendente de cuatro décadas, retenedores de salida, contador/retenedor, multiplexor para seleccionar y decodificadores de siete segmentos, un oscilador/excitador para el plano trasero, excitadores de segmento, y circuitería para poner en blanco al visualizador.
17. 74151, 74S153, 74ALS157, 74ALS158
19. Vidrio que sólo deja pasar luz de una sola polarización.

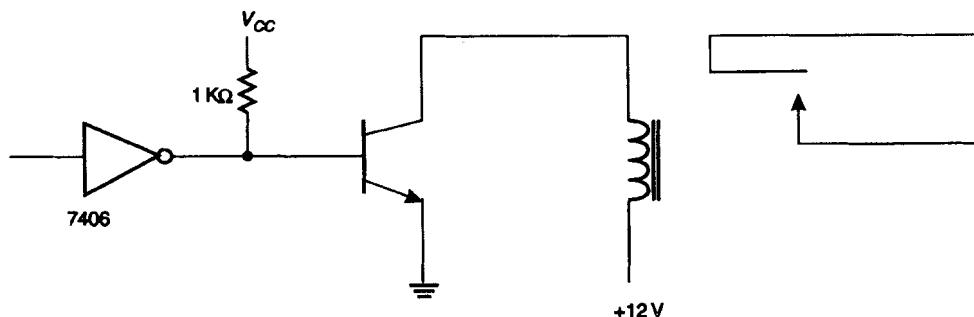
CAPÍTULO 15

RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 15.1, 15.2 Y 15.3

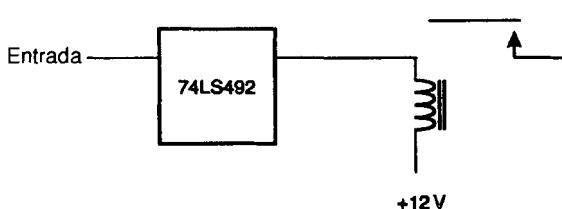
1. La de colector abierto y las de tres estados.
2. De las terminales 2 a 18.
3. Permitir que muchos dispositivos usen un bus de señal.

RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 15.4 Y 15.5

1.



2.



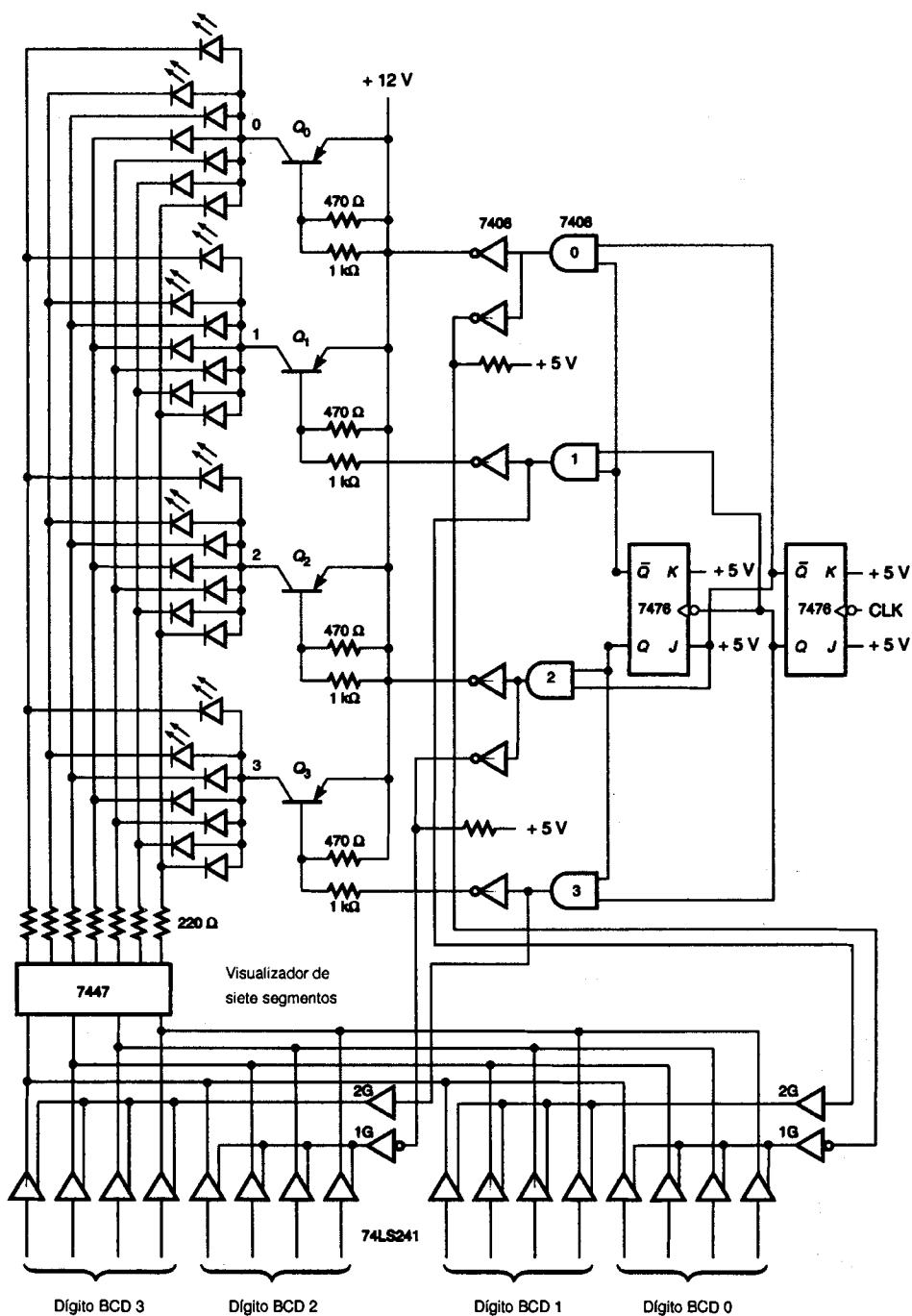
3. Muy buen aislamiento eléctrico y corriente alta. Baja velocidad.

RESPUESTAS A LOS PROBLEMAS IMPARES

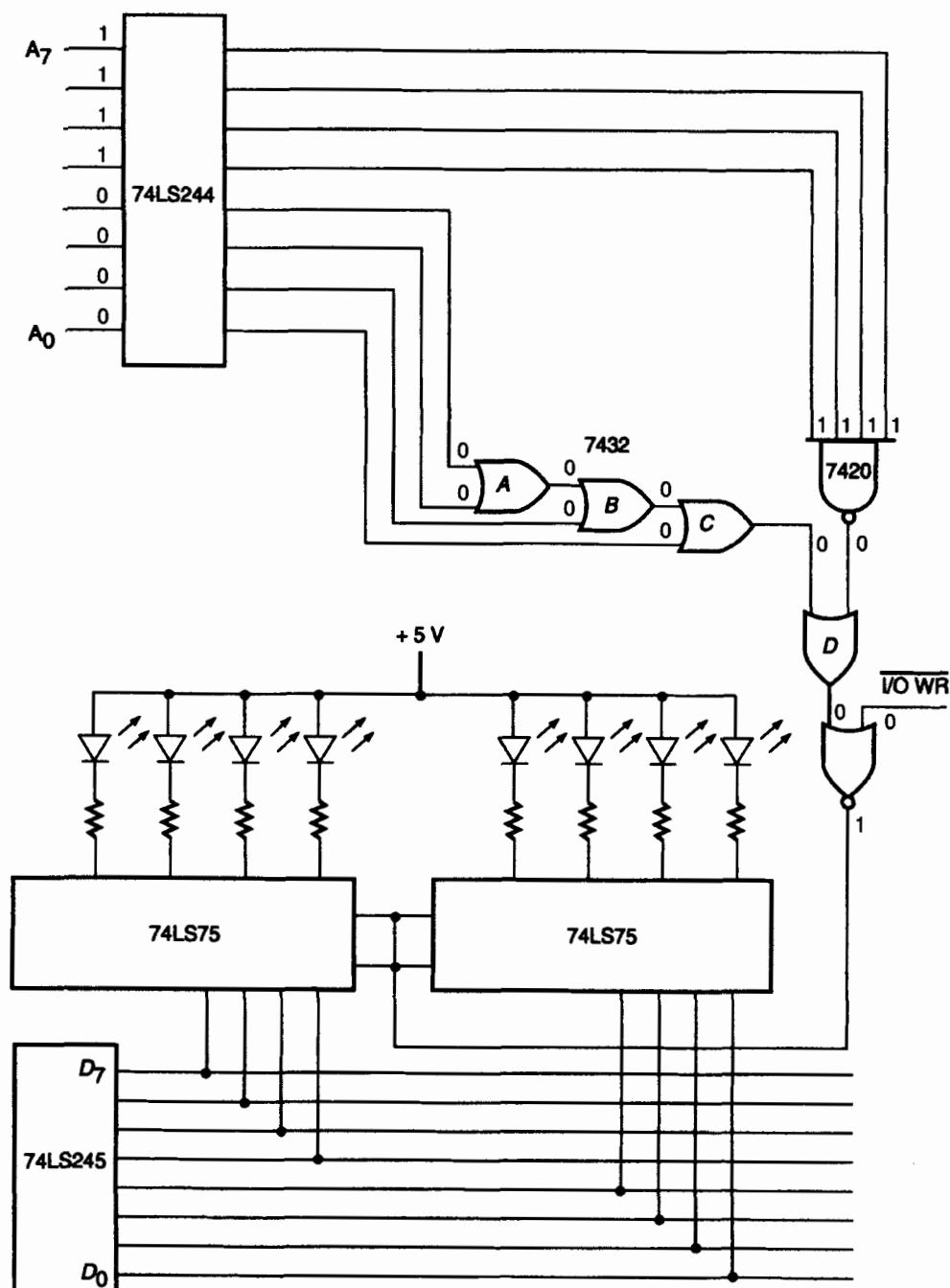
1.

70C95/80C95 70C96/80C96 70C97/80C97 70C98/80C98	Compuerta de aislamiento séxtuple de tres estados
4503	Compuerta de aislamiento séxtuple no inversora de tres estados
54C240/74C240 54C244/74C244 54C941/74C941	Compuerta de aislamiento óctuple de tres estados
4076	Flip-flop D cuádruple de tres estados
74C374	Flip-flop D óctuple con salidas de tres estados
74C373	Retenedor óctuple con salidas de tres estados
4043	Retenedor R/S NOR cuádruple de tres estados
4044	Retenedor R/S NAND cuádruple de tres estados
4048	Compuerta de 8 entradas, 8 funciones, ampliable de tres estados
4094	Registro de 8 bits de desplazamiento/almacenamiento de tres estados

3.

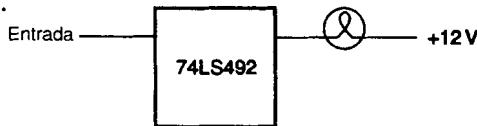


5.

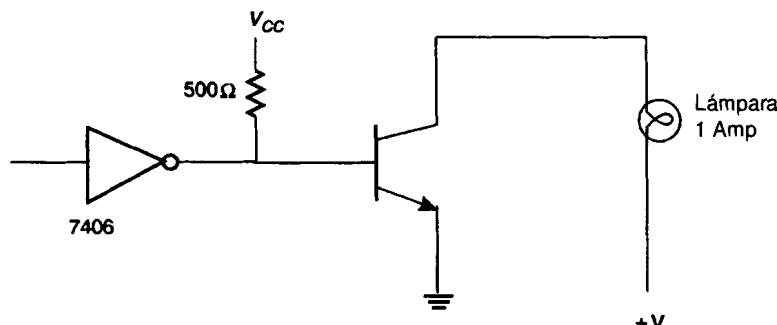


7. Para seleccionar los dispositivos que la CPU de la computadora desea utilizar.
 9. Para evitar una espiga grande de voltaje negativo.

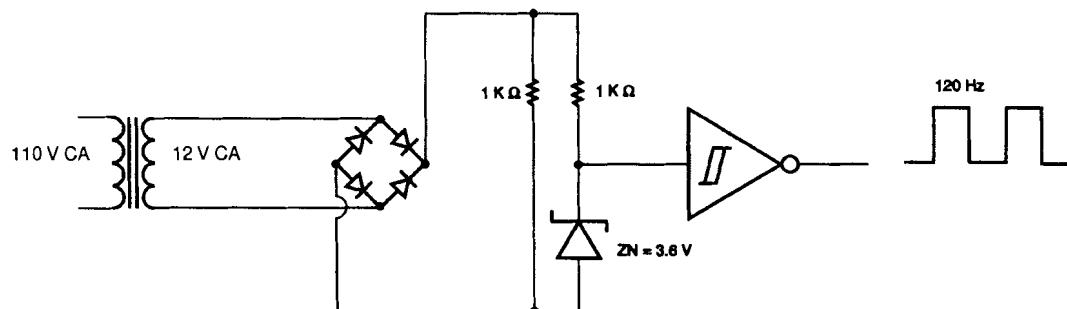
11.



13.



15.



17. 7

19. Código pequeño para las instrucciones de la CPU.

CAPÍTULO 16

RESPUESTAS PARA LA AUTOEVALUACIÓN DE LAS SECCIONES 16.1 A 16.10

1. CPU, memoria, E/S, programa
2. Memoria borrable de manera eléctrica únicamente de lectura
3. La memoria estática no necesita ser refrescada.
4. 4

RESPUESTAS PARA LOS PROBLEMAS IMPARES

1. 2MHz
3. La CPU Z-80 terminará la instrucción que está ejecutando y luego colocará el bus de direcciones, el bus de datos y las señales de control en el estado de alta impedancia.
5. 8000 H a 87FF H
7. Existen cuatro y pueden agregarse otros cuatro más.
9. Véase figura 16-14.
11. CPU, memoria, E/S, programa.
13. Memoria únicamente de lectura
15. No es necesario refrescar la RAM estática.
17. 7
19. Código corto para las instrucciones de la CPU.

Índice

Nota: Los números de página que aparecen en negritas hacen referencia a material que no es texto.

- 2114 (RAM), **567**
27128 (EPROM), **564**
2716 (EPROM), **563**
4072 (CI compuerta OR CMOS), 62
4082 (CI compuerta AND CMOS), 68-69
7400 (compuerta NAND de dos entradas), **73, 75**
7402 (compuerta NOR de dos entradas), **77**
7404 (Inversor), **57**
7406 (Inversor séxtuple), **271**
7408 (compuerta AND de dos entradas), **68-69**
7410 (compuerta NAND de tres entradas), **73**
7411 (compuerta AND de tres entradas), **69**
74121, 122, (Monoestable), **453**
74135 (OR/NOR exclusivo), **171**
74138, 139, 154 (Decodificador/demultiplexor), **502**
74150, 151 (Multiplexores), **503**
74180 (Generador de paridad), **190**
74181 (Unidad aritmética-lógica) 74181, 239-241
7427 (compuerta NOR de tres entradas), **77, 78**
7432 (Compuerta OR), **63-64**
7447, 7448 (Decodificador/excitador), **510**
7475 (Flip-flop D), **319**
7483 (Sumador de cuatro bits), 45-53
7486 (OR exclusivo), **165-166**
7490, 92, 93 (Contadores), **405**
7495 (Registro de corrimiento de cuatro bits), **363**
74ACT11521 (Comparador de identidad de ocho bits), **198**
74ALS273 (Retenedor de datos óctuple), **320**
74C30 (Compuerta NAND CMOS), 74
74C908 (Excitador), 538
74F51 (Compuerta AND-OR-INVERTER), 145
74F64 (Compuerta AND-OR-INVERTER), 144
74HC4020 (Contador de propagación de 14 bits), **405**
74LS109 (Flip-flop JK), **341**
74LS136 (Compuerta OR-ex de colector abierto), **269**
74LS164 (Registro de corrimiento), 179, 180, **364**
74LS174 (Flip-flop de datos séxtuple), **320**
74LS175 (Flip-flop de datos cuádruple), **320**
74LS190 (Contador), **403**
74LS191 (Contador), **404**
74LS240 (Excitador de bus), 262, 263, **531-532**
74LS73 (Flip-flop JK), **341**
74LS74 (Flip-flop D), **320**
74LS76 (Flip-flop JK), **341**
74LS78 (Flip-flop JK), **341**
74LS85 (Comparador de cuatro bits), **196**
74LS245 (Excitador de bus), **533**
74LS279 (Flip-flop NAND con conexión cruzada cuádruple), **320**
74S280 (Generador de paridad), **185**
75491 (Excitador de alta corriente), **539**
- A**
- Acarreo circular, 27-32
Acoplador TTL-ECL 10124, **287**
Aislamiento, compuertas de, 528-533
Aislamiento para voltaje y corriente grandes, 536-541, **537-541**
Álgebra booleana
desarrollo de tablas de verdad del, 123
preparación de laboratorio del, **158-159**
Análisis de formas de onda, 104-117
Aproximación sucesiva, 477-480, **477, 479**

B

- Bit, definición de, 5
 - de encuadre, 358
 - más significativo (MSB), 5
 - menos significativo (LSB), 5
- Bus, 534-536, **535**
- Byte, definición de, 358

C

- Cambio de estado, de un flip-flop, 330, 332
- Carga transversal, 354
- CI DAC0830, 481-482, **483-484**
- CI de las series 54AC/74AC, 54ACT/74ACT, 274-280
- CI de las series 54C/74C, 274-280
- Circuito integrado
 - identificación de terminales en el, 47
 - SSI, MSI, LSI, definición del, 48
- Circuito(s) lógico(s)
 - combinacional(es), 115-117
 - diseño del (los), 130-149
 - NOR puntual de colector abierto, 268, **269**
- Circuitos de
 - aislamiento 4049, 4050, **281**
 - integración de gran escala (LSI), 48
- Círculo de inversión, 56
- CMOS, repaso del transistor, 272, 602-603
 - (semiconductor metal-óxido complementario), 272-283
 - especificaciones del, 276-279, **276-279**
 - corriente de excitación con, **279**
 - dissipación de potencia con, **277**
 - intervalos del voltaje de alimentación con, **279**
 - retardo de propagación con, **277**
 - voltajes de entrada/salida con, **280**

interfaz con TTL del, 280-283, **280-282**

oscilador de cristal del, **432**
subfamilias del, 274-275

Codificador, 159
decimal a BCD, 159-160

Código ASCII, 370-373
tabla del, **371**

Colector abierto, salidas de, 268-271, **268-269**

aplicaciones en el, 271

Comparador, 194-199

- 7485, 195-198
- 74AC521, 198-199
- con el uso de compuertas OR exclusivo, 194-195
- de voltaje, LM339, 425-428, **426**

Comparador de magnitud, véase Comparador

Comparadores de voltaje, para hacer conversiones analógico-digital, 471-473, **473**

Complemento

- a dos
 - resta con el, 29-32
 - sumador/restador del, 227-235
- a uno
 - resta con, 27-29
 - sumador/restador, en el, **221-226**

Complementos, resta con, 27-32
ventajas de la, 32

Compuerta

- AND-OR-INVERSOR, 144-147
 - realización de tablas de verdad en la, 146-147
 - símbolo de la, 145-146
- ECL OR/NOR 10105, **284**
- NOR exclusivo, 170
- OR exclusivo, 164-169
 - análisis de forma de onda de la, 168-169
 - construcción de un comparador y la, 194
 - construcción de un generador de paridad y la, 177-181

- construcción de un verificador de paridad y la, 181-184
- habilitación/inhabilitación de la, 167-168
- introducción de la práctica de laboratorio de la, 205-206
- práctica de laboratorio de la, 205-207
- OR/NOR exclusivo, 169-172
 - distribución de terminales y tabla de verdad la, **171**
- Compuerta(s)
 - de tres estados, 528-536
 - excitador de bus bidireccional, 533
 - práctica de laboratorio de las, 548
 - uso con el bus de una computadora, **534**
 - determinación de la tabla de verdad en las, 99
 - estado singular de las, 58
 - resumen de habilitación/inhabilitación den las, **85-86**
 - símbolos de la IEC, resumen, **79**
 - véase también compuertas individuales*
 - AND, 64-69
 - ampliación de la(s), 87
 - con cuatro entradas, símbolo y tabla de verdad para la(s), 67
 - de dos entradas, símbolo y tabla de verdad para la(s), 64
 - de tres entradas, símbolo y tabla de verdad para la(s), 67
 - estado singular de la(s), 64
 - expresión booleana de la(s), 64-65
 - habilitación/inhabilitación de la, 80
 - símbolo de la IEC para la(s), 68
 - símbolos equivalentes de la(s), 66
 - NAND, 70-75
 - ampliación de la(s), 88
 - como inversor, 86-87
 - de dos entradas, símbolo y tabla de verdad, 71
 - de tres entradas, símbolo y tabla de verdad, 74
 - distribución de terminales en la(s), 73
 - estado singular de la(s), 71
 - expresión booleana de las, 72
 - habilitación/inhabilitación de la(s), 82
 - símbolo de la IEC en la(s), 75
 - símbolo lógico invertido en la(s), 72
 - símbolos equivalentes de la(s), 72
 - NOR, 75-79
 - ampliación en la(s), 89
 - como inversor, 87
 - de dos entradas, símbolo y tabla de verdad en la(s), 75
 - distribución de terminales y la(s), 77
 - estado singular de la(s), 76
 - expresión booleana y la(s), 76
 - habilitación/inhabilitación y la(s), 84
 - símbolo de la IEC y la(s), 79
 - símbolos equivalentes y la(s), 76
 - OR, 58-64
 - ampliación de la(s), 88
 - de cuatro entradas, símbolo y tabla de verdad, 62
 - de dos entradas, símbolo y tabla de verdad, 59
 - distribución de terminales en la(s), 63
 - estado singular de la(s), 58
 - expresión booleana de la(s), 58, 60
 - habilitación/inhabilitación en la(s), 83
 - símbolo de la IEC en la(s), 64

- símbolo lógico invertido en la(s), 59
- símbolos equivalentes de la(s), 60
- Computadora
 - bus de la, 534-536, **534**
 - entrada/salida de la, 462-465, **581-583**
 - memoria de la, véase Memoria
 - puerto de la, 570-573, **571-572**
- Conecotor DB-25, 366-370, **367, 369**
- Contador
 - ascendente-descendente, 399-402, **401**
 - de corrimiento, 107-117
 - formas de onda, 107-117
 - práctica de laboratorio del, 346-349
 - de división entre N 1/2, 409, **410, 411**
 - de división entre N
 - de propagación, 390-391, **390-391**
 - síncrono, 392-396, **392**
 - de propagación, 398, 392
 - de cuatro bits, **388**
 - decodificar y borrar en el, 390-392, **390-392**
 - descendente, **400**
 - preajustable, 397-399, **397-398**
 - síncrono, 392-396, **392**
- Contador(es), 388-416
 - ascendente-descendente, 399, **400-401, 402**
 - CI contadores típicos MSI, 402, **403-405, 406**
 - de división entre N 1/2, 409, **410, 411**
 - de propagación, 388-393, **388**
 - decodificar y borrar en el (los), 390-391, **390-391**
 - práctica de laboratorio del (los), 414-416
 - preajustable(s), 397-399, **397-398**
 - síncrono(s), 392-395, **392**
- Control de datos, habilitación/inhabilitación, 80-86
- Convertidor
 - analógico-digital, de aproximaciones sucesivas, 477-480, **477, 479**
 - de conteo ascendente y comparación, 474-476, **474, 476**
 - práctica de laboratorio del, 488-490
 - uso de comparadores de voltaje en el, 471-474, **473**
- de centelleo, 474
- digital-analógico, 464-472
 - CI DAC0830, 481-482, **483-484**
 - de escalera 2R, 466-471, **467**
 - de escalera binaria, 464-466, **466**
 - práctica de laboratorio del, 488-490
 - TTL 2R, 469-471, **469-471**
- Corriente
 - absorbida, 257
 - de entrada de nivel
 - alto (I_H) TTL, 261, **255, 259**
 - bajo (I_L) TTL, 258, **255, 259**
 - de salida de nivel bajo (I_O) TTL, 258, **255, 259**
- Cristal de cuarzo, 433
- D**
- Datos
 - en paralelo, 353
 - en serie, 353
 - asíncronos, 358-362, **360**
 - síncronos, 358
- Decimal codificado en binario (BCD), 18-22
 - conversión a decimal del, 18
 - números válidos y no válidos del, **20**
 - sumador del, 235-239
- Decodificador(es), 159, 494-496
 - completo(s), 495
 - parcial(es), 496
- DeMorgan, teoremas de, 125-129
 - reglas de aplicación en , 126

Demultiplexor, 496, **497**

Detección de fallas, sugerencias para la, 50

Diagrama de conversión, sistemas numéricos, **20**

Diodos emisores de luz (LED), 46-47, 506-513

cátodo y ánodo de los, 46

encapsulados, **508**

excitación, con salidas TTL, **259**

polarización, 46-47

visualizador de siete segmentos y los, **510**

decodificador/excitador y los, **511-513**

diagrama lógico del, **510**

multiplexado, **542**

práctica de laboratorio del, 522-524

Disparador de Schmitt, 420-424

conversión de una onda senoidal en una cuadrada en el, **421**

práctica de laboratorio del, 438-441

reloj con, 422-424, **422**

símbolo en el, **421**

voltaje de salida contra voltaje de entrada en el, **420**

E

Encapsulado de doble hilera de terminales (DIP), 47

Ensanchador de pulsos, 445-447, **445**

Entrada de disparo, del temporizador 555, 427-428

Escalera 2R digital-analógica, 466-471, **467**

Excitador RS-232C cuádruple 1488, **369**

Expresión booleana

compuertas

AND en la, 64-65

NAND en la, 70-71

NOR en la, 76

OR en la, 58-60

contador síncrono de división entre N en la, 392-396

inversor de la, 56

reducción mediante la utilización de mapas de Karnaugh en la, 148-149

F

Flanco descendente, 107

Flip-flop

CI típicos, **341**

como contador de corrimiento, 338-340

como interruptor sin oscilación, 307-310

como reloj sin traslapamiento, 336-337

con compuertas NAND con conexión cruzada, 302-305

D, 313-322

como puerto de salida de computadora, **314**

disparado por flanco, 316-319

disparado por flanco de pulso, 322

símbolo para el, **317**
transparente, 313-315

definición del, 302

disparado por flanco, 322-324

flip-flop D, 313-316

flip-flop D transparente, 313-315

flip-flop SET - RESET con habilitación, 310-312

JK

CI típicos, **341**

como contador de corrimiento, 337-340

como reloj sin traslapamiento,

336-337

símbolos del, **318, 323, 333**

tabla de verdad del, **333**

maestro-esclavo, 316-321, 330-331

SET-RESET con

habilitación, 310-312

compuertas NAND con conexión cruzada, 302-305

como interruptor sin oscilación, 307-310

compuertas NOR con conexión cruzada, 304-306

símbolos del, **318, 323, 333**

G

Generador de paridad

par, 175-179

par/impar, 178-181

H

Habilitación/inhabilitación, 80-85

resumen de la, 85-86

véase también la compuerta específica

Histéresis, 420

I

Integración de

mediana escala (MSI), 48

pequeña escala (SSI), circuitos de,
48

Interconexión entre familias lógicas

TTL con CMOS, 280-284, **280-283**

TTL con ECL, 286-288, **287**

Interruptor sin oscilaciones, 307-309,

309

flip-flop con compuertas NAND de
conexión cruzada, 307-309

monoestable, **444**

Inversor(es), 56-59

símbolo(s), 56-57, 58

tabla de verdad del (los), 56

L

LM 339, comparador de voltaje, 425-
428, 426

Lógica combinacional, 115-118

de emisores acoplados (ECL), 284-
286

CI 100K, **286**

CI 10K, **285**

interconexión con otras familias,
286-288, **287**

positiva, 252

transistor-transistor (TTL), 252-272

características de
comutación, 261-265, **262-263**

características eléctricas de la,
252-266, **255**

carga en la salida, 257-260,
258

corriente de alimentación, 261

excitación de un LED con,
260

margen de ruido, de la, 254,
256

salidas de colector abierto, de
la, 268-271, **268-269**

aplicaciones, para las, 271

salidas en tótem, 266, **267**

subfamilias, de la, 252

M

Mapa de Karnaugh, 137-144

celdas, definición de las, 137

reducción de expresiones booleanas
con el, 148-149

subcubo, definición del, 137

Medio sumador, 210-211

Memoria, 556-570

de acceso aleatorio (RAM), 556-557
práctica de laboratorio, 580-

582, 581

dinámica de acceso aleatorio
(DRAM), 567-570, **567-568**

programable y sólo de lectura
(PROM), 559, **560**

RAM estática (SRAM), 566-567,
567

sólo de lectura programable y
borrable eléctricamente
(EEPROM), 563-566, **566**

sólo de lectura programable y
borrable (EPROM), 561-563, **564-565**

sólo de lectura (ROM), 558-559

Microprocesadores, 553

Monoestable

- no redisparable, 449, **450**
- redisparable, 447-449
- Montaje de superficie, tecnología de, 288-290, **290**
- Multiplexor, 498-506
 - CI típicos, **502-504**
 - multiplexor de ocho trazas para osciloscopio, 504-506, **505**
 - para reproducir una tabla de verdad deseada, 498-501, **499-501**
- Multiplexor de ocho trazas para osciloscopio, 504-506, **505**
- Multivibrador
 - astable
 - oscilador de cristal del, **432**
 - reloj con disparador de Schmitt del, **422**
 - temporizador del, 601, 425-432, **429**
 - monoestable disparado por flanco, **447**
- Multivibrador(es) monoestable(s), 444-461
 - 74121, 74122, 74123; 452, **453**
 - disparado por flanco, **447**
 - ensanchador(es) de pulsos y el (los), 444-446, **445**
 - interruptor sin oscilaciones del, 444
 - no redisparable(s), 449, 450
 - práctica de laboratorio del (los), 460-461
 - redisparable(s), 447-449
 - separador de datos del(los), 454, **455**, 456
 - tabla de verdad y el (los), **453**
 - temporizador(es) 555 como, 450-452, **451**
- N**
- NOR alambrado, 268
- Número binario, 4-32
 - complemento a dos con signo en el, 33-39
 - número decimal del, 6-7
- número hexadecimal del, 16-17
- número octal del, 13
- cuenta
 - en el, 4
 - máxima en el, 5
- número de combinaciones del, 5
- resta con complemento
 - a uno en el, 27-28
 - dos en el, 29-32
- valor posicional del, 4-5
- Número decimal conversión a BCD, 18-21
 - número binario, 7-10
- Números con signo en complemento a dos, 33-39
 - bit de signo en los, 33
 - conversión a decimal de los, 33-34
 - reglas para obtener resultados correctos en los, 38
 - resta de, 36-37
 - suma de, 36
- O**
- Optoacopladores, 543, **543-545**
- OR exclusivo cuádruple 4070, **166**
- Oscilación, 307-310
- Oscilador de cristal, **432**
- P**
- Paralelo,
 - carga en, 355-355
 - datos en, 353-354
- Paridad, 173-193
 - bit de, 173-175
 - generador de, 175-181
 - 74180, 189-191
 - 74S280, 185-189, 192-193
 - conexión en cascada de la, 191-192
 - generador/verificador de, 185-193
 - verificador de, 181-207
- Programa de una computadora, 574-578

R

Rebasamiento

concepto de, 27

Receptor RS-232C cuádruple 1489, **369**

Receptor/transmisor universal

asíncrono (UART), 360

Redes resistivas, para conversión

digital-analógica, 359-367

Registro(s) de corrimiento, 352-385

7495 de cuatro bits, **363**CI típicos, 363-366, **364-366**con entrada en paralelo y salida en serie, 354-356, **355**

construcción con flip-flops JK, del (los), 352-353

práctica de laboratorio (los), 376-385

Reloj, véase Multivibrador astable

con retardo, 107-117

práctica de laboratorio del, 346-349

digital, **409**sin traslapamiento, 107-117
y formas de onda de un contador de corrimiento con tres flip-flops, 107

sistema de, véase Reloj sin traslapamiento

Resistor de acoplamiento a positivo, 268

Resta binaria, 25-32

definición

de rebasamiento en la, 27
del acarreo circular en la, 27

método

del complemento a dos en la, 29-32
uno en la, 27-29
largo en la, 25-27

Retardo de propagación

CMOS, 277

ECL, 284

TTL, 261-265

RS-232C, 337-341

conector DB-25, **367**definición de terminales, **370**excitador de línea y receptor, **369**
voltajes lógicos, **368****S**Salida en tótem, **267**

Seguridad, reglas de, 50-51

Semiconductor metal-óxido complemen-tario, véase CMOS

Separador de datos, 454-456, **455**

Series 54HC/74HC, 54HCT/74HCT, 274-280

Símbolo de la IEC

AND de cuatro entradas y el, 68

AND de dos entradas y el, 68

comparador de magnitud de cuatro bits y el, **196**

compuerta AND-OR-INVERSOR y el, 145-146

compuertas básicas, resumen, 79

generador de paridad y el, **192**

inversor y el, 58

lógico

invertido

funcional, 57

para el inversor, 56

para la compuerta

AND de dos entradas, 65

NAND de dos entradas, 72

NOR de dos entradas, 76

OR de dos entradas, 5

NAND de dos entradas y el, 75

NOR de dos entradas y el, 79

OR de dos entradas y el, 64

OR exclusivo con colector abierto y el, **269**OR-exclusivo y el, **166**sumador completo de cuatro bits y el, **220**

Sistema de numeración

decimal, 4-6

conversión a binario

del, 14

en el, 17-18

conversión desde binario en el, 16-17

cuenta en el, 11-12, 15
 valor posicional del, 12, 15
 hexadecimal, 14-18
 octal, 11-14
Sistemas numéricos, 1-22
Suma binaria, 22-24
 definición de acarreo de
 entrada en la, 22-23
 salida en la, 23
Sumador completo, 211-221
 con acarreo rápido, 212
 construcción del, 213-215
 diagrama de bloques del, 212-213
Sumadores
 como restador de complemento a
 dos, 227-231, **229-232**
 como restador de complemento a
 uno, 221-226, **224**
 completos, 211-220, **211**
 con acarreo rápido, 215
 de BCD, 233-239, **235**
 medios, 210, **210**
 práctica de laboratorio de los, 246-
 247
 símbolo de la IEC para, 7483, **220**
 tabla de verdad del 7483 y diagrama
 de conexión para, **219**

T

Temporizador
 como monoestable, 450-452, **451**
 como multivibrador astable, 425-
 432, **429**
 fórmula para la frecuencia del, 427-
 431
Teoremas booleanos, 118-129
**Terminal de cátodo, y terminal de
 ánodo, distinción entre**, 46-47
Tiempo de propagación,
 BAJO a ALTO (tPLH), **263**
 ALTO a BAJO (tPHL), **263**
Transferencia en serie de datos
 asíncrona, 357-362
 síncrona, 358

Transistor de potencia, 540-541

U

Umbral, definición de, 386
Unidad
 aritmética-lógica, 239-241
 central de procesamiento (CPU),
 553-556
 de aislamiento de tres estados, 528-
 533

V

Velocidad de transmisión, en baudios,
 354
Visualizador(es) de cristal líquido, 513-
 517
 dinámico(s), 513
 excitación con voltaje de ca en el
 (los), **517**
 nemático(s) con giro, **513**
Visualizadores de siete segmentos,
 multiplexado de, 541, **542**
 práctica de laboratorio de los, 548
Voltaje de
 entrada de nivel
 alto (VIH) CMOS, **280**
 TTL, 253, **255, 259**
 TTL, 254, **255, 257**
 bajo (VIL) CMOS, **280**
 salida de nivel
 alto (VOH) CMOS, 281
 TTL, 253, **255, 257**
 TTL, 254, **255, 257**
 bajo (VOL) CMOS, **280**

Z

Z-80
 banderas, 574-577
 conjunto de registros internos, **576**